

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-209763

(P2011-209763A)

(43) 公開日 平成23年10月20日(2011.10.20)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 有 請求項の数 4 O L (全 12 頁)

(21) 出願番号	特願2011-164462 (P2011-164462)	(71) 出願人	501426046 エルジー ディスプレイ カンパニー リ ミテッド 大韓民国 ソウル, ヨンドゥンポーク, ヨ イドードン 20
(22) 出願日	平成23年7月27日 (2011. 7. 27)		
(62) 分割の表示	特願2005-154613 (P2005-154613) の分割	(74) 代理人	100110423 弁理士 曾我 道治
原出願日	平成17年5月26日 (2005. 5. 26)	(74) 代理人	100111648 弁理士 梶並 順
(31) 優先権主張番号	10-2004-0118365	(74) 代理人	100147566 弁理士 上田 俊一
(32) 優先日	平成16年12月31日 (2004. 12. 31)	(72) 発明者	チョン・ジン・パク 大韓民国、キョンギード、アニョン、ピョ ンチョンードン 897-5、チョウォン ・アパートメント 604-602 最終頁に続く
(33) 優先権主張国	韓国 (KR)		

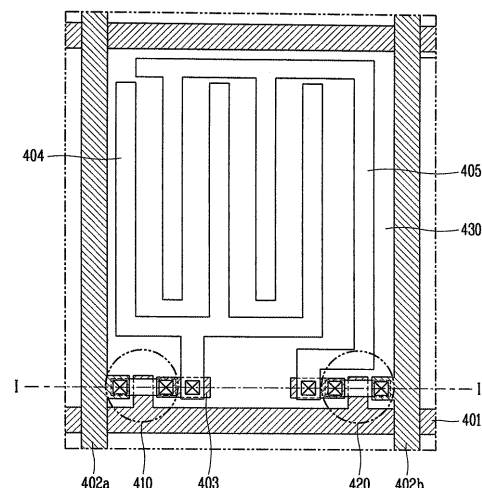
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 共通電極を備えることなく、単位画素毎に隣接するデータラインからデータ電圧を受けて横電界を形成する電極を形成することにより、ライン・ディレイ現象、開口率の減少、及びスイッチング素子のバラツキによる画質の低下などの問題を改善できるインプレーンスイッチングモードの液晶表示装置を提供する。

【解決手段】 複数のゲートライン401と前記複数のゲートライン401と垂直に交差する複数のデータライン402a、402bとにより定義される単位画素430と、前記単位画素430毎に、前記ゲートライン401とデータライン402a、402bとの交差領域に形成される1対のスイッチング素子410、420と、前記1対のスイッチング素子410、420とそれぞれ連結される電極404、405とを備える。

【選択図】 図2A



【特許請求の範囲】**【請求項 1】**

複数のゲートラインと前記複数のゲートラインと垂直に交差する複数のデータラインとにより定義される複数の単位画素と、

前記単位画素毎に備えられて、左側データラインに連結される第 1 T F T と、右側データラインに連結される第 2 T F T と、

前記第 1 T F T 及び第 2 T F T とそれぞれ連結され、互いに対応するよう平行に配置される第 1 電極及び第 2 電極と

を含んで構成され、

前記第 1 電極に前記左側データラインに連結された第 1 T F T を通じて第 1 データ電圧が印加され、前記第 2 電極に前記第 2 T F T を通じて第 2 データ電圧が印加されて、これら第 1 電極及び第 2 電極それぞれに印加される第 1 及び第 2 データ電圧の差により前記第 1 電極及び第 2 電極間に横電界が形成され、

共通電極が備えられてない

ことを特徴とする液晶表示装置。

【請求項 2】

前記第 1 及び第 2 の電極は、隣接するデータラインからそれぞれデータ信号を受けて、互いに横電界を形成する

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 電極及び第 2 電極は、透明電極物質から形成され、同一層上に形成される

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記第 1 電極及び第 2 の電極のうち、何れか 1 つは透明電極物質から形成され、他の 1 つはゲートラインと同一物質から形成される

ことを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、隣接する電極間で横電界を形成するインプレーンスイッチング(In Plane Switching: 以下、IPS と称する)モードの液晶表示装置に関する。

【背景技術】**【0002】**

近来、携帯電話、PDA、ノートブックコンピュータのような各種携帯用電子機器が発展するにつれて、これに適用できる軽薄短小型の平板表示装置(Flat Panel Display Device)に対する要求が次第に増大している。

【0003】

このような平板表示装置としては、LCD(Liquid Crystal Display)、PDP(Plasma Display Panel)、FED(Field Emission Display)、VFD(Vacuum Fluorescent Display)などが活発に研究されているが、このうち、量産化技術、駆動手段の容易性、高画質の実現という理由により、現在は液晶表示装置(LCD)が脚光を浴びている。

【0004】

一般的な液晶表示装置は、電界を利用して液晶の光透過率を調節することにより画像を実現する。このために、液晶表示装置は、複数の画素がマトリクス状に配列された液晶パネルと、当該液晶パネルを駆動するための駆動回路とを備える。

【0005】

図 6 は、一般的な IPS モードの液晶表示素子の単位画素を示す平面図である。図 6 に示すように、液晶パネルの第 1 基板には、ゲートライン 101 とデータライン 102 とが交差するように配列されて画素領域が定義され、前記ゲートライン 101 とデータライン 102 との交差領域には、スイッチング素子である薄膜トランジスタ(Thin Film Trans

istor: T F T)が形成される。液晶パネルの各画素には、画素電極103と共通電極105とが交互に配置されるが、前記画素電極103は、前記薄膜トランジスタのソース/ドレイン電極106、107からデータ信号を受けて、前記共通電極105と共に第1基板上に横電界を形成する。前記薄膜トランジスタのゲート電極109は、データ信号が1ライン分ずつの画素電極103に印加されるように前記ゲートライン101に接続される。

【0006】

これにより、液晶表示装置は、画素別に供給されたデータ信号によって前記画素電極103と共通電極105間に印加される電界により、液晶層の光透過率を調節することにより画像を表示する。

【0007】

また、図には示していないが、第2基板上には、カラーフィルタ層が形成され、前記第1基板と第2基板間の離隔空間には液晶層が充填される。前記液晶層の液晶分子は、前記画素電極103と共通電極105間に形成される横電界により駆動されるので、TN(Twisted Nematic)モードの液晶表示素子に比べて可視範囲が広くなり、上、下、左、右方向に約 $80^{\circ} \sim 85^{\circ}$ 範囲の視野角を確保することができる。

【0008】

図7は、一般的なIPSモードの液晶表示素子の単位画素を示す回路図である。図7に示すように、液晶表示素子は、ゲートラインVgateとデータラインVdataとの交差領域に、スイッチング素子である薄膜トランジスタが形成され、前記TFTは、液晶に電界を印加する一電極である画素電極(図示せず)と連結される。前記画素電極と共通電極Vcom間に横電界が形成されることによって、前記画素電極、共通電極Vcom及びこれらの間の液晶層が1つのキャパシタ C_{LC} を形成する。さらに、前記画素電極、共通電極Vcom及びこれらの間の絶縁層がストレージキャパシタ C_{ST} を形成し、データ信号を維持させる。

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、液晶表示素子が大型化するにつれて、基板上に縦横に配列されるゲートライン及びデータラインが長くなり、これにより、線抵抗が増加して1つのゲートラインに沿って形成される各TFTの駆動が一定にならない、ライン・ディレイ(line delay)現象が激しくなる。即ち、走査信号が長いゲートラインを通じて印加されることによって、1つのゲートラインの第1のTFTと第NのTFTとが、線抵抗により互いに異なる走査信号を受ける問題が発生し得る。

【0010】

また、大型液晶表示装置においては、1回のフォトリソ工程でパターンが形成できないため、複数回のフォトリソ工程を行う。従って、1つの基板に複数回のフォトリソ工程を行うことにより、各フォトリソ工程により形成されるTFTの性能が異なり、単位画素が互いに異なる画質を示すので、全体の画質を低下させることになる。

【0011】

また、一般的なIPSモードの液晶表示素子においては、横電界を印加するために、画素電極と、前記画素電極と平行に対向する共通電極とを備えるが、前記共通電極は開口率を減少させる問題が発生させる。従って、開口率を最大化するために、共通電極ラインをゲートラインと隣接して形成するが、この過程で、ゲートラインとの短絡などが発生し得、製造工程を難しくする。

【0012】

本発明は、このような従来技術の問題点を解決するためになされたもので、IPSモードの液晶表示素子の構成において、共通電極を別途に構成することなく、隣接画素に形成される電極間で横電界を形成するようにして、ライン・ディレイ問題及びTFT性能のバラツキによる画質の低下を防止しようとするものである。また、共通電極を形成しないことで工程を単純化し、ゲートライン形成時に発生していた不良を減らして液晶表示装置の

10

20

30

40

50

製造工程を単純化することを目的とする。

【課題を解決するための手段】

【0013】

このような目的を達成するために、本発明に係る液晶表示装置は、複数のゲートラインと前記複数のゲートラインと垂直に交差する複数のデータラインとにより定義される複数の単位画素と、前記単位画素毎に備えられて、左側データラインに連結される第1 TFTと、右側データラインに連結される第2 TFTと、前記第1 TFT及び第2 TFTとそれぞれ連結され、互いに対応するよう平行に配置される第1電極及び第2電極とを含んで構成され、前記第1電極に前記左側データラインに連結された第1 TFTを通じて第1データ電圧が印加され、前記第2電極に前記第2 TFTを通じて第2データ電圧が印加されて、これら第1電極及び第2電極それぞれに印加される第1及び第2データ電圧の差により前記第1電極及び第2電極間に横電界が形成され、共通電極が備えられていないことを特徴とする。

10

【発明の効果】

【0014】

液晶表示装置が大型化するにつれて、ゲートラインが長くなって線抵抗が増加してライン・ディレイ現象が発生するが、本発明によるIPSモードの液晶表示装置においては、隣接するデータラインから印加されるデータ電圧により単位画素に横電界を発生させるため、ライン・ディレイ現象を防止できるという効果がある。

20

【0015】

また、薄膜トランジスタの基板上に形成される位置によって、薄膜トランジスタにバラツキが発生しても、隣接する薄膜トランジスタ間では殆どバラツキがないため、薄膜トランジスタのバラツキによる画質の低下を防止できるという効果がある。

【0016】

さらに、本発明においては、共通電極を形成しないため、共通電極による開口率の減少を防止することができ、ゲートラインの形成工程を単純化して工程の短縮を図ることができるという効果がある。

【図面の簡単な説明】

【0017】

【図1】本発明の第1の実施の形態による単位画素を示す回路図である。

30

【図2A】本発明の第1の実施の形態による単位画素を示す平面図である。

【図2B】本発明の第1の実施の形態による単位画素を示す断面図である。

【図3A】本発明の第1の実施の形態の変形例を示す平面図である。

【図3B】本発明の第1の実施の形態の変形例を示す断面図である。

【図4】本発明の第2の実施の形態による単位画素を示す回路図である。

【図5】本発明の第2の実施の形態による単位画素を示す平面図である。

【図6】一般的なIPSモードの液晶表示素子の単位画素を示す平面図である。

【図7】一般的なIPSモードの液晶表示素子の単位画素を示す回路図である。

【発明を実施するための形態】

【0018】

40

本発明の第1の実施の形態によるIPSモードの液晶表示素子は、単位画素毎に形成される1対のスイッチング素子と、前記1対のスイッチング素子とそれぞれ連結される電極とを備える。また、本発明は、IPSモードの液晶表示素子の構成において、共通電極を形成することなく、隣接するデータラインにそれぞれ連結される電極を通じて横電界を形成することを特徴とする。即ち、第1のデータラインに連結される第1のスイッチング素子を通じてデータ電圧を受ける第1の電極と、前記第1のデータラインに隣接する第2のデータラインに連結される第2のスイッチング素子を通じてデータ電圧を受ける第2の電極間で、それぞれのデータ電圧により横電界が形成される。

【0019】

また、前記第1の電極及び第2の電極にデータ電圧を印加する際、第1のデータライン

50

を通じて印加される第 1 のデータ電圧と、第 2 のデータラインを通じて印加される第 2 のデータ電圧との差が画像情報になるように、前記第 1 の電極及び第 2 の電極にそれぞれデータ電圧を印加する。

【0020】

また、本発明の第 2 の実施の形態による液晶表示素子は、単位画素毎に形成される 1 つのスイッチング素子と、前記スイッチング素子と連結される電極とを備え、前記電極は、第 N の単位画素に形成される第 1 の電極と、前記第 N の単位画素に隣接する第 N - 1 の単位画素に形成される第 2 の電極とからなることを特徴とする。また、前記第 1 の電極と第 2 の電極とは一体に形成される。

【0021】

さらに、第 N のデータラインから第 1 の電極に印加される第 N のデータ電圧、及び第 N + 1 のデータラインから前記第 1 の電極と同一単位画素に形成される第 2 の電極に印加される第 N + 1 のデータ電圧により横電界を形成し、これらのデータ電圧の差が画像情報となることを特徴とする。

【0022】

以下、図 1 及び図 2 を参照して、本発明の第 1 の実施の形態による液晶表示素子を説明する。

図 1 は、本発明の第 1 の実施の形態による単位画素を示す回路図である。図 1 に示すように、複数のゲートライン G 1、G 2・・・と、前記複数のゲートライン G 1、G 2・・・と垂直に交差する複数のデータライン D 1、D 2、D 3・・・とにより単位画素が定義される。

【0023】

前記単位画素には、スイッチング素子として 1 対の TFT T 1、T 2 がそれぞれ備えられるが、これらの TFT T 1、T 2 はそれぞれ電極と連結され、これらの電極は互いに平行である。また、前記電極は、液晶層との間でキャパシタを形成する。さらに、前記電極間にはデータラインから印加される電圧により横電界が形成され、前記電極間にはキャパシタが形成される。

【0024】

以下、本発明の第 1 の実施の形態による液晶表示素子の構造及びその動作を図 2 A 及び図 2 B を参照して説明する。

図 2 A 及び図 2 B に示すように、複数のゲートライン 401 と、前記複数のゲートライン 401 と垂直に交差する複数のデータライン 402 a、402 b とにより単位画素 430 が定義される。前記単位画素 430 には、スイッチング素子である 1 対の薄膜トランジスタ 410、420 が形成される。前記 1 対の薄膜トランジスタを便宜上、第 1 の TFT 410 及び第 2 の TFT 420 と称する。

【0025】

前記第 1 の TFT 410 は、前記ゲートライン 401 と第 1 のデータライン 402 a との交差領域に形成され、前記第 2 の TFT 420 は、前記ゲートライン 401 と第 2 のデータライン 402 b との交差領域に形成される。

【0026】

また、前記第 1 の TFT 410 には、該第 1 の TFT 410 のドレイン電極 403 を介して第 1 の電極 404 が連結され、前記第 2 の TFT 420 には、該第 2 の TFT のドレイン電極を介して第 2 の電極 405 が連結されている。前記第 1 の電極 404 及び第 2 の電極 405 は、それぞれ少なくとも 1 つ以上の互いに平行なサブ電極を備えることができる。さらに、前記第 1 の電極 404 と第 2 の電極 405 とは、互いに平行であり、前記第 1 のデータライン 402 a 及び第 2 のデータライン 402 b から印加される電圧により横電界を形成し、これにより、液晶が駆動される。

【0027】

一方、前記第 1 の電極 404 及び第 2 の電極 405 は、同一層上に透明電極物質から形成することができ、図 3 A に示すように、何れか 1 つは透明電極物質から形成し、他の 1

10

20

30

40

50

つはゲート電極形成物質と同じ物質から形成することができる。

図 2 A 及び図 3 A に示す液晶表示素子は、単に、何れの段階で電極を形成するか形成順序に差があり、その機能は同一である。

但し、図 2 A に示すように、前記第 1 の電極 4 0 4 及び第 2 の電極 4 0 5 を透明電極物質から形成する場合、開口率を向上させることができる。

【 0 0 2 8 】

前述したように、本発明の第 1 の実施の形態による液晶表示素子は、単位画素毎に第 1 及び第 2 の T F T 4 1 0、4 2 0 備え、前記第 1 及び第 2 の T F T とそれぞれ連結される第 1 及び第 2 の電極 4 0 4、4 0 5 を備えて横電界を発生させるため、共通電極及び画素電極を使用して横電界を発生させる従来の I P S モードの液晶表示素子に比べて、構造が簡単であり、開口率を向上させることができる。

10

【 0 0 2 9 】

特に、従来の I P S モードの液晶表示素子の製造工程においては、共通電極がゲートラインと同時に形成され、開口率を増加させるために、ゲートラインと共通電極とを可能な限り近接して形成する。その過程で、ゲートラインと共通電極ラインとが短絡する問題が発生することがあり、短絡したゲートラインを補修するための補修過程が必要である。

【 0 0 3 0 】

しかしながら、本発明においては、共通電極ラインを本質的に形成しないため、ゲートラインと共通電極ラインとが短絡する問題が発生せず、ゲートラインの補修工程も不要である。

20

【 0 0 3 1 】

一方、従来は、共通電圧が印加される共通電極と、データラインからデータ電圧が印加される画素電極とにより横電界が形成されて液晶に画像情報が実現されたが、本発明においては、共通電極を備えないので、画素情報を実現する方法が従来と異なる。即ち、前記単位画素に同時に印加される第 1 のデータ電圧と第 2 のデータ電圧との差により画素情報が実現される。

【 0 0 3 2 】

以下、前記画像情報を実現する動作を説明する。

走査信号がゲート駆動回路(図示せず)からゲートライン 4 0 1 に 1 ライン分ずつ印加されると、ゲートライン 4 0 1 に連結されている各単位画素の第 1 の T F T 4 1 0 及び第 2 の T F T 4 2 0 のチャンネルはターンオンする。次に、第 1 及び第 2 のデータライン 4 0 2 a、4 0 2 b を通じて、ゲートライン 4 0 1 の 1 ライン分に該当するデータ信号が第 1 及び第 2 の T F T 4 1 0、4 2 0 に印加される。

30

【 0 0 3 3 】

従って、第 1 のデータ信号は、第 1 のデータライン 4 0 2 a 及び第 1 の T F T 4 1 0 を通じて、第 1 の電極 4 0 4 に印加され、第 2 のデータ信号は、第 2 のデータライン 4 0 2 b 及び第 2 の T F T 4 2 0 を通じて、第 2 の電極 4 0 5 に印加される。また、第 1 の電極 4 0 4 及び第 2 の電極 4 0 5 に印加されるデータ電圧により、前記第 1 の電極 4 0 4 と第 2 の電極 4 0 5 間に横電界が発生して液晶を駆動させる。

【 0 0 3 4 】

ここで、前記第 1 の電極 4 0 4 及び第 2 の電極 4 0 5 に印加されるデータ電圧により液晶を駆動させるので、これらのデータ電圧の差は、従来の共通電極と画素電極間で発生する電圧差と同一であるべきである。

40

【 0 0 3 5 】

従って、第 1 のデータ電圧及び第 2 のデータ電圧は従来と異なり、第 1 のデータ電圧と第 2 のデータ電圧との電圧差が従来の共通電極と画素電極間で発生する電圧差と同一になるように、第 1 及び第 2 のデータ電圧を調整して印加する必要がある。即ち、単位画素には、2 つのデータ電圧が印加され、印加される 2 つのデータ電圧の差が画像情報になるように、データ信号を調整して印加する。

【 0 0 3 6 】

50

前記第 1 及び 2 データ電圧の調整は、タイミングコントローラにより行うことができ、画像情報の実現は、前記タイミングコントローラで、外部から印加されるデータ電圧を制御し、その調整されたデータ信号を生成した後、データラインに印加することで行われる。

【 0 0 3 7 】

一方、電極にデータ信号が印加される場合、前記電極間にはキャパシタが形成されて、単位画素の画像情報を所定時間維持させるストレージキャパシタとしての機能を行うことができる。

【 0 0 3 8 】

図 2 B は、図 2 A の I - I 線断面図である。

10

図 2 B に示すように、本発明の単位画素には、第 1 の TFT 4 1 0 及び第 2 の TFT 4 2 0 が形成され、これらの第 1 の TFT 4 1 0 及び第 2 の TFT 4 2 0 とそれぞれ連結される第 1 の電極 4 0 4 及び第 2 の電極 4 0 5 が形成される。

【 0 0 3 9 】

前述の構造をより詳しく説明すると、基板 4 0 0 上にゲート電極 4 5 0 が形成され、前記ゲート電極 4 5 0 は、ゲート絶縁層 4 5 1 により絶縁される。前記ゲート絶縁層 4 5 1 上には、半導体から構成されることができるアクティブ層 4 6 0 が形成され、前記アクティブ層 4 6 0 は、層間絶縁層 4 5 2 により絶縁されている。

【 0 0 4 0 】

また、前記層間絶縁層 4 5 2 上には、前記アクティブ層 4 6 0 とそれぞれ連結されるソース電極 4 7 0 及びドレイン電極 4 0 3 が形成され、前記ソース及びドレイン電極 4 7 0 、 4 0 3 上には、保護層 4 5 3 が形成される。

20

前記保護層 4 5 3 上には、前記ドレイン電極 4 0 3 と連結される第 1 の電極 4 0 4 及び第 2 の電極 4 0 5 が形成される。これらの第 1 及び第 2 の電極 4 0 4 、 4 0 5 は、透明電極物質から形成されて開口率を向上させることができる。

【 0 0 4 1 】

一方、本発明の第 1 の実施の形態による液晶表示素子において、前記電極は、透明電極物質の他に、ゲートラインを形成する金属物質から形成することもできる。

図 3 A は、対向する電極の何れか 1 つの電極を、ゲートラインを形成する金属物質から形成したものを示す。

30

図 3 A は、図 2 A に示す第 1 の実施の形態の変形例として、第 2 の電極 4 0 6 がゲートライン 4 0 1 と同一層上に同一物質から形成された点で、図 2 A に示す第 1 の実施の形態と異なる。

【 0 0 4 2 】

即ち、図 3 A に示すように、前記第 2 の電極 4 0 6 は、アルミニウムまたはモリブデンなどの金属物質から形成することができる。従って、前記第 2 の電極 4 0 6 は、ゲートライン 4 0 1 が形成される段階で同時にパターンングされることで形成されることができる。

【 0 0 4 3 】

図 3 B は、図 3 A の II - II 線断面図で、前記第 2 の電極 4 0 6 がゲートライン 4 0 1 と同一層上に形成され、第 2 の TFT 4 2 0 のドレイン電極 4 0 3 と連結されることを確認することができる。

40

【 0 0 4 4 】

本発明の第 1 の実施の形態においては、単位画素に 1 対の薄膜トランジスタを形成し、前記 1 対の薄膜トランジスタにそれぞれ連結される電極を形成することにより、1 つのゲートラインが長くなって線抵抗が大きく発生しても、1 つの単位画素に形成された 1 対の薄膜トランジスタには殆ど同じゲート電圧が印加され、且つ、隣接するデータ電圧間の差により画像情報が実現されるので、ライン・ディレイ現象が発生しない。

【 0 0 4 5 】

また、前記単位画素の駆動が単位画素内の薄膜トランジスタ、及び各単位画素を定義す

50

る隣接するデータラインから印加されるデータ電圧により決定されるので、スイッチング素子を構成する薄膜トランジスタの特性において、基板全体では多少のバラツキが発生しても、単位画素内では殆どバラツキが発生しないため、薄膜トランジスタのバラツキによる画質の低下を防止することができる。

【0046】

一方、本発明は、単位画素に形成される１つの薄膜トランジスタと、前記薄膜トランジスタのドレイン電極と連結され、隣接する２つの画素にわたって形成される１つの電極とを備えて構成される。

【0047】

以下、図４及び図５を参照して、本発明の第２の実施の形態による液晶表示素子を説明する。

図４は、本発明の第２の実施の形態による単位画素を示す回路図である。各単位画素は、１つの薄膜トランジスタを備え、前記薄膜トランジスタには、隣接する２つの単位画素にわたって形成される１つの電極が連結されることに特徴がある。

【0048】

第２の実施の形態が第１の実施の形態と異なる点は、単位画素当たり１つのスイッチング素子を備え、一体をなす１つの電極が隣接する２つの単位画素にわたって形成され、且つ、前記電極が前記１つのスイッチング素子により制御されることにある。

【0049】

以下、本発明の第２の実施の形態による液晶表示素子の構造及び動作を図５を参照して説明する。

図５に示すように、本発明の第２の実施の形態は、複数のゲートライン６０１と、前記複数のゲートライン６０１と垂直に交差する複数のデータライン６０２a、６０２b、６０２cとにより、第１の単位画素６５０及び第２の単位画素６４０が定義され、これらの単位画素毎に１つの薄膜トランジスタ６１０が形成され、前記薄膜トランジスタ６１０には、隣接する単位画素にわたって一体に形成される電極が連結される。

【0050】

前記電極は、便宜上、第１の電極６２０と第２の電極６３０とに区分して説明するが、前記第１の電極６２０と第２の電極６３０とは一体に形成される。

また、前記第１の電極６２０が第１の単位画素６５０に形成され、前記第２の電極６３０が前記第１の単位画素６５０の左側に位置する第２の単位画素６４０に形成され、結局、１つの電極が隣接する２つの単位画素にわたって形成される。

【0051】

前記第１の電極６２０及び第２の電極６３０は、互いに平行な複数のサブ電極をさらに備えることができ、隣接する単位画素に形成される電極と平行をなす。言い換えれば、前記第１の電極６２０と第２の電極６３０とが一体をなすので、任意の単位画素には、第１の電極６２０と第２の電極６３０が共に形成され、これらの電極６２０、６３０は互いに平行である。また、１つの単位画素に共に形成される第１の電極６２０と第２の電極６３０とは、隣接した単位画素に形成された互いに異なる薄膜トランジスタにより駆動されて横電界を形成する。

【0052】

結局、第２の実施の形態による液晶表示素子は、単位画素毎に、１つの薄膜トランジスタと、第２の単位画素６４０に形成される第１の電極６２０と、前記第２の単位画素６４０に隣接した第１の単位画素６５０から延びる第２の電極６３０とを備える。また、前記第１の電極６２０と第２の電極６３０とは互いに平行である。

【0053】

以下、前述の構造を有する本発明の第２の実施の形態の動作を説明する。
本発明の第２の実施の形態は、前記第１の実施の形態と同様に、隣接するデータラインを通じて提供されるデータ電圧により横電界が形成され、前記横電界により液晶が駆動されるものである。但し、前記データ電圧の制御が単位画素当たり１つずつ形成される薄膜ト

10

20

30

40

50

ランジスタにより行われる点で第 1 の実施の形態と異なる。

【0054】

図 5 に示すように、走査信号がゲート駆動回路(図示せず)からゲートラインに 1 ライン分ずつ提供されると、前記ゲートライン 601 に形成される複数の薄膜トランジスタ 610 はターンオンする。

次に、データ駆動回路(図示せず)からデータ電圧が印加されると、第 1 及び第 2 のデータライン 602 a、602 b と連結される薄膜トランジスタ 610 を通じて、第 1 及び第 2 の電極 620、630 にデータ電圧が印加される。

【0055】

図 5 の単位画素 640 を参照してその一例を挙げると、ゲート信号により薄膜トランジスタ 610 がターンオンした後、第 1 のデータライン 602 a 及び第 2 のデータライン 602 b を通じて、第 1 のデータ電圧及び第 2 のデータ電圧がそれぞれ薄膜トランジスタ 610 に印加される。

10

【0056】

すると、前記第 1 のデータライン 602 a から入力される第 1 のデータ電圧は、第 1 の電極 620 に印加される。また、前記第 2 のデータライン 602 b から入力される第 2 のデータ電圧は、第 2 のデータライン 602 b に連結される薄膜トランジスタにより制御されて、第 2 の電極 630 に印加される。従って、第 1 のデータ電圧が印加される第 1 の電極 620 と、第 2 のデータ電圧が印加される第 2 の電極 630 とにより横電界が形成され、前記横電界により液晶が駆動される。

20

【0057】

従って、第 1 のデータ電圧と第 2 のデータ電圧との差が単位画素を駆動する画像情報となるので、画素電極及び共通電極を備え、データ電圧を受けて画像情報を実現する従来の IPS モードの液晶表示素子とは異なる方式でデータ電圧を印加すべきである。

【0058】

即ち、1 つの単位画素には、隣接する 2 つのデータラインから印加される 2 つのデータ電圧の差により画像情報が決定されるので、データ信号をデータ駆動回路に提供する前に、タイミングコントローラ(図示せず)は、第 N のデータ電圧と第 N + 1 のデータ電圧との差が画像情報となるように、データ電圧を変化させる必要がある。

【0059】

30

前述したように、単位画素には常に個別的に提供されるデータ電圧により横電界を形成できるので、ゲートラインが長くなることによって線抵抗が発生しても、ライン・ディレイ現象が発生しなくなる。

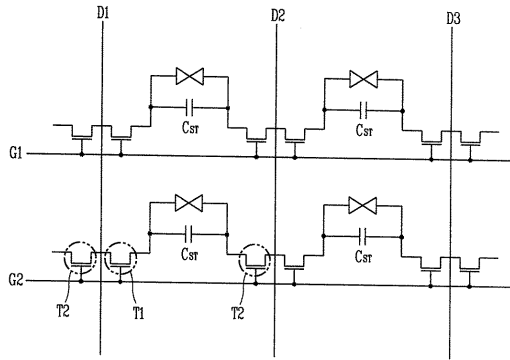
即ち、従来は、ゲート電圧及びデータ電圧により画素電極の電圧が決定され、このように決定された画素電極の電圧、及び共通電圧により画像情報が実現されるが、本発明においては、隣接するデータ電圧の差により画像情報が決定されるので、単位画素または隣接する単位画素に形成される薄膜トランジスタの特性が殆ど同一であれば、画面全体においてライン・ディレイによる不良が発生しなくなる。

【0060】

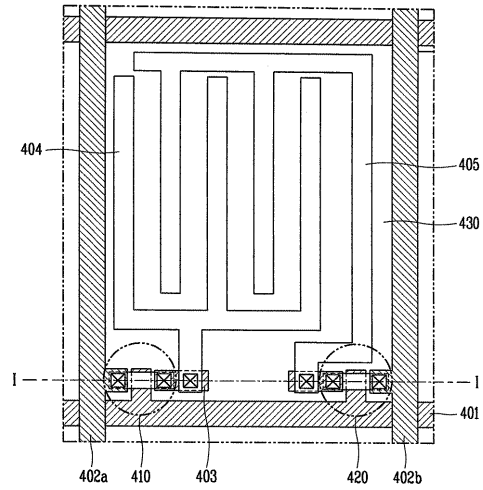
また、基板の位置によって薄膜トランジスタの性能にバラツキが発生しても、隣接する薄膜トランジスタ間でバラツキがなければ、画質が低下する問題が発生しない。

40

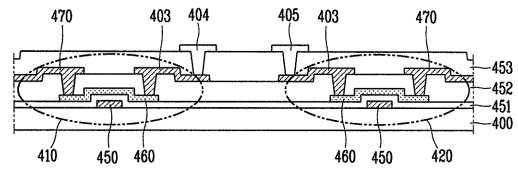
【図 1】



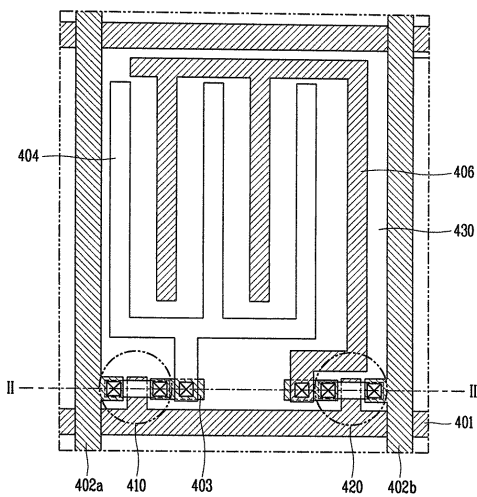
【図 2 A】



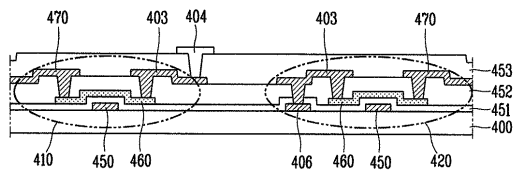
【図 2 B】



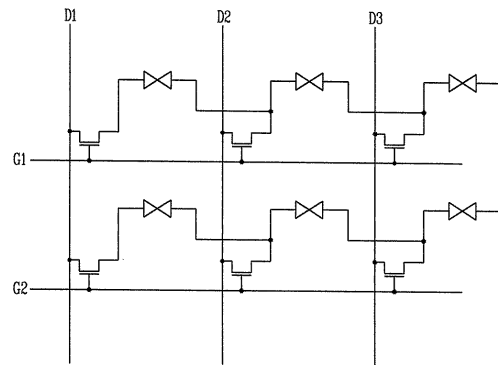
【図 3 A】



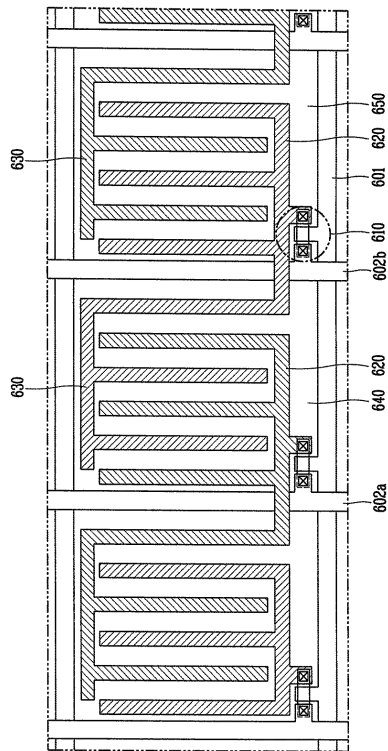
【図 3 B】



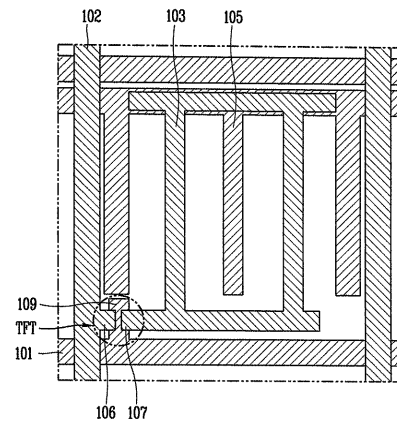
【図 4】



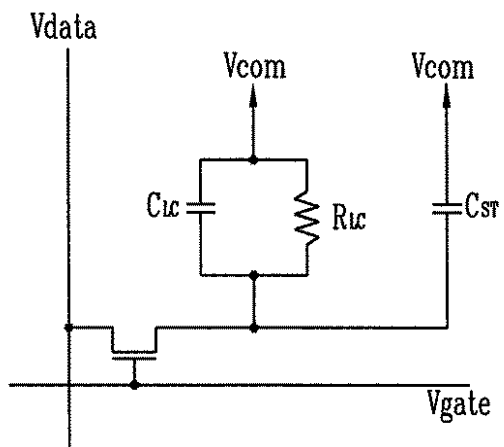
【図 5】



【図 6】



【図 7】



フロントページの続き

F ターム(参考) 2H092 GA14 HA04 JA26 JB42 JB57 JB58 KA18 KB04 KB14 NA07
NA24 NA27 NA28 NA29 QA09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2011209763A	公开(公告)日	2011-10-20
申请号	JP2011164462	申请日	2011-07-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	チョンジンパク		
发明人	チョン-ジン・パク		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1362 G09G3/36		
CPC分类号	G02F1/134363 G02F1/13624 G02F2201/122 G02F2201/124 G02F2201/40 G09G3/3659 G09G2300/0809		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/HA04 2H092/JA26 2H092/JB42 2H092/JB57 2H092/JB58 2H092/KA18 2H092/KB04 2H092/KB14 2H092/NA07 2H092/NA24 2H092/NA27 2H092/NA28 2H092/NA29 2H092/QA09 2H192/AA24 2H192/BB03 2H192/BB52 2H192/BB73 2H192/BC31 2H192/CB12 2H192/CC62 2H192/GA42 2H192/GD61 2H192/JA32		
代理人(译)	Kajinami秩序 上田俊一		
优先权	1020040118365 2004-12-31 KR		
其他公开文献	JP5562912B2		
外部链接	Espacenet		

摘要(译)

线延迟现象，开口率和开关元件的减小，通过形成电极，该电极从每个单位像素的相邻数据线接收数据电压并形成横向电场而不提供公共电极。本发明提供一种面内切换模式液晶显示装置，其能够解决由于变化引起的图像质量劣化等问题。由多条栅极线401和多条数据线402a和402b限定的单位像素430与多条栅极线401以及栅极线401和单位像素430垂直相交。一对开关元件410和420形成在与数据线402a和402b的交叉点处，并且电极404和405分别连接到该对开关元件410和420。[选定图]图2A。

