

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-170349

(P2011-170349A)

(43) 公開日 平成23年9月1日(2011.9.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 623B	5C006
G02F 1/133 (2006.01)	G09G 3/20 623R	5C080
	G09G 3/20 670D	
	G09G 3/20 612G	
審査請求 未請求 請求項の数 10 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2011-24042 (P2011-24042)
 (22) 出願日 平成23年2月7日 (2011.2.7)
 (31) 優先権主張番号 10-2010-0014728
 (32) 優先日 平成22年2月18日 (2010.2.18)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea

(74) 代理人 100086368

弁理士 萩原 誠

(72) 発明者 高 在 弘
 大韓民国ソウル特別市城内3洞410-1
 6番地 ハンソルアパート101棟100
 4号

最終頁に続く

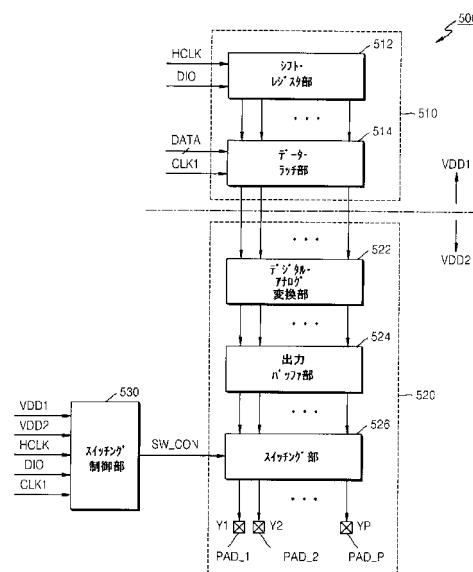
(54) 【発明の名称】 液晶パネル駆動方法、これを具現するソース・ドライバ及び液晶表示装置

(57) 【要約】

【課題】パワーオンまたはパワーオフ時に、液晶パネルに意図しない映像データがディスプレイされるのを防止する液晶駆動方法、これを具現するソース・ドライバ及び液晶表示装置を提供する。

【解決手段】ソース・ドライバは、複数個の出力バッファ、複数個の出力パッド及び複数個の出力バッファと複数個の出力パッドとの間に位置し、複数個の出力パッドの電気的連結状態を制御するスイッチング部を含み、該スイッチング部は、電源電圧のレベルアップまたはレベルダウンが感知されれば、既定の区間の間、複数個の出力バッファの出力信号が、対応する出力パッドを介して、液晶パネルに伝達されることを遮断しつつ、複数個の出力パッドを互いに連結するか、複数個の出力パッドから接地への放電経路を提供するかのうち少なくともいづれか一つを行うことを特徴とする液晶パネル駆動方法、これを具現するソース・ドライバ及び液晶表示装置である。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

液晶パネルのソースラインを駆動するソース・ドライバにおいて、
複数個の出力バッファと、
複数個の出力パッドと、

前記複数個の出力バッファと前記複数個の出力パッドとの間に位置し、前記複数個の出力パッドの電氣的連結状態を制御するスイッチング部と、を含み、

前記スイッチング部は、電源電圧のレベルアップまたはレベルダウンが感知されれば、既定の区間の間、前記複数個の出力バッファの出力信号が、対応する前記出力パッドを介して、前記液晶パネルに伝達されることを遮断しつつ、前記複数個の出力パッドを互いに連結するか、前記複数個の出力パッドから接地への放電経路を提供するかのうち少なくともいずれか一つを行うことを特徴とするソース・ドライバ。

10

【請求項 2】

前記スイッチング部は、

それぞれ前記電源電圧のレベルアップまたはレベルダウンが感知されれば、前記複数個の出力バッファのうち対応する出力バッファの出力端子と、前記複数個の出力パッドのうち対応する出力パッドとの連結を遮断（ターンオフ）させる複数個の第 1 スイッチと、

それぞれ前記電源電圧のレベルアップまたはレベルダウンが感知されれば、前記複数個の出力パッドのうち対応する 2 つの出力パッドを互いに連結（ターンオン）させる複数個の第 2 スイッチと、

20

前記電源電圧のレベルアップまたはレベルダウンが感知されれば、前記複数個の出力パッドを接地端子と連結（ターンオン）させる少なくとも 1 つの第 3 スイッチと、を含むことを特徴とする請求項 1 に記載のソース・ドライバ。

【請求項 3】

前記複数個の第 1 スイッチ、前記複数個の第 2 スイッチ、及び前記少なくとも 1 つの第 3 スイッチを制御するスイッチング制御信号を生成するスイッチング制御部をさらに含むことを特徴とする請求項 2 に記載のソース・ドライバ。

【請求項 4】

前記スイッチング制御部は、

前記電源電圧のレベルアップまたはレベルダウンを感知し、リセット信号を生成する電源感知部と、

30

前記リセット信号に応答して初期化された後、外部から入力される少なくとも 1 つの制御信号に応答し、前記スイッチング制御信号を出力するスイッチング制御信号生成部と、を含むことを特徴とする請求項 3 に記載のソース・ドライバ。

【請求項 5】

前記スイッチング制御信号生成部は、

前記リセット信号に応答して初期化され、前記少なくとも 1 つの制御信号が n （ n は自然数）回トグルングされた後、以前の出力レベルが反転されることを特徴とする請求項 4 に記載のソース・ドライバ。

【請求項 6】

40

前記電源感知部は、

第 1 電源電圧のレベルアップに応答し、オン感知信号を生成するパワーオン感知部と、

第 2 電源電圧のレベルダウンに応答し、オフ感知信号を生成するパワーオフ感知部と、

前記オフ感知信号の電圧レベルを、前記第 1 電源電圧レベルに変換して出力する第 1 レベル変換部と、

前記パワーオン感知部の出力と、前記第 1 レベル変換部の出力とを否定論理和し、前記リセット信号を生成する NOR ゲートと、を含み、

前記スイッチング制御信号生成部は、

前記リセット信号に応答して初期化され、前記少なくとも 1 つの制御信号が n 回トグルングされた後に、以前出力レベルが反転される検出部と、

50

前記検出部の出力レベルを、前記第 2 電源電圧レベルに変換して出力する第 2 レベル変換部と、

前記パワーオフ感知部の出力と前記第 2 レベル変換部の出力とを論理和し、前記スイッチング制御信号を生成する OR ゲートと、を含むことを特徴とする請求項 5 に記載のソース・ドライバ。

【請求項 7】

前記検出部は、

前記スイッチング制御信号生成部が、前記 1 つの制御信号に応答して動作する場合に、前記リセット信号に応答して初期化され、前記 1 つの制御信号が n 回トグルングされるたびに、以前出力レベルが反転される分周器と、

前記リセット信号に応答して初期化され、前記分周器の出力に응答し、以前出力レベルが反転されて出力されるフリップフロップとを、含むことを特徴とする請求項 6 に記載のソース・ドライバ。

【請求項 8】

前記検出部は、

前記スイッチング制御信号生成部が、前記複数個の制御信号に응答して動作する場合に、それぞれ前記リセット信号に응答して初期化され、前記対応する制御信号が n 回トグルングされるたびに、以前出力レベルが反転される複数個の分周器と、

それぞれ前記リセット信号に응答して初期化され、前記対応する分周器の出力に응答して、以前出力レベルが反転される複数個のフリップフロップと、

前記複数個のフリップフロップの出力を否定論理和して出力する NAND ゲートと、を含むことを特徴とする請求項 6 に記載のソース・ドライバ。

【請求項 9】

複数本のゲートライン及び複数本のソースラインが垂直に交差し、その交差部ごとにスイッチング素子を具備した画素領域が配列された液晶パネルと、

前記複数本のゲートラインにスキャン信号を順次に印加するゲート・ドライバと、

受信されたデジタル映像データに相応するアナログ階調信号を生成し、前記複数本のソースラインに提供するソース・ドライバと、

前記デジタル画像データを前記ソース・ドライバに伝達し、前記ゲート・ドライバ及び前記ソース・ドライバを制御するタイミング・コントローラと、を含み、

前記ソース・ドライバは、

複数個の出力バッファと、

前記液晶パネルのソースラインと連結された複数個の出力パッドと、

前記複数個の出力バッファと前記複数個の出力パッドとの間に位置し、前記複数個の出力パッドの電氣的連結状態を制御するスイッチング部と、を含み、

前記スイッチング部は、電源電圧のレベルアップまたはレベルダウンが感知されれば、既定の区間の間、前記複数個の出力バッファの出力信号が、対応する前記出力パッドを介して、前記液晶パネルに伝達されることを遮断しつつ、前記複数個の出力パッドを互いに連結するチャージシェアリング、及び前記複数個の出力パッドから接地への放電経路を提供するディスチャージングのうち、少なくともいずれか一つを行うことを特徴とする液晶表示装置。

【請求項 10】

前記スイッチング部は、

それぞれ前記電源電圧のレベルアップまたはレベルダウンが感知されれば、前記複数個の出力バッファのうち対応する出力バッファの出力端子と、前記複数個の出力パッドのうち対応する出力パッドとの連結を遮断（ターンオフ）させる複数個の第 1 スイッチと、

それぞれ前記電源電圧のレベルアップまたはレベルダウンが感知されれば、前記複数個の出力パッドのうち対応する 2 つの出力パッドを互いに連結（ターンオン）させる複数個の第 2 スイッチと、

前記電源電圧のレベルアップまたはレベルダウンが感知されれば、前記複数個の出力バ

10

20

30

40

50

ッドを接地端子と連結（ターンオン）させる少なくとも１つの第３スイッチと、を含み、
前記液晶表示装置は、

前記複数個の第１スイッチ、前記複数個の第２スイッチ、及び前記少なくとも１つの第
３スイッチを制御するスイッチング制御信号を出力するスイッチング制御部をさらに含む
ことを特徴とする請求項９に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置駆動技術に係り、具体的には、パワーオン時またはパワーオフ
時に、液晶パネルに意図しない映像データがディスプレイされることを防止できる液晶駆
動方法、これを実現するソース・ドライバ及び液晶表示装置に関する。

10

【背景技術】

【０００２】

本発明に関連した先行技術としては、特許文献１及び特許文献２などがある。

図１は、従来の液晶表示装置のブロック図である。図１を参照すれば、液晶表示装置１
００は、液晶パネル１４０、液晶パネル１４０のゲートラインＧ１ないしＧＱを順次に活
性化させるためのゲート・ドライバ１３０、液晶パネル１４０のソースラインＹ１ないし
ＹＰにアナログ階調信号を印加するソース・ドライバ１１０、外部電圧を利用して必要な
動作電圧を生成する駆動電圧生成部１５０、及びソース・ドライバ１１０とゲート・ドラ
イバ１３０との駆動タイミングを制御するためのタイミング・コントローラ１２０を具備
する。液晶表示装置１００に電源が印加されれば、タイミング・コントローラ１２０は、
外部から液晶パネル１４０にディスプレイしようとする画像データを受信及び加工し、ソ
ース・ドライバ１１０に提供する。ソース・ドライバ１１０は、タイミング・コントロー
ラ１２０から提供された画像データＤＡＴＡを受信し、これに相応するアナログ階調信号
を生成し、液晶パネル１４０のソースラインＹ１ないしＹＰに提供する。アナログ階調信
号は、液晶パネル１４０の画素領域１４２に電界を印加し、これによって、液晶の光学的
特性、すなわち、光透過量が調節され、所望のデータが液晶パネル１４０にディスプレ
イされる。

20

【０００３】

しかし、従来の液晶表示装置１００に電源が印加される場合には、縦縞状の画像が非正
常的にディスプレイされる現象が現れる。また、液晶表示装置１００に印加された電源が
遮断される場合にも、縦縞状の画像が非正常的にディスプレイされて消える現象が現れる
。さらに、液晶表示装置１００の電源を遮断していて、すぐに印加する場合にも、このよ
うな現象が現れる。前記のような縦縞状の画像がディスプレイされることは、意図するこ
ところではなく、これによって、不要な電力消費を招き、液晶表示装置１００の画質低下を
もたらす。従って、液晶表示装置１００で、電源が印加されたり遮断される場合に、意図
しない画像が非正常的にディスプレイされる現象を解決するための方策が要望されている
。

30

【先行技術文献】

【特許文献】

40

【０００４】

【特許文献１】特開２００７－２９８７３７号公報

【特許文献２】特開２００９－０５８９４２号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

本発明が解決しようとする課題は、電源が印加されたり遮断される場合に、意図しない
画像データがディスプレイされることを防止するための液晶パネル駆動方法を提供するこ
とである。

本発明が解決しようとする他の課題は、前記液晶パネル駆動方法を具現するソース・ド

50

ライバを提供することである。

本発明が解決しようとするさらに他の課題は、前記液晶パネル駆動方法を具現する液晶表示装置を提供することである。

【課題を解決するための手段】

【0006】

前記課題を達成するための本発明の一実施形態による液晶パネル駆動方法は、電源電圧のレベルアップ（level-up）またはレベルダウン（level-down）を感知してリセット信号を生成する感知段階、及び前記リセット信号に応答して、基準区間の間、液晶パネルの画素領域にアナログ階調信号が印加されることを防止しつつ、前記液晶パネルの画素領域間で互いに電荷を共有することと、前記液晶パネルの画素領域の電荷を接地に放電することとのうち、少なくともいずれか一つが行われるディスチャージング段階を含むことを特徴とする。

10

【0007】

前記他の課題を達成するための本発明の一実施形態によるソース・ドライバは、複数個の出力バッファ、複数個の出力パッド、及び前記複数個の出力バッファと前記複数個の出力パッドとの間に位置し、前記複数個の出力パッドの電氣的連結状態を制御するスイッチング部を含み、前記スイッチング部は、電源電圧のレベルアップまたはレベルダウンが感知されれば、既定の区間の間、前記複数個の出力バッファの出力信号が、対応する前記出力パッドを介して、前記液晶パネルに伝達されることを遮断しつつ、前記複数個の出力パッドを互いに連結することと、前記複数個の出力パッドから接地への放電経路を提供することとのうち少なくともいずれか一つを行うことを特徴とする。

20

【0008】

前記さらに他の課題を達成するための本発明の一実施形態による液晶表示装置は、複数本のゲートライン及び複数本のソースラインが垂直に交差し、その交差部ごとにスイッチング素子を具備した液晶セルが配列された液晶パネル、前記複数本のゲートラインにスキャン信号を順次に印加するゲート・ドライバ、受信されたデジタル映像データに対応するアナログ階調信号を生成し、前記複数本のソースラインに提供するソース・ドライバ、及び前記デジタル画像データを前記ソース・ドライバに伝達し、前記ゲート・ドライバ及び前記ソース・ドライバを制御するタイミング・コントローラを含む。前記ソース・ドライバは、複数個の出力バッファ、前記液晶パネルのソースラインと連結された複数個の出力パッド、及び前記複数個の出力バッファと前記複数個の出力パッドとの間に位置し、前記複数個の出力パッドの電氣的連結状態を制御するスイッチング部を含み、前記スイッチング部は、電源電圧のレベルアップまたはレベルダウンが感知されれば、既定の区間の間、前記複数個の出力バッファの出力信号が、対応する前記出力パッドを介して、前記液晶パネルに伝達されることを遮断しつつ、前記複数個の出力パッドを互いに連結するチャージシェアリング及び前記複数個の出力パッドから接地への放電経路を提供するディスチャージングのうち少なくともいずれか一つを行うことを特徴とする。

30

【発明の効果】

【0009】

本発明によれば、電源が印加されたり遮断される場合に、意図しない画像がディスプレイされることが防止され、低電力及び高品質の液晶表示装置が具現できる。

40

【図面の簡単な説明】

【0010】

【図1】従来の液晶表示装置のブロック図。

【図2】図1に開示されたソース・ドライバのブロック図。

【図3】図1の液晶表示装置がパワーオン状態に進入する場合の動作を示すタイミング図。

【図4】図1の液晶表示装置がパワーオフ状態に進入する場合の動作を示すタイミング図。

【図5】本発明の一実施形態によるソース・ドライバのブロック図。

50

【図 6】図 5 に図示されたアナログ階調信号出力部の具体的な構成を示すブロック図。

【図 7 A】本発明の一実施形態によるソース・ドライバの出力ディセーブル動作を示す図

。

【図 7 B】本発明の一実施形態によるソース・ドライバの正常出力動作を示す図。

【図 8】図 5 に開示されたスイッチング制御部のブロック図。

【図 9】図 8 に開示されたスイッチング制御部の一実施形態を示す回路図。

【図 10】図 8 に開示されたスイッチング制御部の一実施形態を示す回路図。

【図 11 A】図 9 及び図 10 に開示されたパワーオン感知部の一実施形態を示す回路図。

【図 11 B】図 11 A に図示された回路に係わるシミュレーション結果を示す図。

【図 12 A】図 9 及び図 10 に開示されたパワーオフ感知部の一実施形態を示す回路図。

10

【図 12 B】図 12 A に開示された回路に係わるシミュレーション結果を示すグラフ。

【図 13】本発明の一実施形態による液晶表示装置のブロック図。

【図 14】本発明の一実施形態による液晶表示装置のブロック図。

【図 15】本発明の一実施形態による液晶表示装置の動作を示すタイミング図。

【図 16】電源印加（パワーオン）時、本発明の一実施形態による液晶パネル駆動方法のフローチャート。

【図 17】電源遮断（パワーオフ）時、本発明の一実施形態による液晶パネル駆動方法のフローチャート。

【発明を実施するための形態】

【0011】

20

本発明、本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施形態を例示する添付図面及び図面に記載された内容を参照しなければならない。

以下、添付された図面を参照しつつ、本発明の望ましい実施形態について説明することによって、本発明について詳細に説明する。

【0012】

図 2 は、図 1 に図示されたソース・ドライバ 110 のブロック図である。図 2 を参照すれば、ソース・ドライバ 110 は、第 1 電源 VDD1 によって駆動される部分として、シフト・レジスタ部 210 及びデータ・ラッチ部 220 を含む。また、第 1 電源 VDD1 より高電圧である第 2 電源 VDD2 によって駆動される部分として、デジタル・アナログ変換部 230、出力バッファ部 240 を含む。

30

【0013】

シフト・レジスタ部 210 は、デジタル画像データ DATA が順次にデータ・ラッチ部 220 に保存されるタイミングを制御する。データ・ラッチ部 220 は、シフトされて出力されるラッチ信号 DIO に応答して、デジタル画像データ DATA を受信して保存し、1 本の水平ラインに該当する画像データの保存が完了すれば、出力制御信号 CLK1 に応答して、保存された画像データ DATA を出力する。デジタル・アナログ変換部 230 は、データ・ラッチ部 220 から出力された画像データ DATA を受信し、出力制御信号 CLK1 に応答して、画像データに相応するアナログ階調信号を出力する。出力バッファ部 240 は、デジタル・アナログ変換部 230 から出力されたアナログ階調信号をバッファリングして出力する。

40

【0014】

図 3 は、図 1 に図示された液晶表示装置 100 が、パワーオン状態に進入する場合の動作を示すタイミング図である。図 1 ないし図 3 を参照すれば、液晶表示装置 100 に電源が印加される場合、第 1 電源 VDD1 と第 2 電源 VDD2 とが、ソース・ドライバ 110 に供給される。第 1 電源 VDD1 は、ソース・ドライバ 110 のロジック回路を駆動するための電源（LOW POWER）であり、第 2 電源 VDD2 は、ソース・ドライバ 110 のアナログ回路を駆動するための電源（HIGH POWER）である。液晶表示装置 100 は、外部から提供された第 1 電源 VDD1 を利用し、第 2 電源 VDD2 を内部で生成する。従って、まず第 1 電源 VDD1 が t1 時間で安定化され、その後、第 2 電源 VDD2 が t2 時間で安

50

定化される。第 1 電源 V D D 1 及び第 2 電源 V D D 2 が安定化された後でも、一定時間が過ぎてから、デジタル画像データ D A T A がソース・ドライバ 1 1 0 に伝えられる。

【 0 0 1 5 】

具体的に、デジタル画像データ D A T A、ソース・ドライバ 1 1 0 のデータ・ラッチ・タイミングを制御するラッチ信号 D I O、及びアナログ階調信号の出力タイミングを制御する出力制御信号 C L K 1 が、t 3 時間で、タイミング・コントローラ 1 2 0 からソース・ドライバ 1 1 0 に伝えられ始める。出力制御信号 C L K 1 は、ソース・ドライバ 1 1 0 のデータ・ラッチ部 2 2 0 に保存された画像データに相応するアナログ階調信号を、液晶パネル 1 4 0 のソースライン Y 1 ないし Y P に印加するタイミングを制御する。出力制御信号 C L K 1 がロー (low) レベルであるとき、ソース・ドライバ 1 1 0 は、アナログ階調信号を液晶パネル 1 4 0 に印加する。t 1 - t 3 区間では、ソース・ドライバ 1 1 0 がタイミング・コントローラ 1 2 0 からデジタル画像データ D A T A を受信せず、出力制御信号 C L K 1 がロー (low) レベルである状態であるから、ソース・ドライバ 1 1 0 のデータ・ラッチ部 2 2 0 に保存されている不明な (unknown) データが液晶パネル 1 4 0 にディスプレイされる。これによって、液晶パネル 1 4 0 には、縦縞状の画像がディスプレイされ、ディスプレイ不良状態におかれる。タイミング・コントローラ 1 2 0 の種類ごとに異なるが、一般的に、タイミング・コントローラ 1 2 0 から液晶表示装置 1 0 0 に電源が印加される時点と、タイミング・コントローラ 1 2 0 からソース・ドライバ 1 1 0 にデジタル画像データ D A T A が正常に伝えられ始める時点との間には、ある程度の差が存在する。従って、液晶表示装置 1 0 0 に電源が印加されるとき、不明なデータが液晶パネル 1 4 0 にディスプレイされることを防止するためには、タイミング・コントローラ 1 2 0 の種類とは関係なしに、ソース・ドライバ 1 1 0 に正常なデータが入るまで、ソース・ドライバ 1 1 0 の出力が液晶パネル 1 4 0 に印加されることを防止する必要がある。

10

20

【 0 0 1 6 】

図 4 は、図 1 に図示された液晶表示装置 1 0 0 が、パワーオフ状態に進入する場合の動作を示すタイミング図である。図 1、図 2 及び図 4 を参照すれば、液晶表示装置 1 0 0 に提供された電源は、t 1 時間で遮断される。具体的に、t 1 時間で高電圧である第 2 電源 V D D 2 の電圧レベルが、まずドロップし始め、ロジック駆動電源の第 1 電源 V D D 1 が、t 3 でドロップし始める。t 1 時間後には、それ以上デジタル画像データ D A T A、ソース・ドライバ 1 1 0 のデータ・ラッチ・タイミングを制御する水平開始信号 D I O、及びアナログ階調信号の出力タイミングを制御する出力制御信号 C L K 1 が、タイミング・コントローラ 1 2 0 からソース・ドライバ 1 1 0 に伝えられない。

30

【 0 0 1 7 】

ソース・ドライバ 1 1 0 に提供された第 2 電源 V D D 2 は、t 1 時間で、ドロップし始め、緩慢な傾斜をもって t 2 時間で接地レベルに収斂する。結局、t 1 時間で電源が遮断されても、第 2 電源 V D D 2 は、t 2 時間前まで完全に接地レベルには落ちない。t 1 - t 2 区間で、ソース・ドライバ 1 1 0 は、水平開始信号 D I O がローレベルであるから、デジタル画像データ D A T A をラッチしないが、出力制御信号 C L K 1 がローレベルであるから、液晶パネル 1 4 0 には、データ・ラッチ部 2 2 0 に保存されたデータがディスプレイされる。これによって、ソース・ドライバ 1 1 0 は、t 1 - t 2 区間で、データ・ラッチ部 2 2 0 に保存されている不明なデータを、液晶パネル 1 4 0 にディスプレイすることになり、意図しない縦縞状の画像がディスプレイされる。従って、電源が遮断される場合 (パワーオフ) にも、電源が印加される場合 (パワーオン) と同様に、不明なデータが液晶パネル 1 4 0 にディスプレイされることを防止する必要がある。

40

【 0 0 1 8 】

一方、t 1 - t 2 区間で、不明なデータが液晶パネル 1 4 0 にディスプレイされることを防止しても、電源が遮断される t 1 時間前に、液晶パネル 1 4 0 の各画素領域 1 4 2 に充電されていた電荷の存在が残像を誘発させうる。液晶表示装置 1 0 0 に供給された電源が遮断される場合 (パワーオフ)、液晶パネル 1 4 0 の各画素領域 1 4 2 に充電されていた電圧は、緩慢に放電することになるが、これは、画素領域 1 4 2 に充電された電圧が、

50

ターンオフされた薄膜トランジスタ（ＴＦＴ）の漏れ電流を介して接地電位に徐々に収斂されることによる。従って、パワーオフ時に、不明なデータが液晶パネル１４０にディスプレイされることを防止すると同時に、画素領域に残っている電荷をいち早く放電させる必要がある。

【００１９】

図５は、本発明の一実施形態によるソース・ドライバのブロック図である。図５を参照すれば、本発明の一実施形態によるソース・ドライバ５００は、デジタルデータ受信部５１０、アナログ階調信号出力部５２０を具備する。デジタルデータ受信部５１０は、第１電源ＶＤＤ１によって駆動される部分であり、シフト・レジスタ部５１２及びデータ・ラッチ部５１４を含む。アナログ階調信号出力部５２０は、第１電源より高電圧の第２電源ＶＤＤ２によって駆動される部分であり、デジタル・アナログ変換部５２２、出力バッファ部５２４、スイッチング部５２６及び複数個の出力パッドPAD__１ないしPAD__Ｐを含む。

10

【００２０】

シフト・レジスタ部５１２は、デジタル画像データＤＡＴＡが順次にデータ・ラッチ部５１４に保存されるタイミングを制御する。シフト・レジスタ部５１２は、クロック信号ＨＣＬＫに応答して受信された水平開始信号ＤＩＯをシフトさせる。タイミング・コントローラ（図示せず）から伝えられるデジタル画像データＤＡＴＡは、順次にシフトされて出力される水平開始信号ＤＩＯに응答して、データ・ラッチ部５１４に保存される。

【００２１】

データ・ラッチ部５１４は、シフトされて出力される水平開始信号ＤＩＯに응答して、デジタル画像データＤＡＴＡを受信して保存し、１本の水平ラインに該当する画像データの保存が完了すれば、出力制御信号ＣＬＫ１に응答して、保存された画像データＤＡＴＡを出力する。

20

【００２２】

デジタル・アナログ変換部５２２は、前記データ・ラッチ部５１４から出力された画像データを受信し、出力制御信号ＣＬＫ１に응答して、画像データに相応するアナログ階調信号を出力する。

【００２３】

出力バッファ部５２４は、デジタル・アナログ変換部５２２から出力されたアナログ階調信号をバッファリングして出力する。

30

出力パッドPAD__１ないしPAD__Ｐは、ソース・ドライバ５００外部で、液晶パネル（図示せず）のソースラインが連結される部分である。従って、出力バッファ部５２４でバッファリングされて出力されたアナログ階調信号は、対応する出力パッドPAD__１ないしPAD__Ｐを経て、液晶パネル（図示せず）の各ソースラインに印加される。

【００２４】

スイッチング部５２６は、電源が印加（パワーオン）されたり、遮断（パワーオフ）される場合に、正常なデータが液晶パネルにディスプレイできるまで、出力バッファ部５２４と出力パッドPAD__１ないしPAD__Ｐとの連結を遮断する。また、出力バッファ部５２４と出力パッドPAD__１ないしPAD__Ｐとの連結が遮断された状態で、液晶パネル（図示せず）のソースラインを互いに連結し、チャージシェアリング（charge sharing）を行い、液晶パネル（図示せず）の画素領域に残存する電荷を接地に放電させる。

40

【００２５】

本発明の一実施形態によるソース・ドライバ５００は、スイッチング部５２６を制御するスイッチング制御部５３０をさらに具備できる。スイッチング制御部５３０は、電源が印加（パワーオン）されたり遮断（パワーオフ）されることを感知し、ソース・ドライバ５００を制御するために、タイミング・コントローラ（図示せず）で生成された制御信号、例えば、クロック信号ＨＣＬＫ、水平開始信号ＤＩＯ及び出力制御信号ＣＬＫ１に응答し、スイッチング部５２６を制御するためのスイッチング制御信号ＳＷ__ＣＯＮを生成する。

50

【 0 0 2 6 】

図 6 は、図 5 に開示されたアナログ階調信号出力部 5 2 0 の一実施形態を示すブロック図である。図 6 を参照すれば、アナログ階調信号出力部 5 2 0 は、デジタル・アナログ変換部 5 2 2、出力バッファ部 5 2 4、スイッチング部 5 2 6、複数個の出力パッド PAD__1 ないし PAD__P を具備する。デジタル・アナログ変換部 5 2 2 は、複数個の D A C (digital-analog converter) D A C__1 ないし D A C__P を具備する。出力バッファ部 5 2 4 は、複数個のアンプ A m p__1 ないし A m p__P を具備する。スイッチング部 5 2 6 は、スイッチング制御信号 S W__C O N に応答して、アンプ (A M P) と対応する出力パッド PAD__1 ないし PAD__P を互いに連結したり遮断する複数個の出力スイッチ S W 1__1 ないし S W 1__P、スイッチング制御信号 S W__C O N に応答して、出力パッドを互いに連結したり遮断する複数個のチャージシェアリング・スイッチ S W 2__1 ないし S W 2__P、及びスイッチング制御信号 S W__C O N に応答して、前記出力パッド PAD__1 ないし PAD__P に連結された液晶パネル (図示せず) の画素領域の電荷を接地に放電させるための放電スイッチ S W 3__1 ないし S W 3__P を具備する。図 6 には例示的に、スイッチ S W 1, S W 2, S W 3 がいずれもスイッチング制御信号 S W__C O N に応答して制御されると図示されているが、必ずしもそれに限定されるものではない。例えば、スイッチ S W 1, S W 2, S W 3 それぞれは、独立した制御信号によって制御することもできる。また、図 6 には例示的に、出力パッド PAD__1 ないし PAD__P ごとに放電スイッチ S W 3 が連結されるよう図示されているが、必ずしもそれに限定されるものではない。チャージシェアリング及び放電が共になされる限り、放電スイッチ S W 3 は、少なくとも一つ以上であるならば十分であり、その個数は、放電スイッチの電気的特性によって、いくらでも調整が可能である。

10

20

【 0 0 2 7 】

図 7 A 及び図 7 B は、本発明の一実施形態によるソース・ドライバのスイッチング動作を示す図である。図 7 A を参照すれば、出力スイッチ S W 1 は、ハイレベル (HIGH) のスイッチング制御信号 S W__C O N に応答してオフ (OFF) になり、チャージシェアリング・スイッチ S W 2 及び放電スイッチ S W 3 は、ハイレベルのスイッチング制御信号 S W__C O N に応答してオン (ON) になるので、各出力パッド PAD__1 ないし PAD__P は、互いにチャージシェアリング・スイッチ S W 2 を介して接続され、液晶パネルのソースライン Y 1 ないし Y P に接続された各画素領域の電荷が、放電スイッチ S W 3 を介して接地に放電される。

30

【 0 0 2 8 】

図 7 B を参照すれば、チャージシェアリング・スイッチ S W 2 及び放電スイッチ S W 3 は、ローレベル (LOW) のスイッチング制御信号 S W__C O N に応答してオフ (OFF) になり、出力スイッチ S W 1 は、ローレベルのスイッチング制御信号 S W__C O N に応答してオン (ON) になるので、各出力アンプ (A M P) は、スペックに相応する特性をもって、所定の電荷を液晶パネルのソースライン Y 1 ないし Y P に接続された画素領域に充電する。

【 0 0 2 9 】

図 8 は、図 5 に開示されたスイッチング制御部のブロック図である。図 8 を参照すれば、スイッチング制御部 5 3 0 は、電源感知部 8 1 0 及びスイッチング制御信号生成部 8 2 0 を具備する。電源感知部 8 1 0 は、電源が印加されているか否か、または電源が遮断されているか否かをチェックし、スイッチング制御信号生成部 8 2 0 に、オフ感知信号 P O F F とリセット信号 R S T とを伝送する。リセット信号 R S T は、電源が印加された場合、または電源が遮断された場合、1 回トグルリング (toggling) されうる。オフ感知信号 P O F F は、電源が遮断された場合、1 回トグルリングされうる。

40

スイッチング制御信号生成部 8 2 0 は、電源感知部 8 1 0 から伝えられたオフ感知信号 P O F F 及びリセット信号 R S T を受信し、タイミング・コントローラ (図示せず) から伝送されるクロック信号 H C L K、水平開始信号 D I O 及び出力制御信号 C L K 1 に応答して、スイッチング制御信号 S W__C O N を生成する。

50

【 0 0 3 0 】

図 9 は、図 8 に開示されたスイッチング制御部 5 3 0 の一実施形態を示すブロック図である。図 8 を参照すれば、スイッチング制御部 5 3 0 は、電源感知部 8 1 0 及びスイッチング制御信号生成部 8 2 0 を具備する。

【 0 0 3 1 】

電源感知部 8 1 0 は、電源が印加されたか否か、または電源が遮断されたか否かをチェックし、スイッチング制御信号生成部 8 2 0 に、オフ感知信号 P O F F とリセット信号 R S T とを伝送する。具体的に電源感知部 8 1 0 は、第 2 電源 V D D 1 で駆動されるパワーオフ感知部 8 1 2、第 1 電源 V D D 1 で駆動されるパワーオン感知部 8 1 4、第 1 レベル変換部 8 1 6、及び第 1 電源 V D D 1 で駆動される N O R ゲート N R を具備できる。パワーオン感知部 8 1 4 は、第 1 電源 V D D 1 電圧のレベルアップに応答して、オン感知信号 P O N を生成する。電源が印加され、液晶表示装置（図示せず）がパワーオン状態に進入する場合、第 2 電源 V D D 2 は、第 1 電源 V D D 1 を利用して生成されるので、第 1 電源 V D D 1 の電圧レベルがまず上昇する。従って、パワーオン感知部 8 1 4 は、第 1 電源 V D D 1 のレベルアップを感知し、ハイレベルのオン感知信号 P O N を生成する。

【 0 0 3 2 】

パワーオフ感知部 8 1 2 は、第 2 電源 V D D 2 電圧のレベルダウンに応答して、オフ感知信号 P O F F を生成する。液晶表示装置（図示せず）が、パワーオフ状態に進入する場合、第 2 電源 V D D 2 のレベルダウンを感知し、ハイレベルのオフ感知信号 P O F F を生成する。パワーオフ感知部 8 1 2 は、第 2 電源 V D D 2 で駆動されるので、オフ感知信号 P O F F の電圧レベルは、第 1 電源で駆動されるパワーオン感知部 8 1 4 のオン感知信号 P O N の電圧レベルより高い。第 1 レベル変換部 8 1 6 は、オフ感知信号 P O F F の電圧レベルを、オン感知信号 P O N の電圧レベルに下げる。N O R ゲート N R は、レベル変換されたオフ感知信号 P O F F とオン感知信号 P O N とを否定論理和し、リセット信号 R S T を出力する。従って、電源感知部 8 1 0 は、液晶表示装置（図示せず）がパワーオン状態に進入する場合、及び液晶表示装置（図示せず）がパワーオフ状態に進入する場合に、ローレベルのリセット信号 R S T を出力する。

【 0 0 3 3 】

スイッチング制御信号生成部 8 2 0 は、電源感知部 8 1 0 から伝えられたオフ感知信号 P O F F 及びリセット信号 R S T を受信し、タイミング・コントローラ（図示せず）から伝送される出力制御信号 C L K 1 に応答して、スイッチング制御信号 S W _ C O N を生成する。具体的にスイッチング制御信号生成部 8 2 0 は、検出部 8 2 2、第 2 レベル変換部 8 2 8 及び O R ゲート O R を具備できる。検出部 8 2 2 は、電源感知部 8 1 0 から出力されるリセット信号 R S T に応答して初期化され、出力制御信号 C L K 1 が既定の回数だけトグルリングされれば、検出信号 C L K 1 _ E N のレベルを反転する。例えば、出力制御信号 C L K 1 が 1 6 回トグルリングした後で、検出信号 C L K 1 _ E N を出力するように設定すれば、検出信号 C L K 1 _ E N は、リセット信号 R S T に応答して、ローレベルに初期化された後、出力制御信号 C L K 1 のトグルリングが 1 6 までカウントされれば、ハイレベルの検出信号 C L K 1 _ E N を出力する。検出部 8 2 2 は、分周器 8 2 4 及びフリップフロップ（F / F）8 2 6 を具備できる。分周器 8 2 4 は、ローレベルのリセット信号 R S T に応答して初期化され、入力信号のトグルリング回数をカウントし、既定の回数だけトグルリングされれば、以前の出力レベルを反転させる。フリップフロップ 8 2 6 は、ローレベルのリセット信号 R S T に応答して初期化され、クロック端子に入力される分周器 8 2 4 の出力に応答して、データ入力端子に印加される値をラッチする。フリップフロップ 8 2 6 は、分周器 8 2 4 出力のレベル遷移に応答して、以前出力レベルを反転させるように構成されう。

【 0 0 3 4 】

従って、図 9 のフリップフロップ 8 2 6 は、トグルリングする出力制御信号 C L K 1 がデータ入力端子に印加されるように図示されているが、セットアップ・タイム及びホールド・タイムのマージンを十分に確保するために、第 1 電源 V D D 1 がデータ入力端子に印加

10

20

30

40

50

されんとする。第2レベル変換部828は、検出信号CLK1__ENの電圧レベルを変換して出力する。検出部822は、第1電源VDD1で駆動されるので、検出信号CLK1__ENの電圧レベルは、第2電源VDD2の電圧レベルより低い。スイッチング制御信号SW__CONによって制御されるスイッチング部526(図5)は、第2電源VDD2で駆動されるアナログ階調信号出力部520に含まれるので、検出信号CLK1__ENの電圧レベルを第2電源VDD2の電圧レベルに昇圧する必要がある。ORゲートORは、パワーオフ感知部812で生成されたオフ感知信号POFFと、第2レベル変換部828の出力とを論理和し、スイッチング制御信号SW__CONを生成する。例えば、液晶表示装置(図示せず)が、パワーオフ状態に進入したり、またはパワーオン状態に進入した後で、出力制御信号CLK1があらかじめ指定された回数だけトグルリングされれば、ローレベルのスイッチング制御信号SW__CONを出力する。

10

【0035】

図9のスイッチング制御部820は、説明の便宜のために、ソース・ドライバを制御するために、タイミング・コントローラが生成した複数個の制御信号のうち、出力制御信号CLK1のトグルリングをカウントするように図示されているが、カウント対象である制御信号の種類や個数が、必ずしも1つの出力制御信号CLK1に限定されるものではない。

【0036】

図10は、図8に開示されたスイッチング制御部530の一実施形態を示すブロック図である。図10を参照すれば、スイッチング制御部530は、電源感知部810及びスイッチング制御信号生成部820を具備する。図9のスイッチング制御部530とは異なり、3個の制御信号CLK1、DIO、HCLK)のトグルリング回数をカウントする構成である。具体的に、リセット信号RSTに応答して、ハイレベルのスイッチング制御信号SW__CONを出力し、出力制御信号CLK1、水平開始信号DIO及びクロック信号HCLKそれぞれのトグルリング回数をカウントし、第1検出信号CLK1__EN、第2検出信号DIO__EN及び第3検出信号HCLK__ENがいずれもハイレベルであるならば、ローレベルのスイッチング制御信号SW__CONを出力する。

20

【0037】

図10のスイッチング制御部は、説明の便宜のために、ソース・ドライバを制御するためにタイミング・コントローラが生成した複数個の制御信号のうち、出力制御信号CLK1、水平開始信号DIO及びクロック信号HCLKのトグルリング回数をカウントするように図示されているが、カウント対象である制御信号の種類や個数が、必ずしも1つの出力制御信号CLK1に限定されるものではない。

30

【0038】

図11Aは、図9及び図10に開示されたパワーオン感知部812の一実施形態を示す回路図である。図11Aを参照すれば、パワーオン感知部812は、第1キャパシタC1、第1PMOSトランジスタMP1及び第2PMOSトランジスタMP2、第1NMOSトランジスタないし第3NMOSトランジスタMN1ないしMN3、第1インバータIV1及び第2インバータIV2を具備する。

【0039】

第1キャパシタC1は、第1端子が第1電源電圧VDD1に連結され、第2端子が第1ノードN1に連結される。第3NMOSトランジスタMN3は、第1端子が第1ノードN1に連結され、第2端子が接地に連結され、ゲート端子が第2ノードN2に連結される。第1PMOSトランジスタMP1は、第1端子が第1電源電圧VDD1に連結され、ゲート端子と連結された第2端子は、第2PMOSトランジスタMP2の第1端子に連結される。第2PMOSトランジスタMP2は、第1端子が第1PMOSトランジスタMP1の第2端子に連結され、第2端子が第2NMOSトランジスタMN2の第1端子に連結され、ゲート端子が第2ノードN2に連結される。第2NMOSトランジスタMN2は、ゲート端子と連結された第1端子が第2PMOSトランジスタMP2の第2端子に連結され、第2端子が接地に連結される。第1NMOSトランジスタMN1は、第1端子が第1ノードN1に連結され、第2端子が接地に連結され、ゲート端子が第2ノードN

40

50

M O S トランジスタ M N 2 のゲート端子に連結される。第 1 インバータ I V 1 は、第 1 ノード N 1 の信号を反転して出力する。第 2 インバータ I V 2 は、第 2 ノード N 2 の信号を反転して出力する。

【 0 0 4 0 】

図 1 1 B は、図 1 1 A に図示された回路 8 1 4 に係わるシミュレーション結果を示す図である。図 1 1 B を参照すれば、第 1 電源 V D D 1 の電圧レベルが上昇する区間が 2 ヶ所ある。A 区間は、第 1 電源 V D D 1 が接地レベルから上昇する区間であり、液晶表示装置が初期パワーオン状態に進入する区間を示す。B 区間は、第 1 電源 V D D 1 電圧が第 1 臨界値より高レベルから上昇する区間である。例えば、液晶表示装置がパワーオフされた直後にパワーオンさせるときに生じうる区間を示す。

10

【 0 0 4 1 】

具体的な動作について述べれば、液晶表示装置が初期パワーオン状態に進入し、第 1 電源電圧 V D D 1 の電圧レベルが上昇すれば、第 1 ノード N 1 の電圧も上昇する。第 1 ノード N 1 の電圧が上昇することにより、第 2 ノード N 2 の電圧は下降する。第 2 ノード N 2 の電圧が低くなることにより、第 3 N M O S トランジスタ M N 3 は、オン状態からオフ状態に向かって変化する。第 2 ノード N 2 の電圧が低くなることにより、第 2 P M O S トランジスタ M P 2 は、オフ状態からオン状態に変化するので、第 2 N M O S トランジスタ M N 2 に流れる電流は増加する。電流ミラーリング (mirroring) によって、第 1 N M O S トランジスタ M N 1 にも同量の電流が流れ、これによって、上昇していた第 1 ノード N 1 の電圧はまた、接地レベルに向かって下降する。従って、液晶表示装置が初期パワーオン状態に進入すれば、第 1 ノード N 1 の電圧は、第 1 電源電圧 V D D 1 が上昇することによって上昇していき、第 2 臨界値に至れば、再び下降する三角波状のパルス形態となる。このような第 1 ノード N 1 の電圧は、第 1 インバータ及び第 2 インバータを介してバッファリングされ、図 1 1 B から分かるように、台形状のパルスが出力される。従って、液晶表示装置が初期パワーオン状態に進入すれば、出力信号 P O N が 1 回トグルングされる。しかし、B 区間の場合のように、第 1 電源 V D D 1 が第 1 臨界値以下から上昇しない限り、パワーオン状態に進入すると認識せず、出力信号 P O N がトグルングされない。図 1 1 A に図示されたパワーオン感知部 8 1 4 の構成は、1 つの例示であり、要求される条件によって、多様に設計されうる。

20

【 0 0 4 2 】

30

図 1 2 A は、図 9 及び図 1 0 に開示されたパワーオフ感知部の一実施形態を示す回路図である。図 1 2 A を参照すれば、パワーオフ感知部 8 1 2 は、駆動電圧生成部 1 2 2 0、電源電圧感知部 1 2 4 0 及びレベル変換部 1 2 6 0 を具備する。駆動電圧生成部 1 2 2 0 は、第 2 電源電圧 V D D 2 を利用し、電源電圧感知部 1 2 4 0 を駆動するための第 3 電源電圧 V D D 3 を生成する。具体的には、第 1 抵抗 R 1、第 2 抵抗 R 2 及び第 5 N M O S トランジスタ M N 5 を具備する。第 2 電源電圧 V D D 2 のレベルダウンを感知する電源電圧感知部 1 2 4 0 は、第 1 キャパシタ C 1、第 1 P M O S トランジスタないし第 4 P M O S トランジスタ M P 1 ないし M P 4、第 1 N M O S トランジスタないし第 4 N M O S トランジスタ M N 1 ないし M N 4 を具備する。また、レベル変換部 1 2 6 0 は、第 5 P M O S トランジスタないし第 8 P M O S トランジスタ M P 5 ないし M P 8、第 6 N M O S トランジスタ及び第 7 N M O S トランジスタ M N 6、M N 7 を含む。図 1 2 A に図示されたパワーオフ感知部 8 1 2 の構成は 1 つの例示であり、要求される条件によって、多様に設計されうる。

40

【 0 0 4 3 】

駆動電圧生成部 1 2 2 0 について述べれば、第 1 抵抗 R 1 は、第 1 端子が第 2 電源電圧 V D D 2 に連結され、第 2 端子が第 2 抵抗 R 2 の第 1 端子に連結される。第 2 抵抗 R 2 は、第 1 端子が第 1 抵抗 R 1 の第 2 端子に連結され、第 2 端子が第 5 N M O S トランジスタ M N 5 の第 1 端子に連結される。第 5 N M O S トランジスタ M N 5 は、第 1 端子が第 2 抵抗 R 2 の第 2 端子に連結され、第 2 端子が接地 G N D に連結され、ゲート端子が第 2 電源電圧 V D D 2 に連結される。このように、第 3 電源電圧 V D D 3 は、第 2 電源電圧 V

50

DD2を、第1抵抗R1と第2抵抗R2とによる電圧分配することにより生成されうる。

【0044】

電源電圧感知部1240について述べれば、第1 PMOSトランジスタMP1及び第1 NMOSトランジスタMN1は、1つのインバータを構成し、第1ノードN1の電圧を反転し、第2ノードN2に出力する。第1キャパシタC1は、第1端子が第2電源電圧VDD2に連結され、第2端子が第1ノードN1に連結される。第2 PMOSトランジスタMP2は、第1端子が第3電源電圧VDD3に連結され、第2端子が第1ノードN1に連結され、ゲート端子が第2ノードN2に連結される。第2 NMOSトランジスタMN2は、第1端子が第1ノードN1に連結され、第2端子が接地GNDに連結され、ゲート端子が第2ノードN2に連結される。

10

【0045】

第3 PMOSトランジスタ及び第4 PMOSトランジスタMP3, MP4は、電流ミラーを構成するが、第3 PMOSトランジスタMP3は、第1端子が第3電源電圧VDD3に連結され、第2端子が第1ノードN1に連結され、ゲート端子が第4 PMOSトランジスタMP4のゲート端子に連結される。第4 PMOSトランジスタMP4は、第1端子が第3電源電圧VDD3に連結され、第2端子が第3 NMOSトランジスタMN3の第1端子に連結され、ゲート端子が自体の第2端子に連結される。第3 NMOSトランジスタMN3は、第1端子が第4 PMOSトランジスタMP4の第2端子に連結され、第2端子が第4 NMOSトランジスタMN4の第1端子に連結され、ゲート端子が第2ノードN2に連結される。第4 NMOSトランジスタMN4は、第1端子及びゲート端子が第3 NMOSトランジスタMN3の第2端子に連結され、第2端子が接地GNDに連結される。

20

【0046】

具体的には、ソース・ドライバ回路を駆動する第2電源電圧VDD2が遮断される場合には、第1キャパシタC1によって第1ノードN1は、論理ローレベルの電圧を有する。その結果、第1 PMOSトランジスタMP1及び第1 NMOSトランジスタMN1によって具現されたインバータによって、第2ノードN2は、論理ハイレベルの電圧を有する。従って、第2 NMOSトランジスタMN2及び第3 NMOSトランジスタMN3がターンオンされ、第3 PMOSトランジスタMP3及び第4 PMOSトランジスタMP4がターンオンされることにより、第1ノードN1が接地GNDより低電圧に落ちないように制御されうる。このように、液晶表示装置がパワーオフ状態に進入することによって、ソース・ドライバ回路を駆動する第2電源電圧VDD2が遮断される場合に、電源電圧感知部1240は、第1ノードN1が接地GNDより低電圧に落ちないようにすることにより、第1 PMOSトランジスタMP1及び第2 NMOSトランジスタMN1のゲート端子には負電圧が加えられない。従って、第1 PMOSトランジスタMP1及び第2 NMOSトランジスタMN1は、負電圧によるダメージ(damage)を受けない。

30

【0047】

一方、ソース・ドライバ回路を駆動する第2電源電圧VDD2が供給される場合には、第1キャパシタC1によって、第1ノードN1は、論理ハイレベルの電圧を有する。その結果、第1 PMOSトランジスタMP1及び第1 NMOSトランジスタMN1によって具現されたインバータによって、第2ノードN2は、論理ローレベルの電圧を有する。従って、第1 NMOSトランジスタMN1及び第2 PMOSトランジスタMP2がターンオンされることによって、第1ノードN1が第2電源電圧VDD2より高電圧に上がらないように制御できる。このように、液晶表示装置がパワーオン状態において、ソース・ドライバ回路を駆動する第2電源電圧VDD2が供給される場合に、電源電圧感知部1260は、第1ノードN1が第3電源電圧VDD3より高電圧に上がらないようにすることによって、ディスプレイ装置の誤動作を防止できる。

40

【0048】

レベル変換部1260について具体的に述べれば、第5 PMOSトランジスタMP5は、第1端子が第2電源電圧VDD2に連結され、第2端子が第7 PMOSトランジス

50

タMP7の第1端子に連結され、ゲート端子が第1ノードN1に連結される。第6PMOSトランジスタMP6は、第1端子が第2電源電圧VDD2に連結され、第2端子が第8PMOSトランジスタMP8の第1端子に連結され、ゲート端子が第2ノードN2に連結される。第7PMOSトランジスタMP7は、第1端子が第5PMOSトランジスタMP5の第2端子に連結され、第2端子が第3ノードN3に連結され、ゲート端子が第4ノードN4に連結される。第8PMOSトランジスタMP8は、第1端子が第6PMOSトランジスタMP6の第2端子に連結され、第2端子が第4ノードN4に連結され、ゲート端子が第3ノードN3に連結される。第6NMOSトランジスタMN6は、第1端子が第3ノードN3に連結され、第2端子が接地GNDに連結され、ゲート端子が第1ノードN1に連結される。第7NMOSトランジスタMN7は、第1端子が第4ノードN4に連結され、第2端子が接地GNDに連結され、ゲート端子が第2ノードN2に連結される。

10

【0049】

具体的には、液晶表示装置がパワーオフ状態に進入することによってソース・ドライバ回路を駆動する第2電源電圧VDD2が遮断される場合、すなわち、第1ノードN1が論理ローレベルの電圧を有し、第2ノードN2が論理ハイレベルの電圧を有する場合には、第5PMOSトランジスタMP5、第7NMOSトランジスタMN7及び第7PMOSトランジスタMP7がターンオンされることによって、第3ノードN3は、第2電源電圧VDD2に相応する論理ハイレベルの電圧を有し、第4ノードN4は、接地GNDに相応する論理ローレベルの電圧を有する。従って、レベル変換部1260は、第2電源電圧VDD2に相応する論理ハイレベルの昇圧されたスイッチング制御信号POFFを出力する。一方、液晶表示装置がパワーオン状態において、ソース・ドライバ回路を駆動する第2電源電圧VDD2が供給される場合、すなわち、第1ノードN1が論理ハイレベルの電圧を有し、第2ノードN2が論理ローレベルの電圧を有する場合には、第6PMOSトランジスタMP6、第6NMOSトランジスタMN6及び第8PMOSトランジスタMP8がターンオンされることによって、第3ノードN3は、接地電圧GNDに相応する論理ローレベルの電圧を有し、第4ノードN4は、第2電源電圧VDD2に相応する論理ハイレベルの電圧を有する。従って、レベル変換部1260は、接地電圧GNDに相応する論理ローレベルの昇圧されたスイッチング制御信号POFFを出力する。

20

【0050】

前述のように、液晶表示装置がパワーオフ状態に進入することによって、ソース・ドライバ回路を駆動する第2電源電圧VDD1が遮断される場合に、第2電源電圧VDD2の電圧レベルが低くなりつつ、電源電圧感知部1240を駆動する第3電源電圧VDD3も共に低くなる。しかし、第2電源電圧VDD2より相対的に低電圧レベルを有する第3電源電圧VDD2によって生成される第1ノードN1の信号POFF_LVは、ソース・ドライバのスイッチング部(図示せず)内部のスイッチを制御できる十分な電圧レベルを有しない可能性もある。従って、レベル変換部1260は、第1ノードN1の信号POFF_LVの電圧レベルを、第2電源電圧VDD2に基づいて、レベル変換することによって、スイッチング部(図示せず)を制御できるに十分な電圧レベルを有するスイッチング制御信号POFFを生成できる。

30

40

【0051】

図12Bは、図12Aに開示された回路に係わるシミュレーション結果を示すグラフである。図12Bを参照すれば、液晶表示装置がパワーオン状態において、ソース・ドライバ回路を駆動する第2電源電圧VDD2が供給される区間PAでは、第1ノードN1が論理ハイレベルの電圧を有し、第3ノードN3が論理ローレベルの昇圧されたオフ感知信号POFFを生成する。また、液晶表示装置がパワーオフ状態に進入し、ソース・ドライバ回路を駆動する第2電源電圧VDD2が遮断される場合にも、第2電源電圧VDD2の電圧レベルが落ち始める第1時点Aから、第2電源電圧VDD2の電圧レベルが既設定の電圧レベルに達する第2時点Bまで、すなわち、第2区間PBでは、昇圧されたオフ感知信号POFFが論理ローレベルを維持する。

50

【 0 0 5 2 】

その後、第 2 電源電圧 V_{DD1} の電圧レベルが既設定の電圧レベルに達する第 2 時点 B で、昇圧されたオフ感知信号 P_{OFF} が論理ハイレベルに転換される。第 3 区間 PC で、第 1 ノード N1 の電圧は、電源電圧感知部 1240 によって、負電圧以下に落ちないので、パワーオフ感知部 812 が、論理ハイレベルのオフ感知信号 P_{OFF} を出力する間にも、電源電圧感知部 1220 の第 1 PMOS トランジスタ MP1 及び第 1 NMOS トランジスタ MN1 は、ダメージを受けない。また、第 3 区間 PC でオフ感知信号 P_{OFF} は、第 2 電源電圧 V_{DD2} と類似の波形を有するが、これは、電源電圧感知部 1240 から出力された信号 P_{OFF_LV} の電圧レベルをレベル変換部 1260 が、第 2 電源電圧 V_{DD2} に基づいてレベル変換し、昇圧されたオフ感知信号 P_{OFF} を生成するためである。

10

【 0 0 5 3 】

図 13 は、本発明の一実施形態による液晶表示装置のブロック図である。図 13 を参照すれば、液晶表示装置 1300 は、ソース・ドライバ 1310、ゲート・ドライバ 1330、タイミング・コントローラ 1320、液晶パネル 1340 及び駆動電圧生成部 1350 を具備する。

【 0 0 5 4 】

液晶パネル 1340 は、一方向に延長された複数のゲートライン G_1 ないし G_Q 、及びこれと直交する方向に延長された複数のソースライン Y_1 ないし Y_P を含み、ゲートライン G_1 ないし G_Q と、ソースライン Y_1 ないし Y_P との交差領域に設けられた画素領域 1342 を含む。画素領域 1342 には、薄膜トランジスタ TFT、液晶キャパシタ C_{LC} 及びストレージ・キャパシタ C_{st} などを含む画素が設けられる。これを介して、薄膜トランジスタ TFT は、ゲートライン G_1 ないし G_Q に印加されるゲート駆動信号によって動作し、ソースライン Y_1 ないし Y_P を介して供給されるアナログ階調信号を画素電極に供給し、液晶キャパシタ C_{LC} 両端の電界を変化させる。これを介して、液晶（図示せず）の配列を変化させ、バックライト（図示せず）から供給された光の透過率を調整することができる。

20

【 0 0 5 5 】

タイミング・コントローラ 1320 は、外部のグラフィック制御器（図示せず）から入力される画像信号、すなわち、画素データ及び制御信号、例えば、水平同期信号 H_{sync} 並びに垂直同期信号 V_{sync} 、メインクロック CLK 、データイネーブル信号 DE などを提供される。また、タイミング・コントローラ 1320 は、画素データ R, G, B を液晶表示パネル 1340 の動作条件に合うように処理し、ゲート制御信号及びソース制御信号を生成し、それぞれゲート・ドライバ 1330 及びソース・ドライバ 1310 に伝送する。ここで、ゲート制御信号は、ゲート・ターンオン電圧 V_{on} の出力開始を指示する垂直開始信号 STV 、ゲートクロック信号 $GCLK$ 及びゲート・ターンオン電圧 V_{on} の持続時間を制御する出力イネーブル信号 OE を含む。また、ソース制御信号は、画素データの伝送開始を知らせる水平開始信号 DIO 、当該ソースラインにアナログ階調信号を印加せよという出力制御信号 CLK_1 及びクロック信号 $HCLK$ を含む。

30

【 0 0 5 6 】

駆動電圧生成部 1350 は、外部電源装置から入力される外部電源を利用し、液晶パネル 1340 駆動に必要な多様な駆動電圧を生成する。駆動電圧生成部 1350 は、外部から第 1 電源 V_{DD1} を入力され、ソース・ドライバ 1310 に提供される第 2 電源 V_{DD2} 、ゲート・ドライバ 1330 に提供されるゲート・ターンオン電圧 G_{on} 、ゲートターンオフ電圧 G_{off} 、及び液晶パネルに提供される共通電圧 V_{com} などを生成する。

40

【 0 0 5 7 】

ゲート・ドライバ 1330 は、タイミング・コントローラ 1320 からの垂直スタート信号 STV 、ゲートクロック信号 $GCLK$ 及び出力イネーブル信号 OE に応答し、ゲートオン/オフ電圧 G_{ON}/G_{OFF} をゲートライン G_1 ないし G_Q に印加する。これを介して、ソース・ドライバ 1310 から出力されるアナログ階調電圧が当該画素に印加されるように、当該薄膜トランジスタ TFT を制御する。

50

ソース・ドライバ 1310 は、タイミング・コントローラ 1320 からのソース制御信号に
応答し、デジタル画像データに相応するアナログ階調信号を生成し、液晶パネルの
ソースライン S1 ないし SP に印加する。ソース・ドライバ 1310 は、スイッチング部 1
314 及びスイッチング制御部 1312 を具備する。ソース・ドライバ 1310 の一実施
形態が図 5 に図示されている。

【0058】

図 14 は、本発明の一実施形態による液晶表示装置のブロック図である。図 14 を参照
すれば、液晶表示装置 1400 は、ソース・ドライバ 1410、ゲート・ドライバ 143
0、タイミング・コントローラ 1420、液晶パネル 1440 及び駆動電圧生成部 145
0 を具備する。ソース・ドライバ 1410 は、スイッチング部 1412 を具備する。タイ
ミング・コントローラ 1420 は、スイッチング制御部 1422 を具備する。従って、図
13 の液晶表示装置 1300 とは異なり、ソース・ドライバ 1410 は、タイミング・コ
ントローラ 1420 からスイッチング制御信号 SW_CON を入力されて動作する。

10

【0059】

図 15 は、本発明の一実施形態による液晶表示装置の動作を示すタイミング図である。
図 13 ないし図 15 を参照すれば、t1 時点で電源 VDD1 が印加され、t3 時点で電源
VDD1 が遮断される。電源 VDD1 は、t4 時点で再び印加されるが、このときは、t
1 時点とは異なり、電源 VDD1 が遮断された後、電源 VDD1 の電圧レベルが接地レベ
ルに完全に落ちる前に再び電源 VDD1 が印加される時点である。t2 時点と t5 時点は
、タイミング・コントローラ 1320、1420 から伝達されたデジタル画像データ DA
TA を、液晶パネル 1340、1440 にディスプレイする時点である。

20

【0060】

まず、t1 時点で電源が印加される場合について述べれば、パワーオン感知部（図示せ
ず）が電源 VDD1 のレベルアップを感知し、ハイパルスのオン感知信号 PON を出力す
る。電源 VDD1 が印加されるパワーオンの場合であるから、パワーオフ感知部のオフ感
知信号 POFF は、生成されない。従って、オン感知信号 PON に応答し、ローパルスの
リセット信号 RST が生成される。電源 VDD1 が印加されれば、タイミング・コント
ローラ 1320、1420 から水平開始信号 DIO、クロック信号 HCLK 及び出力制御信
号 CLK1 などが印加される。しかし、電源 VDD1 が印加されても、デジタル画像デー
タ DATA が伝えられる時点は、タイミング・コントローラ 1320、1420 の種類ご
とに異なる。従って、タイミング・コントローラ 1320、1420 の種類に関係なしに
、正常にデジタル画像データ DATA が伝えられる時点を確認するために、水平開始信号
DIO、クロック信号 HCLK 及び出力制御信号 CLK1 をいずれもモニタリングする。
具体的には、3 個の制御信号は、いずれもトグリングする信号であるから、3 個の制御信
号のトグリング回数をチェックする。

30

【0061】

しかし、タイミング・コントローラ 1320、1420 の種類によっては、制御信号の
うちトグリングしない制御信号が存在しうる。例えば、水平開始信号 DIO がトグリング
しない場合には、クロック信号 HCLK に同期されてトグリングされる水平開始信号 DIO
を、内部に生成してトグリング回数をチェックできる。この場合には、内部に生成され
た水平開始信号 DIO がクロック信号 HCLK に同期しているので内部に生成された水平
開始信号 DIO 一つで、クロック信号 HCLK までモニタリングする効果がある。トグリ
ング回数をチェックする検出部（図示せず）は、ローパルスのリセット信号 RST に応
答して初期化される。その後、3 個のトグリングする制御信号 DIO、HCLK、CLK1
それぞれが 16 回トグリングすれば、ハイレベルの検出信号 DIO_EN、HCLK_EN、
CLK1_EN を出力する。リセット信号 RST に応答してハイレベルに初期化され
たスイッチング制御信号 SW_CON は、3 個の制御信号 DIO、HCLK、CLK1 が
いずれも 16 回トグリングしたことが感知されれば、ローレベルに変化する。

40

【0062】

従って、電源が印加された t1 時点から、3 個の制御信号いずれも 16 回トグリングが

50

感知された t_2 時点までの区間では、スイッチング制御信号 SW_CON がハイレベルであるから、ソース・ドライバのスイッチング部（図示せず）の出力スイッチはターンオフ、チャージシェアリング・スイッチ及び放電スイッチはターンオンされ、不明なデータが液晶パネル 1340, 1440 に印加されることを防止し、液晶パネル 1340, 1440 に残存する電荷を迅速に放電させることによって、非正常的なデータがディスプレイされることが防止される。タイミング・コントローラ 1320, 1420 から正常なデータが伝送される t_2 時点からは、スイッチング制御信号 SW_CON がローレベルに変わる。従って、ソース・ドライバのスイッチング部の出力スイッチはターンオフ、チャージシェアリング・スイッチ及び放電スイッチはターンオンされ、タイミング・コントローラ 1320, 1420 から伝えられたデジタル画像データ $DATA$ が液晶パネル 1340, 1440 にディスプレイされる。

10

【0063】

次に、 t_3 時点で電源が遮断される場合について述べれば、パワーオフ感知部（図示せず）が電源 VDD_1 のレベルダウンを感知し、ハイパルスのオフ感知信号 $POFF$ を出力する。電源 VDD_1 が遮断されるパワーオフの場合であるから、パワーオン感知部のオン感知信号 PON は、生成されない。従って、ハイパルスのオフ感知信号 $POFF$ に応答し、ローパルスのリセット信号 RST が生成される。このとき、トグリング回数をチェックする検出部は、ローパルスのリセット信号 RST に応答し、ローレベルの検出信号を出力（初期化）する。スイッチング制御信号 SW_CON は、ハイレベルにセッティングされる。従って、スイッチング部の出力スイッチはターンオフ、チャージシェアリング・スイッチ及び放電スイッチはターンオンされ、不明なデータが液晶パネルに印加されることを防止し、液晶パネルに残存する電荷を迅速に放電させることによって、非正常的なデータがディスプレイされることが防止される。

20

【0064】

次に、 t_4 時点で電源が印加される場合について述べれば、この場合には、電源が遮断され、ソース・ドライバ 1310, 1410 の駆動電圧レベルが接地レベルに落ちる前に、再び電源が印加される場合を示す。パワーオン感知部が図 11 に開示された実施形態をもって構成される場合には、電源が印加される場合であっても、 t_1 時点では、オン感知信号 PON が生成されない。電源 VDD_1 が印加されるパワーオンの場合であるから、パワーオフ感知部のオフ感知信号 $POFF$ は、生成されない。従って、オン感知信号 PON が生成されなければ、リセット信号 RST も生成されない。この場合には、スイッチング制御信号 SW_CON がローレベルに初期化されない。また、制御信号のトグリング回数をカウントする分周器が初期化されない。これは、制御信号のトグリング回数を誤ってチェックして誤動作を誘発させうる。しかし、本発明の一実施形態による液晶表示装置は、 t_3 時点で電源が遮断されるとき、生成されたリセット信号 RST によって、すでに制御信号のトグリング回数をカウントする分周器を初期化させるので、トグリング回数を誤ってチェックする誤動作が防止される。また、 t_4 時点でのスイッチング制御信号 SW_CON は、 t_3 時点ですでにハイレベルに初期化されるので、スイッチング部もやはり、正常に動作する。 $t_4 - t_5$ 区間での動作は、 $t_1 - t_2$ 区間での動作と類似しているので、反復説明しない。

30

40

【0065】

図 16 は、電源印加（パワーオン）時における、本発明の一実施形態による液晶パネル駆動方法のフローチャートである。図 16 を参照すれば、まず、パワーオン状態進入いかんを知るために、電源電圧のレベルアップをチェックする（S1510）。電源電圧のレベルアップが感知されれば、リセット信号を生成する（S1520）。リセット信号に応答し、制御信号のトグリング回数をカウントするための分周器を初期化する（S1530）。リセット信号に応答して、ソース・ドライバの出力スイッチをターンオフさせ、液晶パネルのソースラインと、ソース・ドライバの出力バッファの出力端子との連結を遮断する。また、チャージシェアリング・スイッチ及び放電スイッチをターンオンさせ、ソースラインを互いに連結させ、ソースラインから接地への電流経路を形成させる（S1540

50

）。ソース・ドライバを制御するために、タイミング・コントローラが生成した複数の制御信号のうち少なくとも1つの制御信号のトグリングをカウントする（S 1 5 5 0）。少なくとも1つの制御信号のトグリングがn回カウントされたとすれば、ソース・ドライバの出力スイッチをターンオンさせ、液晶パネルのソースラインと、ソース・ドライバの出力バッファの出力端子とを連結する。また、チャージシェアリング・スイッチ及び放電スイッチをターンオフさせ、ソースライン間の連結を遮断し、ソースラインから接地への電流経路を遮断する（S 1 5 6 0）。

【0066】

図17は、電源遮断（パワーオン）時における、本発明の一実施形態による液晶パネル駆動方法のフローチャートである。図17を参照すれば、まず、パワーオフ状態いかにを知るために、電源電圧のレベルダウんいかにチェックする（S 1 6 1 0）。電源電圧のレベルダウんが感知されれば、リセット信号を生成する（S 1 6 2 0）。リセット信号に応答し、制御信号のトグリング回数をカウントするための分周器を初期化する（S 1 6 3 0）。リセット信号に応答し、ソース・ドライバの出力スイッチをターンオフさせ、液晶パネルのソースラインと、ソース・ドライバの出力バッファの出力端子との連結を遮断する。また、チャージシェアリング・スイッチ及び放電スイッチをターンオンさせ、ソースラインを互いに連結させ、ソースラインから接地への電流経路を形成させる（S 1 6 4 0）。

【0067】

以上、図面と明細書とで最適実施形態が開示された。ここで特定の用語が使われたが、それらは単に、本発明について説明するための目的で使われたものであり、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。従って、本技術分野の当業者であるならば、それらから多様な変形及び均等な他実施形態が可能であるという点を理解することが可能であろう。よって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって決まるものである。

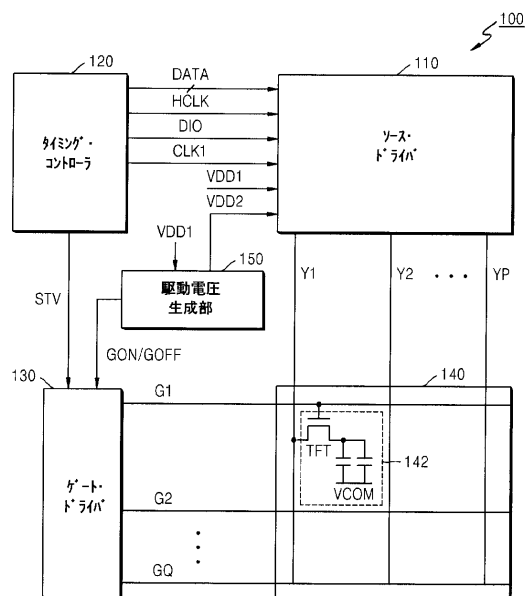
【符号の説明】

【0068】

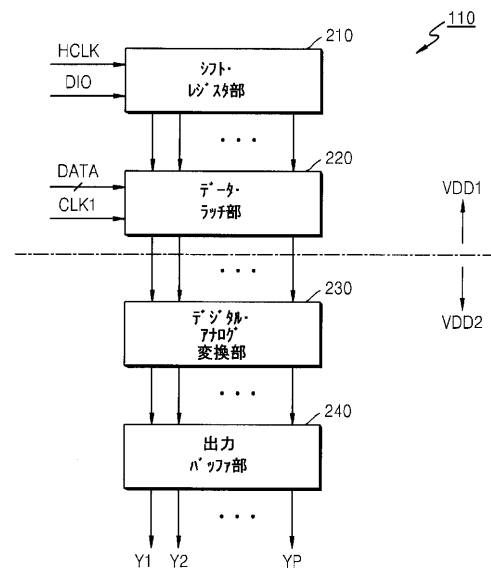
1 0 0 , 1 3 0 0 , 1 4 0 0	液晶表示装置
1 1 0 , 5 0 0 , 1 3 1 0 , 1 4 1 0	ソース・ドライバ
1 2 0 , 1 3 2 0	タイミング・コントローラ
1 3 0 , 1 3 3 0 , 1 4 3 0	ゲート・ドライバ
1 4 0 , 1 3 4 0 , 1 4 4 0	液晶パネル
1 4 2 , 1 3 4 2 , 1 4 4 2	画素領域
1 5 0 , 1 2 2 0 , 1 3 5 0 , 1 4 5 0	駆動電圧生成部
2 1 0 , 5 1 2	シフト・レジスタ部
2 2 0 , 5 1 4	データ・ラッチ部
2 3 0 , 5 2 2	デジタル・アナログ変換部
2 4 0 , 5 2 4	出力バッファ部
5 1 0	デジタルデータ送信部
5 2 0	アナログ階調信号出力部
5 2 6 , 1 3 1 4 , 1 4 1 2	スイッチング部
5 3 0 , 1 3 1 2 , 1 4 2 2	スイッチング制御部
8 1 0	電源感知部
8 1 2	パワーオフ感知部
8 1 4	パワーオン感知部
8 1 6	第1レベル変換部
8 2 0	スイッチング制御信号生成部
8 2 2	検出部
8 2 4	分周器
8 2 6	フリップフロップ

8 2 8 第 2 レベル変換器
 1 2 4 0 電源電圧感知部
 1 2 6 0 レベル変換部

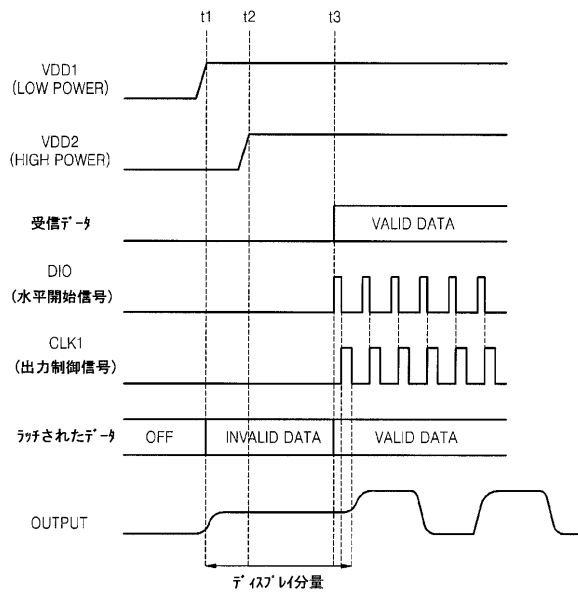
【 図 1 】



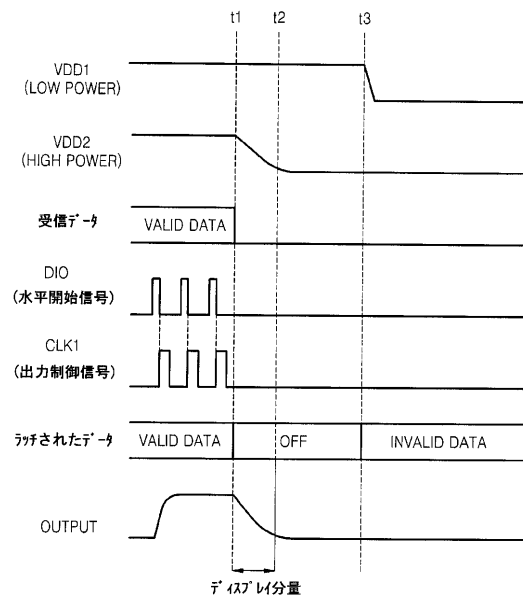
【 図 2 】



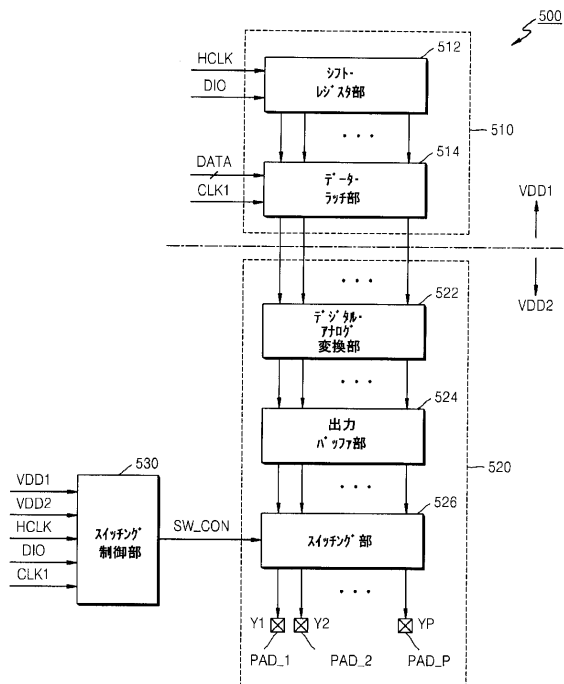
【図 3】



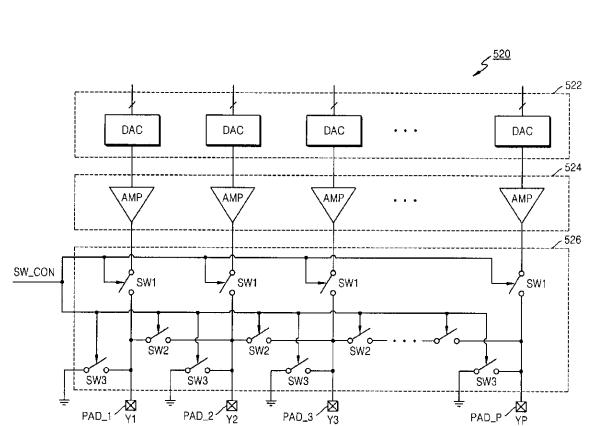
【図 4】



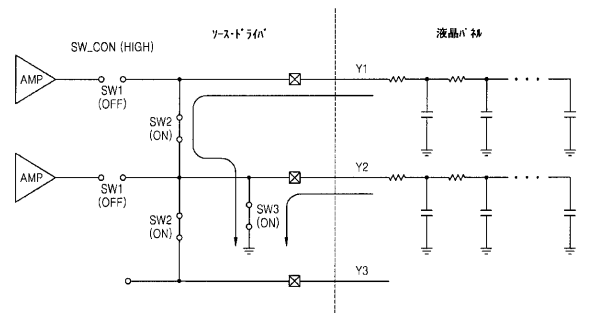
【図 5】



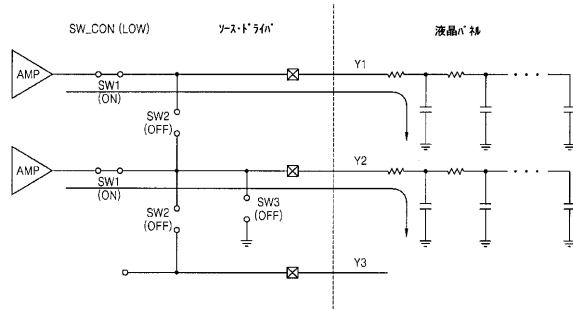
【図 6】



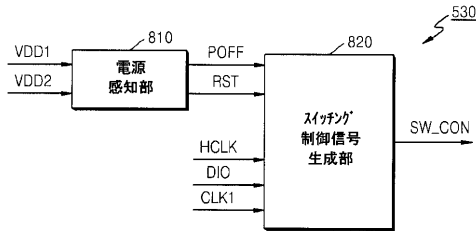
【図 7 A】



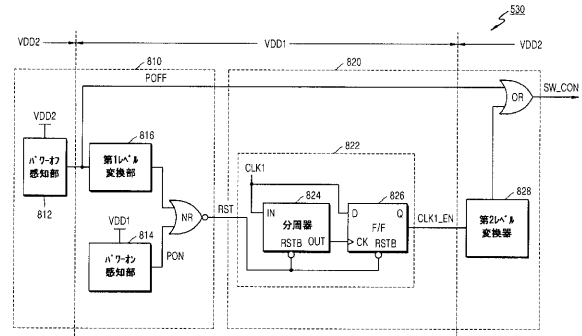
【図 7 B】



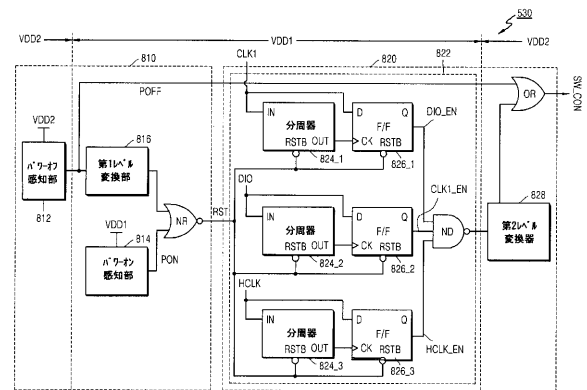
【図 8】



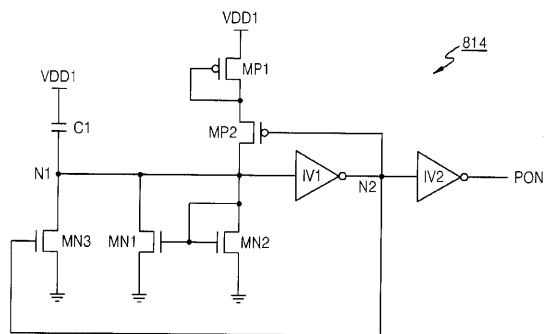
【図 9】



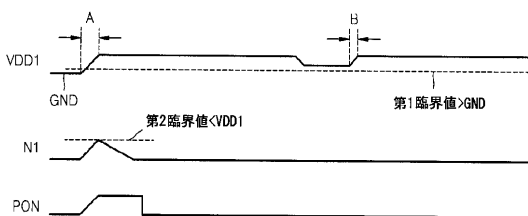
【図 10】



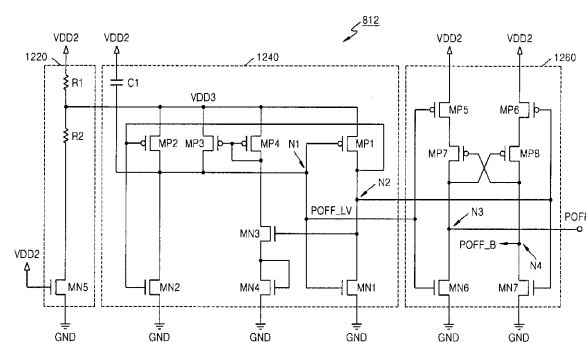
【図 11 A】



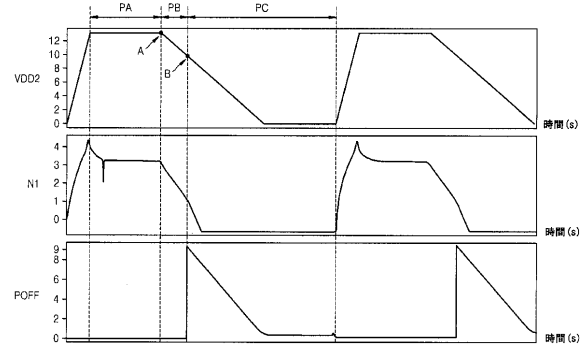
【図 11 B】



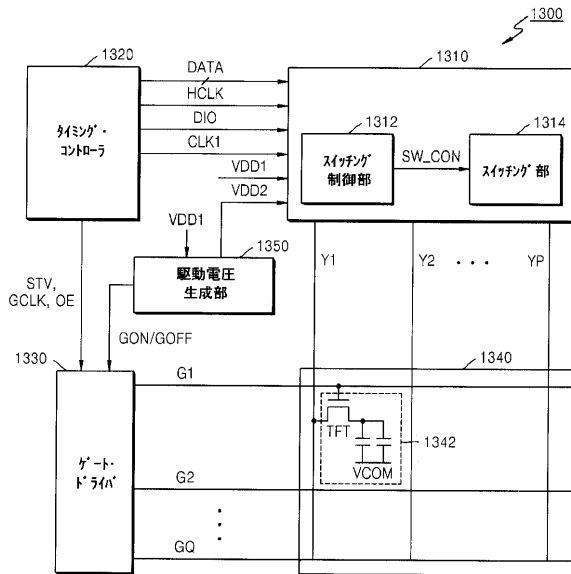
【図 12 A】



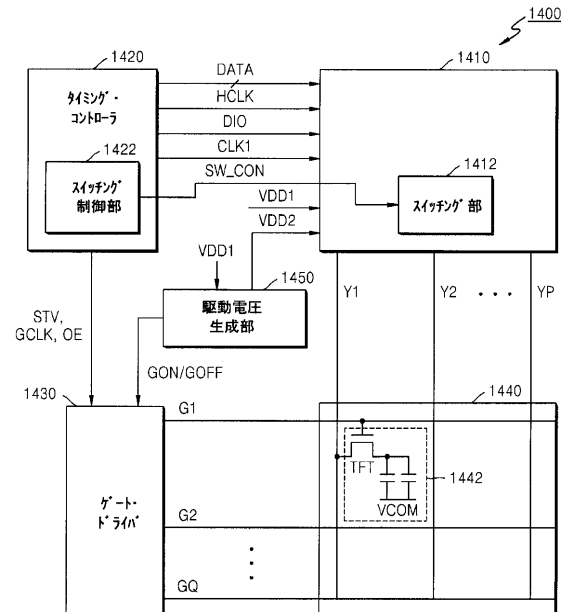
【図 12 B】



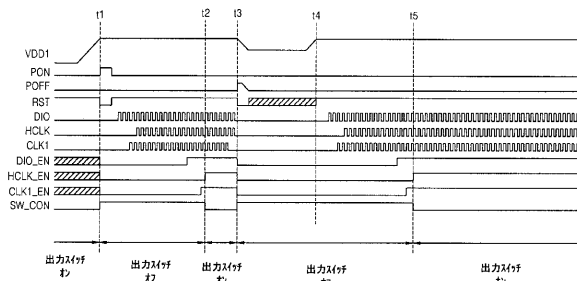
【図 13】



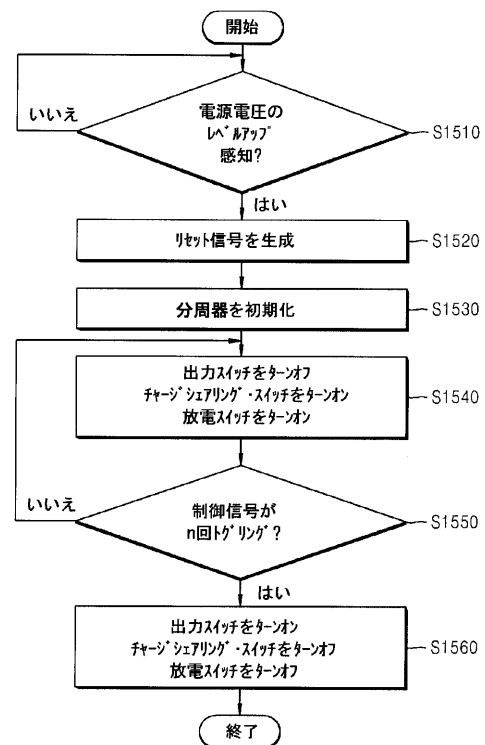
【図 14】



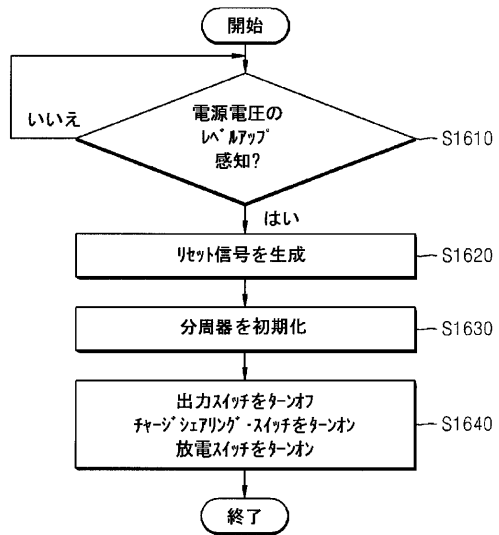
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 3 C	
	G 0 9 G 3/20 6 2 3 D	
	G 0 9 G 3/20 6 1 1 A	
	G 0 2 F 1/133 5 5 0	

(72)発明者 金 度 潤
大韓民国京畿道華城市餅店洞 2 0 1 - 2 番地 新美州アパート 1 0 5 棟 1 2 0 3 号

(72)発明者 盧 鎬 學
大韓民国京畿道龍仁市水枝区豊徳川 2 洞 住公 1 団地アパート 1 0 3 棟 9 0 1 号

(72)発明者 全 基 文
大韓民国京畿道城南市盆唐区藪内洞 プルンマウル碧山アパート 2 0 4 棟 9 0 3 号

(72)発明者 劉 載 錫
大韓民国ソウル特別市麻浦区望遠 1 洞 5 1 1 番地 ハムスン ワールドヴィルアパート 1 0 1 棟 8 0 3 号

F ターム(参考) 2H193 ZD23 ZE33 ZE38 ZF34 ZF35 ZF36 ZH22 ZH53

5C006	AA16	AC11	AC21	AF21	AF33	AF51	AF53	AF64	AF67	AF68
	AF69	AF72	AF83	BB16	BC12	BF03	BF04	BF06	BF14	BF22
	BF23	BF24	BF25	BF26	BF27	BF34	BF37	BF38	BF42	BF46
	FA16	FA23	FA31	FA37	FA47					
5C080	AA10	BB05	DD03	DD09	DD12	DD26	EE25	EE26	EE29	FF03
	FF11	GG11	JJ02	JJ03	JJ04	JJ07				

专利名称(译)	液晶面板驱动方法，源极驱动器和实现该方法的液晶显示装置		
公开(公告)号	JP2011170349A	公开(公告)日	2011-09-01
申请号	JP2011024042	申请日	2011-02-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	高在弘 金度潤 盧鎬學 全基文 劉載錫		
发明人	高 在 弘 金 度 潤 盧 鎬 學 全 基 文 劉 載 錫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/0245 G09G2330/02 G09G2330/023 G09G2330/026 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.623.R G09G3/20.670.D G09G3/20.612.G G09G3/20.623.C G09G3/20.623.D G09G3/20.611.A G02F1/133.550		
F-TERM分类号	2H193/ZD23 2H193/ZE33 2H193/ZE38 2H193/ZF34 2H193/ZF35 2H193/ZF36 2H193/ZH22 2H193/ZH53 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF21 5C006/AF33 5C006/AF51 5C006/AF53 5C006/AF64 5C006/AF67 5C006/AF68 5C006/AF69 5C006/AF72 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF14 5C006/BF22 5C006/BF23 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF37 5C006/BF38 5C006/BF42 5C006/BF46 5C006/FA16 5C006/FA23 5C006/FA31 5C006/FA37 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD09 5C080/DD12 5C080/DD26 5C080/EE25 5C080/EE26 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07		
代理人(译)	萩原诚		
优先权	1020100014728 2010-02-18 KR		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种用于防止在通电或断电时意外的视频数据显示在液晶面板上的液晶驱动方法，实现其的源极驱动器和液晶显示装置。源极驱动器位于多个输出缓冲器，多个输出焊盘，以及多个输出缓冲器和多个输出焊盘之间，并且电连接多个输出焊盘。开关单元包括用于控制的开关单元，并且当检测到电源电压的电平升高或降低时，开关单元在预定时间段内通过相应的输出焊盘输出多个输出缓冲器的输出信号。在阻止向液晶面板的传输的同时，将多个输出焊盘彼此连接或者提供从多个输出焊盘到地面的放电路径中的至少一个。液晶面板的驱动方法，实施其的源极驱动器以及液晶显示装置。[选择图]图5

