

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-123495

(P2011-123495A)

(43) 公開日 平成23年6月23日(2011.6.23)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1345 (2006.01)	G02F 1/1345	5F110
H01L 29/786 (2006.01)	H01L 29/78 618B	5F152
H01L 21/336 (2006.01)	H01L 29/78 627D	
H01L 21/20 (2006.01)	H01L 29/78 627G	

審査請求 有 請求項の数 2 O L (全 28 頁) 最終頁に続く

(21) 出願番号	特願2010-276605 (P2010-276605)	(71) 出願人	000153878
(22) 出願日	平成22年12月13日 (2010.12.13)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2004-141921 (P2004-141921) の分割	(72) 発明者	山崎 舜平
原出願日	平成16年5月12日 (2004.5.12)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2003-133631 (P2003-133631)		半導体エネルギー研究所内
(32) 優先日	平成15年5月12日 (2003.5.12)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	荒井 康行
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	椎名 康子
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

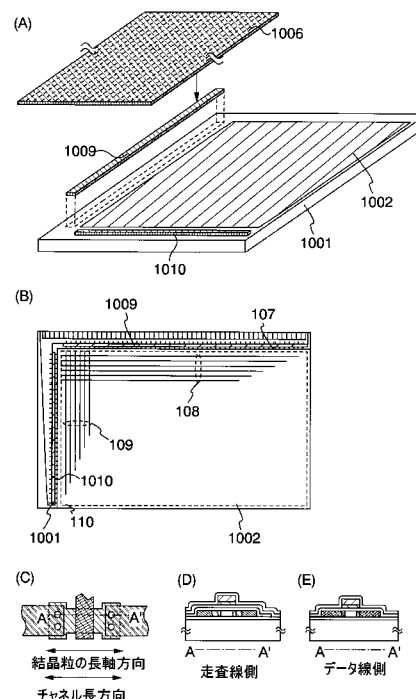
(54) 【発明の名称】 液晶表示装置の作製方法

(57) 【要約】 (修正有)

【課題】生産性を向上させた液晶表示装置及びその作製方法の提供する。

【解決手段】走査線とデータ線が絶縁層を介して交差する領域に、非晶質半導体又は有機半導体をチャンネル部とする第1の薄膜トランジスタを有する第1の基板と、第2の基板と、第1の基板と第2の基板の間の液晶層と、結晶質半導体をチャンネル部とする第2の薄膜トランジスタを有する第3の基板を有し、結晶質半導体は第2の薄膜トランジスタにおける電子又は正孔が流れる方向に沿って結晶粒界が延び、第1の基板と第2の基板は第1の基板が露出するように貼り合わされ、第3の基板は第1の基板上の露出した領域に貼り合わされ、第3の基板上には第2の薄膜トランジスタを形成する第1の領域と入出力端子を形成する第2の領域が設けられ、第3の基板の短辺は1乃至6 mm、第1の領域の短辺は0.5乃至1 mmである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の基板上に非晶質半導体又は有機半導体をチャンネル部とする第 1 の薄膜トランジスタを形成し、

液晶層を挟持するように、前記第 1 の基板と対向電極を有する第 2 の基板を貼り合わせ、第 3 の基板上に連続発振のレーザ光を照射して、結晶質半導体を形成し、

前記結晶質半導体をチャンネル部とする第 2 の薄膜トランジスタを形成した後、前記第 3 の基板を分割して、複数のドライバ IC を形成し、

前記第 1 の基板の露出した領域に、前記ドライバ IC を貼り合わせることを特徴とする液晶表示装置の作製方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像や文字などの情報を表示する表示部を具備した液晶表示装置及びその作製方法に関する。また、表示部を形成する画素領域の各画素に信号を伝達する駆動回路の構成とその作製方法及びその実装方法に関する。さらに、薄膜トランジスタなどの半導体素子をマトリクス状に配置した領域を具備した液晶表示装置に関し、特に該領域とは別に設けられる回路の構成と作製方法及びその実装方法に関する。

【背景技術】

【0002】

液晶層を備えた液晶表示装置において、画像などの情報を表示するための画面を形成する手段として、薄膜トランジスタ (TFT) をマトリクス状に配置した画素領域を有するアクティブマトリクス型の表示装置がある。前記表示装置は、軽量薄型化が可能である利点を活かして、ノートパソコンやモバイルコンピュータ、携帯電話をはじめ、液晶テレビなどの様々な電子機器に利用されている。

20

【0003】

ところで、非晶質半導体でチャンネル部を形成する技術は、該非晶質半導体が比較的安価で大型基板に形成することが可能であることから、生産性に優れる。しかしながら、非晶質半導体でチャンネル部を形成した薄膜トランジスタの電界効果移動度は最大でも $1\text{ cm}^2/\text{Vsec}$ 程度しか得ることができない。画素領域に設けるスイッチ用 TFT としては利用可能であるが、高速動作が要求される駆動回路を構成する素子として用いることはできなかった。

30

【0004】

従って、駆動回路は単結晶シリコン基板で作製した IC チップを用いて、該画素領域の周辺に TAB 方式 (TCP) や COG 方式で実装する。TAB 方式は、パッド部にバンプを形成したドライバ IC と、ポリイミドに銅箔を接着し写真製版技術で、回路を形成した後メッキを施したフィルム回路を合金にて接続後、IC の周囲を樹脂で封止しパッケージ化したものである。COG 方式は IC チップを表示装置の基板上に形成した配線のパターンに合わせて、電氣的に接続するように直接貼り合わせる方式である。

【0005】

COG 方式で実装する駆動回路は、ガラスや石英等の基板上に、非単結晶半導体材料で作製した複数の TFT を形成し、短冊状に分割して形成する。その後、短冊上に分割した駆動回路を基板上に実装する (例えば、特許文献 1 参照)。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開平 11-160734 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

50

円形のシリコンウエハは、そのサイズが年々大きくなり、最大で直径が300mm程度のものがあるが、矩形状のドライバICを取り出せる個数は限られてしまう。さらに、従来のドライバICの基体であるシリコンウエハと、ガラス基板との温度係数は異なるため、貼り合わせた後にたわみなどが生じ、コンタクト抵抗の増大といった不良や、発生する応力によって、素子の信頼性が低下してしまう。

【0008】

上記の実情を鑑み、本発明は、TAB方式又はCOG方式を採用した場合において、矩形状のガラス基板上に高速動作が可能な複数の半導体素子を形成し、該複数の半導体素子を用いて複数のドライバICを形成することで、生産性を向上させた液晶表示装置及びその作製方法を提供することを課題とする。

10

【課題を解決するための手段】

【0009】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

【0010】

本発明は、各画素に薄膜トランジスタを配置した画素領域を備えた第1の基板と、前記画素領域に対応して対向電極が形成された第2の基板と、走査線側駆動回路又はデータ線側駆動回路が形成された第3の基板とを有し、前記走査線側駆動回路と前記データ線側駆動回路とは、チャンネル長方向と平行な方向に延びる結晶粒界をもつ結晶性半導体でチャンネル形成領域を形成した薄膜トランジスタを有し、前記走査線側駆動回路と前記データ線側駆動回路に備えられた薄膜トランジスタのゲート絶縁膜の厚さは互いに異なっていることを特徴とする。

20

【0011】

本発明は、第1の半導体素子が配置された画素領域を有する第1の基板と、前記画素領域に対応して対向電極が形成された第2の基板と、前記第1の基板の前記画素領域の外側に設けられ、結晶質半導体で形成する複数の第2の半導体素子が配置された第3の基板とを有し、前記第1の基板と前記第2の基板との間に液晶層を挟持した液晶表示装置において、前記結晶質半導体は、前記複数の第2の半導体素子における電子又は正孔が流れる方向に沿って結晶粒界が延びており、前記複数の第2の半導体素子は、第1の厚さのゲート絶縁膜で形成された薄膜トランジスタと、第2の厚さのゲート絶縁膜で形成された薄膜トランジスタとを含むことを特徴とする。

30

【0012】

本発明は、第1の薄膜トランジスタが配置された画素領域を有する第1の基板と、前記画素領域に対応して対向電極が形成された第2の基板と、前記第1の基板の前記画素領域の外側に設けられ、結晶質半導体でチャンネル部を形成する複数の第2の薄膜トランジスタが配置された第3の基板とを有し、前記第1の基板と前記第2の基板の間に液晶層を挟持した液晶表示装置において、前記結晶質半導体は、前記複数の第2の薄膜トランジスタにおける電子又は正孔が流れる方向に沿って結晶粒界が延びており、前記複数の第2の薄膜トランジスタは、第1の厚さのゲート絶縁膜で形成された薄膜トランジスタと、第2の厚さのゲート絶縁膜で形成された薄膜トランジスタとを含むことを特徴とする。

40

【0013】

本発明は、第1の基板上に非晶質半導体又は有機半導体で形成する第1の半導体素子が配置された画素領域を形成し、第2の基板上に前記画素領域に対応した対向電極を形成した後、前記第1及び前記第2の基板を貼り合わせ、第3の基板上に結晶質半導体で形成する第2の半導体素子を複数配置した駆動回路と、該駆動回路に従属する入力端子及び出力端子を含むドライバICを複数個形成した後、前記複数個のドライバICを各々に分割し、前記ドライバICを前記第1の基板上に形成された前記画素領域の周辺に貼り合わせることを特徴とする液晶表示装置の作製方法であって、前記結晶質半導体は、連続発振のレーザ光の照射により形成することを特徴とする。

【0014】

また前記第3の基板は、前記結晶質半導体が形成された第1の領域と、前記結晶質半導体

50

が形成されていない第2の領域を有し、前記第1の領域には前記駆動回路が設けられ、前記第2の領域には入力端子及び出力端子が設けられることを特徴とする。

【0015】

また、前記第3の基板は、前記結晶質半導体が形成された第1の領域と、前記結晶質半導体が形成されていない第2の領域を有し、前記第1の領域には前記駆動回路が設けられ、前記第2の領域には入力端子及び出力端子が設けられ、前記第3の基板の短辺は1乃至6 mmであり、前記第1の領域の短辺は0.5乃至1 mmであることを特徴とする。

【0016】

また、前記第3の基板の短辺は1～6 mmであり、前記第3の基板に設けられる入力端子及び出力端子は画素ピッチと同じピッチで形成されていることを特徴とする。さらに、前記第3の基板の長辺は、前記画素領域の短辺又は長辺と同じ長さであることを特徴とする。

10

【0017】

前記結晶質半導体はレーザ光の照射により形成されたものであり、当該レーザ光を発生させる発振器は、連続発振の固体レーザである。より詳しくは、前記発振器は、連続発振のYAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti：サファイアレーザから選ばれた1種又は複数種、又は連続発振のエキシマレーザ、Arレーザ、Krレーザ、CO₂レーザから選ばれた1種又は複数種である。

【0018】

また本発明は、複数のレーザ発振器と回析光学素子を有する装置を用いてレーザ結晶化を行うことを特徴とする。そして、エネルギー分布が重なるように、複数のレーザ発振器から射出する各レーザ光を重ね合わせることを特徴とする。この重ね合わされたレーザ光は、回析光学素子によって、長軸方向に矩形状（トップハット）の分布を示し、本発明は、このような分布を示すレーザ光を用いて、レーザ結晶化を行うことを特徴とする。上記特徴により、微結晶領域が少ない結晶質半導体を用いることができる。

20

【0019】

本装置により射出された連続発振のレーザを用いると、結晶欠陥が少なく、大粒径の多結晶半導体を用いて、トランジスタを作成することができる。さらに移動度や応答速度が良好なために高速駆動が可能で、素子の動作周波数を向上させた液晶表示装置を提供することができる。また、特性バラツキが少ないために高い信頼性を得ることができる。また、さらなる動作の周波数の向上を目的として、トランジスタのチャンネル長方向とレーザ光の走査方向と一致させることが好適である。これは、連続発振レーザによるレーザ結晶化工程では、トランジスタのチャンネル長方向とレーザ光の基板に対する走査方向とが概ね並行（好ましくは−30°～30°）であるときに、最も高い移動度が得られるためである。なおチャンネル長方向とは、チャンネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。このように作製したトランジスタは、結晶粒がチャンネル方向に延在する多結晶半導体によって構成される活性層を有し、このことは結晶粒界が概ねチャンネル方向に沿って形成されていることを意味する。

30

【0020】

そして、本発明は、ガラス基板上に形成されたこのような良好な結晶性を有する結晶質半導体を含む半導体素子をドライバICに用いることを特徴とする。結晶質半導体を用いることが好適な回路としては、信号線駆動回路及び走査線駆動回路などの駆動回路だけでなく、レジスタ、デコーダ、カウンタ、分周回路、メモリ等を構成する論理回路等が挙げられる。なお、レーザ光のレーザビームの幅をドライバICの短辺と同じ長さとする生産性を向上させた液晶表示装置及びその作製方法を提供することができるため好適である。

40

【0021】

本発明は、データ線側に配置する駆動回路と、走査線側に配置する駆動回路とで、薄膜トランジスタの膜厚を変えることを特徴とする。これは、データ線側と走査線側の各々の要求に応えるものであり、具体的には、データ線駆動回路は、駆動電圧3 Vで周波数50 M

50

H z 以上（例えば 65 MHz 以上）で駆動するため、ゲート絶縁膜の厚さは 20～70 nm、チャンネル長は 0.3～1 μm に設定する。一方、走査線駆動回路は、データ線駆動回路に比較してその駆動周波数はおよそ百分の一となる 100 kHz 程度で駆動するため、ゲート絶縁膜の厚さは 150～250 nm、チャンネル長は 1～2 μm に設定する。上記構成により、各々の駆動回路の動作周波数に応じたドライバ IC、該ドライバ IC を有する液晶表示装置を提供することができる。

【0022】

上記構成を有する本発明は、連続発光レーザによるレーザ光の照射により形成された特性の良好な薄膜トランジスタを用いることで、高速動作が可能なドライバ IC を実装した液晶表示装置及びその作製方法を提供する。また、矩形状の大面积の基板に複数のドライバ IC を作製することができるため、低コストの液晶表示装置及びその作製方法を提供することができる。さらに、本発明によるドライバ IC を実装する COG 方式又は TAB 方式を採用することで、小型・薄型・軽量と狭額縁化を実現した液晶表示装置及びその作製方法を提供することができる。

【発明の効果】

【0023】

上記構成を有する本発明は、連続発振レーザによるレーザ光の照射により形成された特性の良好な薄膜トランジスタを用いることで、高速動作が可能なドライバ IC を実装した液晶表示装置及びその作製方法を提供する。また、レーザ光のレーザビームの幅をドライバ IC の短辺と同じ値に設定することで、生産性を向上させた液晶表示装置の作製方法を提供する。さらに、矩形状の大面积の基板に複数のドライバ IC を作製することができるため、低コストの液晶表示装置及びその作製方法を提供することができる。また、ドライバ IC を実装する COG 方式を採用することで、小型・薄型・軽量と狭額縁化を実現した液晶表示装置及びその作製方法を提供することができる。

【図面の簡単な説明】

【0024】

【図 1】本発明の液晶表示装置及びその作製方法を説明する図。

【図 2】本発明の液晶表示装置及びその作製方法を説明する図。

【図 3】ドライバ IC を示す図。

【図 4】シフトレジスタのマスクレイアウト図。

【図 5】本発明の液晶表示装置及びその作製方法を説明する図。

【図 6】線状ビームのプロファイルを示す図。

【図 7】本発明の液晶表示装置の作製方法を示す図。

【図 8】本発明の液晶表示装置の作製方法を示す図。

【図 9】本発明の液晶表示装置の作製方法を示す図。

【図 10】ドライバ IC の入出力端子にバンプを作製する図。

【図 11】画素領域及び FPC と、ドライバ IC との接続を説明する図。

【図 12】本発明の液晶表示装置を説明する図。

【図 13】ドライバ IC を説明する図。

【図 14】画素領域の上面図と等価回路図。

【図 15】画素領域に具備されるトランジスタの断面図。

【図 16】画素領域に具備されるトランジスタの断面図。

【図 17】本発明の液晶表示装置を電子機器に搭載した図。

【図 18】本発明の液晶表示装置の断面図。

【図 19】本発明が適用される電子機器を示す図。

【図 20】本発明が適用される電子機器を示す図。

【図 21】結晶質半導体の写真とその模式図。

【発明を実施するための形態】

【0025】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明

10

20

30

40

50

に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0026】

(実施の形態1)

本発明の基本的な概念について、図1(A)の斜視図を用いて説明する。第1の基板1001上には、文字や画像などの情報を表示する画素領域1002が設けられる。第3の基板1006上には、複数の駆動回路と該複数の駆動回路を接続する入出力端子が設けられる。各駆動回路と、当該駆動回路に対応した入力端子及び出力端子(入出力端子)を1つのユニットとして、第3の基板1006を短冊状又は矩形状に分断すると、複数のドライバICが得られる。そして、このドライバICを第1の基板1001に貼り合わせると、液晶表示装置が完成する。図1(A)では、走査線駆動回路に相当するドライバIC1010と、信号線駆動回路に相当するドライバIC1009が実装される形態を示す。なおドライバICの構成は、走査線側と信号線側で異なる構成であることが好適である。

【0027】

図1(B)には、実際にドライバICを貼り付けて、該ドライバIC内の入出力端子と画素領域1002とが電氣的に接続した液晶表示装置の上面図を示す。第1の基板1001上には画素領域1002が形成され、該画素領域1002上には、対向電極が形成された第2の基板110が液晶層を介して貼り合わされる。液晶層が設けられている場合、第1の基板1001と第2の基板110の間隔はスペーサによって決定付けられるが、ネマチック液晶の場合には3~8 μ m、スメチック液晶の場合には1~4 μ mとする。第1の基板1001と、第2の基板110にはアルミノホウケイ酸ガラスやバリウムホウケイ酸ガラスなどの無アルカリガラスを用いることが好ましく、その厚さは0.3~1.1mm(代表的には0.7mm)であるため、相対的に液晶層の厚さは外観上無視できる。

【0028】

画素領域1002は、走査線群108とデータ線群109が交差してマトリクスを形成し、各交差部に対応してTFTが配置される。ここで配置されるTFTの構造は特に限定されるものではないが、代表的には非晶質シリコン層を能動層とする逆スタガ型のTFTが好適に用いられる。非晶質シリコン層はプラズマCVD法で300℃以下の温度で形成することが可能であり、例えば、外寸550×650mmの無アルカリガラス基板であっても、TFTを形成するのに必要な膜厚を数十秒で形成するという特徴を有する。このような製造技術の特徴は、大画面の表示装置を作製する上で有効である。

【0029】

画素領域1002の外側には、駆動回路が形成されたドライバIC1009、1010が実装される。1009はデータ線側の駆動回路であり、1010は走査線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスでデータ線の本数が3072本であり、走査線側が768本必要となる。また、UXGAではそれぞれ4800本と1200本が必要となる。本実施の形態では、画素領域1002の一辺とドライバICの長辺を同じ長さに設定しているため、データ線及び走査線のピッチと、ドライバICの出力端子のピッチと合わせることが好適である。そうすると、画素領域1002の端部で数ブロック毎に区分して引出線107を形成する必要がなく、プロセス上、歩留まりよく作製することができる。さらに、取り付けるドライバICの個数が減少するため、信頼性が向上する。

【0030】

なお、これらのドライバICは、矩形状の第3の基板1006上に複数個作り込むと、大量に形成することができるため、生産性を向上させる観点から好ましい。従って、第3の基板1006として、大面積の基板を用いることが好ましく、例えば、一辺が300mmから1000mm程度の大面積の基板を用いることが好ましい。そして、駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出す

10

20

30

40

50

と、ドライバ I C が完成する。このドライバ I C の短辺の長さは 1 ～ 6 mm、長辺の長さは 10 ～ 60 mm とする。

【0031】

本発明は、これらのドライバ I C が結晶質半導体により形成されることを特徴とし、前記結晶質半導体は連続発振のレーザ光を照射することで形成されることを特徴とする。従って、当該レーザ光を発生させる発振器としては、連続発振の固体レーザ又は気体レーザを用いる。また本発明では、レーザ光のスポットの幅（具体的には 1 ～ 6 mm）をドライバ I C の短辺の長さ、又はドライバ I C に配置される駆動回路の短辺の長さと同じ長さに設定する。本構成により、レーザ光のレーザビームを 1 回走査すると、最低 1 個のドライバ I C を形成することが可能となり、生産性を向上させた液晶表示装置及びその作製方法を提供することができる。

10

【0032】

また連続発振のレーザ光を照射すると、その走査方向に、結晶粒界が延びることを活用し、結晶粒界が延びた方向とチャンネル長方向とが平行になるように、半導体層をパターン加工する。そうすると、十分な電気的特性が得られた結晶質半導体を活性層として用いた薄膜トランジスタを形成することができる。

【0033】

図 1（C）は、ドライバ I C に作り込まれた薄膜トランジスタの上面図であり、結晶粒の長軸方向と、チャンネル長方向とが同じ方向になるようにパターン加工の様子を示している。

20

【0034】

また本発明は、データ線側に配置する駆動回路と、走査線側に配置する駆動回路とで、薄膜トランジスタの膜厚を変えることを特徴とする。一例として、図 1（D）は走査線側駆動回路とデータ線駆動回路の薄膜トランジスタの断面図を示す。これは、データ線側と走査線側の各々の要求に応えるものであり、具体的には、データ線駆動回路は、駆動電圧 3 V で周波数 50 MHz 以上（例えば 65 MHz 以上）で駆動するため、ゲート絶縁膜の厚さは 20 ～ 70 nm、チャンネル長は 0.3 ～ 1 μm に設定する。一方、走査線駆動回路は、データ線駆動回路に比較してその駆動周波数はおよそ百分の一となる 100 kHz 程度で駆動するため、ゲート絶縁膜の厚さは 150 ～ 250 nm、チャンネル長は 1 ～ 2 μm に設定する。上記構成により、各々の駆動回路の動作周波数に応じたドライバ I C、該ドライバ I C を有する液晶表示装置を提供することができる。

30

【0035】

なお、ドライバ I C の I C チップに対する外形寸法の優位性はこの長辺の長さにある。このように、長辺が 15 ～ 80 mm で形成されたドライバ I C を用いることにより、画素領域に対応して実装するのに必要な数が I C チップを用いる場合よりも少なく済むので、製造上の歩留まりを向上させることができる。また本発明は、ガラス基板上にドライバ I C を形成するものであり、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハから I C チップを取り出す場合と比較すると、大きな優位点である。

【0036】

第 3 の基板 1006 上に形成された駆動回路の分割の方法は特に限定されず、図 2（A）に示すように縦と横の 2 方向に分断し、第 3 の基板 1006 から複数個のドライバ I C を取り出してもよい。そして、図 2（B）に示すように、データ線側と、走査線側の両方で複数個ずつ貼り付けてもよい。

40

【0037】

上記の図 1、2 には COG 方式を採用した液晶表示装置を図示したが、TAB 方式を採用した液晶表示装置に本発明を適用してもよい。ここで、TAB 方式を採用した液晶表示装置について、図 5 を用いて説明する。TAB 方式では、画素領域 1002 に電氣的に接続した配線が露出しており、その露出した配線に FPC が接続し、該 FPC にドライバ I C 1007 ～ 1009 が接着される。図 5（A）は、複数の FPC 1011 を配置し、該 F

50

PC1011にドライバIC1007、1008が接着された場合を示す。図5(B)は、1枚のFPC1012に、1つのドライバIC1009を配置した場合を示す。後者を採用する場合には、強度の問題から、ドライバIC1009を固定する金属片などを一緒に設けるとよい。

【0038】

なお、このドライバICの駆動条件として、一例を挙げると、電源電圧 $VDD-0.5\sim 3.0V$ 、 $VDD-VEE-0.5\sim 2.8V$ 、 $VEE-1.7\sim 0.5V$ 、入力電圧 $VEE-0.5\sim VDD+0.5$ 、入力電流 $\pm 10mA$ 、出力電流 $\pm 10mA$ の条件下で動作させるとよい。

【0039】

(実施の形態2)

本発明の実施の形態について、図面を用いて説明する。

【0040】

本発明において用いるドライバICは、矩形状の基板上に非晶質半導体を形成し、該非晶質半導体を連続発振のレーザ光を用いたレーザ結晶化により結晶化した結晶質半導体を用いることを特徴とする。ここで、第3の基板1006上の非晶質半導体にレーザ光を照射する様子を図3(A)を用いて説明する。本発明では、レーザ光のスポットの幅(具体的には $1\sim 6mm$)をドライバICの短辺の長さ、又はドライバICに配置される駆動回路の短辺の長さと同じ長さに設定する。そうすると、第3の基板1006上の結晶質半導体を用いて、短辺の長さ $1\sim 6mm$ のドライバICを複数個形成することができる。これらのドライバICは、ガラススクライバーにより加工線に沿って第3の基板1006から分割して形成される。そのため、群の中のドライバICは切りしろ $0.5\sim 1mm$ で配置する。このような加工方法を用いると、例えば、 $300\times 400mm$ の第1期ラインの液晶用ガラス基板を用いたとしても、 $2\times 20mm$ のドライバICを $127\times 127mm$ の群の中に360個作り込むことができ、1枚の基板からは2160個のドライバICを取り出すことができる。

【0041】

次に、第3の基板1006上の非晶質半導体にレーザ光を照射して、結晶質半導体を形成する様子について、図3(B)を用いて説明する。一般的にスポット状に絞り込んだレーザ光のエネルギー密度には分布が存在する。多くの場合において、レーザ光のスポットは、中心部から端部に向かって徐々にエネルギー密度が減少する分布を有する。従って、中心部のスポットが照射された半導体は良好に結晶化し、優れた電気的特性を有する。しかしながら、中心部よりもエネルギー密度が低い端部の範囲のレーザ光が照射された半導体は、レーザ光のエネルギー密度が十分でないために、溶融が十分でなく微結晶化する。このような領域においては、十分な電気的特性が得られないため、活性層として用いるには適さない。

【0042】

そこで、図3(C)に示すように、中心部のエネルギー密度が高いレーザ光が照射された部分を領域1024、それ以外の領域を1022、1023としたとき、領域1024の良好な結晶性を有する結晶質半導体により駆動回路を構成する。そして、領域1022、1023に形成された半導体は除去し、該領域には入力端子1020と出力端子1021を形成する。なお、領域1024の短辺は $0.5\sim 1$ ミリ程度である。つまり、駆動回路の短辺の長さ、中心部のエネルギー密度が高い領域の長さはほぼ同じである。従って、レーザ光を照射し、その中心部分には良好な結晶性を有する結晶性半導体を作製することができるが、この良好な結晶性を有する結晶性半導体を用いて駆動回路を構成する。

【0043】

なお、駆動回路を構成するトランジスタのチャネル形成領域やソース・ドレイン領域は結晶質半導体で形成され、該結晶質半導体は、連続発光レーザにより形成される。この結晶質半導体をパターン加工する際には、全ての薄膜トランジスタのチャネル長が揃うように行う。このようにパターン加工した薄膜トランジスタは、電子又は正孔が流れる方向(チ

10

20

30

40

50

ャネル長方向)に結晶粒界が延びているため、高速動作が可能となる。

【0044】

図3(D)は、図3(C)のB-B'線に対応した断面図である。画素領域に配置される信号線又は走査線に接続する出力端子1021のピッチは40~100 μm で複数個形成される。同様に、入力端子1020も必要な個数を形成する。これらの入力端子1020及び出力端子1021は一辺の長さを30~100 μm とした正方形または長形状に形成する。

【0045】

続いて、図4には、駆動回路1025の一例として、複数のトランジスタで構成されるシフトレジスタを作製したときのマスクレイアウト図を示す。シフトレジスタは、1段分の回路が縦続接続して構成され、各段でCK及びCKBの信号が交互に入力される。一段分の回路は、マトリクス状に配置された複数の画素のうち、一列分の画素に対応する。従って、一段分の短辺方向の長さを、画素ピッチの長さと同じ長さに設定することが好ましい。そうすると、ドライバICの出力端子のピッチを走査線又はデータ線と同じピッチに設定することができる。本構成により、画素領域の端部で数ブロック毎に区分して引出線を形成する必要がなく、プロセス上、歩留まりよく作製することができる。

【0046】

なお、大面積の基板上に多数のドライバICを形成するための課題として露光技術が挙げられる。ドライバICのデザインルールは0.3~2 μm 、好ましくは0.35~1 μm である。ドライバICを形成する際には、このようなデザインルールで、スループット良く露光を行う必要がある。露光方式において、プロキシミティ方式やプロジェクション方式はスループット向上には有利であるが、大型の高精細マスクが必要であり、高い解像度や重ね合わせ精度が得られにくいなどの欠点がある。一方、ステップ方式では、その一例としてi線(365nm)を使って0.7 μm の解像度で、44mm角の領域又は54×30mmの領域を一度に露光することができる。これに対応して、ドライバICの長辺の長さをこの露光範囲内としておけばサブミクロンパターンであっても効率よく露光することが可能となる。

【0047】

(実施の形態3)

本実施の形態では、連続発振レーザ(ContinuousWaveレーザ)を用いたレーザ結晶化について説明する。

【0048】

連続発振レーザとしては、波長が550nm以下で出力安定性の著しく高いものが望ましい。例えば、Nd:YVO₄レーザの第2高調波、Nd:YAGレーザの第2高調波、Nd:YLFレーザの第2高調波、Nd:ガラスレーザの第2高調波、Nd:YAlO₃レーザの第2高調波又はArレーザ等が該当する。また、前記レーザのさらなる高次高調波、ルビレーザ、アレキサンドライドレーザ、Ti:サファイアレーザ、連続発振のエキシマレーザ、Krレーザ、CO₂レーザ、連続発振のヘリウムカドミウムレーザ、銅蒸気レーザ、又は金蒸気レーザ等のレーザが該当する。また、これらのレーザを複数、若しくは複数種用いたレーザが該当する。

【0049】

本発明は、複数のレーザ発振器から射出されたレーザビームを重ね合わせることを特徴とする。通常、レーザ光のエネルギー密度には分布があり、中心部から端部に向かって徐々にエネルギー密度が減少する分布を示すが、本発明では、このエネルギー密度が重なるように、複数のレーザビームを重ね合わせることを特徴とする。上記特徴と回析光学素子を用いることで、長軸方向が矩形(トップハット)のプロファイルを示し、長さ0.5~1ミリの線状ビームを形成することができる。

【0050】

このように、レーザビームを重ね合わせてレーザ結晶化を行うためには、複数台のレーザ発振器、 $\lambda/2$ 波長板、ミラー、偏光子、回析光学素子等からなるホモジナイザー、シリ

ンドリカルレンズなどからなるズーム系、集光系などを具備した装置を用いて行う。

【0051】

複数台のレーザ発振器から射出された各レーザビームは、同一方向の偏光方向を有する。そのため、複数のレーザビームのうち、1つ又は複数のレーザビームは、 $\lambda/2$ 波長板を透過して、偏光方向が 90° 回転する。そして、偏光子により複数のレーザビームが重ね合わされる。重ね合わされたレーザビームは、ホモジナイザー等を介することで、線状ビームに形成され、該線状ビームが基板上の非晶質半導体に照射される。

【0052】

照射面におけるビームプロファイル形状を図6に示す。図6(A)は斜視図であり、長軸方向から見ると矩形となっている(図6(B))。また、短軸方向から見るとガウシアンライクのプロファイルとなっている(図6(A))。回析光学素子を用いたホモジナイザーにより、長軸方向は矩形状のプロファイルに形成されている。

10

【0053】

なお、基板上の半導体膜を結晶化するためには、線状ビームを、長軸方向に適当な照射ピッチでずらしながら、長軸方向に垂直な方向に走査する。この動作はレーザ発振器と光学系($\lambda/2$ 波長板、ミラー、偏光子、ホモジナイザー、ズーム系及び集光系)は固定し、X-Yステージを用いて基板上を線状ビームが走査するように、基板を移動させて行う。

【0054】

図21(A)は、上記の光学系とYVO₄レーザを用いて、レーザ結晶化した結晶質半導体の写真であり、図21(B)は該写真の模式図である。レーザ結晶化は、パワー14.4W、スキャン速度は35cm/sec、ビーム長0.75mmで行った。図21(A)(B)に示すように、上記の光学系を用いると、微結晶領域がほとんどなく、良好な結晶性を有する結晶質半導体を得ることが可能であることが分かる。

20

【0055】

本発明は、複数のレーザ発振器と回析光学素子を有する装置を用いてレーザ結晶化を行うことを特徴とする。そして、エネルギー分布が重なるように、複数のレーザ発振器から射出する各レーザ光を重ね合わせることを特徴とする。この重ね合わされたレーザ光は、回析光学素子によって、長軸方向に矩形状(トップハット)の分布を示し、本発明は、このような分布を示すレーザ光を用いて、レーザ結晶化を行うことを特徴とする。上記特徴により、微結晶領域が少ない結晶質半導体を作製することができる。

30

【0056】

本実施の形態は、上記の実施の形態と自由に組み合わせることが可能である。

【実施例1】

【0057】

本実施例では、連続発振レーザを用いて、薄膜トランジスタを形成する作製工程について、図7～図9を用いて説明する。

【0058】

まず、基板300上に下地膜301を成膜する(図7(A))。基板300には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、SUS基板(ステンレス基板)等を用いることができる。また、プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いてもよい。

40

【0059】

下地膜301は基板300中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素や、窒化珪素、窒化酸化珪素などの絶縁膜を用いて形成する。本実施例では、プラズマCVD法を用いて窒化酸化珪素膜を10～400nmの膜厚になるように成膜した。

【0060】

なお下地膜301は単層であっても複数の絶縁膜を積層したものであっても良い。またガ

50

ラス基板、SUS基板又はプラスチック基板のように、アルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いる場合、不純物の拡散を防ぐという観点から下地膜を設けることは有効であるが、石英基板などの不純物の拡散がさして問題とならない場合は、必ずしも設ける必要はない。

【0061】

次に下地膜上に半導体302を形成する。半導体302の膜厚は25～100nm（好ましくは30～60nm）とする。半導体302としては、珪素やシリコンゲルマニウムを用いる。その後、500℃1時間の加熱処理を行って、水素出しを行う。

【0062】

次に、レーザ照射装置を用いて、非晶質半導体302を結晶化して、結晶質半導体303を形成する。この場合、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を用いることで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いるのが望ましい。具体的には、連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力10Wのレーザ光を得る。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜502に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、10～2000cm/s程度の速度でレーザ光に対して相対的に非晶質半導体を移動させて照射する。

【0063】

このようにして得られた結晶質半導体を所望の形状にパターニングして半導体層304～307を形成する。その後、半導体層304～307を覆うゲート絶縁膜308を形成する。ゲート絶縁膜308としては、例えば、スパッタ法を用いて、膜厚を30～200nmとして珪素を含む絶縁膜で形成する。

【0064】

続いて、結晶質半導体の作製方法として、上記とは異なる方法について図8を用いて説明する。この方法についても、非晶質半導体302まで形成する工程までは同じであるため、その説明は省略する。

【0065】

この方法では、非晶質半導体302の表面に、重量換算で1～100ppmのNiを含む酢酸ニッケル塩溶液310をスピンコート法で塗布する。なお、触媒の添加は上記方法に限定されず、スパッタリング法、蒸着法、プラズマ処理などを用いて添加してもよい。

【0066】

次に、400～650度で4～24時間、例えば550度、14時間の加熱処理を行った。この加熱処理により、酢酸ニッケル塩溶液が塗布された表面から、基板300に向かって縦方向に結晶化が促進された結晶質半導体が形成される。なお、触媒元素としてはニッケル（Ni）を用いているが、その以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）といった元素を用いても良い。

【0067】

そして、上述したように、連続発振レーザを用いて、レーザ光を照射して、結晶質半導体311を形成する（図8（B））。なお、触媒元素を用いて結晶化された結晶質半導体311内には、触媒元素（ここではNi）がおよそ 1×10^{19} atoms/cm³程度の濃度で含まれていると考えられる。そこで、次に、結晶質半導体311内に存在する触媒元素のゲッタリングを行う。

【0068】

まず、結晶質半導体311の表面に酸化膜312を形成する（図8（C））。1～10nm程度の膜厚を有する酸化膜312を形成することで、後のエッチング工程において結晶質半導体311の表面がエッチングにより荒れるのを防ぐことができる。

【0069】

酸化膜312は公知の方法を用いて形成することができる。例えば、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液や、オゾン水で、結晶質半導体311の表面を酸化することで形成しても良いし、酸素を含む雰囲気中でのプラズマ処理や、加熱処理、紫外線照射等により形成しても良い。また酸化膜を別途、プラズマCVD法やスパッタ法、蒸着法などで形成しても良い。

【0070】

次に酸化膜312上に、希ガス元素を 1×10^{20} atoms/cm³以上の濃度で含むゲッタリング用の半導体313を、スパッタ法を用いて25~250nmの厚さで形成する。ゲッタリング用の半導体313は、結晶質半導体311とエッチングの選択比を大きくするため、当該結晶質半導体311よりも膜の密度の低い方がより望ましい。希ガス元素としてはヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)から選ばれた一種または複数種を用いる。

10

【0071】

次に、ファーネスアニール法やRTA法を用いて加熱処理を施し、ゲッタリングを行う。ファーネスアニール法で行う場合には、窒素雰囲気中にて450~600℃で0.5~12時間の加熱処理を行う。また、RTA法を用いる場合には、加熱用のランプ光源を1~60秒、好ましくは30~60秒点灯させ、それを1~10回、好ましくは2~6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600~1000℃、好ましくは700~750℃程度にまで加熱されるようにする。

20

【0072】

加熱処理により、結晶質半導体311内の触媒元素が、拡散により矢印に示すようにゲッタリング用の半導体313に移動し、ゲッタリングされる。

【0073】

次にゲッタリング用の半導体313を選択的にエッチングして除去する。エッチングは、 ClF_3 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキシド($(\text{CH}_3)_4\text{NOH}$)を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。このとき、酸化膜312によって結晶質半導体311がエッチングされるのを防ぐことができる。

【0074】

次に酸化膜312を、フッ酸により除去する。続いて、結晶質半導体311をパターニングし、半導体層314~317を形成する(図8(D))。その後、半導体層314~317を覆うゲート絶縁膜308を形成する。ゲート絶縁膜308としては、例えば、スパッタ法を用いて、膜厚を30~200nmとして珪素を含む絶縁膜で形成する。

30

【0075】

なお、本発明においてゲッタリング工程は、本実施例に示した方法に限定されない。その他の方法を用いて半導体膜中の触媒元素を低減するようにしても良い。

【0076】

次いで、ゲート絶縁膜308上に、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選択された元素、前記元素を主成分とする合金材料若しくは化合物材料、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜やAgPdCu合金などの公知の導電性を有する材料を用いて、膜厚20~100nmの第1導電膜320を形成する(図9(A))。次に、第1導電膜320を被覆するように、膜厚100~400nmの第2導電膜と、膜厚100~400nmの窒化珪素膜を積層形成する。続いて、最初に酸化珪素膜や窒化珪素膜などの絶縁膜をパターン加工して、絶縁層329~332を形成する。より詳しくは、酸化珪素膜であれば、リン酸系のエッチング液を用いてパターン加工し、窒化珪素膜であればフッ酸系のエッチング液を用いてパターン加工する。次に絶縁層329~332をマスクとして、第2導電膜をパターン加工して、導電層325~328を形成する。

40

【0077】

50

次に、ドーピング処理を行う。本処理では、半導体層 304～307 に、リン又はヒ素などの 15 族に属し、N 型を付与する不純物元素を低濃度に添加する。この際、導電層 325～328 及び絶縁層 329～332 が N 型を付与する不純物元素に対するマスクとなつて、自己整合的に不純物領域 321～324 が形成され、 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度範囲で N 型を付与する不純物元素が添加される。

【0078】

次に、異方性のサイドエッチングを行って導電層 325～328 を後退させて、導電層 335～338 を形成する (図 9 (B))。その後、マスクとして機能した絶縁層 329～332 をエッチングにより除去する (図 9 (C))。次に、新たにレジストからなるマスク 346、347 を形成して、上記のドーピング処理よりも高い加速電圧でドーピング処理を行う。導電層 335、337 を不純物元素に対するマスクとして用いて、ドーピング処理を行った結果、不純物領域 (N-領域、LDD 領域) 341、344 には $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲で不純物元素が付与され、不純物領域 (N+領域) 340、343 には $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲で N 型を付与する不純物元素を添加される。また、チャンネル形成領域 342、345 が形成される。

10

【0079】

次いで、レジストからなるマスク 346、347 を除去した後、新たにレジストからなるマスク 356、357 を形成する (図 9 (D))。その後、ドーピング処理を行って、P チャンネル型 TFT の活性層となる半導体層に、前記第 1 の導電型とは逆の導電型を付与する不純物元素が添加された不純物領域を形成する。本処理では、導電層 336、338 を不純物元素に対するマスクとして用いて、P 型を付与する不純物元素を添加し、自己整合的に不純物領域 (P+領域) 350、353、不純物領域 (P-領域) 351、354 及びチャンネル形成領域 352、355 を形成する。ここでは、P 型を付与する不純物元素の濃度が $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理を行う。なおドーピング処理を行う条件等は上記記載に限定されず、2 回以上の複数回のドーピング処理で形成しても良い。

20

【0080】

次に、レジストからなるマスク 356、357 を除去し、導電層 325～328 をマスクとして、第 1 導電膜 320 を異方性エッチングして、導電層 360～363 を形成する (図 9 (E))。以上の工程により、N チャンネル型トランジスタ 380、382 と、P チャンネル型トランジスタ 381、383 を同一基板上に形成することができる。

30

【0081】

そして、保護膜として絶縁膜 372 を形成する。この絶縁膜 372 には、プラズマ CVD 法またはスパッタ法を用い、厚さを $100 \sim 200 \text{ nm}$ として珪素を含む絶縁膜を用いて、単層又は積層構造として形成する。本実施例では、プラズマ CVD 法により膜厚 100 nm の酸化窒化珪素膜を形成した。次いで加熱処理を行って、半導体層の結晶性の回復、又は半導体層に添加された不純物元素の活性化を行ってもよい。

【0082】

次いで、絶縁膜 372 上に、有機絶縁膜 373 を形成する。有機絶縁膜 373 としては、SOG 法によって塗布された酸化珪素膜、ポリイミド、ポリアミド、アクリル等の有機絶縁膜を用いる。有機絶縁膜 373 は、基板 300 に形成された TFT による凹凸を緩和し、平坦化する意味合いが強いので、平坦性に優れた膜が好ましい。

40

【0083】

次に、フォトリソグラフィ法を用いて、絶縁膜 372 及び有機絶縁膜 373 をパターン加工して、不純物領域 340、343、350 及び 353 に達するコンタクトホールを形成する。次に、導電性材料を用いて、導電膜を形成し、該導電膜をパターン加工して、配線 364～371 を形成する。その後保護膜として絶縁膜 374 を形成すると、図示するような液晶表示装置が完成する。

【0084】

駆動回路や CPU などの機能回路を用途としたトランジスタは、LDD 構造又は GOLD

50

構造が好適であり、高速化のためには、トランジスタの微細化を図ることが好ましい。本実施例により完成されるトランジスタ 380～383 は、LDD 構造を有するため、高速動作が必要な駆動回路に用いることが好適である。また、微細化に伴って、ゲート絶縁膜 308 の薄膜化が欠かせないが、本実施例の工程では、ゲート絶縁膜 308 が第 1 導電膜 320 に被覆された状態でドーピング工程が行われ、該ゲート絶縁膜 308 が保護されているため、微細化にも有効な作製方法といえる。

【0085】

本実施例は、上記の実施の形態と自由に組み合わせて実施することが可能である。

【実施例 2】

【0086】

本実施例では、ドライバ IC の入出力端子にバンプを形成する方法について説明する。バンプは、COG でドライバ IC を実装するために設けるものである。このバンプは公知の方法で形成すればよく、その 1 例について図 10 を用いて説明する。

【0087】

ソースまたはドレイン配線と同じ層上に形成される入出力端子 603 上に、Ti と Pd または、Cr と Cu を積層したバリアメタル層 605 を形成する（図 10（A））。バリアメタル層 605 の形成はスパッタ法や蒸着法などを適用する。続いて、レジストマスク 606 を形成する。

【0088】

次に、Au で形成されるバンプ 607 を電解メッキで 5～20 μm の厚さに形成する（図 10（B））。そして、不要となったレジストマスク 606 を除去して、新たにバンプの上からレジストを塗布してバリアメタル層 605 をエッチングするためのレジストマスク 608 を形成する（図 10（C））。

【0089】

レジストマスク 608 を形成するためのフォトリソ工程は、バンプを介して行うため高い解像度を得ることができない。そこで、レジストマスク 608 は、バンプとその周辺を覆うように形成する。このレジストマスク 608 を利用してバリアメタル層をエッチングすると、バリアメタル層 609 が形成される（図 10（D））。その後、バンプとバリアメタル層との密着性を高めるために 200～300℃で熱処理を行う。このようにして、入出力端子にバンプを形成したドライバ IC を完成させることができる。

【0090】

本実施例は、上記の実施の形態、実施例と自由に組み合わせて実施することが可能である。

【実施例 3】

【0091】

本実施例では、ドライバ IC を実装する方法について、図 11、18 を用いて説明する。実装方法としては、異方性導電材を用いた接続方法やワイヤボンディング方式等を採用すればよく、その一例について図 11 を用いて説明する。

【0092】

第 1 の基板 201 に、異方性導電材によりドライバ IC 208 が実装された例について説明する（図 11（A））。第 1 の基板 201 上には画素領域 202、引出線 206、接続配線及び入出力端子 207 を有する。第 2 の基板 203 は、シール材 204 で第 1 の基板 201 と接着されており、その間に液晶層 205 を有する。

【0093】

接続配線及び入出力端子 207 の一方の端には、FPC 212 が異方性導電材で接着されている。異方性導電材は樹脂 215 と表面に Au などがメッキされた数十～数百 μm 径の導電性粒子 214 から成り、導電性粒子 214 により接続配線及び入出力端子 207 と FPC 212 に形成された配線 213 とが電氣的に接続される。ドライバ IC 208 も、異方性導電材で第 1 の基板 201 に接着され、樹脂 211 中に混入された導電性粒子 210 により、ドライバ IC 208 に設けられた入出力端子 209 と引出線 206 または接続配

10

20

30

40

50

線及び入出力端子 207 と電氣的に接続される。

【0094】

この方式によるドライバ IC 208 の実装方法について、図 11 (C) を用いて説明する。ドライバ IC 224 には、入出力端子 225 が設けられ、その周辺部には保護絶縁膜 226 が形成される。第 1 の基板 220 には第 1 の導電層 221 と第 2 の導電層 223、及び絶縁層 222 が図で示すように形成され、ここでは第 1 の導電層 221 と第 2 の導電層 223 とで引出線または接続配線を形成している。

【0095】

第 1 の基板 220 に形成されるこれらの導電層及び絶縁層は画素領域の画素 TFT と同じ工程で形成される。例えば、画素 TFT が逆スタガ型で形成される場合、第 1 の導電層 221 はゲート電極と同じ層に形成され、Ta、Cr、Ti、Al などの材料で形成される。通常ゲート電極上にはゲート絶縁膜が形成され、絶縁層 222 はこれと同じ層で形成されるものである。第 1 の導電層 221 上に重ねて設ける第 2 の導電層 223 は画素電極と同じ透明導電膜で形成されるものであり、導電性粒子 227 との接触を良好なものとする。樹脂 228 中に混入された導電性粒子 227 の大きさと密度を適したものとするにより、このような形態でドライバ IC と第 1 の基板 220 とは電氣的に接続する。

【0096】

次は、樹脂の収縮力を用いた COG 方式の例 (図 11 (D)) であり、ドライバ IC 224 側に Ta や Ti などバリヤ層 229 を形成し、その上に無電解メッキ法などにより Au を約 20 μm 形成しパンプ 230 とする。そして、ドライバ IC と第 1 の基板 220 との間に光硬化性絶縁樹脂 231 を介在させ、光硬化して固まる樹脂の収縮力を利用して電極間を圧接して電氣的な接続を形成する。

【0097】

次は、FPC 212 上の配線 213 と、導電性粒子 214 を介してドライバ IC 208 を設けた場合 (図 11 (E)) を示したものであり、この構成は、携帯端末等の筐体の大きさが限られた電子機器に用いる場合に大変有効である。

【0098】

また、第 1 の基板 201 にドライバ IC 208 を接着材 216 で固定して、Au ワイヤ 217 によりドライバ IC 208 の入出力端子と、引出線または接続配線とを接続した場合 (図 11 (B)) を示したものである。ここでは封止樹脂 218 で封止する。なお、ドライバ IC 208 の実装方法は、特に限定されるものではなく、公知の COG 方法やワイヤボンディング方法、或いは TAB 方法を用いることができる。

【0099】

ドライバ IC の厚さは、対向電極が形成された第 2 の基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この液晶表示装置に温度変化が生じても熱応力が発生することなく、TFT で作製された回路の特性を損なうことはない。その他にも、本実施形態で示すように IC チップよりも長尺のドライバ IC で駆動回路を実装することにより、1 つの画素領域に対して、実装されるドライバ IC の個数を減らすことができる。

【0100】

なお、ドライバ IC 208 は、ガラスや石英などの基板上に、駆動回路に相当する薄膜からなる素子群が形成されたものである。この基板は、必ずしも必要ではなく、剥離して除去しても構わない。その方法について、簡単に説明する。

【0101】

まず第 1 の方法として、石英やガラスからなる基板上に、薄膜からなる素子群と入出力端子を形成する。このとき、素子群と基板の間には接着剤の層を設ける。そしてパンプを用いてドライバ IC と引き出し線を電氣的に接続した後、基板上に両面テープを貼り付け、物理的手段により、基板を剥離する。

【0102】

10

20

30

40

50

また第2の方法として、石英やガラスからなる第1の基板上に、薄膜からなる素子群と入出力端子を形成する。この素子群の上に絶縁膜を形成し、該絶縁膜上に接着剤を形成し、該接着剤上に両面テープを貼り付けて、該両面テープ上に第2の基板を貼り付ける。その後、第1の基板を剥離すると、素子群の下部に形成された下地膜が露出する。続いて、露出した下地膜に接着剤を形成し、この接着剤とバンプ、並びに引き出し配線及び接続配線とを貼り付ける。そして最後に第2の基板を剥離する。

【0103】

このように、ドライバICは、必ずしも基板上に作製されている必要はなく、該基板を剥離して、素子群だけを電氣的に接続してもよい。このようなドライバICは、スティッククリスタルともよばれる。このときの断面図を図18に示すが、このようにドライバICを構成する基板を剥離すると、軽量化を図ることができ、携帯端末に搭載する場合などに特に有効である。

【0104】

本実施例は、上記の実施の形態、実施例と自由に組み合わせて実施することが可能である。

【実施例4】

【0105】

本実施例では、ドライバICの構成について、図面を用いて説明する。

【0106】

上述したように、ドライバICは、液晶表示装置の駆動回路として利用する。図12はそのような表示装置のブロック図である。画素領域1601は複数の走査線とデータ線で形成され、TFTが設けられたアクティブマトリクス型であっても良いし、パッシブマトリクス型であっても良い。その周辺には、ドライバICに相当する走査線駆動回路1602及びデータ線駆動回路1603が配置される。

【0107】

外部から入力されるクロック、スタートパルス1607と、映像信号1608は、ドライバICの入力仕様に変換するためのコントロール回路1605に入力され、それぞれのタイミング仕様に変換される。また、電源1609、オペアンプから成る電源回路1606は外付けの回路で賄われる。このコントロール回路1605と電源回路1606は、TAB方式で実装すると、表示装置の小型化に有効である。

【0108】

コントロール回路1605からは、走査線とデータ線にそれぞれ信号が出力されるが、データ線には、信号分割回路1604により、入力デジタル信号をm個に分割して供給する。分割数mは2以上の自然数で、実際的には2～16分割にするのが適当である。この場合、入力デジタル信号線1610の本数と、修正デジタル信号線1620の本数は異なる。信号分割回路1604としては、ICチップを実装しても良いし、ドライバICを用いてもよい。

【0109】

ドライバICの回路構成は、走査線側とデータ線側とで異なる。図12(B)はその一例を示し、走査線駆動回路1602は、シフトレジスタ回路123、レベルシフタ回路124、バッファ回路125からなる。一方、データ線駆動回路1603は、シフトレジスタ回路126、ラッチ回路127、レベルシフタ回路128、D/A変換回路129からなる。

【0110】

また、上記とは異なる、データ線側に設けるドライバICの一例について図13を用いて説明する。回路構成は、入力側からシフトレジスタ回路1801、ラッチ回路1804、1805、レベルシフタ回路1806、D/A変換回路1807を有する。

【0111】

本実施例は、上記の実施の形態、実施例と自由に組み合わせて実施することが可能である。

10

20

30

40

50

【実施例 5】

【0112】

本実施例では、ドライバ IC を実装する基板上に設けられた画素領域の構成について説明する。より詳しくは、一对の電極間に、液晶材料を含む場合について説明する。

【0113】

図 14 (A) は、液晶層を含む画素領域の上面図 (マスキレイアウト図) である。走査線 651 とデータ線 655 が交差し、その交差点に画素 TFT 658 が形成される。画素 TFT 658 はボトムゲート型であり、ソース・ドレイン電極 656 の一方はデータ線 655、他方は画素電極 657 と接続する。液晶の駆動に必要な保持容量 659 はゲート電極 652 と同じ層で形成される容量配線 653 と、ゲート絶縁膜と同じ層で形成される絶縁層を介して画素電極 657 との間で形成する。図 14 (B) はその等価回路である。

10

【0114】

画素 TFT の構造は特に限定されないが、例えば、図 15 (A) で示すチャネルエッチ型のボトムゲート型 TFT で形成することができる。これは、基板 660 上に Ta、Cr、Mo、Al などゲート電極 661 を形成し、その後、窒化シリコン膜、酸化シリコン膜、または酸化タンタル膜などでゲート絶縁膜 662 を形成し、その上にゲート電極 661 と一部が重なるように非晶質構造を有する半導体層 663 を島状に形成する。非晶質構造を有する半導体層 663 の代表的な材料は非晶質シリコンであり、プラズマ CVD 法で 100 ~ 250 nm の厚さに形成する。n 型または p 型不純物が添加された半導体層 664 は、非晶質構造を有する半導体層 663 と重ねて設ける。

20

【0115】

その後、透明導電膜で画素電極 665 を形成する。透明導電膜には酸化インジウム・スズ ($\text{In}_2\text{O}_3 : \text{SnO}_2$ 、ITO) や酸化亜鉛 (ZnO)、酸化インジウム・スズと酸化亜鉛の化合物、酸化ガリウム (Ga_2O_3) を添加した酸化亜鉛などを用いる。次いで、ソース・ドレイン電極 666 を Cr、Ti、Ta など形成する。このソース・ドレイン電極 666 をマスクとして n 型または p 型不純物が添加された半導体層 664 をエッチング処理して 2 つの領域に分割する。このエッチング処理は、非晶質構造を有する半導体層 663 との選択加工ができないので、その一部もエッチングして除去される。最後に、窒化シリコンまたは酸化シリコンなどで保護膜 667 を形成して画素 TFT が完成する。

30

【0116】

図 15 (B) はチャネル保護膜型の構造であり、非晶質構造を有する半導体層 668 上に窒化シリコンなどで形成されるチャネル保護層 669 が設けられ、ソース・ドレイン領域を形成するエッチング加工のときに非晶質構造を有する半導体層 668 がエッチングされない構造となっている。

【0117】

図 15 (C) は保護膜 670 の上にアクリルなどの有機樹脂材料で形成される平坦化膜 671 が形成され、その上に画素電極 672 が形成された構造である。コンタクトホールを介して画素電極を画素 TFT と接続する構造とすることで、開口率を向上させることが可能なり、また、表面を平坦化することによりディスクリネーションなど液晶の配向の乱れを低減させることができる。

40

【0118】

ここでは、ボトムゲート型の TFT を画素 TFT として用いる例を示したが、トップゲート型の TFT であっても何ら差し支えはない。TFT の特性と製造コストとの観点からはボトムゲート型の TFT が多くの場合使用されるが、本発明のドライバ IC は、画素領域をタンタルと酸化タンタルを組み合わせ形成される MIM 型の素子で形成したものに対しても応用することができる。

【0119】

上記の図 14 では、画素領域を構成する半導体素子は、非晶質半導体により形成される場合を示したが、有機半導体で形成される半導体素子を用いてもよい。そこで、以下には有機半導体で形成される半導体素子について説明する。

50

【0120】

有機半導体で形成される半導体素子は、基板400上にゲート電極401、ゲート絶縁膜402、ソース・ドレイン電極403及び有機半導体404が順に積層されたプレーナ型（図16（A））、基板400上にゲート電極401、ゲート絶縁膜402、有機半導体404及びソース・ドレイン電極403が順に積層された逆スタガ型（図16（B））、基板400上にソース・ドレイン電極403、有機半導体404、ゲート絶縁膜402及びゲート電極401が順に積層されたスタガ型（図16（C））の3種類がある。画素領域には、いずれのタイプの薄膜トランジスタを用いてもよい。但し、上述した有機半導体で形成される半導体素子（有機トランジスタ）のゲート絶縁膜402には、高誘電体材料の Ta_2O_5 を使用することが好適である。これは、 Ta_2O_5 の誘電率は24程度と、一般に使用する酸化硅素の約6倍と高いためである。比誘電率が高いと、チャンネル層に多くの電荷が誘起されるので、オン電流が増加する。また、キャリア移動度が高い材料であるペントセンをチャンネル層に使用することも好適である。キャリア移動度を高めた分だけ、オン電流を大きくすることができる。

10

【0121】

次に、有機トランジスタを用いた液晶表示装置の断面構造について、図16（D）を用いて説明する。基板410上にはゲート電極423、412、ゲート絶縁膜413、417、厚さ100nm程度のペントセン層414、厚さ2～3nm程度のA1層415、416、ポリビニルアルコール419、紫外線硬化樹脂420が順に積層して形成され、また基板411上にITO膜422が形成されている。そして、これらの薄膜が形成された基板410と基板411を貼り合わせた後、液晶層421を注入すると、液晶表示装置が完成する。

20

【0122】

本実施例は、上記の実施の形態、実施例と自由に組み合わせて実施することが可能である。

【実施例6】

【0123】

本実施例は、ドライバICが実装された表示装置を電子装置に搭載する方法について、図17を用いて説明する。

【0124】

図17において、表示装置は画素領域702が実装された基板701の端部にドライバIC710が実装される。そして、スペーサ706を内包するシール剤707により対向基板703と貼り合わせられ、さらに偏光板708、709が設けられる。そして、接続部材723によって筐体724に固定される。

30

【0125】

ドライバIC710は、その入出力端子711において、導電性粒子712を含む樹脂713で、基板701上に形成された入出力配線705、714と接続している。入出力配線714の一方の端はフレキシブルプリント配線板717（FPC717）が導電性粒子715を含む樹脂716で接着される。FPC717は、信号処理回路、増幅回路及び電源回路などが設けられたプリント基板719上の入出力配線720にやはり同様な手法（導電性粒子721を含む樹脂722）で接続し、画像表示に必要な信号をドライバICが実装された表示装置に伝達するようになっている。そして、表示装置が透過型の液晶表示装置であれば、対向基板703側に光源と光導光体が設けられ、さらにバックライト718が設けられている。

40

【0126】

ここで示す表示装置の実装方法は一例であり、電子装置の形態に合わせて適宜組み立てられるものである。本発明を適用して作製される電子機器の一例として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイなどの音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話等）、家庭用ゲーム機などの記録媒体を備えた画像再生装置などが挙げられる。それら電子機器の具体例を図

50

19、20に示す。

【0127】

図19(A)は大型(40インチ程度)の液晶テレビであり、表示部2001、筐体2002及び音声出力部2003等を含む。図19(B)は、液晶モニターであり、筐体2011、音声出力部2012及び表示部2013等を含む。図19(C)は折り畳み式の携帯端末であり、第1の表示面2021、操作ボタン2022、第2の表示面2023、操作ボタン2024、筐体2025及びレンズ2026等を含む。上記電子機器において、表示部2001、2013、第1の表示面2021、第2の表示面2023の作製に本発明を適用することができる。

【0128】

図20(A)はPDA(personaldigitalassistant)であり、外部インターフェイス2031、スタイラス2033、表示部2034及び操作ボタン2035等を含む。図20(B)は携帯型ゲーム機器であり、表示部2041、操作ボタン2043、2044等を含む。図20(C)はデジタルビデオカメラであり、接眼部2051、操作スイッチ2052、表示部2056、表示部2053及びバッテリー2055等を含む。図20(D)はノート型パーソナルコンピュータであり、筐体2061、表示部2062及びキーボード2064等を含む。上記電子機器において、表示部2034、2041、2053、2056、2062の作製に本発明を適用することができる。

【0129】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例7】

【0130】

表示装置に多階調の画像を表示するときの駆動方式としては、アナログ駆動とデジタル駆動が挙げられる。両方式の相違点は、表示素子の発光、非発光のそれぞれの状態において該発光素子を制御する方法にある。前者のアナログ駆動は、表示素子に流れる電流を制御して階調を表現する。また後者のデジタル駆動は、表示素子がオン状態(輝度がほぼ100%である状態)と、オフ状態(輝度がほぼ0%である状態)の2つの状態のみによって階調表現する。デジタル駆動は、オンとオフの2つの状態だけを用いると、2階調しか表示出来ないため、別の方式と組み合わせて多階調の画像を表示する駆動方法があり、例えば面積階調方式や、時間階調方式が挙げられる。

【0131】

本発明の表示装置は、液晶パネル及び発光パネル問わず、アナログ駆動やデジタル駆動のいずれを適用してもよく、また、デジタル駆動において面積階調方式や時間階調方式のいずれを適用してもよい。また、液晶応答速度の改善を図ったオーバードライブ方式などの他の駆動方式を適用してもよい。

【0132】

なお、上述したように、本発明の表示装置は、アクティブマトリクス型、パッシブマトリクス型のどちらでも構わない。但し、発光パネルは、アクティブマトリクス型を適用した場合、発光素子は電流駆動型の素子であるため、画素内のトランジスタのバラツキが少ない場合にアナログ駆動を用いることが好適である。また、デジタル駆動でも、駆動用のトランジスタを飽和領域で動作させることで、一定の電流量を発光素子に供給することが好適である。つまり、電流駆動型の素子を用いる以上、一定の電流量を供給することができるとな画素構成を適用し、さらにそれに最適な駆動方法を用いることが好ましい。

【0133】

本実施例では、上記駆動方式のうち、時間階調方式について簡単に説明する。通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は60Hz程度である。つまり、1秒間に60回程度の画面の描画が行われる。これにより、人間の眼にフリッカ(画面のちらつき)を感じさせないようにすることが出来る。このとき、画面の描画を1回行う期間を1フレーム期間と呼ぶ。そして、時間階調方式では、1フレーム期間を複数のサブフレーム期間に分割する。このときの分割数は、階調ビット数に等しい場合が多く、

ここでは簡単のために、分割数が階調ビット数に等しい場合を示す。ここでは、3ビット階調の場合、つまり3つのサブフレーム期間SF1～SF3に分割した場合について説明する。

【0134】

各サブフレーム期間は、書き込み（アドレス）期間 T_a と発光（サステイン）期間 T_s を有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間は、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光する期間である。このとき、サブフレーム期間 $SF_1 \sim SF_3$ は、その長さの比を $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ とする。つまり、 n ビット階調を表現する際、 n 個のサステイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ とする。そして、どのサステイン期間で発光素子が発光するかによって、1フレーム期間あたりに、各画素が発光する期間の長さが決定し、これによって階調表現を行う。

10

【0135】

つまり、サステイン期間 $T_{s1} \sim T_{s3}$ のそれぞれにおいて、発光、非発光のいずれかの状態をとることによって、その合計発光時間の長短を利用して、輝度0%、14%、28%、43%、57%、71%、86%、100%の8階調を表現する。例えば、 T_{s1} が発光し、 T_{s2} 、 T_{s3} が発光しない場合、その輝度は57%であり、 T_{s1} と T_{s3} が発光し、 T_{s2} が発光しない場合、その輝度は71%となる。つまり時間階調方式の場合は、合計発光時間のうち71%の長さの時間で発光することによって同様の階調を表現する。

20

【0136】

なお、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内で、その順序が変化しても良い。

【0137】

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例8】

【0138】

上記の実施の形態3では、連続発振レーザを用いたレーザ結晶化について説明したが、本発明は連続発振レーザに制約されず、パルスレーザを用いたレーザ結晶化を行ってもよい。これは、パルスの出力されるエネルギービーム（パルスビーム）であっても、レーザ光により半導体膜が溶融してから固化するまでに、次のパルスのレーザ光を照射できるような発振周波数でレーザ光を発振させれば、走査方向に向かって連続的に成長した結晶粒を得ることができるためである。つまり、パルスレーザであっても、連続発振レーザを用いた場合と同様の効果を得ることができるためである。

30

従って、パルス発振の周期が、半導体膜が溶融してから完全に固化するまでの時間よりも短くなるように、発振の周波数の下限を定めたパルスビームを使用するとよい。具体的には、パルスレーザの発振周波数は10MHz以上、好ましくは60～100MHzとし、通常パルスレーザの発振周波数として用いる数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を使用する。

40

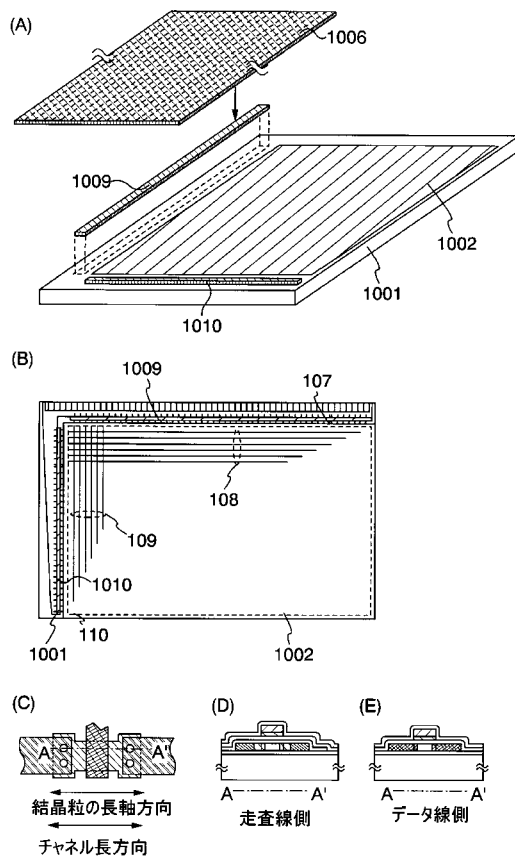
上記の周波数帯を使用すると、半導体膜がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射することができる。従って、従来の周波数帯のパルス発振のレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を有する半導体膜を形成することができる。さらに具体的には、結晶粒の走査方向における幅が10～30 μm 、走査方向に対して垂直な方向における幅が1～5 μm 程度の結晶粒の集合を形成することができる。連続発振レーザと同程度の結晶粒を得ることができる。そして走査方向に沿って長く伸びた単結晶の結晶粒を形成することで、少なくともTF Tのチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

50

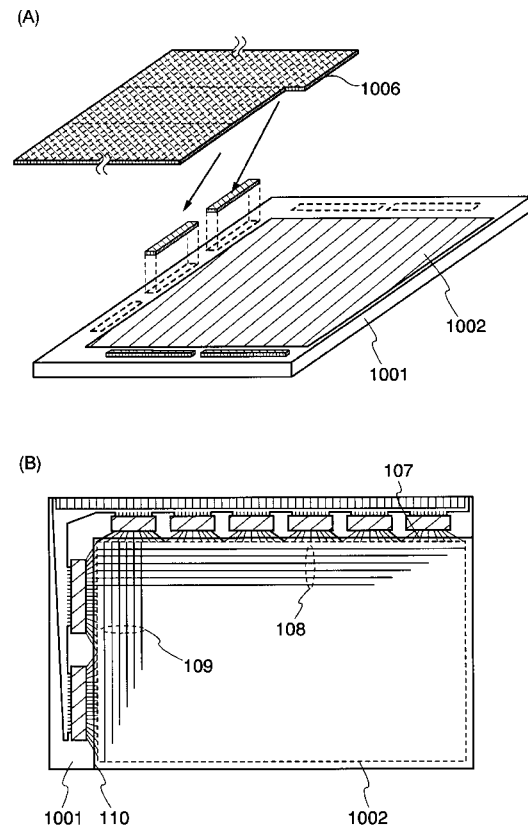
【0139】

パルスレーザとしては、上記周波数での発振が可能な、A rレーザ、K rレーザ、エキシマレーザ、C O₂レーザ、Y A Gレーザ、Y₂O₃レーザ、Y V O₄レーザ、Y L Fレーザ、Y a l O₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、銅蒸気レーザ又は金蒸気レーザを用いることができる。

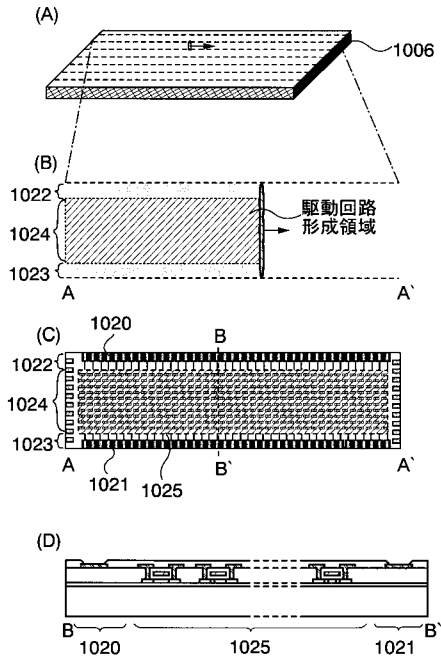
【図1】



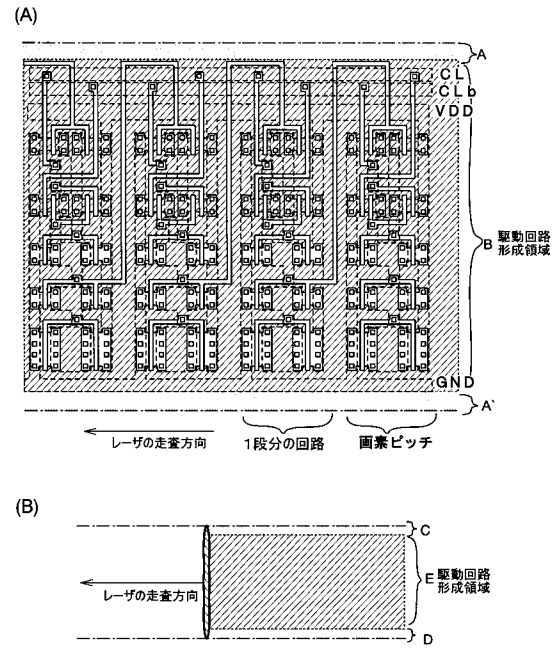
【図2】



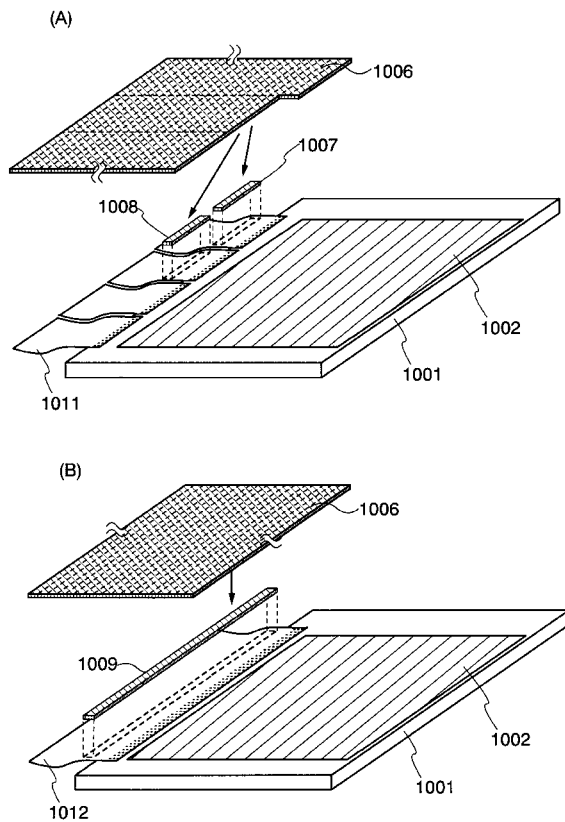
【図 3】



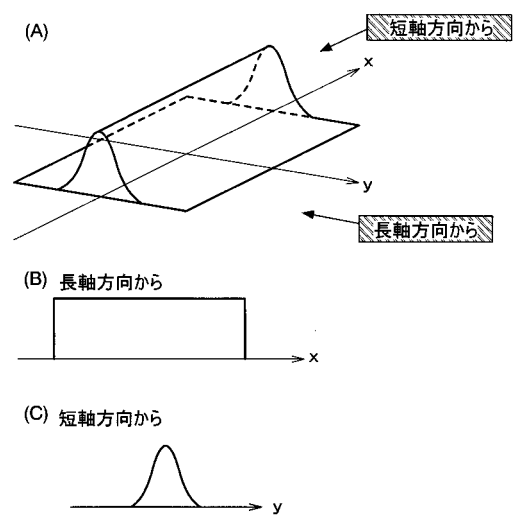
【図 4】



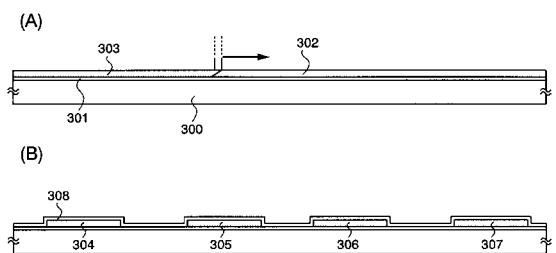
【図 5】



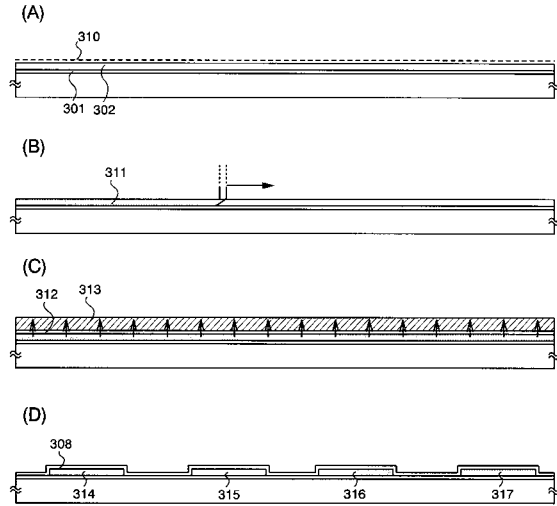
【図 6】



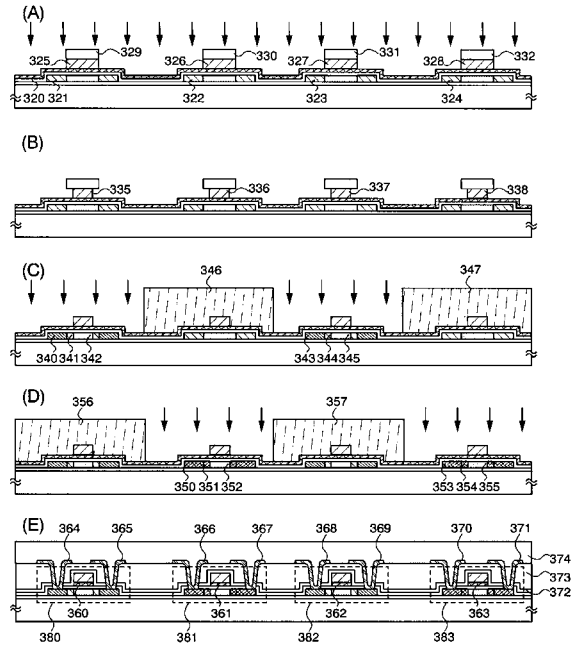
【図 7】



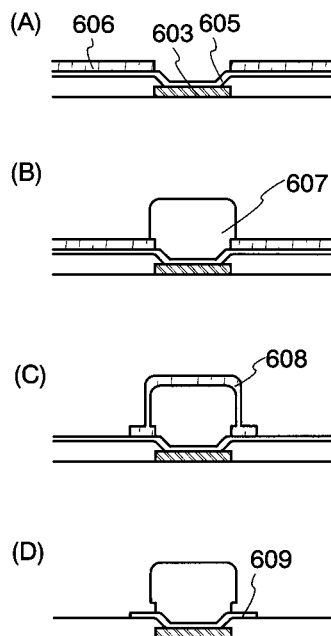
【図 8】



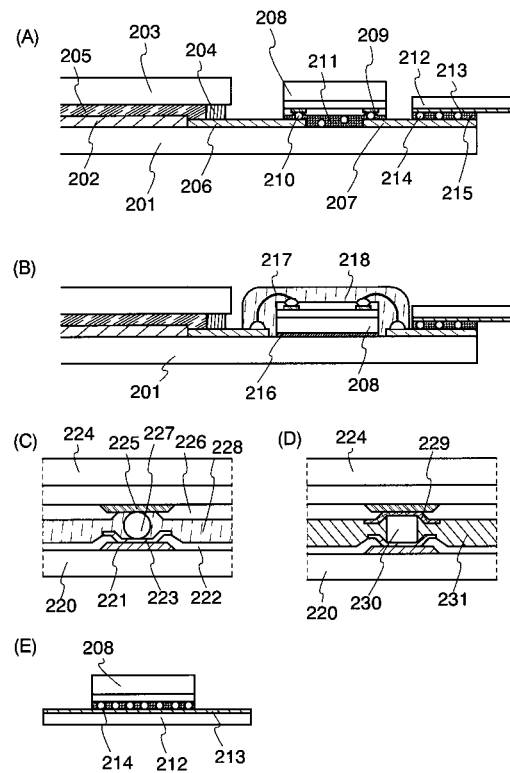
【図 9】



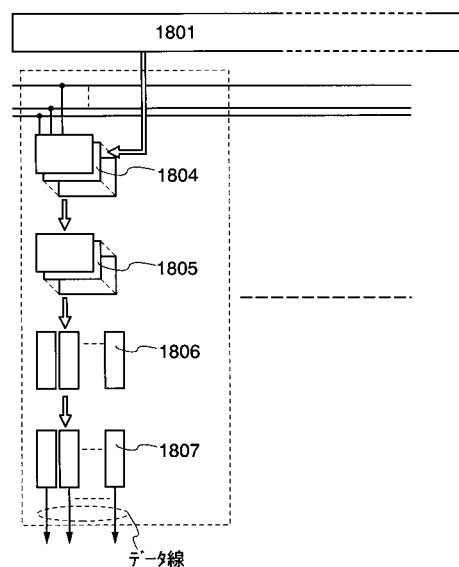
【図 10】



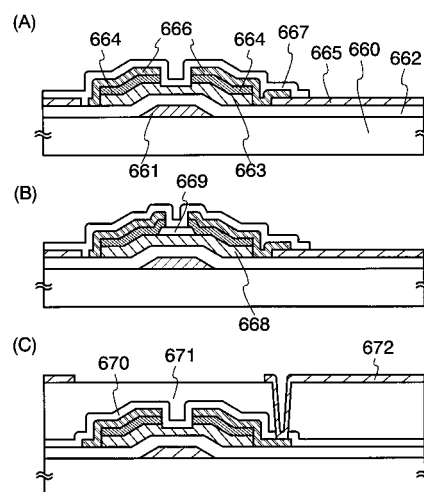
【図 11】



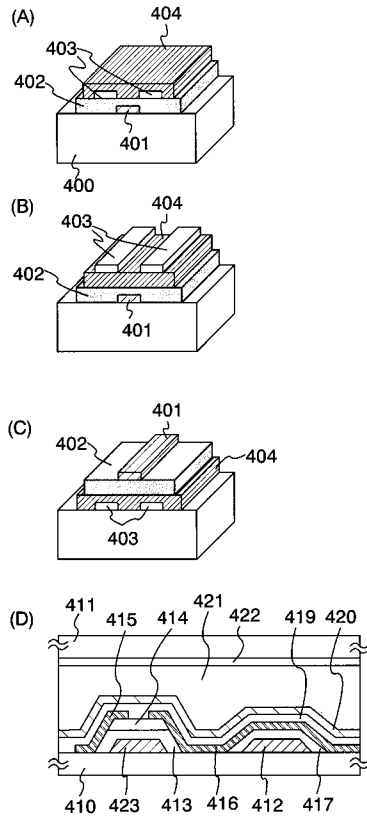
【図 13】



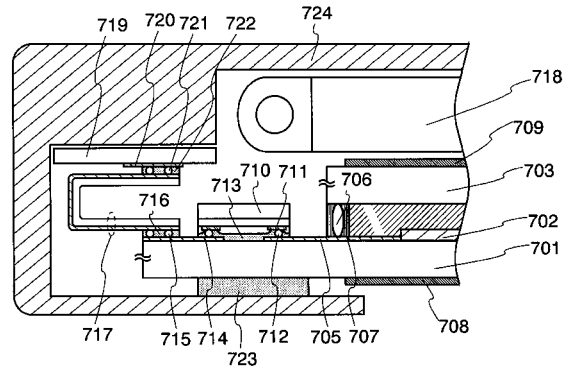
【図 15】



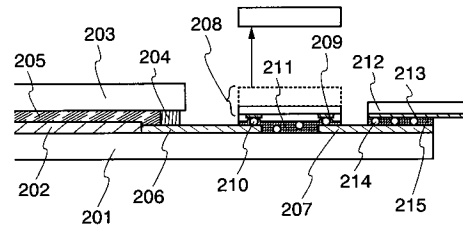
【図 16】



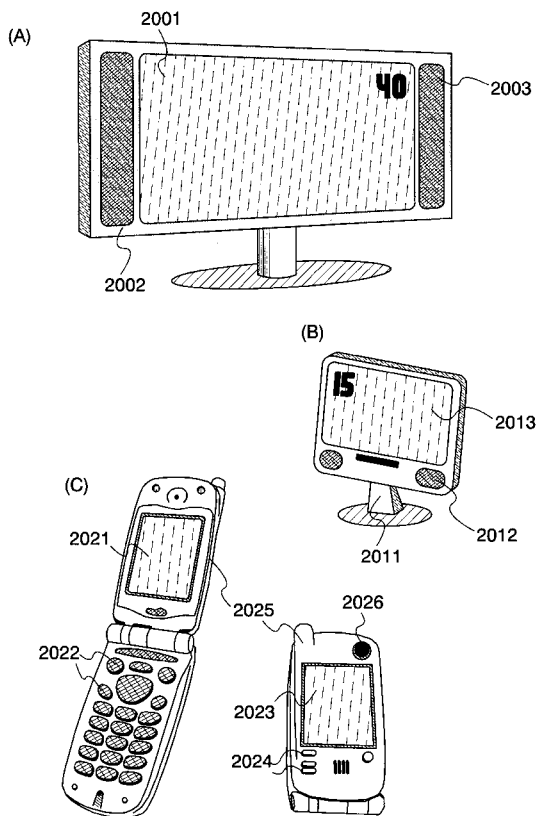
【図 17】



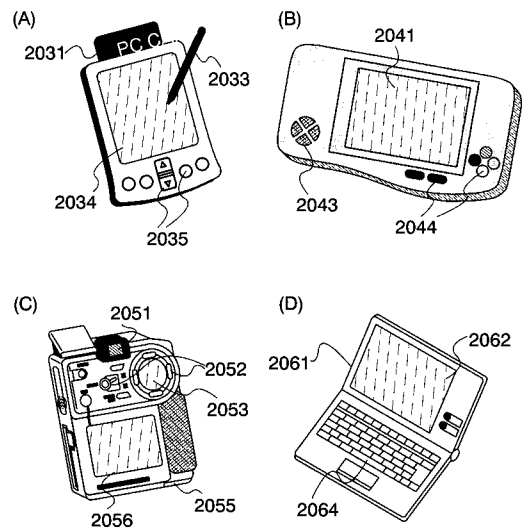
【図 18】



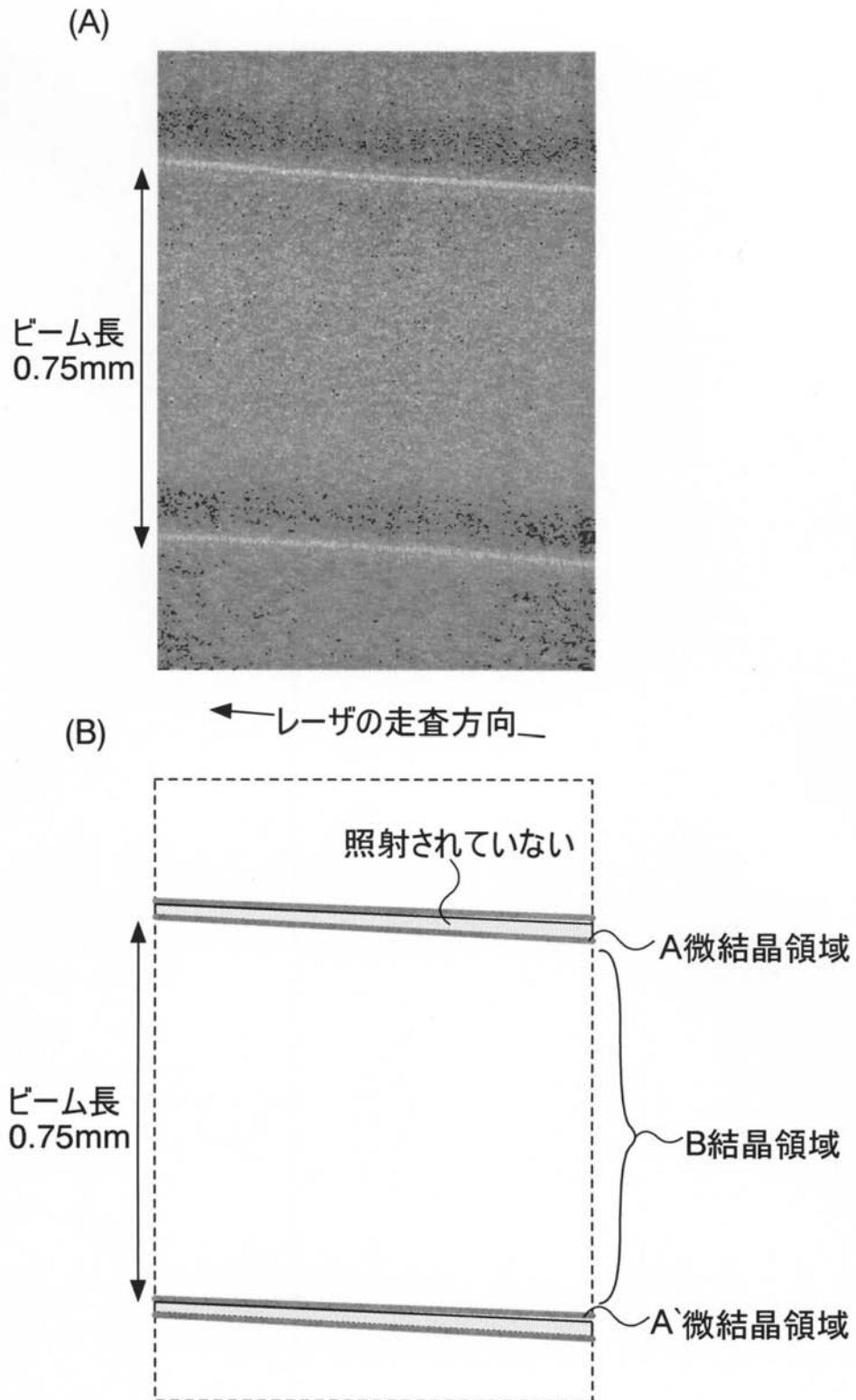
【図 19】



【図 20】



【図 2 1】



【手続補正書】

【提出日】平成22年12月23日(2010.12.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板上に非晶質半導体膜を形成し、
スポットの幅が 1 乃至 6 mm であり、中心部にエネルギー密度の高い領域を有する連続発振のレーザ光を前記非晶質半導体膜に照射して、結晶質半導体膜を形成し、
前記結晶質半導体膜の一部を除去して、第 1 の領域に半導体層を形成し、
前記半導体層を用いて薄膜トランジスタを形成し、
前記基板において、前記結晶質半導体膜の一部が除去された第 2 の領域に入力端子及び出力端子を形成し、
短辺の長さが前記レーザ光のスポットの幅と同じ長さとなるように前記基板を分割して、矩形のドライバ IC を複数形成し、
前記ドライバ IC を、画素領域が設けられた第 2 の基板に貼り合わせ、
前記エネルギー密度の高い領域の長さは、前記第 1 の領域の短辺の長さと概略同じであり、
前記第 1 の領域の短辺の長さは、0.5 乃至 1 mm であることを特徴とする液晶表示装置の作製方法。

【請求項 2】

基板上に非晶質半導体膜を形成し、
スポットの幅が 1 乃至 6 mm であり、中心部にエネルギー密度の高い領域を有し、発振周波数が 60 乃至 100 MHz であるレーザ光を前記非晶質半導体膜に照射して、結晶質半導体膜を形成し、
前記結晶質半導体膜の一部を除去して、第 1 の領域に半導体層を形成し、
前記半導体層を用いて薄膜トランジスタを形成し、
前記基板において、前記結晶質半導体膜の一部が除去された第 2 の領域に入力端子及び出力端子を形成し、
短辺の長さが前記レーザ光のスポットの幅と同じ長さとなるように前記基板を分割して、矩形のドライバ IC を複数形成し、
前記ドライバ IC を、画素領域が設けられた第 2 の基板に貼り合わせ、
前記エネルギー密度の高い領域の長さは、前記第 1 の領域の短辺の長さと概略同じであり、
前記第 1 の領域の短辺の長さは、0.5 乃至 1 mm であることを特徴とする液晶表示装置の作製方法。

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 21/20

H 0 1 L 29/78 6 1 2 B

F ターム(参考) 2H092 GA48 GA51 GA55 GA60 JA26 JA35 JA46 JB57 JB58 KA05
KA09 KA12 KA18 KA24 KB04 KB14 KB22 KB24 MA08 NA25
5F110 AA01 BB01 BB03 CC02 CC03 CC05 CC07 DD01 DD02 DD03
DD06 DD13 DD14 DD15 DD17 DD24 EE02 EE03 EE04 EE06
EE09 FF01 FF02 FF03 FF28 FF30 GG01 GG02 GG05 GG13
GG22 GG25 GG58 HJ01 HJ04 HJ23 HJ30 HK04 HK07 HK08
HK21 HK25 HK35 HM15 NN02 NN03 NN04 NN05 NN12 NN16
NN24 NN27 NN34 NN35 NN40 NN72 PP03 PP04 PP05 PP10
PP34 PP35 QQ11 QQ19 QQ28
5F152 AA01 AA06 BB02 BB03 CC02 CC03 CC04 CC05 CD13 CD14
CD15 CE05 CE06 CE14 CE24 CE43 CE45 CF18 DD05 DD07
EE16 FF02 FF03 FF04 FF05 FF06 FF07 FF08 FF21 FF28
FF32 FF47 FG01 FG04 FG18 FG23 FH03

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	JP2011123495A	公开(公告)日	2011-06-23
申请号	JP2010276605	申请日	2010-12-13
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤 荒井康行 椎名康子		
发明人	山崎 舜平 小山 潤 荒井 康行 椎名 康子		
IPC分类号	G02F1/1368 G02F1/1345 H01L29/786 H01L21/336 H01L21/20 G02F1/133 G02F1/136 G09G3/36 H01S5/00		
CPC分类号	G02F1/1345 G02F2202/104 H01L2224/45144 H01L2224/48091 H01L2224/73204 H01L2224/73265		
FI分类号	G02F1/1368 G02F1/1345 H01L29/78.618.B H01L29/78.627.D H01L29/78.627.G H01L21/20 H01L29/78.612.B		
F-TERM分类号	2H092/GA48 2H092/GA51 2H092/GA55 2H092/GA60 2H092/JA26 2H092/JA35 2H092/JA46 2H092/JB57 2H092/JB58 2H092/KA05 2H092/KA09 2H092/KA12 2H092/KA18 2H092/KA24 2H092/KB04 2H092/KB14 2H092/KB22 2H092/KB24 2H092/MA08 2H092/NA25 5F110/AA01 5F110/BB01 5F110/BB03 5F110/CC02 5F110/CC03 5F110/CC05 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD06 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/DD24 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE09 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG02 5F110/GG05 5F110/GG13 5F110/GG22 5F110/GG25 5F110/GG58 5F110/HJ01 5F110/HJ04 5F110/HJ23 5F110/HJ30 5F110/HK04 5F110/HK07 5F110/HK08 5F110/HK21 5F110/HK25 5F110/HK35 5F110/HM15 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN05 5F110/NN12 5F110/NN16 5F110/NN24 5F110/NN27 5F110/NN34 5F110/NN35 5F110/NN40 5F110/NN72 5F110/PP03 5F110/PP04 5F110/PP05 5F110/PP10 5F110/PP34 5F110/PP35 5F110/QQ11 5F110/QQ19 5F110/QQ28 5F152/AA01 5F152/AA06 5F152/BB02 5F152/BB03 5F152/CC02 5F152/CC03 5F152/CC04 5F152/CC05 5F152/CD13 5F152/CD14 5F152/CD15 5F152/CE05 5F152/CE06 5F152/CE14 5F152/CE24 5F152/CE43 5F152/CE45 5F152/CF18 5F152/DD05 5F152/DD07 5F152/EE16 5F152/FF02 5F152/FF03 5F152/FF04 5F152/FF05 5F152/FF06 5F152/FF07 5F152/FF08 5F152/FF21 5F152/FF28 5F152/FF32 5F152/FF47 5F152/FG01 5F152/FG04 5F152/FG18 5F152/FG23 5F152/FH03 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB35 2H192/CB36 2H192/DA12 2H192/FB22 2H192/FB46		
优先权	2003133631 2003-05-12 JP		
其他公开文献	JP5211145B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种生产率提高的液晶显示装置及其制造方法。第一基板和第二基板，该第一基板具有第一薄膜晶体管和第二基板，该第一薄膜晶体管在扫描线 and 数据线彼此相交的区域中具有非晶半导体或有机半导体作为沟道部分，该第一薄膜晶体管作为沟道部分。第一基板和第二基板之间的液晶层，以及具有第二薄膜晶体管的第三基板，第二薄膜晶体管具有晶体半导体作为沟道部分，该

晶体半导体在第二薄膜晶体管中是电子或正电子。晶界沿着空穴流动的方向延伸，第一基板和第二基板结合在一起，使得第一基板暴露，并且第三基板在第一基板上的暴露区域中。在第三基板上设置形成第二薄膜晶体管的第一基板和形成输入/输出端子的第二区域，并且第三基板的短边为1mm至6mm。该区域的短边为0.5到1毫米。[选型图]图1

