

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-262192

(P2010-262192A)

(43) 公開日 平成22年11月18日(2010.11.18)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624A	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 621A	5C080
	G09G 3/20 612L	
	G09G 3/20 670E	

審査請求 未請求 請求項の数 3 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2009-114138 (P2009-114138)  
 (22) 出願日 平成21年5月11日 (2009.5.11)

(71) 出願人 000201113  
 船井電機株式会社  
 大阪府大東市中垣内7丁目7番1号  
 (74) 代理人 110000970  
 特許業務法人 楓国際特許事務所  
 (72) 発明者 江藤 功  
 大阪府大東市中垣内7丁目7番1号 船井電機株式会社内  
 Fターム(参考) 2H193 ZA04 ZA06 ZC24 ZD12  
 5C006 AA16 AA22 AC11 AC24 AF51  
 AF72 BB16 BC02 BC03 BC13  
 BC24 BF04 BF15 BF42 FA16  
 FA31 FA37 FA42 FA51  
 5C080 AA10 BB05 CC03 DD09 DD12  
 DD23 DD27 EE29 FF11 JJ02  
 JJ04

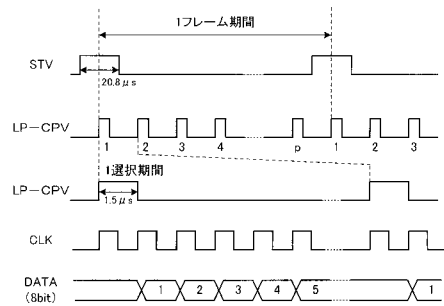
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 タイミングコントローラの出カピンの数を削減し、製造コストの低減を図った液晶表示装置を提供する。

【解決手段】 ラッチ垂直同期信号 L P - C P V を用いて、コントローラ 4 は、全ゲートラインを 1 ラインずつ順次駆動して 1 ライン分の T F T をオン状態にするようゲートドライバ G 1、G 2、...、G m に指示し、オンされた T F T を介して各画素に 1 ライン分の画像データを書き込むようソースドライバ S 1、S 2、...、S n に指示する。ラッチ垂直同期信号 L P - C P V は、各ラインの表示データ D A T A を液晶パネル 5 に出力するタイミングを示す信号である。そして、各ゲートドライバ G 1、G 2、...、G m 及び各ソースドライバ S 1、S 2、...、S n は、ラッチ垂直同期信号 L P - C P V に従って複数のゲートライン及び複数のソースラインを駆動する。

【選択図】 図 6



## 【特許請求の範囲】

## 【請求項 1】

複数のゲートラインと複数のソースラインと前記両ラインに囲まれた複数の画素とを含む液晶パネルと、

前記液晶パネルの複数のゲートラインを駆動するゲートドライバと、

前記液晶パネルの複数のソースラインを駆動するソースドライバと、

全ゲートラインを 1 ラインずつ順次駆動して 1 ライン分のトランジスタ素子をオン状態にするよう前記ゲートドライバに指示し、オンされた前記トランジスタ素子を介して各画素に前記 1 ライン分の画像データを書き込むよう前記ソースドライバに指示するタイミングコントローラと、

10

を備えた液晶表示装置において、

前記タイミングコントローラは、前記 1 ライン分の画像データを前記各画素に書き込むタイミングを 1 ライン毎に示すラッチパルスを実行する前記ゲートドライバ及び前記ソースドライバに供給し、

前記ゲートドライバは、前記ラッチパルスに従って、全ゲートラインを 1 ラインずつ順次駆動して 1 ライン分のトランジスタ素子をオン状態にし、

前記ソースドライバは、前記ラッチパルスに従って、オンされた前記トランジスタ素子を介して各画素に前記 1 ライン分の画像データを書き込むことを特徴とする液晶表示装置。

。

## 【請求項 2】

20

前記ゲートドライバは、前記ラッチパルスのレベルが第一のレベルから第二のレベルに変化した時、前記 1 ライン分のトランジスタ素子をオン状態にし、

前記ソースドライバは、前記ラッチパルスのレベルが前記第二のレベルから前記第一のレベルに変化した時、オンされた前記トランジスタ素子を介して各画素に前記 1 ライン分の画像データを書き込むことを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記ソースドライバは、前記ラッチパルスのレベルが第一のレベルから第二のレベルに再び変化した時、前記各画素に対する前記 1 ライン分の画像データの書き込みを停止し、

前記ゲートドライバは、前記ラッチパルスのレベルが前記第一のレベルから前記第二のレベルに再び変化した時、前記 1 ライン分のトランジスタ素子をオフ状態にするとともに、前記 1 ラインの次の 1 ライン分のトランジスタ素子をオン状態にし、

30

前記ソースドライバは、前記ラッチパルスのレベルが前記第二のレベルから前記第一のレベルに再び変化した時、オンされた前記トランジスタ素子を介して各画素に前記次の 1 ライン分の画像データを書き込むことを特徴とする請求項 2 に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、液晶パネルを駆動するゲートドライバ及びソースドライバを備える液晶表示装置に関するものである。

## 【背景技術】

40

## 【0002】

従来の TFT-LCD モジュール（液晶モジュール）の構成について図 1 を参照しながら以下に説明する。同図の TFT-LCD モジュール 501 は、ゲートドライバ群（ゲート電極駆動回路）530、ソースドライバ群（ソース電極駆動回路）540、液晶パネル 550、コントローラ 510、を備える。

## 【0003】

ゲートドライバ群 530 は、液晶パネル 550 のゲートバスラインを駆動する多出力数の LSI チップである m 個のゲートドライバ G1、G2、…、Gm からなる。

## 【0004】

ソースドライバ群 540 は、液晶パネル 550 のソースバスラインを駆動する多出力数

50

の L S I チップである n 個のソースドライバ S 1、S 2、...、S n からなる。

【 0 0 0 5 】

液晶パネル 5 5 0 は、液晶層を有してマトリクス状に配置された画素と、R G B の 3 色からなる画素を駆動する T F T (Thin Film Transistor : 薄膜トランジスタ) とからなる。T F T のゲート電極には液晶パネル 5 5 0 で水平方向に配されたゲートバスラインが p 本接続され、ソース電極には垂直方向に配されたソースバスラインが所定本数接続されている ( 図 2 参照 ) 。

【 0 0 0 6 】

T F T のゲート電極に正電圧が印加される ( 通常ゲートドライバ群 5 3 0 からゲートバスラインを介して印加される ) と T F T が O N 状態となり、ソース電極に印加された電圧 ( 通常ソースドライバ群 5 4 0 からソースバスラインを介して印加される ) により表示電極と共通電極との間に形成された液晶負荷容量が充電される。また、T F T のゲート電極がグラウンドレベルを所定時間 ( 後述のラッチパルス L P の立ち上がり時間 1.5 μ 秒に相当 ) 経て、T F T のゲート電極に負電圧が印加されると O F F 状態となり、その時点までにソースバスラインに印加されていた電圧が液晶負荷容量に保持される。

10

【 0 0 0 7 】

このように、書き込みたい電圧をソース電極に与えてゲート電圧を制御することにより、画素に所望の電圧を保持させておくことができる。液晶層はこの保持電圧に応じて透過率が変化するので、液晶層の背面側からバックライト光を照射してカラー・フィルタを通過させ、画像表示を行うようになっている。

20

【 0 0 0 8 】

また、液晶パネル 5 5 0 にデータ表示する際には、ゲートドライバ G 1、G 2、...、G m によりゲートラインを 1 ラインずつ順次駆動して 1 ライン分の T F T を導通状態にし、導通された T F T を介して、ソースドライバ S 1、S 2、...、S n から各画素に横 1 ライン分のデータを一齐に書き込む ( 図 2 参照 ) 。

【 0 0 0 9 】

コントローラ 5 1 0 は、外部電源から電力を受けてゲートドライバ群 5 3 0、ソースドライバ群 5 4 0、および液晶パネル 5 5 0 の共通電極 ( コモン電極 ) に適した電力やデータの供給を行う液晶駆動電源回路を内蔵する。この液晶駆動電源回路は、電源電圧 V D D、V C C、G N D およびアナログの映像信号 V i d e o を供給する。

30

【 0 0 1 0 】

さらに、コントローラ 5 1 0 は、外部 ( ホストシステム ) からの同期信号を基準として、ゲートドライバ群 5 3 0 での走査パルスの発生とソースドライバ群 5 4 0 での駆動制御信号のタイミング制御を行う。

【 0 0 1 1 】

図 3 は、コントローラ 5 1 0 からゲートドライバ群 5 3 0 又はソースドライバ群 5 4 0 に入力する主要な信号の波形を示す図である。同図においては、1 選択期間を拡大して、C L K 及び D A T A を示している。1 フレームは、通常 6 0 ~ 7 0 H z である。

【 0 0 1 2 】

コントローラ 5 1 0 からゲートドライバ G 1、G 2、...、G m に供給される制御信号は、ゲート用のクロック信号 C P V ( clock pulse vertical )、及びスタートパルス信号 S T V ( start pulse vertical ) を含む。ゲート用のクロック信号 C P V は、信号の立ち上がりに同期して駆動するゲートラインを 1 ラインずつシフトさせるための同期信号であり、ゲートがオンになる横方向 1 ライン分の T F T を信号の立ち上がりに同期して 1 ラインずつ縦方向にシフトさせることに相当する。ゲートドライバ G 1、G 2、...、G m は、クロック信号 C P V のレベルが L o w レベルから H i レベルに変化した時、1 ライン分の T F T をオン状態にする。スタートパルス信号 S T V は、先頭のゲートラインをオンさせるタイミングを指定する同期信号であり、1 フレームの開始タイミングを示す。

40

【 0 0 1 3 】

コントローラ 5 1 0 からソースドライバ S 1、S 2、...、S n に供給される制御信号は

50

、ドットクロック信号CLK、及びラッチパルスLPを含む。ドットクロック信号CLKは、表示データDATAを液晶パネル550に出力するための同期信号である。各ソースドライバS1、S2、...、Snは、表示データDATAを、ドットクロック信号CLKに同期して液晶パネル550に出力する。ラッチパルスLPは、各ラインの表示データDATAを液晶パネル550に出力するタイミングを示す信号である。各ソースドライバS1、S2、...、Snは、ラッチパルスLPの立ち上がり同期して、オンされたTFTを介して各画素に1ライン分の画像データDATAを書き込む。

なお、特許文献1では、液晶表示装置が提案されている。

【先行技術文献】

【特許文献】

10

【0014】

【特許文献1】特開2005-70539公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

上記制御信号は、ノイズによって劣化すると、致命的な誤動作の原因となる可能性がある。よって、制御信号の配線に関しては、配線間のクロストークの低減に対して細心の注意を払い、コントローラ510の出力ピンに接続する必要がある。

しかしながら、従来のTFT-LCDモジュール501を含む液晶表示装置では、タイミングコントローラ(図1ではコントローラ510)の出力ピンのピン数が比較的多いため、製造コスト高の一因となっていた。

20

【0016】

本発明はこのような従来の課題を解決しようとするものであり、タイミングコントローラの出力ピンの数を削減し、製造コストの低減を図った液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明の液晶表示装置は、前記課題を解決するために以下の構成を備えている。

【0018】

(1)複数のゲートラインと複数のソースラインと前記両ラインに囲まれた複数の画素とを含む液晶パネルと、

30

前記液晶パネルの複数のゲートラインを駆動するゲートドライバと、

前記液晶パネルの複数のソースラインを駆動するソースドライバと、

全ゲートラインを1ラインずつ順次駆動して1ライン分のトランジスタ素子をオン状態にするよう前記ゲートドライバに指示し、オンされた前記トランジスタ素子を介して各画素に前記1ライン分の画像データを書き込むよう前記ソースドライバに指示するタイミングコントローラと、

を備えた液晶表示装置において、

前記タイミングコントローラは、前記1ライン分の画像データを前記各画素に書き込むタイミングを1ライン毎に示すラッチパルスを前記ゲートドライバ及び前記ソースドライバに供給し、

40

前記ゲートドライバは、前記ラッチパルスに従って、全ゲートラインを1ラインずつ順次駆動して1ライン分のトランジスタ素子をオン状態にし、

前記ソースドライバは、前記ラッチパルスに従って、オンされた前記トランジスタ素子を介して各画素に前記1ライン分の画像データを書き込むことを特徴とする。

【0019】

この構成において、ゲートドライバ及びソースドライバは、上記のラッチパルスに従って複数のゲートライン及び複数のソースラインを上記のように駆動する。そして、ゲートドライバ及びソースドライバがラッチパルスに基づく上記駆動動作を、全ライン分の画像データを全画素に書き込むまで繰り返すと、1フレーム分の画像が液晶パネルに表示され

50

る。

以上より、ゲートドライバに供給するクロック信号とソースドライバに供給するラッチパルスとをラッチパルスだけに共通化できる。よって、タイミングコントローラの出カピンの数を削減できる。従って、製造コストの低減を図ることができる。

【0020】

(2) 前記ゲートドライバは、前記ラッチパルスのレベルが第一のレベルから第二のレベルに変化した時、前記1ライン分のトランジスタ素子をオン状態にし、

前記ソースドライバは、前記ラッチパルスのレベルが前記第二のレベルから前記第一のレベルに変化した時、オンされた前記トランジスタ素子を介して各画素に前記1ライン分の画像データを書き込むことを特徴とする。

10

【0021】

この構成では、上記(1)の駆動動作を行うタイミングについて具体的に明示している。

【0022】

(3) 前記ソースドライバは、前記ラッチパルスのレベルが第一のレベルから第二のレベルに再び変化した時、前記各画素に対する前記1ライン分の画像データの書き込みを停止し、

前記ゲートドライバは、前記ラッチパルスのレベルが前記第一のレベルから前記第二のレベルに再び変化した時、前記1ライン分のトランジスタ素子をオフ状態にするとともに、前記1ラインの次の1ライン分のトランジスタ素子をオン状態にし、

20

前記ソースドライバは、前記ラッチパルスのレベルが前記第二のレベルから前記第一のレベルに再び変化した時、オンされた前記トランジスタ素子を介して各画素に前記次の1ライン分の画像データを書き込むことを特徴とする。

【0023】

この構成では、上記(1)の駆動動作を行うタイミングについて一層具体的に明示している。

【発明の効果】

【0024】

この発明によれば、タイミングコントローラの出カピンの数を削減し、製造コストの低減を図ることができる。

30

【図面の簡単な説明】

【0025】

【図1】従来の液晶表示装置の構成を示す図

【図2】液晶パネルにおいてマトリクス状に配置された全画素の配置図

【図3】コントローラ510からゲートドライバ群530又はソースドライバ群540に入力する主要な信号の波形を示す図

【図4】本発明の実施形態である液晶表示装置の構成を示す図

【図5】本発明の実施形態である液晶表示装置のゲートドライバ群の構成を示す図

【図6】コントローラ4からゲートドライバ群2又はソースドライバ群3に入力する主要な信号の波形を示す図

40

【発明を実施するための形態】

【0026】

以下、本発明の実施形態である液晶表示装置について説明する。

【0027】

図4は、本発明の実施形態である液晶表示装置の構成を示す図である。液晶表示装置1は、ゲートドライバ群(ゲート電極駆動回路)2、ソースドライバ群(ソース電極駆動回路)3、コントローラ4、液晶パネル5、を備える。

【0028】

ゲートドライバ群2は、液晶パネル5のゲートバスラインを駆動する多出力数のLSIチップであるm個のゲートドライバG1、G2、...、Gmからなる。各ゲートドライバG

50

1、G<sub>2</sub>、…、G<sub>m</sub>は、LSIチップの各入出力端子と他の構成部品の電極とを接続するために、テープキャリアと呼ばれる絶縁フィルム上に微細間隔でレイアウトされた銅箔配線と、LSIチップの固定および防湿を目的とした封止樹脂とからなるTCP（テープキャリアパッケージ）に実装されている。

【0029】

ソースドライバ群3は、液晶パネル5のソースバスラインを駆動する多出力数のLSIチップであるn個のソースドライバS<sub>1</sub>、S<sub>2</sub>、…、S<sub>n</sub>からなる。各ソースドライバS<sub>1</sub>、S<sub>2</sub>、…、S<sub>n</sub>もゲートドライバG<sub>1</sub>、G<sub>2</sub>、…、G<sub>m</sub>と同様にTCPに実装されている。

【0030】

液晶パネル5は、液晶層を有してマトリクス状に配置された画素と、RGBの3色からなる画素を駆動するTFT（Thin Film Transistor：薄膜トランジスタ）とからなる。TFTのゲート電極には液晶パネル5で水平方向に配されたゲートバスラインがp本接続され、ソース電極には垂直方向に配されたソースバスラインが所定本数接続されている（図2参照）。画素側では、TFTのドレイン電極に接続された電極が表示電極となり、液晶層を挟んでこの表示電極に対向する電極が全画素に対する共通電極（コモン電極）となっている。また、表示電極とゲートバスラインとの間には補助容量が形成される。

なお、この実施形態では、トランジスタ素子としてTFTを採用しているが、実施の際は、その他のトランジスタ素子を採用しても構わない。

【0031】

TFTのゲート電極に正電圧が印加される（通常ゲートドライバ群2からゲートバスラインを介して印加される）とTFTがON状態となり、ソース電極に印加された電圧（通常ソースドライバ群3からソースバスラインを介して印加される）により表示電極と共通電極との間に形成された液晶負荷容量が充電される。また、TFTのゲート電極がグランドレベルを所定時間（後述のラッチ垂直同期信号LP-CPVの立ち上がり時間1.5μ秒に相当）経て、TFTのゲート電極に負電圧が印加されると、TFTのゲート電極がOFF状態となり、その時点までにソースバスラインに印加されていた電圧が液晶負荷容量に保持される。

【0032】

このように、書き込みたい電圧をソース電極に与えてゲート電圧を制御することにより、画素に所望の電圧を保持させておくことができる。液晶層はこの保持電圧に応じて透過率が変化するので、液晶層の背面側からバックライト光を照射してカラー・フィルタを透過させ、画像表示を行うようになっている。

【0033】

また、液晶パネル5にデータ表示する際には、ゲートドライバG<sub>1</sub>、G<sub>2</sub>、…、G<sub>m</sub>によりゲートラインを1ラインずつ順次駆動して1ライン分のTFTを導通状態にし、導通されたTFTを介して、ソースドライバS<sub>1</sub>、S<sub>2</sub>、…、S<sub>n</sub>から各画素に横1ライン分のデータを一斉に書き込む（図2参照）。

【0034】

コントローラ4は、外部電源から電力を受けてゲートドライバ群2、ソースドライバ群3、および液晶パネル5の共通電極（コモン電極）に適した電力やデータの供給を行う液晶駆動電源回路を内蔵する。この液晶駆動電源回路は、電源電圧VDD、VCC、GNDおよびアナログの映像信号Videoを供給する。

【0035】

さらに、コントローラ4は、外部（ホストシステム）からの同期信号を基準として、ゲートドライバ群2での走査パルスの発生とソースドライバ群3での駆動制御信号のタイミング制御を行う。

【0036】

図5に、本実施の形態の液晶モジュール1の構成を示す。液晶モジュール1は、ゲートドライバ群2、ソースドライバ群3、ゲートドライバ群2及びソースドライバ群3に液晶

10

20

30

40

50

駆動のために必要な信号を供給するコントローラ 4、ゲートドライバ群 2 およびソースドライバ群 3 によって駆動される液晶パネル 5 から構成される。

【0037】

ゲートドライバ群（表示用駆動装置）2 は、液晶パネル（表示素子）5 のゲートバスライン（図示せず）を駆動する多出力数の L S I チップである m 個のゲートドライバ（駆動用半導体素子）G D 1、G D 2、...、G D m からなる。ゲートドライバ G D 1、G D 2、...、G D m は、それぞれ T C P g d 1、g d 2、...、g d m に実装された状態で、コントローラ 4 から供給されるスタートパルス信号 S T V やラッチ垂直同期信号 L P - C P V などの各種信号の入出力端子に対して縦続接続されている。縦続接続に用いられる各 T C P の入力側のアウターリード端子は隣接する T C P の入力側のアウターリード端子に接続されている。また、各 T C P の出力側のアウターリード端子は、ゲートドライバ G D 1、G D 2、...、G D m のそれぞれから出力されるゲートパルス（駆動信号）のゲートバスラインへの引出し線として液晶パネル 5 に接続されている。

10

【0038】

また、ゲートドライバ G D m のゲートドライバ群 2 端部側の入力端子 C L、R L、および電源端子 V D D、V C C、G N D は、液晶駆動電源回路を含んだコントローラ 4 に接続され、スタートパルス信号 S T V、ラッチ垂直同期信号 L P - C P V、および電源電圧がゲートドライバ G D 1 からゲートドライバ G D m の方向へ伝搬されるようになっている。

【0039】

図 6 は、コントローラ 4 からゲートドライバ群 2 又はソースドライバ群 3 に入力する主要な信号の波形を示す図である。同図においては、1 選択期間を拡大して、C L K 及び D A T A を示している。1 フレームは、通常 6 0 ~ 7 0 H z である。

20

【0040】

コントローラ 4 からゲートドライバ G 1、G 2、...、G m に供給される制御信号は、ゲート用のクロック信号としてのラッチ垂直同期信号 L P - C P V（clock pulse vertical）、スタートパルス信号 S T V（start pulse vertical）、及びアウトプットイネーブル信号 O E を含む。ゲート用のラッチ垂直同期信号 L P - C P V は、信号の立ち上がり同期して駆動するゲートラインを 1 ラインずつシフトさせるための同期信号であり、ゲートがオンになる横方向 1 ライン分の T F T を信号の立ち上がり同期して 1 ラインずつ縦方向にシフトさせることに相当する。ラッチ垂直同期信号 L P - C P V は、図 3 に示すラッチパルス L P に相当する。ラッチ垂直同期信号 L P - C P V の周期は、20.8 μ 秒である。スタートパルス信号 S T V は、先頭のゲートラインをオンさせるタイミングを指定する同期信号であり、フレームの開始タイミングを示す。アウトプットイネーブル信号 O E は、上記動作をオンにするか或いはオフにして全てのゲートラインを非駆動状態にするかを指定する信号である。

30

【0041】

コントローラ 4 からソースドライバ S 1、S 2、...、S n に供給される制御信号は、ドットクロック信号 C L K、データスタート信号 D S T、及びラッチ垂直同期信号 L P - C P V を含む。ドットクロック信号 C L K は、表示データ D A T A を液晶パネル 5 に出力するための同期信号である。各ソースドライバ S 1、S 2、...、S n は、表示データ D A T A を、ドットクロック信号 C L K に同期して液晶パネル 5 に出力する。ラッチ垂直同期信号 L P - C P V は、各ラインの表示データ D A T A を液晶パネル 5 に出力するタイミングを示す信号である。

40

【0042】

以上の制御信号を用いて、コントローラ 4 は、全ゲートラインを 1 ラインずつ順次駆動して 1 ライン分の T F T をオン状態にするようゲートドライバ G 1、G 2、...、G m に指示し、オンされた T F T を介して各画素に 1 ライン分の画像データを書き込むようソースドライバ S 1、S 2、...、S n に指示する（図 2 参照）。各ゲートドライバ G 1、G 2、...、G m 及び各ソースドライバ S 1、S 2、...、S n は、上記の制御信号に従って複数のゲートライン及び複数のソースラインを駆動する。具体的には以下のような順序で駆動す

50

る。

【0043】

各ゲートドライバG1、G2、…、Gmは、ラッチ垂直同期信号LP-CPVのレベルがLowレベルからHiレベルに変化した時、1ライン分のTFTをオン状態にする。

【0044】

各ソースドライバS1、S2、…、Snは、ラッチ垂直同期信号LP-CPVのレベルがHiレベルからLowレベルに変化した時、(即ち立下りに同期して、)オンされたTFTを介して各画素に1ライン分の画像データDATAを書き込む。1ライン分の画像データDATAとは、図6に示す1選択期間の画像データDATAに相当する。

なお、実施の際、各ソースドライバS1、S2、…、Snは、ラッチパルスLPの立ち上がり同期して、オンされたTFTを介して各画素に1ライン分の画像データDATAを書き込んでも構わない。

【0045】

各ソースドライバS1、S2、…、Snは、ラッチ垂直同期信号LP-CPVのレベルがLowレベルからHiレベルに再び変化した時、各画素に対する現在の1ライン分の画像データDATAの書き込みを停止する。

【0046】

各ゲートドライバG1、G2、…、Gmは、ラッチ垂直同期信号LP-CPVのレベルがLowレベルからHiレベルに再び変化した時、現在の1ライン分のTFTをオフ状態にするとともに、現在の1ラインの次の1ライン分のTFTをオン状態にする。

【0047】

各ソースドライバS1、S2、…、Snは、ラッチ垂直同期信号LP-CPVのレベルがHiレベルからLowレベルに再び変化した時、オンされたTFTを介して各画素に次の1ライン分の画像データDATAを書き込む。

【0048】

各ゲートドライバG1、G2、…、Gm及び各ソースドライバS1、S2、…、Snは、ラッチ垂直同期信号LP-CPVに基づく上記駆動動作を、全ライン分の画像データDATAを全画素に書き込むまで繰り返す(図2参照)。この結果、1フレーム分の画像が液晶パネル5に表示される。

【0049】

以上より、ゲートドライバG1、G2、…、Gmに供給するクロック信号CPVとソースドライバS1、S2、…、Snに供給するラッチパルスLPとをラッチ垂直同期信号LP-CPVに共通化しても、全ライン分の画像データDATAを全画素に書き込むことができる。よって、タイミングコントローラの出カピンの数を削減できる。従って、製造コストの低減を図ることができる。

【符号の説明】

【0050】

- 1 ... 液晶表示装置
- 2 ... ゲートドライバ群
- 3 ... ソースドライバ群
- 4 ... コントローラ
- 5 ... 液晶パネル
- 501 ... TFT-LCDモジュール
- 510 ... コントローラ
- 530 ... ゲートドライバ群
- 540 ... ソースドライバ群
- 550 ... 液晶パネル

10

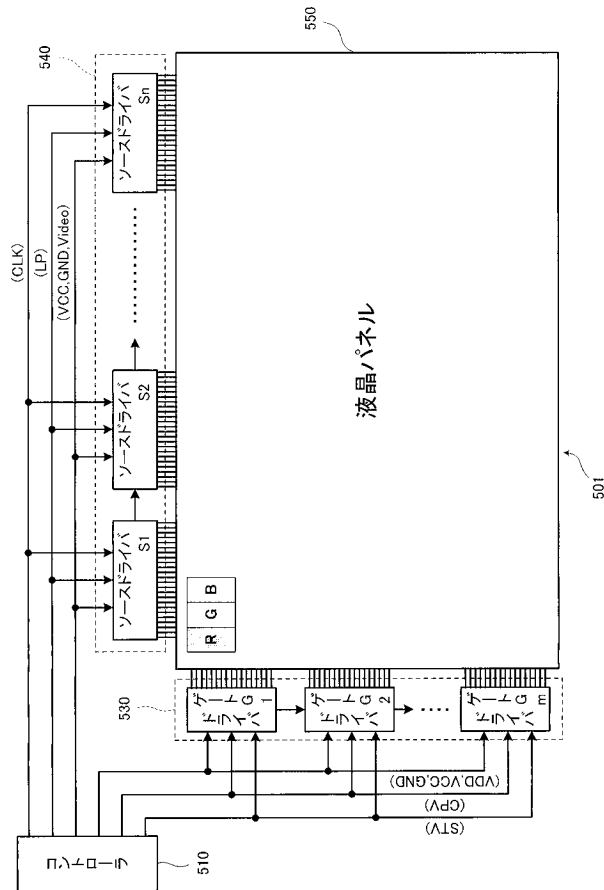
20

30

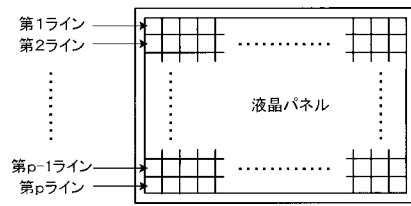
40



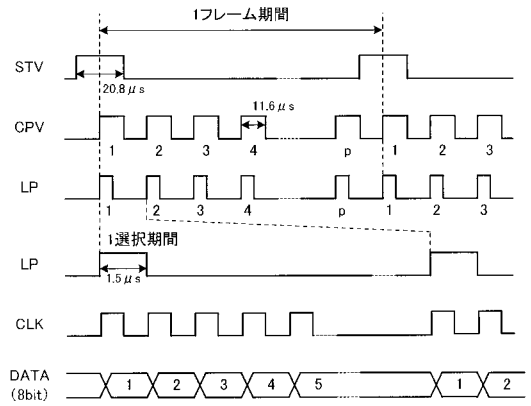
【図1】



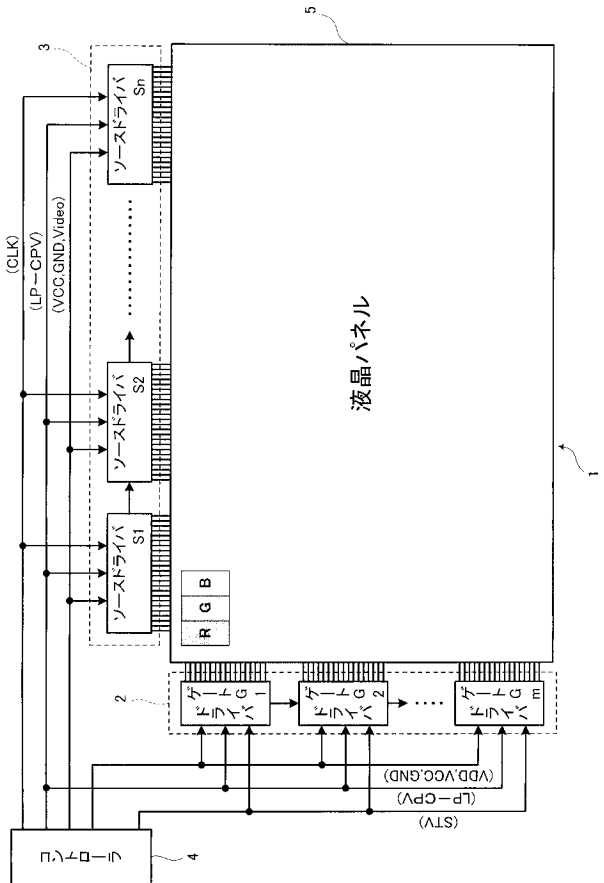
【図2】



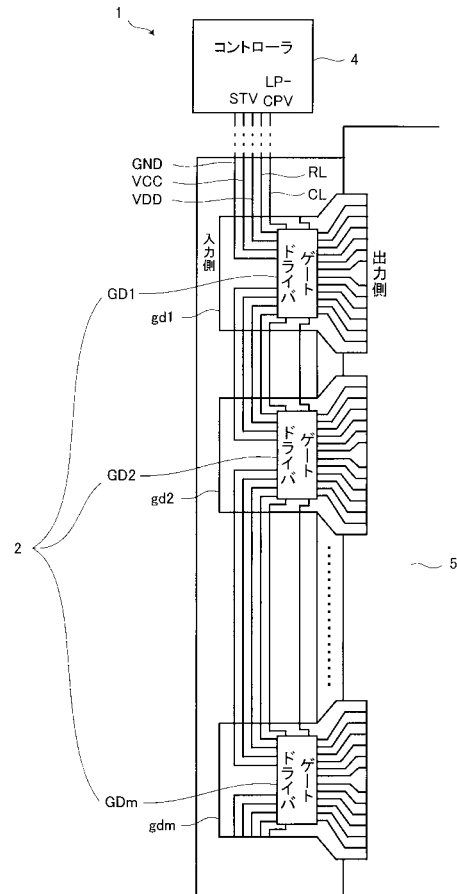
【図3】



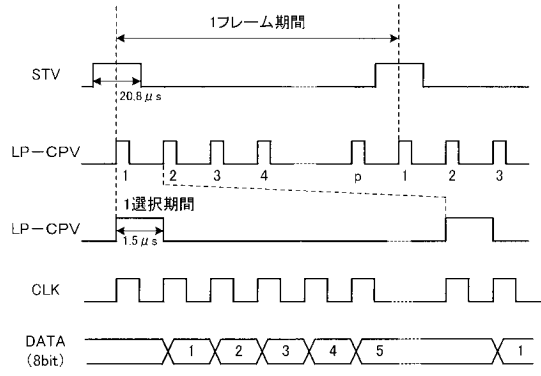
【図4】



【図5】



【 図 6 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 D
G 0 2 F	1/133	5 5 0

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2010262192A</a>	公开(公告)日	2010-11-18
申请号	JP2009114138	申请日	2009-05-11
[标]申请(专利权)人(译)	船井电机株式会社		
申请(专利权)人(译)	船井电机株式会社		
[标]发明人	江藤 功		
发明人	江藤 功		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.A G09G3/20.621.A G09G3/20.612.L G09G3/20.670.E G09G3/20.611.J G09G3/20.611.D G09G3/20.622.D G09G3/20.623.D G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA06 2H193/ZC24 2H193/ZD12 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC24 5C006/AF51 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC13 5C006/BC24 5C006/BF04 5C006/BF15 5C006/BF42 5C006/FA16 5C006/FA31 5C006/FA37 5C006/FA42 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD09 5C080/DD12 5C080/DD23 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种液晶显示装置，其中减少了定时控制器的输出引脚的数量以降低制造成本。 解决方案：控制器4使用锁存器垂直同步信号LP-CPV依次驱动所有栅极线，以导通TFT的一条线，以便栅极驱动器G1, G2, ..., Gm。 ，并且指示源极驱动器S1, S2, ..., Sn通过导通的TFT将一行的图像数据写入每个像素。 锁存器垂直同步信号LP-CPV是指示将每条线的显示数据DATA输出到液晶面板5的定时的信号。 然后，每个栅极驱动器G1, G2, ..., Gm和每个源极驱动器S1, S2, ..., Sn根据锁存器垂直同步信号LP-CPV驱动多条栅极线和多条源极线。 [选择图]图6

