

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-237285

(P2010-237285A)

(43) 公開日 平成22年10月21日(2010.10.21)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611E	5C006
G09F 9/30 (2006.01)	G09G 3/20 624B	5C080
G02F 1/133 (2006.01)	G09G 3/20 621M	5C094

審査請求 未請求 請求項の数 3 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2009-82672 (P2009-82672)
 (22) 出願日 平成21年3月30日 (2009.3.30)

(71) 出願人 302020207
 東芝モバイルディスプレイ株式会社
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100095441
 弁理士 白根 俊郎

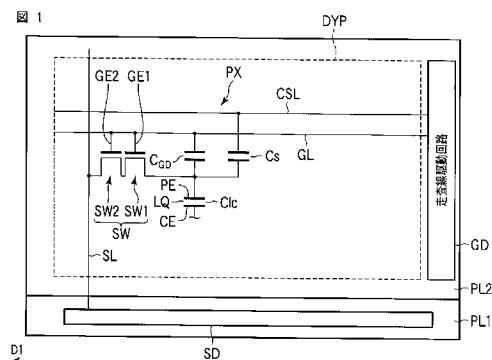
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】画面全体でフリッカの発生を抑制し、表示品位の高い液晶表示装置を提供する。

【解決手段】マトリクス状に配置された複数の表示画素PXからなる表示部DYPと、複数の表示画素PXのそれぞれに配置された画素電極PEと、複数の走査線GLと、複数の信号線SLと、複数の表示画素PXのそれぞれにおいて、対応する信号線SLと画素電極PEとの接続を切り替える第1及び第2スイッチング素子SW1、SW2と、を備え、第1及び第2スイッチング素子SW1、SW2は、対応する走査線GLと電気的に接続された第1及び第2ゲート電極GE1、GE2と、第1及び第2ゲート電極GE1、GE2とゲート絶縁膜を介して対向配置された半導体層L1と、を備え、対応する走査線GLに走査電圧が伝達される方向において、第1スイッチング素子SW1の第1ゲート電極GE1と半導体層L1とが対向する領域は大きくなる液晶表示装置である。



【選択図】 図1

【特許請求の範囲】

【請求項 1】

互いに対向して配置された一对の基板と、
前記一对の基板間に挟持された液晶層と、
マトリクス状に配置された複数の表示画素からなる表示部と、
前記複数の表示画素のそれぞれに配置された画素電極と、
前記複数の表示画素が配列する行に沿って延びる複数の走査線と、
前記複数の表示画素が配列する列に沿って延びる複数の信号線と、
複数の表示画素のそれぞれにおいて、対応する信号線と画素電極との接続を切り替える
第 1 スイッチング素子と第 2 スイッチング素子と、を備え、

10

前記第 1 及び第 2 スイッチング素子は、対応する走査線と電氣的に接続された第 1 ゲート電極及び第 2 ゲート電極と、前記第 1 及び第 2 ゲート電極とゲート絶縁膜を介して対向配置された半導体層と、を備え、

前記対応する走査線に走査電圧が伝達される方向において、前記第 1 スイッチング素子の前記第 1 ゲート電極と前記半導体層とが対向する領域は大きくなる液晶表示装置。

【請求項 2】

前記複数の表示画素のそれぞれにおいて、前記第 2 スイッチング素子は、前記第 1 スイッチング素子と直列に接続され、

前記対応する走査線に走査電圧が伝達される方向において、前記第 2 スイッチング素子の前記第 2 ゲート電極と前記半導体層とが対向する領域は小さくなる請求項 1 記載の液晶表示装置。

20

【請求項 3】

前記複数の表示画素のそれぞれにおける、前記第 1 スイッチング素子の前記第 1 ゲート電極と前記半導体層とが対向する領域と、前記第 2 ゲート電極と前記半導体層とが対向する領域との面積の合計は、前記表示部内において等しい請求項 2 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特にアクティブマトリクス型の液晶表示装置に関する。

【背景技術】

30

【0002】

液晶表示装置は、互いに対向して配置された一对の基板と、この一对の基板間に挟持された液晶層と、マトリクス状に配置された複数の表示画素からなる表示部を備えている。一对の基板の一方には、表示部において、複数の表示画素の配列する行に沿って配置された複数の走査線と、複数の表示画素の列に沿って配置された複数の信号線と、走査線と信号線との交差点近傍に配置されたスイッチング素子と、が配置されている。表示画素のそれぞれには画素電極が配置され、画素電極はスイッチング素子を介して対応する信号線に接続されている。一对の基板の他方には、表示部において、複数の画素電極と対向するように対向電極が配置されている。

【0003】

40

複数の走査線は、走査線駆動回路に接続されて、走査線駆動回路により順次駆動される。走査線が駆動されることにより走査線に接続されたスイッチング素子が導通する。複数の信号線は、信号線駆動回路に接続されて、スイッチング素子を介して対応する画素電極に供給する信号が印加される。

【0004】

液晶表示装置では上記のように駆動する際に、一方向（一極性）の直流電界が継続して印加されることによる液晶の分解を防ぐために、交流電界を印加している。表示画素のスイッチング素子がスイッチング動作をするたびに、スイッチング素子のゲート電極、画素電極、および画素電位の変動を抑制するために画素に接続される蓄積容量の間での電荷の再分配に伴う画素電位の変動（突き抜け電圧）が発生する。

50

【0005】

このため、交流電界の正負の大きさにずれが生じて液晶の透過率が周期的に変動し、画面のちらつき（フリッカ）が生じる。通常、液晶表示装置では交流電界の正負いずれの場合も液晶に印加される電圧が等しくなるように対向電極の電位を調整し、フリッカを抑えている。

【0006】

上記のように対向電極の電位を調整するために、液晶パネルのフリッカの状態を確認する方法としては、例えば光センサを用いてフリッカを測定し、その測定結果を最適電位からのずれの測定信号として出力する方法が提案されている。（特許文献1参照）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平1-269991号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、突き抜け電圧の値は、走査線の電気抵抗や走査線と画素電極との間の浮遊容量の影響により、スイッチング素子が配置される表示部内の位置により異なる。そのため、フリッカを抑制するために適切な対向電極の電位も、表示部内で異なる大きさとなる。したがって、対向電極の電位を調整するだけでは、表示部内での局所的なフリッカを抑えることはできても、表示部全体でのフリッカを抑えることが困難であった。

【0009】

本発明は、上記事情に鑑みて成されたものであって、表示部全体でフリッカの発生を抑制し、表示品位の高い液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一態様に係る液晶表示装置は、互いに対向して配置された一对の基板と、前記一对の基板間に挟持された液晶層と、マトリクス状に配置された複数の表示画素からなる表示部と、前記複数の表示画素のそれぞれに配置された画素電極と、前記複数の表示画素が配列する行に沿って延びる複数の走査線と、前記複数の表示画素が配列する列に沿って延びる複数の信号線と、複数の表示画素のそれぞれにおいて、対応する信号線と画素電極との接続を切り替える第1スイッチング素子と第2スイッチング素子と、を備え、前記第1及び第2スイッチング素子は、対応する走査線と電気的に接続された第1ゲート電極及び第2ゲート電極と、前記第1及び第2ゲート電極とゲート絶縁膜を介して対向配置された半導体層と、を備え、前記対応する走査線に走査電圧が伝達される方向において、前記第1スイッチング素子の前記第1ゲート電極と前記半導体層とが対向する領域は大きくなる液晶表示装置である。

【発明の効果】

【0011】

本発明によれば、表示部全体でフリッカの発生を抑制し、表示品位の高い液晶表示装置を提供することができる。

【図面の簡単な説明】

【0012】

【図1】本発明の一実施形態に係る液晶表示装置の構成例を概略的に示す図である。

【図2A】走査電圧が伝達される方向において、走査線駆動回路から離れた位置に配置されたスイッチング素子のゲート電極の一構成例を説明するための図である。

【図2B】走査電圧が伝達される方向において、表示部の中央部に配置されたスイッチング素子のゲート電極の一構成例を説明するための図である。

【図2C】走査電圧が伝達される方向において、走査線駆動回路の近くに配置されたスイッチング素子のゲート電極の一構成例を説明するための図である。

10

20

30

40

50

【発明を実施するための形態】

【0013】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。図1に示すように、本実施形態に係る液晶表示素装置は、アレイ基板PL1と、アレイ基板PL1と対向するように配置された対向基板PL2と、アレイ基板PL1と対向基板PL2との間に挟持された液晶層LQと、マトリクス状に配置された複数の表示画素PXからなる表示部DYPと、を備えている。なお、図1では、複数の表示画素PXのうちの一つの表示画素PXの構成を示している。

【0014】

アレイ基板PL1は、表示部DYPにおいて、表示画素PXの配列する行に沿って延びた走査線GLと、表示画素PXの配列する列に沿って延びた信号線SLとを備えている。アレイ基板PL1は、表示部DYPの周囲において、走査線GLが接続された走査線駆動回路GDと、信号線SLが接続された信号線駆動回路SDとを備えている。

10

【0015】

アレイ基板PL1は、表示部DYPにおいて、走査線GLと略平行に延びた蓄積容量線CSLを備えている。蓄積容量線CSLは、走査線駆動回路GDに接続されている。なお、本実施形態に係る液晶表示装置では、蓄積容量線CSLは走査線駆動回路GDによって駆動されるが、蓄積容量線CSLを駆動する駆動手段を走査線駆動回路GDとは別に設けてもよい。

【0016】

アレイ基板PL1は、複数の表示画素PXのそれぞれに配置された画素電極PEと、走査線GLと信号線SLとの交差位置近傍に配置されたスイッチング素子SWとを備えている。スイッチング素子SWは、第1スイッチング素子SW1、および第2スイッチング素子SW2を備えている。

20

【0017】

第1スイッチング素子SW1および第2スイッチング素子SW2は、対応する信号線SLと画素電極PEとの間の接続を切り替えるように直列に配置されている。第1スイッチング素子SW1は画素電極PE側に配置され、第2スイッチング素子SW2は信号線SL側に配置され、第2スイッチング素子SW2は信号線SLと第1スイッチング素子SW1との接続を切り替える。本実施形態に係る液晶表示装置では、第1スイッチング素子SW1および第2スイッチング素子SW2は、薄膜トランジスタである。

30

【0018】

第1スイッチング素子SW1は、対応する走査線GLに電氣的に接続された（あるいは対応する走査線GLと一体に形成された）第1ゲート電極GE1と、第2スイッチング素子SW2を介して対応する信号線SLに電氣的に接続された（あるいは対応する信号線SLと一体に形成された）ソース電極と、画素電極PEに電氣的に接続された（あるいは画素電極PEと一体に形成された）ドレイン電極と、第1ゲート電極GE1により電圧が印加されることにより、ソース電極とドレイン電極とを電氣的に接続させる半導体層L1とを備えている。尚、半導体層L1と第1ゲート電極GE1とは、図示しないゲート絶縁膜を介して対向配置されている。

40

【0019】

第2スイッチング素子SW2は、対応する走査線GLに電氣的に接続された（あるいは対応する走査線GLと一体に形成された）第2ゲート電極GE2と、対応する信号線SLに電氣的に接続された（あるいは対応する信号線SLと一体に形成された）ソース電極と、第1スイッチング素子SW1を介して画素電極PEに電氣的に接続された（あるいは画素電極PEと一体に形成された）ドレイン電極と、第2ゲート電極GE2により電圧が印加されることにより、ソース電極とドレイン電極とを電氣的に接続させる半導体層L1とを備えている。尚、半導体層L1と第2ゲート電極GE2とは、図示しないゲート絶縁膜を介して対向配置されている。

【0020】

50

すなわち、図 1 に示すように、第 1 ゲート電極 G E 1 と第 2 ゲート電極 G E 2 とは共通の走査線 G L に電氣的に接続され、図 2 A 乃至図 2 C に示すように、第 1 スイッチング素子 S W 1 と第 2 スイッチング素子 S W 2 とは半導体層 L 1 を共有している。半導体層 L 1 は、図示しないコンタクトホールを介して信号線 S L と電氣的に接続されているとともに、図示しないコンタクトホールを介して画素電極 P E と電氣的に接続されている。

【 0 0 2 1 】

対応する走査線 G L に第 1 スイッチング素子 S W 1 および第 2 スイッチング素子 S W 2 をオンする走査電圧が供給されると、第 1 スイッチング素子 S W 1 および第 2 スイッチング素子 S W 2 のソース - ドレイン間が導通し、第 1 スイッチング素子 S W 1 および第 2 スイッチング素子 S W 2 を介して対応する信号線 S L から画素電極 P E に映像信号が供給される。

10

【 0 0 2 2 】

対向基板 P L 2 は、複数の画素電極 P E と対向するように配置された対向電極 C E を備えている。対向電極 C E は図示しない対向電極駆動回路により駆動され、対向電圧が印加される。対向基板 P L 2 には、走査線 G L 1 および信号線 S L と対向するように遮光層 B M (図 2 A 乃至図 2 C に示す) が配置されている。

【 0 0 2 3 】

液晶層 L Q は、複数の表示画素 P X のそれぞれに対応する画素領域を備え、それぞれの画素領域において、画素電極 P E に印加される映像信号と対向電極に印加される対向電圧とにより液晶容量 C l c が形成される。

20

【 0 0 2 4 】

蓄積容量線 C S L には、走査線駆動回路 G D により蓄積容量電圧が印加され、画素電極 P E に印加される映像信号と蓄積容量線 C S L に印加される蓄積容量電圧とにより蓄積容量 C s が形成される。蓄積容量 C s を形成することによって、スイッチング素子がスイッチング動作をする際の、画素電極 P E に印加される映像信号と対向電圧と電位差 (画素電位) の変動が抑制される。

【 0 0 2 5 】

本実施形態に係る液晶表示装置では、スイッチング素子 S W のゲート電極の構成が、表示部 D Y P の位置に応じて異なっている。走査電圧が伝達される方向 (方向 D 1) において、走査線駆動回路 G D から離れた位置に配置された第 1 スイッチング素子 S W 1 および第 2 スイッチング素子 S W 2 のゲート電極の一構成例を図 2 A に示す。表示部 D Y P の中央部に配置された第 1 スイッチング素子 S W 1 および第 2 スイッチング素子 S W 2 のゲート電極の一構成例を図 2 B に示す。方向 D 1 において、走査線駆動回路 G D から近い位置に配置された第 1 スイッチング素子 S W 1 および第 2 スイッチング素子 S W 2 のゲート電極の一構成例を図 2 C に示す。

30

【 0 0 2 6 】

図 2 A 乃至図 2 C に示すように、本実施形態に係る液晶表示装置では、走査線 G L に走査電圧が伝達される方向 (方向 D 1) において、第 1 スイッチング素子 S W 1 および第 2 スイッチング素子 S W 2 の形状が異なっている。

【 0 0 2 7 】

すなわち、方向 D 1 に沿って、第 1 ゲート電極 G E 1 と半導体層 L 1 とが対向する領域、言い換えれば、第 1 ゲート電極 G E 1 と半導体層 L 1 が平面的に重なる領域は大きくなり、第 2 ゲート電極 G E 2 と半導体層 L 1 とが対向する領域、言い換えれば、第 2 ゲート電極 G E 2 と半導体層 L 1 が平面的に重なる領域は小さくなる。すなわち、図 2 A 乃至図 2 C に示すように、半導体層 L 1 と対向する第 1 ゲート電極 G E 1 の部分の走査線 G L が延びる方向と略直交する方向における幅 W 1 は次第に大きくなり、半導体層 L 1 と対向する第 2 ゲート電極 G E 2 の部分の走査線 G L が延びる方向と略直交する方向における幅 W 2 は次第に小さくなる。

40

【 0 0 2 8 】

さらに、複数の表示画素 P X のそれぞれにおける、前記第 1 ゲート電極 G E 1 と半導体

50

層 L 1 とが対向する領域と、第 2 ゲート電極 G E 2 と半導体層 L 1 とが対向する領域との面積の和は、表示部 D Y P 内の位置に関わらず等しい。例えば、半導体層 L 1 の方向 D 1 における幅を W L 1 とすると、 $W 1 \times W L 1 + W 2 \times W L 1$ の値は、第 1 スイッチング素子 S W 1 および第 2 スイッチング素子 S W 2 の表示部 D Y P 内の位置に関わらず等しくなっている。

【 0 0 2 9 】

上記液晶表示装置において、第 1 スイッチング素子 S W 1 および第 2 スイッチング素子 S W 2 がスイッチング動作をするたびに、第 1 ゲート電極 G E 1、画素電極 P E、および蓄積容量 C s の間での電荷の再分配に伴う突き抜け電圧が発生する。

【 0 0 3 0 】

一般に突き抜け電圧 V p は次の式で表すことができる。

【 0 0 3 1 】

$$V p = V G \times C G D / (C l c + C s + C G D)$$

ここで、V G は走査線電圧の変動幅、C G D は薄膜トランジスタのゲート電極と画素電極 P E 間の容量 (ゲート - ドレイン間容量)、C l c は画素電極 P E と対向電極 C E 間の容量 (液晶容量)、C s は蓄積容量である。

【 0 0 3 2 】

上記突き抜け電圧 V p の大きさの調整は、表示部 D Y P 内で表示画素 P X のレイアウトを変化させて上式のゲート - ドレイン間容量 C G D、液晶容量 C l c、蓄積容量 C s の値を変化させることを行うことが可能である。

【 0 0 3 3 】

本実施形態に係る液晶表示装置では、ゲート - ドレイン間容量 C G D を走査電圧供給源である走査線駆動回路 G D 側からの距離に応じて変化させている。すなわち、走査電圧が伝達される方向 D 1 に沿って、次第に薄膜トランジスタの面積 (第 1 ゲート電極 G E 1 と半導体層 L 1 とが対向する領域) を大きくすることで、走査電圧供給源側から遠いほどゲート - ドレイン間容量 C G D を大きくし、局所的なフリッカの発生を抑制している。

【 0 0 3 4 】

走査電圧が伝達される方向 D 1 において、走査電圧供給源から遠くなると、走査電圧供給源の近くと比較して、走査線電圧の変動幅が小さくなる。このことから、本実施形態に係る液晶表示装置では、走査電圧供給源側から離れるほど、第 1 スイッチング素子 S W 1 のゲート - ドレイン間容量 C G D を大きくし、表示部 D Y P 内での突き抜け電圧の大きさを均一にさせている。その結果、対向電位を適切な値に調整することによって、表示部 D Y P 全体でフリッカが生じることを抑制することができる。

【 0 0 3 5 】

なお、スイッチング素子のゲート電極と半導体層とが対向する領域を表示部 D Y P 内で変えると、スイッチング素子と信号線 S L、あるいは、スイッチング素子と画素電極 P E 間に生じる容量が表示部 D Y P 内で変化し、表示部 D Y P 内で表示階調が変化する場合がある。

【 0 0 3 6 】

また、ゲート電極と半導体層とが対向する領域は、表示画素 P X の開口率にも影響を与えるため、ゲート電極と半導体層とが対向する領域の大きさを表示部 D Y P 内で変えることにより、表示部 D Y P 内で輝度が変化する場合がある。

【 0 0 3 7 】

そこで、本実施形態に係る液晶表示装置では、一表示画素 P X において信号線 S L と画素電極 P E との間に第 1 スイッチング素子 S W 1 と第 2 スイッチング素子 S W 2 を直列に接続させて、突き抜け電圧に最も影響を与えているのは画素電極 P E の最も近くに配置されている第 1 スイッチング素子 S W 1 であることに着目し、第 1 スイッチング素子 S W 1 の第 1 ゲート電極 G E 1 と半導体層 L 1 とが対向する領域を走査電圧供給源側から遠いほど大きくする一方、同一表示画素 P X 内にある他のスイッチング素子 (本実施形態では第 2 スイッチング素子 S W 2) の第 2 ゲート電極 G E 2 と半導体層 L 1 とが対向する領域を

10

20

30

40

50

小さくして、同一表示画素 P X 内で、第 1 ゲート電極 G E 1 と半導体層 L 1 とが対向する領域と、第 2 ゲート電極 G E 2 と半導体層 L 1 とが対向する領域と面積の合計を一定にしている。このことによって、表示部 D Y P 内で局所的なフリッカの発生を抑制するとともに、表示階調や輝度が変化することを防ぐことができる。

【 0 0 3 8 】

すなわち、本実施形態に係る液晶表示装置によれば、画面全体でフリッカの発生を抑制し、表示品位の高い液晶表示装置を提供することができる。

【 0 0 3 9 】

なお、この発明は、上記実施の形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。例えば、上記の実施形態に係る液晶表示装置では、スイッチング素子として 2 つのスイッチング素子を備えていたが、2 つ以上のスイッチング素子を備え、かつ、画素電極のもっとも近くに配置されるスイッチング素子のゲート電極と半導体層とが対向する領域を、走査電圧が伝達される方向において次第に大きくするものであれば、上記実施形態に係る液晶表示装置と同様の効果を得ることができる。

10

【 0 0 4 0 】

また、ゲート電極と半導体層とが対向する領域は、段階的に変化させてもよく、連続的に変化させてもよい。例えば、方向 D 1 に沿って、走査電圧供給源から所定の距離毎にゲート電極と半導体層とが対向する領域を変化させてもよい。その場合であっても、上記実施形態に係る液晶表示装置と同様の効果を得ることができる。

20

【 0 0 4 1 】

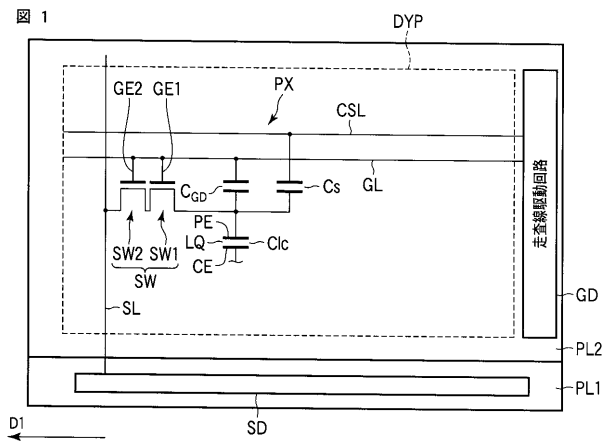
また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【 符号の説明 】

【 0 0 4 2 】

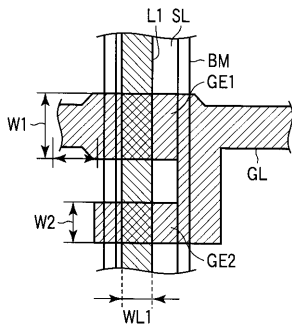
L Q ... 液晶層、P X ... 表示画素、D Y P ... 表示部、G L ... 走査線、S L ... 信号線、P E ... 画素電極、S W 1 ... 第 1 スwitching素子、L 1 ... 半導体層、D 1 ... 方向、P L 1 ... アレイ基板、G E 1 ... 第 1 ゲート電極、P L 2 ... 対向基板、S W 2 ... スwitching素子。

【 図 1 】



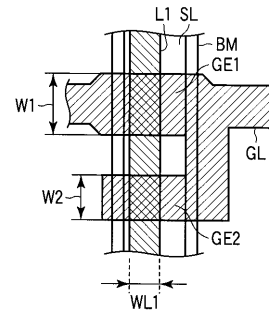
【 図 2 A 】

図 2A



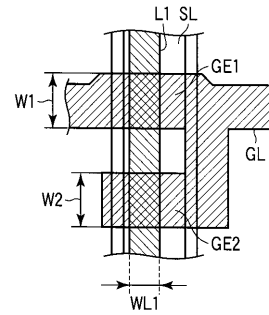
【 図 2 B 】

図 2B



【 図 2 C 】

図 2C



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 8 0 G
	G 0 9 F 9/30	3 3 8
	G 0 2 F 1/133	5 5 0

(74)代理人 100084618
 弁理士 村松 貞男

(74)代理人 100103034
 弁理士 野河 信久

(74)代理人 100119976
 弁理士 幸長 保次郎

(74)代理人 100153051
 弁理士 河野 直樹

(74)代理人 100140176
 弁理士 砂川 克

(74)代理人 100100952
 弁理士 風間 鉄也

(74)代理人 100101812
 弁理士 勝村 紘

(74)代理人 100070437
 弁理士 河井 将次

(74)代理人 100124394
 弁理士 佐藤 立志

(74)代理人 100112807
 弁理士 岡田 貴志

(74)代理人 100111073
 弁理士 堀内 美保子

(74)代理人 100134290
 弁理士 竹内 将訓

(74)代理人 100127144
 弁理士 市原 卓三

(74)代理人 100141933
 弁理士 山下 元

(72)発明者 保科 克浩
 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 飯塚 哲也
 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H092 JA24 JA31 JA32 JA38 JB69 NA01
 2H193 ZA04 ZA07 ZB14 ZB18
 5C006 BB16 BC06 BF34 FA23
 5C080 AA10 BB05 DD06 EE29 FF11 JJ03 JJ06
 5C094 AA01 AA55 BA03 BA43 CA19 EA10

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010237285A	公开(公告)日	2010-10-21
申请号	JP2009082672	申请日	2009-03-30
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	保科克浩 飯塚哲也		
发明人	保科 克浩 飯塚 哲也		
IPC分类号	G02F1/1368 G09G3/36 G09G3/20 G09F9/30 G02F1/133		
FI分类号	G02F1/1368 G09G3/36 G09G3/20.611.E G09G3/20.624.B G09G3/20.621.M G09G3/20.641.C G09G3/20.680.G G09F9/30.338 G02F1/133.550		
F-TERM分类号	2H092/JA24 2H092/JA31 2H092/JA32 2H092/JA38 2H092/JB69 2H092/NA01 2H193/ZA04 2H193/ZA07 2H193/ZB14 2H193/ZB18 5C006/BB16 5C006/BC06 5C006/BF34 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD06 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ06 5C094/AA01 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA10 2H192/AA24 2H192/AA44 2H192/BC31 2H192/CB13 2H192/CB42 2H192/CB46 2H192/CC02 2H192/CC04 2H192/DA12 2H192/DA73 2H192/FB02		
代理人(译)	河野 哲 中村 诚 河野直树 冈田隆 山下 元		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其抑制整个屏幕上闪烁的发生并具有高显示质量。显示单元上DYP布置多个显示像素PX组成的矩阵，并且设置在每个所述多个显示像素PX，多个扫描线中的像素电极PE GL，多条信号线SL以及第一和第二开关元件SW1和SW2，用于切换多个显示像素PX中的每一个中的对应信号线SL和像素电极PE之间的连接，其中第一和第二开关元件SW1和SW2包括第一和第二栅电极GE1，GE2连接对应的扫描线GL和电，所述第一和第二栅电极GE1，GE2和半导体层隔着栅极绝缘膜L1相对而设当将设置有一个，在其中扫描电压施加到扫描线GL对应的被发送的方向上，其中，第一栅电极GE1和第一开关元件SW1的半导体层L1对置的区域是一个液晶显示装置的增加而增加。点域1

