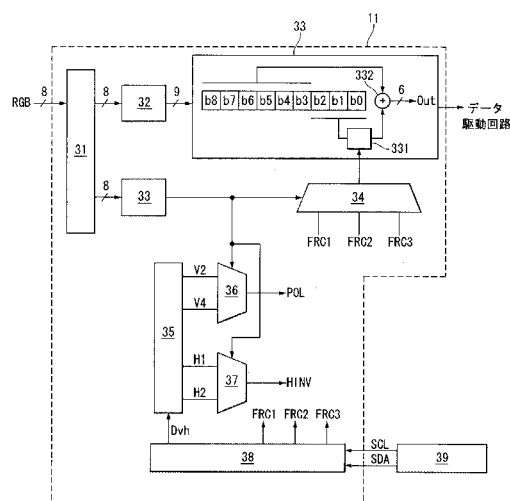




【特許請求の範囲】

【請求項 1】

複数のデータライン、前記データラインと交差される n 個のゲートライン、前記データラインとゲートラインの交差部に接続された複数の T F T、及び前記 T F T に接続されて $m \times n$ マトリックス形態に配置された液晶セルを含む液晶表示パネル、前記 m 、 n は正の整数であり、

デジタルビデオデータを垂直極性制御信号に応答して前記データラインに供給される正極性/負極性データ電圧に変換し、水平極性制御信号に応答して前記正極性/負極性データ電圧の水平極性反転周期を調節するデータ駆動回路と、

前記垂直極性制御信号と前記水平極性制御信号を発生し、入力デジタルビデオデータに F R C 補正値を加算して前記データ駆動回路に供給し、前記入力デジタルビデオデータから所定の脆弱パターンを検出して前記脆弱パターンのデータが検出される時前記垂直極性制御信号の論理反転周期と前記水平極性制御信号の論理の内、何れか一つを変更し、前記 F R C 補正値が加算されるデータ位置を変更するタイミングコントローラを備えることを特徴する液晶表示装置。

10

【請求項 2】

前記データラインの個数は $m / 2$ 個であり、

前記データ駆動回路は左右で隣り合う前記液晶セルに充電される 2 色の前記正極性/負極性データ電圧を同一なデータラインに時分割供給することを特徴とする、請求項 1 記載の液晶表示装置。

20

【請求項 3】

前記脆弱パターンのデータは、

前記液晶表示パネルの垂直及び水平方向それぞれでホワイトデータとブラックデータが交互する第 1 脆弱パターンのデータと、

前記ホワイトデータと前記ブラックデータがストライプパターンを形成する第 2 脆弱パターンのデータを含むことを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 4】

前記タイミングコントローラは、

i (i は 6 以上の自然数) $b i t s$ のデジタルビデオデータのビット数を確保するビット拡張部と、

30

前記ビット拡張部からの拡張されたデジタルビデオデータで $M S B i - j$ (j は i より小さな自然数) $b i t s$ のデータに前記 F R C 補正値を加算して $j b i t s$ のデジタルビデオデータを前記データ駆動回路に供給する F R C 処理部と、

前記入力デジタルビデオデータを分析して第 1 及び第 2 脆弱パターンのデータを検出するイメージ分析部を備えることを特徴とする、請求項 3 記載の液晶表示装置。

【請求項 5】

前記タイミングコントローラは、

前記 F R C 補正値が加算されるデータの位置がお互いに異なるように指定された第 1 乃至第 3 F R C パターンが入力されて前記イメージ分析部の制御の下に前記脆弱パターン以外のデータが入力される時前記第 1 F R C パターンのデータを前記 F R C 処理部に供給し、前記第 1 脆弱パターンのデータが入力される時前記第 2 F R C パターンを前記 F R C 処理部に供給して、前記第 2 脆弱パターンのデータが入力される時前記第 3 F R C パターンを前記 F R C 処理部に供給する第 1 選択部と、

40

垂直/水平極性制御データに応答して 2 水平期間単位で論理が反転されるパルスを含む第 1 極性制御信号、4 水平期間単位で論理が反転されるパルスを含む第 2 極性制御信号、第 1 論理の第 3 極性制御信号、第 2 論理の第 4 極性制御信号を発生する垂直/水平極性制御信号発生部と、

前記イメージ分析部の制御の下に前記第 1 脆弱パターン以外のデータが入力される時前記第 1 極性制御信号を前記垂直極性制御信号で選択し、前記第 1 脆弱パターンのデータが入力される時前記第 2 極性制御信号を前記垂直極性制御信号で選択する第 2 選択部と、

50

前記イメージ分析部の制御の下に前記第２脆弱パターン以外のデータが入力される時前記第３極性制御信号を前記水平極性制御信号で選択し、前記第２脆弱パターンのデータが入力される時前記第４極性制御信号を前記水平極性制御信号で選択する第３選択部と、

Ｉ２Ｃ通信プロトコルを通じてＥＥＰＲＯＭから前記ＦＲＣパターンを受信受けて前記第１選択部に供給し前記ＥＥＰＲＯＭから前記垂直／水平極性制御データを受信受けて前記垂直／水平極性制御信号発生部に供給するＩ２Ｃマスターをさらに備えることを特徴とする、請求項４記載の液晶表示装置。

【請求項６】

前記脆弱パターン以外のデータが前記液晶表示パネルに表示される時前記液晶表示パネルの液晶セルに充電される前記正極性／負極性データ電圧は垂直１ドット及び水平２ドットインバージョン形態の極性パターンを有することを特徴とする、請求項５記載の液晶表示装置。

10

【請求項７】

前記第１脆弱パターンのデータが前記液晶表示パネルに表示される時前記液晶表示パネルの液晶セルに充電される前記正極性／負極性データ電圧は垂直２ドット及び水平２ドットインバージョン形態の極性パターンを有することを特徴とする、請求項５記載の液晶表示装置。

【請求項８】

前記第２脆弱パターンのデータが前記液晶表示パネルに表示される時前記液晶表示パネルの液晶セルに充電される前記正極性／負極性データ電圧は垂直１ドット及び水平４ドットインバージョン形態の極性パターンを有することを特徴とする、請求項５記載の液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置に関する。

【背景技術】

【０００２】

アクティブマトリックス（Active Matrix）駆動方式の液晶表示装置はスイッチング素子として薄膜トランジスタ（Thin Film Transistor：以下“ＴＦＴ”とする）を利用して動画を表示している。この液晶表示装置は陰極線管（Cathode Ray Tube、ＣＲＴ）に比べて小型化が可能でポータブル情報機器、事務機器、コンピューターなどで表示器に応用されることは勿論、テレビにも応用されて陰極線管を早く取り替えている。

30

【０００３】

液晶表示装置の液晶セルは画素電極に供給されるデータ電圧と共通電極に供給される共通電圧の電位差によって透過率を変化させることで画像を表示する。液晶表示装置は一般的に液晶の劣化を防止するために液晶に印加されるデータ電圧の極性を周期的に反転させるインバージョン（inversion）方式に駆動されている。

【発明の概要】

40

【発明が解決しようとする課題】

【０００４】

しかし、液晶表示装置がインバージョン方式に駆動されれば液晶セルに充電されるデータ電圧の極性とそのデータ電圧の相関関係によって液晶表示装置の画質が低下することがある。これは液晶セルに充電されるデータ電圧によって液晶セルに充電されるデータ電圧の極性において、正極性と負極性の均衡がとれずに、ある一極性が優勢極性になって、それによって共通電極に印加される共通電圧がシフトされるからである。共通電圧がシフトされれば液晶セルの基準電位が揺れるので、観察者は液晶表示装置に表示された画像でフリッカ（flicker）やスミア（smear）現象を感じることができるといった問題があった。

50

【 0 0 0 5 】

そこで、本発明は、前記問題に鑑みてなされたものであり、本発明の目的とするところは、入力データのビット数より小さなビット数のデータで液晶表示パネルを駆動しながらも入力データの階調数より多い階調数で画像を表示してデータ駆動回路の出力チャンネル数を減らすことができ、いずれのデータパターンでも画質が低下されない液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 6 】

前記課題を解決するために、本発明の液晶表示装置は複数のデータライン、前記データラインと交差される n 個のゲートライン、前記データラインとゲートラインの交差部に接続された複数の T F T、及び前記 T F T に接続されて $m \times n$ マトリックス形態に配置された液晶セルを含む液晶表示パネルと、デジタルビデオデータを垂直極性制御信号に応答して前記データラインに供給される正極性/負極性データ電圧に変換し、水平極性制御信号に応答して前記正極性/負極性データ電圧の水平極性反転周期を調節するデータ駆動回路と、前記垂直極性制御信号と前記水平極性制御信号を発生し、入力デジタルビデオデータに F R C 補正値を加算して前記データ駆動回路に供給し、前記入力デジタルビデオデータから所定の脆弱パターンを検出して前記脆弱パターンのデータが検出される時前記垂直極性制御信号の論理反転周期と前記水平極性制御信号の論理の内何れか一つを変更し、前記 F R C 補正値が加算されるデータ位置を変更するタイミングコントローラを備える。

【発明の効果】

【 0 0 0 7 】

以上説明したように本発明の実施形態に係る液晶表示装置は F R C を適用して入力データのビット数より小さなビット数のデータで液晶表示パネルを駆動しながらも入力データの階調数より多い階調数で画像を表示して一つのデータラインを通じて左右液晶セルにデータ電圧を供給することでデータ駆動回路の出力チャンネル数を減らすことができる。また、本発明の実施形態に係る液晶表示装置は脆弱パターンのデータが入力される時液晶表示パネルの液晶セルに充電されるデータ電圧の垂直極性反転周期または水平極性反転周期を変更していずれのデータパターンでも画質が低下されない。

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】本発明の実施形態に係る液晶表示装置を示すブロック図である。

【図 2】図 1 に示された液晶表示パネルの画素アレイ一部を示す等価回路図である。

【図 3】タイミングコントローラ 11 でデータ処理部分の回路構成を詳しく示す回路図である。

【図 4】図 1 に示されたデータ駆動回路のソースドライバ I C を詳しく示す等価回路図である。

【図 5】図 1 に示されたデータ駆動回路のソースドライバ I C を詳しく示す等価回路図である。

【図 6】図 1 に示されたゲート駆動回路を詳しく示す回路図である。

【図 7】第 1 F R C パターンの一例を示す図である。

【図 8】脆弱パターンがタイミングコントローラに入力される時、垂直極性制御信号と水平極性制御信号の変化を示す波形図である。

【図 9】シャットダウンパターンがタイミングコントローラに入力される時、液晶表示パネルに供給されるデータ電圧の極性パターン変化を示す図である。

【図 10】スミアパターンがタイミングコントローラに入力される時、液晶表示パネルに供給されるデータ電圧の極性パターン変化を示す図である。

【図 11】図 1 に示されたタイミングコントローラに入力されるデータによってタイミングコントローラから出力される極性制御信号及び F R C パターンの変化と、それによって変化される液晶表示パネルのデータ電圧極性パターンを示す図である。

【発明を実施するための形態】

【 0 0 0 9 】

前記目的以外に本発明の他の目的及び特徴は添付した図面を参照した実施形態の説明を通じて明白になる。

【 0 0 1 0 】

以下に添付図面の図 1 乃至図 1 1 を参照しながら、本発明の好適な実施の形態について詳細に説明する。

【 0 0 1 1 】

図 1 を参照すれば、本発明の実施形態に係る液晶表示装置は液晶表示パネル 1 0、タイミングコントローラ 1 1、データ駆動回路 1 2、及びゲート駆動回路 1 3 を備える。データ駆動回路 1 2 は複数のソースドライバ IC (Integrated Circuit) を含む。ゲート駆動回路 1 3 は複数のゲートドライバ IC を含む。

10

【 0 0 1 2 】

液晶表示パネル 1 0 は二枚のガラス基板の間に液晶層が形成される。液晶表示パネルはデータライン (D 1 ~ D m / 2、m は自然数) とゲートライン (G 1 ~ G n、n は自然数) の交差構造によってマトリクス形態に配置された m × n 個の液晶セル C l c を含む。

【 0 0 1 3 】

液晶表示パネル 1 0 の下部ガラス基板にはデータライン D 1 ~ D m、ゲートライン G 1 ~ G n、T F T、及びストレージ キャパシタ C s t などを含む画素アレイが形成される。液晶セル C l c は T F T に接続されて画素電極 1 と共通電極 2 の間の電界によって駆動される。液晶表示パネル 1 0 の上部ガラス基板上にはブラックマトリクス、カラーフ

20

【 0 0 1 4 】

共通電極 2 は T N (Twisted Nematic) モードと V A (Vertical Alignment) モードのような垂直電界駆動方式で上部ガラス基板上に形成されて、I P S (In Plane Switching) モードと F F S (Fringe Field Switching) モードのような水平電界駆動方式で画素電極 1 と共に下部ガラス基板上に形成される。

【 0 0 1 5 】

液晶表示パネル 1 0 の上部ガラス基板と下部ガラス基板それぞれには偏光板が附着して液晶のプレチルト角 (p r e - t i l t a n g l e) を設定するための配向膜が形成される。

30

【 0 0 1 6 】

本発明で適用可能な液晶表示パネル 1 0 の液晶モードは前述の T N モード、V A モード、I P S モード、F F S モードだけではなくいずれの液晶モードでも具現されることができる。また、本発明の液晶表示装置は透過型液晶表示装置、反透過型液晶表示装置、反射型液晶表示装置などいずれの形態でも具現されることができる。透過型液晶表示装置と反透過型液晶表示装置では図面で省略されたバックライトユニットが必要である。

【 0 0 1 7 】

タイミングコントローラ 1 1 は F R C (f r a m e r a t e c o n t r o l) を利用して階調を拡張することでデータ駆動回路 1 2 に供給されるデジタルビデオデータ R G B のビット数を減らす。タイミングコントローラ 1 1 は i (i は 6 以上の自然数) ビット (b i t s) 入力デジタルビデオデータに F R C 補正值を加算して j (j は i より小さな自然数ビット (b i t s)) のデジタルビデオデータを発生し、その j ビットのデジタルビデオデータを m i n i L V D S (L o w - v o l t a g e d i f f e r e n t i a l s i g n a l i n g) 方式でデータ駆動回路 1 2 に供給する。図 3 の例で、i は ' 8 ' で、j は ' 6 ' を例示したが本発明はここに限定されるのではなく F R C を適用して階調数低減なしに入力デジタルビデオデータのビット数より小さなビット数のデータをデータ駆動回路に供給するいずれの方式も含む。

40

【 0 0 1 8 】

タイミングコントローラ 1 1 は入力デジタルビデオデータ R G B を分析してノーマルイ

50

ンバージョン方式 (Normal Inversion Scheme) で画質が低減させる脆弱パターンの入力データを検出する。タイミングコントローラ 11 は脆弱パターンの入力データで画質低下を予防するためにデータ駆動回路 12 に供給される脆弱パターンデータの FRC 補正値を加算するための FRC パターンを変更し、データ駆動回路 12 の極性反転動作を制御するための制御信号 (POL、HINV) を変更して液晶表示パネル 10 に供給されるデータ電圧のインバージョン方式を変更する。ノーマルインバージョン方式は脆弱パターン以外の大部分の入力データで画質が一番良好なインバージョン方式であるが脆弱パターンデータで画質劣化を誘発することができる。

【0019】

タイミングコントローラ 11 は垂直同期信号 Vsync、水平同期信号 Hsync、データイネーブル信号 (Data Enable、DE)、ドットクロック CLK などのタイミング信号を利用してデータ駆動回路 12 とゲート駆動回路 13 を制御するための制御信号を発生する。タイミングコントローラ 11 で生成される制御信号はゲート駆動回路 13 の動作タイムを制御するためのゲートタイミング制御信号と、データ駆動回路 12 の動作タイミングとデータ電圧の極性を制御するためのソースタイミング制御信号を含む。

10

【0020】

ゲートタイミング制御信号はゲートスタートパルス (Gate Start Pulse、GSP)、ゲートシフトクロック (Gate Shift Clock、GSC)、ゲート出力イネーブル信号 (Gate Output Enable、GOE) などを含む。ゲートスタートパルス GSP は一番目ゲートパルス(またはスキャンパルス)を発生する一番目ゲートドライブ IC に印加される。ゲートシフトクロック GSC はゲートドライブ IC に共通に入力されるクロック信号としてゲートスタートパルス GSP をシフトさせるためのクロック信号である。ゲート出力イネーブル信号 GOE はゲートドライブ IC の出力を制御する。

20

【0021】

データタイミング制御信号はソーススタートパルス (Source Start Pulse、SSP)、ソースサンプリングクロック (Source Sampling Clock、SSC)、垂直極性制御信号 (Polarity: POL)、水平極性制御信号 HINV、及びソース出力イネーブル信号 (Source Output Enable、SOE) などを含む。ソーススタートパルス SSP はデータ駆動回路 12 のデータサンプリング開始時点を制御する。ソースサンプリングクロック SSC はライジングまたはフォールディングエッジを基準にしてデータ駆動回路 12 内でデータのサンプリング動作を制御するクロック信号である。垂直極性制御信号 POL はデータ駆動回路 12 から出力されるデータ電圧の垂直極性を制御する。水平極性制御信号 HINV はデータ駆動回路 12 から出力されるデータ電圧の水平極性を制御する。ソース出力イネーブル信号 SOE はデータ駆動回路 12 の出力を制御する。タイミングコントローラ 11 とデータ駆動回路 12 間かつ miniLVDS 方式でデジタルビデオデータと miniLVDS クロックが伝送されたら miniLVDS クロックのリセット信号以後に発生される一番目クロックがスタートパルス役目をするのでソーススタートパルス SSP は省略されることができる。

30

【0022】

データ駆動回路 12 はタイミングコントローラ 11 から直列に入力されるデジタルビデオデータ RGB をサンプリングしてラッチして直列データ伝送体系を並列データ伝送体系のデジタルビデオデータ RGB に変換する。データ駆動回路 12 は垂直及び水平極性制御信号 (POL、HINV) に応答して並列データ伝送体系に変換されたデジタルビデオデータ RGB を正極性/負極性アナログビデオデータ電圧に変換してソース出力イネーブル信号 SOE に応答してデータライン DL に供給する。

40

【0023】

ゲート駆動回路 13 はゲートタイミング制御信号 GSP、GSC、GOE に応答してゲートパルス(またはスキャンパルス)をゲートライン G1 ~ Gn に順次に供給する。

【0024】

50

図 2 は液晶表示パネル 10 の画素アレイ部を示す等価回路図である。

【0025】

図 2 を参照すれば、液晶表示パネル 10 の画素アレイはデータライン D1 ~ D6、ゲートライン G1 ~ G8、及びデータライン D1 ~ D6 とゲートライン G1 ~ G8 の交差部に形成される TFT を備える。

【0026】

データライン D1 ~ D6 にはデータ駆動回路 12 からデータ電圧が供給される。左右で隣り合う液晶セルは一つのデータライン D1 ~ D6 を通じて供給されるデータ電圧を時分割充電する。データ駆動回路 12 の出力チャンネル数は左右で隣り合う液晶セルに供給されるデータ電圧が一つのデータライン D1 ~ D6 を通じて供給されるから液晶セルの水平解像度 m 対比 $1/2$ 減った $m/2$ 個ほど必要である。

10

【0027】

データ駆動回路 12 は一番目水平期間の間第 $3k$ (k は正の整数) + 1 データライン D1、D4 に赤色データ電圧 R を供給して、第 $3k + 2$ データライン D2、D5 に青色データ電圧 B を供給して、第 $3k + 3$ データライン D3、D6 に緑色データ電圧 G を供給する。データ駆動回路 12 は一番目水平期間の間第 $3k + 1$ データライン D1、D4 に赤色データ電圧 R を供給して、第 $3k + 2$ データライン D2、D5 に青色データ電圧 B を供給して、第 $3k + 3$ データライン D3、D6 に緑色データ電圧 G を供給する。データ駆動回路 12 は二番目水平期間の間第 $3k + 1$ データライン D1、D4 に緑色データ電圧 G を供給して、第 $3k + 2$ データライン D2、D5 に赤色データ電圧 R を供給して、第 $3k + 3$ データライン D3、D6 に青色データ電圧 B を供給する。

20

【0028】

ゲートライン G1 ~ G8 には TFT をターン-オンさせるためのゲートパルスが順次に供給される。ゲート駆動回路 13 は $3k + 1$ 番目データライン D1、D4 に供給される赤色データ電圧 R、第 $3k + 2$ データライン D2、D5 に供給される青色データ電圧 B 及び第 $3k + 3$ データライン D3、D6 に供給される緑色データ電圧 G に同期されるゲートパルスを奇数ゲートライン (G1、G3、G5、G7) に順次に供給する。そしてゲート駆動回路 13 は第 $3k + 1$ データライン D1、D4 に供給される緑色データ電圧 G、第 $3k + 2$ データライン D2、D5 に供給される赤色データ電圧 R、及び第 $3k + 3$ データライン D3、D6 に供給される青色データ電圧 B に同期されるゲートパルスを偶数ゲートライン G2、G4、G6、G8 に順次に供給する。

30

【0029】

TFT はゲートライン G1 ~ G8 から供給されるゲートパルスに応答してターン-オンされてデータライン D1 ~ D6 からのデータ電圧を液晶セルの画素電極に供給する。

【0030】

図 3 はタイミングコントローラ 11 でデータ処理部分の回路構成を詳しく示す回路図である。

【0031】

図 3 を参照すれば、タイミングコントローラ 11 はインターフェース受信部 31、ビット拡張部 32、FRC 処理部 30、イメージ分析部 33、第 1 選択部 34、垂直/水平極性制御信号発生部 35、第 2 選択部 36、第 3 選択部 37 及び I2C マスター 38 を備える。タイミングコントローラ 11 は I2C マスター 38 に FRC パターン FRC1 ~ FRC3 と、垂直/水平極性制御データ Dvh を供給するための EEPROM (Electrically erasable programmable read-only memory) 39 に接続される。

40

【0032】

インターフェース受信部 31 は LVDS インターフェース規格に伝送される 8 bits のデジタルビデオデータを受信してビット拡張部 32 とイメージ分析部 33 に供給する。ビット拡張部 32 は 8 bits のデジタルビデオデータの LSB (Least Significant Bits) 3 bits を付け加えて 9 bits のデジタルビデオデー

50

タに拡張する。

【0033】

FRC処理部30はビット拡張部32から入力される9bitsのデジタルビデオデータb0～b8でLSB3bits(b0～b2)に1/8～7/8間の中間階調を生成するための3bitsFRCデータをエンコードして、FRCデータによって指定されたピクセルデータのMSB6bits(b3～b8)にFRC補正值‘1’を加算する。そしてFRC処理部30は6bitsデジタルビデオデータ(b3～b8)をデータ駆動回路12に供給する。これのために、FRC処理部30はFRC選択部301と、加算器302を備える。FRC選択部301は9bitsデジタルビデオデータの3bitsLSB(b0～b2)にエンコーディング(encoding)されたFRCデータによって第1選択部34から入力されるFRCパターンFRC1～FRC3でFRC補正值が加算されるピクセルデータを選択する。加算器302はFRC選択部301によって選択されたピクセルデータの6bitsMSBにFRC補正值‘1’を加算する。

10

【0034】

イメージ分析部33は図9のように垂直方向と水平方向それぞれでホワイトデータとブラックデータが交互するシャットダウンパターン(Shut down pattern)、図10のように水平方向でホワイトデータとブラックデータが交互して垂直ホワイトストライプを構成するスミアパターン(smear pattern)などの脆弱パターンデータを検出する。イメージ分析部33は本願出願人によって既に出願された大韓民国出願10-2008-0055419(2008-06-12)で提案されたように8bitsの入力デジタルビデオデータでMSB2bitsを検出してその値によってホワイトデータとブラックデータを判断することができる。この場合、ホワイトデータは高階調近所のデータとして、例えば、R=192～255、G=192～255、B=192～255であるピクセルデータである。ブラックデータは低階調近所のデータとして、例えば、R=0～63、G=0～63、B=0～63であるピクセルデータである。

20

【0035】

第1選択部34はI2Cマスター38を通じて第1乃至第3FRCパターンFRC1～FRC3を入力受けてイメージ分析部33からの制御信号に応答してFRCパターンの中何れか一つをFRC処理部30に供給する。第1選択部34は脆弱パターン以外のデータが入力される時、イメージ分析部33の制御によって第1FRCパターンFRC1を選択してFRC処理部30に供給する。第1選択部34は脆弱パターンの中で図9のようなシャットダウンパターンのデータが入力される時、イメージ分析部33の制御によって第2FRCパターンFRC2を選択してFRC処理部30に供給する。第2選択部34は脆弱パターンの中で図10のようなスミアパターンのデータが入力される時、イメージ分析部33の制御によって第3FRCパターンFRC3を選択してFRC処理部30に供給する。

30

【0036】

垂直/水平極性制御信号発生部35はI2Cマスター38を通じて入力される垂直/水平極性制御データDvhに응答して極性制御信号V2、V4、H1、H2を発生する。第1極性制御信号V2は液晶表示パネル10で垂直に隣り合う液晶セルに充電されるデータ電圧の極性反転周期を1ドット(Dot)単位に反転させる垂直極性制御信号POLとして2水平期間単位で論理が反転されるパルス信号である。第2極性制御信号V4は液晶表示パネル10で垂直に隣り合う液晶セルに充電されるデータ電圧の極性反転周期を2ドット単位に反転させる垂直極性制御信号POLとして4水平期間単位で論理が反転されるパルス信号である。第3極性制御信号H1は液晶表示パネル10で水平に隣り合う液晶セルに充電されるデータ電圧の極性反転周期を2ドット単位に反転させる水平極性制御信号HINVとして第1論理、例えば、ロー論理に発生される。第4極性制御信号H2は液晶表示パネル10で水平に隣り合う液晶セルに充電されるデータ電圧の極性反転周期を4ドット単位に反転させる水平極性制御信号HINVとして第2論理、例えば、ハイ論理に発生される。ドット(dot)は一つの液晶セルのような意味である。したがって、図11のよ

40

50

うに2ドット単位で極性が反転されるということは垂直または水平で隣り合う液晶セルに充電されるデータ電圧の極性が2個の液晶セル単位に反転されるということと同一であり、4ドット単位で極性が反転されるということは垂直または水平で隣り合う液晶セルに充電されるデータ電圧の極性が4個の液晶セル単位に反転されるということと同じである。

【0037】

第2選択部36は図11のようにイメージ分析部33の制御の下に脆弱パターン以外のデータ(Normal data)と脆弱パターンの中でスミアパターンのデータが入力される時、第1極性制御信号V2を垂直極性制御信号POLとしてデータ駆動回路12に供給する。そして第2選択部36は図11のようにイメージ分析部33の制御の下に脆弱パターンの中でシャットダウンパターンのデータが入力される時、第2極性制御信号V4を垂直極性制御信号POLとしてデータ駆動回路12に供給する。

10

【0038】

第3選択部37は図11のようにイメージ分析部33の制御の下に脆弱パターン以外のデータ(Normal data)と脆弱パターンの中でシャットダウンパターンのデータが入力される時、第3極性制御信号H1を水平極性制御信号HINVとしてデータ駆動回路12に供給する。そして第3選択部37は図11のようにイメージ分析部33の制御の下に脆弱パターンの中でスミアパターンのデータが入力される時、第4極性制御信号H2を水平極性制御信号HINVとしてデータ駆動回路12に供給する。

【0039】

I2Cマスター38はシリアルクロックSCLをEEPROM39に伝送して直列データSDAバスを通じてEEPROM39から受信されたFRCパターンFRC1~FRC3と、垂直/水平極性制御データDvhを垂直/水平極性制御信号発生部35に供給する。LCDメーカーやTVセットメーカーは液晶表示パネル10のパネル構造と脆弱パターンによってEEPROM39に貯蔵されるFRCパターンFRC1~FRC3と、垂直/水平極性制御データDvhをアップデートするとか追加することができる。

20

【0040】

図4及び図5は図1に示されたデータ駆動回路12のソースドライブICを詳しく示す等価回路図である。

【0041】

図4及び図5を参照すれば、データ駆動回路12はそれぞれk(kはm/2より小さな整数)個のデータラインD1乃至Dkを駆動する複数のソースドライブICを含む。

30

【0042】

ソースドライブICそれぞれはシフトレジスタ41、データレジスタ42、第1ラッチ43、第2ラッチ44、デジタル/アナログ変換器(以下、“DAC”とする)45、出力回路などを含む。

【0043】

シフトレジスタ41はタイミングコントローラ11からのソースサンプリングクロックSSCによってデータサンプリングクロックをシフトさせる。また、シフトレジスタ41は隣り合う次の段のソースドライブICのシフトレジスタ41にキャリア信号CARを伝達する。データレジスタ42はタイミングコントローラ11からのデジタルビデオデータRGBを一時貯蔵してそのデータRGBを第1ラッチ43に供給する。第1ラッチ43はシフトレジスタ41から順次に入力されるデータサンプリングクロックによってデジタルビデオデータRGBをサンプリングしてラッチした後、ラッチしたデータRGBを同時に出力する。第2ラッチ44は第1ラッチ43から入力されるデータRGBをラッチした後、ソース出力イネーブル信号SOEに応答して他のソースドライブICの第2ラッチ44と同期してラッチしたデータRGBを同時に出力する。

40

【0044】

DAC45は図5のように正極性ガンマ基準電圧GHが供給されるP-デコーダ51、負極性ガンマ基準電圧GLが供給されるN-デコーダ52、垂直極性制御信号POLに응答してP-デコーダ51の出力とN-デコーダ52の出力を選択するマルチフレ

50

クサー 53、水平極性制御信号 H I N V に応答してマルチフレクサー 53 の出力を反転させるための水平極性反転回路 54 を備える。P - デコーダ 51 は第 2 ラッチ 44 から入力されるデジタルビデオデータ R G B をデコードしてそのデータの階調値に相応する正極性ガンマ補償電圧を出力して、N - デコーダ 52 は第 2 ラッチ 44 から入力されるデジタルビデオデータ R G B をデコードしてそのデータの階調値に相応する負極性ガンマ補償電圧を出力する。マルチフレクサー 53 は垂直極性制御信号 P O L に応答して正極性のガンマ補償電圧と負極性のガンマ補償電圧を交互に選択して選択された正極性/負極性ガンマ補償電圧を正極性/負極性アナログビデオデータ電圧として出力する。

【 0 0 4 5 】

マルチフレクサー 53 は垂直極性制御信号 P O L によって直接制御される第 4 k (k は正の整数) + 1 及び第 4 k + 2 マルチフレクサー 53 と、水平極性反転回路 54 によって制御される第 4 k + 3 及び第 4 k + 4 マルチフレクサー 53 を備える。第 4 k + 1 マルチフレクサー 53 は自分の非反転制御端子に供給される垂直極性制御信号 P O L に応答して P - デコーダ 51 の出力と N - デコーダ 52 の出力を交互に選択する。第 4 k + 1 マルチフレクサー 53 の出力は図 2 で第 4 k + 1 データライン D 1、D 5 に供給されるデータ電圧である。第 4 k + 2 マルチフレクサー 53 は自分の反転制御端子に供給される垂直極性制御信号 P O L に応答して P - デコーダ 51 の出力と N - デコーダ 52 の出力を交互に選択する。第 4 k + 2 マルチフレクサー 53 の出力は図 2 で第 4 k + 2 データライン D 2、D 6 に供給されるデータ電圧である。第 4 k + 3 マルチフレクサー 53 は自分の非反転制御端子に供給される水平極性反転回路 54 の出力に応答して P - デコーダ 51 の出力と N - デコーダ 52 の出力を交互に選択する。第 4 k + 3 マルチフレクサー 53 の出力は図 2 で第 4 k + 3 データライン D 3、D 7 に供給されるデータ電圧である。第 4 k + 4 マルチフレクサー 53 は自分の反転制御端子に供給される水平極性反転回路 54 の出力に応答して P - デコーダ 51 の出力と N - デコーダ 52 の出力を交互に選択する。第 4 k + 4 マルチフレクサー 53 の出力は図 2 で第 4 k + 4 データライン D 4、D 8 に供給されるデータ電圧である。このようなマルチフレクサー 53 の出力で極性反転周期は垂直極性制御信号 P O L の周期によって決まる。例えば、垂直極性制御信号 P O L として 2 水平期間単位で論理が反転される第 1 極性制御信号 V 2 がソースドライブ I C に入力されれば、マルチフレクサー 53 から出力されるデータ電圧はその極性が 2 水平期間単位に反転される。垂直極性制御信号 P O L として 4 水平期間単位で論理が反転される第 2 極性制御信号 V 4 がソースドライブ I C に入力されれば、マルチフレクサー 53 から出力されるデータ電圧はその極性が 4 水平期間単位に反転される。

【 0 0 4 6 】

水平極性反転回路 54 はスイッチ素子 S 1、S 2、及びインバータ 55 を備える。

水平極性制御回路 54 は水平極性制御信号 H I N V によって第 4 k + 3 マルチフレクサー 53 の非反転制御端子と、第 4 k + 4 マルチフレクサー 53 の反転制御端子に供給される制御信号の論理値を制御する。第 1 スイッチ素子 S 1 の入力端子には垂直極性制御信号 P O L が供給される垂直極性制御信号供給ラインに接続されて第 1 スイッチ素子 S 1 の出力端子は第 4 k + 3 または第 4 k + 4 マルチフレクサー 53 の反転/非反転制御端子に接続される。第 1 スイッチ素子 S 1 の反転制御端子は水平極性制御信号が供給される水平極性制御信号供給ラインに接続される。第 2 スイッチ素子 S 2 の入力端子は垂直極性制御信号供給ラインに接続されて第 2 スイッチ素子 S 2 の出力端子はインバータ 55 に接続される。第 2 スイッチ素子 S 2 の非反転制御端子は水平極性制御信号が供給される水平極性制御信号供給ラインに接続される。インバータ 55 は第 2 スイッチ素子 S 2 の出力端子と第 4 k + 3 マルチフレクサー 53 の非反転制御端子の間に接続されてまた、第 2 スイッチ素子 S 2 の出力端子と第 4 k + 4 マルチフレクサー 53 の反転制御端子の間に接続される。

【 0 0 4 7 】

水平極性反転回路 54 は水平極性制御信号 H I N V として第 1 論理(またはロー論理)に発生される第 3 極性制御信号 H 1 がソースドライブ I C に入力されれば、第 1 スイッチ素

10

20

30

40

50

子 S 1 を通じて垂直極性制御信号 P O L をそのままマルチフレクサー 5 3 の反転 / 非反転制御端子に供給して液晶表示パネル 1 0 の液晶セルに充電されるデータ電圧の水平極性反転周期を 2 ドット単位で制御する。この時、ソースドライブ I C から出力されるデータ電圧の水平極性は ' - + - + ' すなわち、1 出力チャンネル単位に反転されるが、その出力チャンネルに接続されたデータラインが左右で隣り合う液晶セルにデータ電圧を供給するので液晶表示パネル 1 0 の液晶セルに充電されるデータ電圧の水平極性反転周期は 2 ドット単位に反転される。

【 0 0 4 8 】

水平極性反転回路 5 4 は水平極性制御信号 H I N V として第 2 論理(またはハイ論理)に発生される第 4 極性制御信号 H 2 がソースドライブ I C に入力されれば、第 2 スイッチ素子 S 2 とインバーター 5 5 を通じて垂直極性制御信号 P O L を反転させてマルチフレクサー 5 3 の反転 / 非反転制御端子に供給して液晶表示パネル 1 0 の液晶セルに充電されるデータ電圧の水平極性反転周期を 2 ドット単位で制御する。この時、ソースドライブ I C から出力されるデータ電圧の水平極性は ' - + + - ' すなわち、2 出力チャンネル単位に反転されるが、その出力チャンネルに接続されたデータラインが左右で隣り合う液晶セルにデータ電圧を供給するので液晶表示パネル 1 0 の液晶セルに充電されるデータ電圧の水平極性反転周期は 4 ドット単位に反転される。

【 0 0 4 9 】

出力回路 4 6 はソース出力イネーブル信号 S O E のハイ論理期間の間隣り合うデータ出力チャンネルを短絡 (s h o r t) させて隣り合うデータ電圧の平均値を出力して出力バッファーを通じてチャージシェア電圧 (C h a r g e s h a r e v o l t a g e) をデータライン D 1 ~ D k に供給した後正極性 / 負極性アナログビデオデータ電圧 (+ D a t a 1 ~ - D d a t a k) をデータライン D 1 ~ D k に供給する。出力回路 4 6 はソース出力イネーブル信号 S O E のハイ論理期間の間チャージシェア電圧の代りに共通電圧 V c o m を出力バッファーを通じてデータライン D 1 ~ D k に供給した後、正極性 / 負極性アナログビデオデータ電圧をデータライン D 1 ~ D k に供給することもできる。

【 0 0 5 0 】

図 6 はゲート駆動回路 1 3 を詳しく示す回路図である。

【 0 0 5 1 】

図 6 を参照すれば、ゲート駆動回路 1 3 はデータライン D 1 ~ D m / 2 に供給されるデータ電圧に同期されるゲートパルスをゲートライン G 1 ~ G n に順次に供給するための複数のゲートドライブ I C を含む。

【 0 0 5 2 】

ゲートドライブ I C それぞれはシフトレジスター 6 0 、レベルシフター 6 2 、シフトレジスター 6 0 とレベルシフター 6 2 の間に接続された複数の論理積ゲート(以下、“ A N D ゲート ” とする) 6 1 及びゲート出力イネーブル信号 G O E を反転させるためのインバーター 6 3 を備える。

【 0 0 5 3 】

シフトレジスター 6 0 は従属的に接続された複数の D - フリップフロップを利用してゲートスタートパルス G S P をゲートシフトクロック G S C によって順次にシフトさせる。 A N D ゲート 6 1 それぞれはシフトレジスター 6 0 の出力信号とゲート出力イネーブル信号 G O E の反転信号を論理積して出力を発生する。インバーター 6 3 はゲート出力イネーブル信号 G O E を反転させて A N D ゲート 6 1 に供給する。

【 0 0 5 4 】

レベルシフター 6 2 は A N D ゲート 6 1 の出力電圧スイング幅を液晶表示パネル 1 0 の画素アレイに形成された T F T の動作が可能なスイング幅でシフトさせる。レベルシフター 6 2 の出力信号すなわち、ゲートパルスはゲートライン (G 1 ~ G k) に順次に供給される。

【 0 0 5 5 】

シフトレジスター 6 0 は液晶表示パネル 1 0 の画素アレイ製造工程でその画素アレイと

ともにガラス基板に同時に形成されることができる。この場合に、レベルシフター 62 はガラス基板に形成されないでタイミングコントローラ 11 とともにコントロールボードに実装されるか、ソースドライバ IC とともにソース印刷回路ボード (Source Printed Circuit Board) に実装されることができる。

【0056】

図 7 は第 1 FRC パターン FRC 1 の一例を示す図である。

【0057】

図 7 を参照すれば、第 1 FRC パターン FRC 1 は 1 / 8 階調 001 の FRC データ、2 / 8 階調 010 の FRC データ、3 / 8 階調 011 の FRC データ、4 / 8 階調 100 の FRC データ、5 / 8 階調 101 の FRC データ、6 / 8 階調 110 の FRC データ、及び 7 / 8 階調 111 の FRC データを含む。1 / 8 階調 001 の FRC データには 8 個のピクセルあたり一つのピクセルデータに補正值 '1' が割り当てられる。2 / 8 階調 010 の FRC データには 8 個のピクセルあたり二つのピクセルデータに補正值 '1' が割り当てられる。3 / 8 階調 011 の FRC データには 8 個のピクセルあたり三つのピクセルデータに補正值 '1' が割り当てられる。4 / 8 階調 100 の FRC データには 8 個のピクセルあたり四つのピクセルデータに補正值 '1' が割り当てられる。5 / 8 階調 101 の FRC データには 8 個のピクセルあたり五つのピクセルデータに補正值 '1' が割り当てられる。6 / 8 階調 110 の FRC データには 8 個のピクセルあたり六つのピクセルデータに補正值 '1' が割り当てられる。7 / 8 階調 111 の FRC データには 8 個のピクセルあたり七つのピクセルデータに補正值 '1' が割り当てられる。補正值 '1' が加算されるピクセル位置が毎フレームごとに同一であれば表示画面で補正值が加算されるピクセルが明るく見える FRC アーティファクト (artifact) が見えらる。このような FRC アーティファクトを予防するために、各階調の FRC データで補正值 '1' が割り当てされたピクセル位置は次のフレーム期間に変わって、補正值 '1' が割り当てされたピクセル位置は 8 フレーム期間周期で繰り返される。図 7 で白色は補正值が加算されないピクセルを意味して、黒色は補正值が加算されるピクセルを意味する。

【0058】

第 2 及び第 3 FRC データ FRC 2、FRC 3 も 1 / 8 階調 001 の FRC データ、2 / 8 階調 010 の FRC データ、3 / 8 階調 011 の FRC データ、4 / 8 階調 100 の FRC データ、5 / 8 階調 101 の FRC データ、6 / 8 階調 110 の FRC データ、及び 7 / 8 階調 111 の FRC データを含む。また、第 2 及び第 3 FRC データ FRC 2、FRC 3 で各階調の FRC データで補正值 '1' が割り当てされたピクセル位置は第 1 FRC データ FRC 1 と同一に次のフレーム期間に変わって、補正值 '1' が割り当てされたピクセル位置は 8 フレーム期間周期に繰り返される。第 2 及び第 3 FRC パターン FRC 2、FRC 3 それぞれは第 1 FRC パターン FRC 1 に比べて補正值 '1' が割り当てされたピクセル位置が毎フレームごとに異なって設定される。第 2 FRC パターン FRC 2 は図 9 のようなシャットダウンパターンのホワイトデータ位置に補正值が加算されるように補正值が加算されるピクセル位置が決まられて極性バランスを満足しなければならない。第 2 FRC パターン FRC 2 は第 1 FRC パターン FRC 1 を基本にしてシャットダウンパターンのホワイトデータ位置を考慮して第 1 FRC パターン FRC 1 でフレーム別 FRC パターン手順と補正值が加算されるピクセル位置を変更して第 1 FRC と異なって設計される。第 3 FRC パターン FRC 3 は図 10 のようなスミアパターンのホワイトデータ位置に補正值が加算されるピクセル位置が決められて極性バランスを満足しなければならない。第 3 FRC パターン FRC 3 は第 1 FRC パターン FRC 1 を基本にしてスミアパターンのホワイトデータ位置を考慮して第 1 FRC パターン FRC 1 でフレーム別 FRC パターン手順と補正值が加算されるピクセル位置を変更して第 1 及び第 2 FRC パターン FRC 1、FRC 2 と異なって設計される。

【0059】

図 8 は脆弱パターンがタイミングコントローラ 11 に入力される時垂直極性制御信号 POL と水平極性制御信号 HINV の変化を示す波形図である。図 9 はシャットダウンパタ

ーンがタイミングコントローラ 11 に入力される時液晶表示パネル 10 に供給されるデータ電圧の極性パターン変化を示す図である。図 10 はスミアパターンがタイミングコントローラ 11 に入力される時液晶表示パネル 11 に供給されるデータ電圧の極性パターン変化を示す図である。図 11 はタイミングコントローラ 11 に入力されるデータによってタイミングコントローラ 11 から出力される極性制御信号 P O L、H I N V 及び F R C パターン F R C 1 ~ F R C 3 の変化と、それによって変化される液晶表示パネル 10 のデータ電圧極性パターンを示す図である。

【 0 0 6 0 】

図 8 乃至図 11 を参照すれば、タイミングコントローラ 11 は脆弱パターン以外のデータが入力される時垂直極性制御信号 P O L を 2 水平期間 (2 D E) 単位で論理が反転される第 1 極性制御信号 V 2 で選択して、水平極性制御信号 H I N V を第 1 論理に発生される第 3 極性制御信号 H 1 で選択してデータ駆動回路 12 を制御する。図 8 で ' D E ' はデータライン信号の 1 周期としてデータライン信号の 1 周期は水平同期信号 H s y n c の 1 周期と実質的に同一な 1 水平期間に相応する。データ駆動回路 12 は第 1 極性制御信号 V 2 に応答して 2 水平期間単位で極性が反転されるデータ電圧をデータライン D 1 乃至 D m / 2 に供給する。また、データ駆動回路 12 は第 3 極性制御信号 H 1 に応答して奇数データライン D 1、D 3 . . . D m / 2 - 1 に供給されるデータ電圧の極性と偶数データライン D 2、D 4 . . .、D m / 2 に供給されるデータ電圧の極性をお互いに異なって制御する。こんなにデータライン D 1 乃至 D m / 2 に供給されるデータ電圧によって、液晶表示パネル 10 の液晶セルは図 11 のように垂直で隣り合う液晶セルに充電されるデータ電圧は 1 ドット単位で極性が反転されて (V 1 D o t)、水平で隣り合う液晶セルに充電されるデータ電圧は 2 ドット単位で極性が反転される (H 2 D o t)。

【 0 0 6 1 】

タイミングコントローラ 11 図 9 のようなシャットダウンパターンや図 10 のようなスミアパターンなどのような脆弱パターンが入力される時、タイミングコントローラ 11 はその脆弱パターンのデータを判断して垂直極性制御信号 P O L の論理反転周期を異なるようにするか水平極性制御信号 H I N V の論理を反転させる。

【 0 0 6 2 】

図 9 のように垂直及び水平方向でホワイトデータとブラックデータが交互するシャットダウンパターンのデータ電圧が液晶表示パネル 10 に供給される時、そのデータ電圧の極性が V 1 D o t & H 2 D o t に反転されれば、図 9 の左側図面のように垂直極性で優勢極性が現われてそれによって表示画像で特定色が明るく見えてフリッカーが現われるようになって画質が低下される。このような問題を予防するために、タイミングコントローラ 11 はシャットダウンパターンのデータが入力される時、図 9 の右側図面のように液晶表示パネル 10 に供給される正極性データ電圧と負極性データ電圧のバランスを合わせるために垂直極性制御信号 P O L の論理反転周期を拡張する。

【 0 0 6 3 】

タイミングコントローラ 11 図 9 のようなシャットダウンパターンが入力される時、タイミングコントローラ 11 は垂直極性制御信号 P O L を 4 水平期間 4 D E 単位で論理が反転される第 2 極性制御信号 V 4 で選択して、水平極性制御信号 H I N V を第 3 極性制御信号 H 1 で維持する。データ駆動回路 12 は第 2 極性制御信号 V 4 に応答して 4 水平期間単位で極性が反転されるデータ電圧をデータライン D 1 乃至 D m / 2 に供給する。また、データ駆動回路 12 は第 3 極性制御信号 H 1 に応答して奇数データライン (D 1、D 3 . . .、D m / 2 - 1) に供給されるデータ電圧の極性と偶数データライン (D 2、D 4 . . .、D m / 2) に供給されるデータ電圧の極性をお互いに異なって制御する。データライン D 1 乃至 D m / 2 に供給されるデータ電圧によって、液晶表示パネル 10 の液晶セルは図 9 及び図 11 のように垂直で隣り合う液晶セルに充電されるデータ電圧は 2 ドット単位で極性が反転されて (V 2 D o t)、水平で隣り合う液晶セルに充電されるデータ電圧は 2 ドット単位で極性が反転される (H 2 D o t)。

【 0 0 6 4 】

図 10 のようにホワイトデータとブラックデータがストライプパターンで入力されるスミアパターンのデータ電圧が液晶表示パネル 10 に供給される時そのデータ電圧の極性が V 1 D o t & H 2 D o t に反転されれば、図 10 の上段図面のように水平極性で優勢極性が現われてそれによって表示画像から横縞とフリッカーが現われるようになって画質が低下される。このような問題を予防するために、タイミングコントローラ 11 はスミアパターンのデータが入力される時図 10 下段図面のように液晶表示パネル 10 に供給される正極性データ電圧と負極性データ電圧のバランスを合わせるために水平極性制御信号 H I N V の論理を反転させる。

【 0 0 6 5 】

タイミングコントローラ 11 に図 10 のようなスミアパターンが入力される時、タイミングコントローラ 11 は垂直極性制御信号 P O L を第 1 極性制御信号 V 2 で維持させる一方、水平極性制御信号 H I N V を第 2 論理の第 4 極性制御信号 H 2 で選択する。データ駆動回路 12 は第 1 極性制御信号 V 2 に応答して 2 水平期間単位で極性が反転されるデータ電圧をデータライン D 1 乃至 D m / 2 に供給する。また、データ駆動回路 12 は第 4 極性制御信号 H 2 に応答してデータライン D 1 ~ D m / 2 に供給されるデータ電圧の極性を 4 個のデータライン単位に反転させてデータ電圧の水平極性反転周期を拡張する。こんなにデータライン D 1 乃至 D m / 2 に供給されるデータ電圧によって、液晶表示パネル 10 の液晶セルは図 10 及び図 11 のように垂直で隣り合う液晶セルに充電されるデータ電圧は 1 ドット単位で極性が反転されて (V 1 D o t)、水平で隣り合う液晶セルに充電されるデータ電圧は 4 ドット単位で極性が反転される (H 4 D o t)。

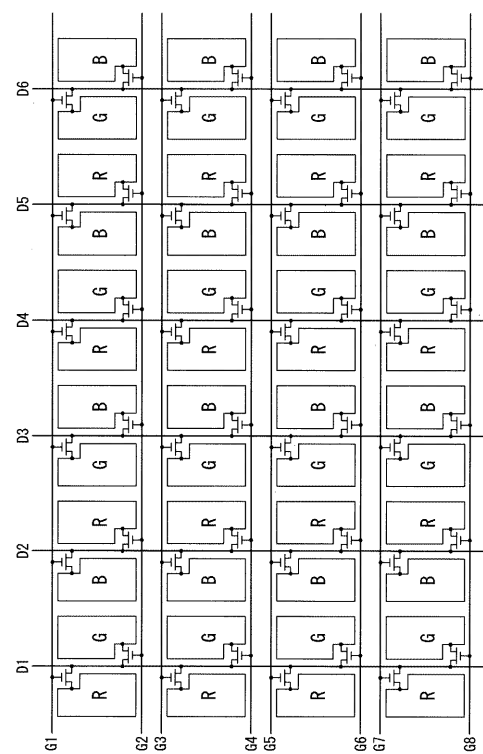
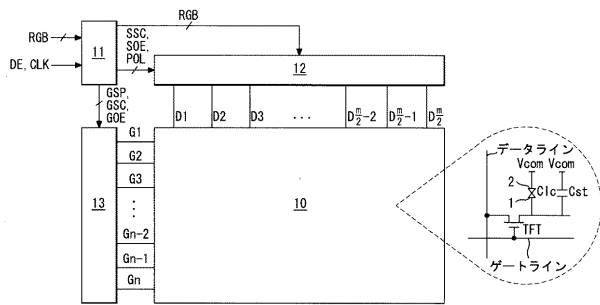
10

20

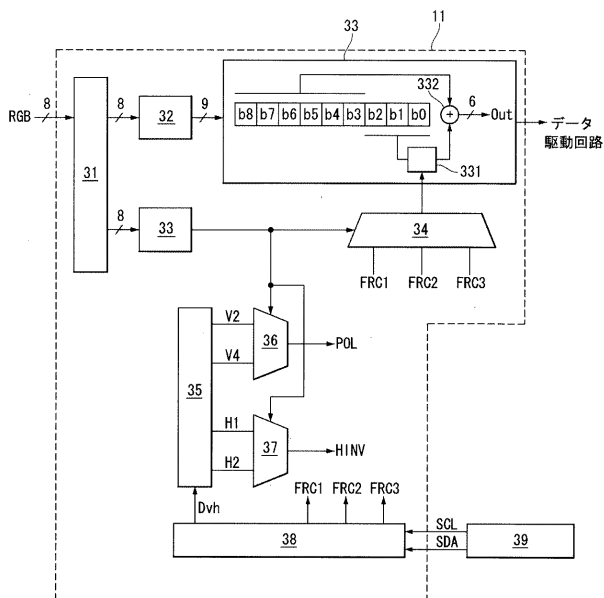
【 0 0 6 6 】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範囲内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

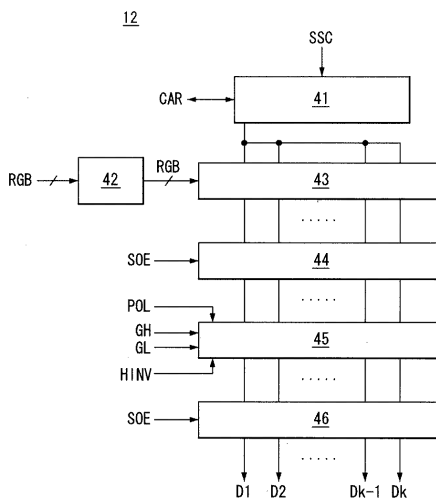
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G 3/20 6 2 3 H
 G 0 9 G 3/20 6 2 3 G
 G 0 9 G 3/20 6 2 3 L
 G 0 2 F 1/133 5 5 0

(74)代理人 100160967

弁理士 ▲濱▼口 岳久

(72)発明者 南 ▲ヒュン▼ 宅

大韓民国 デグ ドング シナム 1 ドン ドランチェ アパートメント 1 0 6 - 1 0 0 3

(72)発明者 文 明 国

大韓民国 デグ ダルソグ ヨンサンドン 2 3 0 - 1 0 ヨンサン ロッテ キャッスル グラ
ンド 1 0 3 - 8 0 2

(72)発明者 金 鍾 佑

大韓民国 キョンブク グミシ ウォンピョンドン 9 7 3 - 6 8 (6 / 1 2) ジュゴン アパ
ートメント 1 1 0 - 1 0 6

F ターム(参考) 2H193 ZA04 ZA07 ZC14 ZC20 ZC25 ZD25 ZF17 ZP16 ZP20 ZQ06

ZQ11 ZQ16

5C006 AA12 AA14 AA22 AC27 AC28 AF45 AF46 BB16 BF03 BF04

BF11 BF24 FA23

5C080 AA10 BB05 DD06 EE29 EE30 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010145989A	公开(公告)日	2010-07-01
申请号	JP2009256822	申请日	2009-11-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	南ヒュン宅 文明国 金鍾佑		
发明人	南 ▲ヒュン▼ 宅 文 明 国 金 鍾 佑		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3611 G09G3/3688 G09G2320/0247 G09G2340/0435 G09G2370/14		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.641.E G09G3/20.621.B G09G3/20.641.G G09G3/20.623.H G09G3/20.623.G G09G3/20.623.L G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZC14 2H193/ZC20 2H193/ZC25 2H193/ZD25 2H193/ZF17 2H193/ZP16 2H193/ZP20 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AA12 5C006/AA14 5C006/AA22 5C006/AC27 5C006/AC28 5C006/AF45 5C006/AF46 5C006/BB16 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD06 5C080/EE29 5C080/EE30 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA08		
代理人(译)	朝日 伸光 ▲滨▼口 岳久		
优先权	1020080128823 2008-12-17 KR		
其他公开文献	JP5123277B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中图像质量不会因任何数据模式而恶化。ŽSOLUTION：液晶显示装置具有：数据驱动电路，用于将数字视频数据转换为正/负极性数据电压，以响应垂直极性控制信号提供给数据线并控制水平极性反转周期响应于水平极性控制信号的正/负极性数据电压；时序控制器11，用于产生垂直极性控制信号和水平极性控制信号，将FRC校正值加到输入数字视频数据，将相加的数据提供给数据驱动电路，通过输入数字检测预定的弱图形视频数据，并且当检测到弱图案的数据时，改变垂直极性控制信号的逻辑反转周期和水平极性控制信号的逻辑中的任何一个，以改变FRC校正值为的数据位置。添加。Ž

