

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6043087号
(P6043087)

(45) 発行日 平成28年12月14日 (2016.12.14)

(24) 登録日 平成28年11月18日 (2016.11.18)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 623B
G02F 1/133 (2006.01)	G09G 3/20 623Y
	G09G 3/20 612G
	G09G 3/20 624Z
請求項の数 8 (全 14 頁) 最終頁に続く	

(21) 出願番号	特願2012-105804 (P2012-105804)	(73) 特許権者	508038091
(22) 出願日	平成24年5月7日 (2012.5.7)		シリコン・ワークス・カンパニー・リミテッド
(65) 公開番号	特開2012-234181 (P2012-234181A)		Silicon Works Co., LTD.
(43) 公開日	平成24年11月29日 (2012.11.29)		大韓民国デジョンシ、ユソング、タムニブドン707番
審査請求日	平成27年4月8日 (2015.4.8)	(74) 代理人	100101454
(31) 優先権主張番号	10-2011-0041793		弁理士 山田 卓二
(32) 優先日	平成23年5月3日 (2011.5.3)	(74) 代理人	100081422
(33) 優先権主張国	韓国 (KR)		弁理士 田中 光雄
(31) 優先権主張番号	10-2012-0014467	(74) 代理人	100125874
(32) 優先日	平成24年2月13日 (2012.2.13)		弁理士 川端 純市
(33) 優先権主張国	韓国 (KR)		
		最終頁に続く	

(54) 【発明の名称】 画像安定化のための液晶パネル駆動回路

(57) 【特許請求の範囲】

【請求項 1】

データ電圧をバッファリングして前記バッファリングされたデータ電圧を複数のデータラインそれぞれに供給又は遮断する複数の出力バッファ；

前記複数の出力バッファのうち隣接する2つの出力バッファの出力を入力されそのうち1つを前記複数のデータラインのうち1つに伝達する出力マックススイッチ；

前記複数のデータラインそれぞれを接地端子に連結させるガーベッジスイッチ；及び
電源電圧のターンオンに応じてパワーオンリセット信号を発生するパワーオン感知部；
を含み、

前記パワーオンリセット信号に応じて前記出力マックススイッチはターンオフされ、前記ガーベッジスイッチはターンオンされる液晶パネル駆動回路であって、

前記液晶パネル駆動回路は、

前記出力バッファに電源を供給する電源供給ラインに位置して前記出力バッファに電源を供給又は遮断する電源スイッチをさらに具備し、

前記電源スイッチは前記パワーオンリセット信号に応じてターンオフされることを特徴とする画像安定化のための液晶パネル駆動回路。

【請求項 2】

データ電圧をバッファリングして前記バッファリングされたデータ電圧を複数のデータラインそれぞれに供給又は遮断する複数の出力バッファ；

前記複数の出力バッファのうち隣接する2つの出力バッファの出力を入力されそのうち

10

20

1つを前記複数のデータラインのうち1つに伝達する出力マックススイッチ；
前記複数のデータラインそれぞれを接地端子に連結させるガーベッジスイッチ；及び
電源電圧のターンオフに応じてパワーオフリセット信号を発生するパワーオフ感知部；
を含み

前記パワーオフリセット信号に応じて前記出力マックススイッチはターンオフされ、前記ガーベッジスイッチはターンオンされる液晶パネル駆動回路であって、

前記液晶パネル駆動回路は、

前記出力バッファに電源を供給する電源供給ラインに位置して前記出力バッファに電源を供給又は遮断する電源スイッチをさらに具備し、

前記電源スイッチは前記パワーオフリセット信号に応じてターンオフされることを特徴とする画像安定化のための液晶パネル駆動回路。

10

【請求項3】

前記複数のデータラインのうち隣接する2つのデータラインを連結させるチャージシェアスイッチをさらに具備し、

前記チャージシェアスイッチは、

前記パワーオンリセット信号に応じてターンオンされることを特徴とする請求項1に記載の画像安定化のための液晶パネル駆動回路。

【請求項4】

前記複数のデータラインのうち隣接する2つのデータラインを連結させるチャージシェアスイッチをさらに具備し、

20

前記チャージシェアスイッチは、

前記パワーオフリセット信号に応じてターンオンされることを特徴とする請求項2に記載の画像安定化のための液晶パネル駆動回路。

【請求項5】

前記パワーオン感知部は、

ソースが電源電圧と連結されゲートとドレインとが互いに連結された第1のMOSトランジスタ；

一端が前記第1のMOSトランジスタのドレインと連結され、他端が接地電圧と連結された電流源；

ソースが電源電圧と連結されゲートが前記第1のMOSトランジスタのゲートと連結されて前記第1のMOSトランジスタとともに第1の電流ミラーを形成する第2のMOSトランジスタ；

30

ドレインとゲートとが互いに連結されて前記第2のMOSトランジスタのドレインに連結され、ソースが接地電圧と連結された第4のMOSトランジスタ；

ソースが電源電圧と連結されゲートが前記第1のMOSトランジスタのゲートと連結されて前記第1のMOSトランジスタとともに第2の電流ミラーを形成する第3のMOSトランジスタ；

ドレインとゲートとが互いに連結されて前記第3のMOSトランジスタのドレインに連結された第5のMOSトランジスタ；

ドレインとゲートとが互いに連結されて前記第5のMOSトランジスタのソースに連結されソースが接地電圧と連結された第6のMOSトランジスタ；及び

40

前記第4のMOSトランジスタのゲート電圧と前記第6のMOSトランジスタのゲート電圧を用いて前記第1の電流ミラーによる第1の電流と前記第2の電流ミラーによる第2の電流を比較する比較器；を含み、

前記電流源による前記第1のMOSトランジスタの基準電流が前記第2のMOSトランジスタの前記第1の電流と前記第3のMOSトランジスタの前記第2の電流にコピーされ、

前記第1のMOSトランジスタに対する前記第2のMOSトランジスタと前記第3のMOSトランジスタの比率は前記基準電流をコピーした前記第2の電流が前記基準電流をコピーした前記第1の電流より大きくなるように決定され、前記第4乃至第6のMOSトラ

50

ンジスタは同一のもので構成されることを特徴とする請求項 1 に記載の画像安定化のための液晶パネル駆動回路。

【請求項 6】

前記パワーオフ感知部は、

ソースが第 1 の電源電圧と連結されゲートとドレインとが互いに連結された第 1 の MOS トランジスタ；

一端が前記第 1 の MOS トランジスタのドレインと連結され、他端が接地電圧と連結された電流源；

ソースが第 1 の電源電圧と連結されゲートが前記第 1 の MOS トランジスタのゲートと連結されて前記第 1 の MOS トランジスタとともに第 1 の電流ミラーを形成する第 2 の MOS トランジスタ；

ドレインとゲートとが互いに連結されて前記第 2 の MOS トランジスタのドレインに連結され、ソースが接地電圧と連結された第 4 の MOS トランジスタ；

ソースが第 1 の電源電圧と連結されゲートが前記第 1 の MOS トランジスタのゲートと連結されて前記第 1 の MOS トランジスタとともに第 2 の電流ミラーを形成する第 3 の MOS トランジスタ；

ドレインが前記第 3 の MOS トランジスタのドレインと連結されゲートに第 2 の電源電圧が印加された第 5 の MOS トランジスタ；

ドレインとゲートとが互いに連結されて前記第 5 の MOS トランジスタのソースに連結されソースが接地電圧と連結された第 6 の MOS トランジスタ；及び

前記第 4 の MOS トランジスタのゲート電圧と前記第 6 の MOS トランジスタのゲート電圧を用いて前記第 1 の電流ミラーによる第 1 の電流と前記第 2 の電流ミラーによる第 2 の電流を比較する比較器；を含み、

前記電流源による前記第 1 の MOS トランジスタの基準電流が前記第 2 の MOS トランジスタの前記第 1 の電流と前記第 3 の MOS トランジスタの前記第 2 の電流にコピーされ

、
前記第 1 の MOS トランジスタに対する前記第 2 の MOS トランジスタと前記第 3 の MOS トランジスタの比率は前記基準電流をコピーした前記第 2 の電流が前記基準電流をコピーした前記第 1 の電流より大きくなるように決定され、前記第 4 乃至第 6 の MOS トランジスタは同一のもので構成されることを特徴とする請求項 2 に記載の画像安定化のための液晶パネル駆動回路。

【請求項 7】

前記第 1 の電源電圧は、

ソースドライバを駆動する高電圧の電源電圧であり、

前記第 2 の電源電圧は、

ソースドライバのロジック回路を駆動する電源電圧であることを特徴とする請求項 6 に記載の画像安定化のための液晶パネル駆動回路。

【請求項 8】

データ電圧をバッファリングして前記バッファリングされたデータ電圧を複数のデータラインそれぞれに供給又は遮断する複数の出力バッファ；

前記複数の出力バッファのうち隣接する 2 つの出力バッファの出力を入力されそのうち 1 つを前記複数のデータラインのうち 1 つに伝達する出力マックススイッチ；

前記複数のデータラインのうち隣接する 2 つのデータラインを連結させるチャージシェアスイッチ；

電源電圧のターンオンに応じてパワーオンリセット信号を発生するパワーオン感知部；

電源電圧のターンオフに応じてパワーオフリセット信号を発生するパワーオフ感知部；及び

前記出力バッファに電源を供給する電源供給ラインに位置して前記出力バッファに電源を供給又は遮断する電源スイッチ；を具備し、

前記パワーオンリセット信号又は前記パワーオフリセット信号に応じて前記電源スイッ

チ及び出力マックススイッチがターンオフされることを特徴とする画像安定化のための液晶パネル駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶パネル駆動回路に関し、さらに詳しくはガーベッジプロセス動作中にソースドライバに定電流が流れないようにすることで画像異常現象を除去できる画像安定化のための液晶パネル駆動回路に関する。

【背景技術】

【0002】

10

最近、携帯端末機及び各種情報機器のモニタなどに使用される映像表示装置にフラットパネルディスプレイ（Flat Panel Display）が主に用いられている。このような、フラットパネルディスプレイでは液晶ディスプレイ（Liquid Crystal Display）、発光表示装置（Light Emitting Display）、プラズマディスプレイパネル（Plasma Display Panel）などが台頭している。

【0003】

これらのうち、液晶ディスプレイは電界を利用して液晶の光透過率を調節することによって画像を表示する。このために、液晶ディスプレイは複数の画素セルを具備し映像を表示する液晶パネル及び液晶パネルを駆動するための駆動回路を具備する。

20

【0004】

液晶パネルには多数個のゲートラインと多数個のデータラインとが交差するように配列され、ゲートラインとデータラインとが垂直交差して定義される領域に画素セルが位置するようになる。そして、画素セルそれぞれに電界を印加するための画素電極と共通電極が形成される。画素電極はそれぞれスイッチング素子である薄膜トランジスタ（TFT：Thin Film Transistor）と接続される。TFTはゲートラインのスキャンパルスによってターンオンされ、データラインのデータ信号が画素電極に充電されるようにする。

【0005】

駆動回路はゲートラインを駆動するためのゲートドライバ、データラインを駆動するためのソースドライバ及びゲートドライバとソースドライバを制御するための制御信号を供給するタイミングコントローラを含む。

30

【0006】

ここで、ソースドライバはタイミングコントローラからの映像データをアナログ映像信号に変換した後、アナログ映像信号の階調値に応じて所定レベルを有するデータ電圧を選択する。そして、選択されたデータ電圧をデータラインにそれぞれ供給するようになる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2005-084559号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、このような従来の液晶ディスプレイは初期パワーオン／オフ時にソースドライバで予期せぬ信号が出力されて、液晶パネルに意図しない画像データが現れる問題点があった。

【0009】

本発明が解決しようとする技術的課題は、初期パワーオン／オフ時のモードソースドライバの出力を接地電圧レベルにすることによってパワーオン／オフ時の画像安定化を具現し、ガーベッジプロセス（garbage processing）動作中に出力バッフ

50

ァに入力される電源を遮断してソースドライバに定電流（static current）が流れないようにすることで画像異常現象を除去できる画像安定化のための液晶パネル駆動回路を提供することにある。

【課題を解決するための手段】

【0010】

上記技術的課題を解決するための本発明の一実施形態による画像安定化のための液晶パネル駆動回路は、データ電圧をバッファリングして前記バッファリングされたデータ電圧を複数のデータラインそれぞれに供給又は遮断する複数の出力バッファ；前記複数の出力バッファのうち隣接する2つの出力バッファの出力を入力されそのうち1つを前記複数のデータラインのうち1つに伝達する出力マックススイッチ；前記複数のデータラインそれぞれを接地端子に連結させるガーベッジスイッチ；及び電源電圧のターンオンに応じてパワーオンリセット信号を発生するパワーオン感知部；を含み、前記パワーオンリセット信号に応じて前記出力マックススイッチはターンオフされ、前記ガーベッジスイッチはターンオンされることを特徴とする。

10

【0011】

上記技術的課題を解決するための本発明の他の一実施形態による画像安定化のための液晶パネル駆動回路は、データ電圧をバッファリングして前記バッファリングされたデータ電圧を複数のデータラインそれぞれに供給又は遮断する複数の出力バッファ；前記複数の出力バッファのうち隣接する2つの出力バッファの出力を入力されそのうち1つを前記複数のデータラインのうち1つに伝達する出力マックススイッチ；前記複数のデータラインそれぞれを接地端子に連結させるガーベッジスイッチ；及び電源電圧のターンオフに応じてパワーオフリセット信号を発生するパワーオフ感知部；を含み、前記パワーオフリセット信号に応じて前記出力マックススイッチはターンオフされ、前記ガーベッジスイッチはターンオンされることを特徴とする。

20

【0012】

上記技術的課題を解決するための本発明のさらに他の一実施形態による画像安定化のための液晶パネル駆動回路は、データ電圧をバッファリングして前記バッファリングされたデータ電圧を複数のデータラインそれぞれに供給又は遮断する複数の出力バッファ；前記複数の出力バッファのうち隣接する2つの出力バッファの出力を入力されそのうち1つを前記複数のデータラインのうち1つに伝達する出力マックススイッチ；前記複数のデータラインのうち隣接する2つのデータラインを連結させるチャージシェアスイッチ；電源電圧のターンオンに応じてパワーオンリセット信号を発生するパワーオン感知部；電源電圧のターンオフに応じてパワーオフリセット信号を発生するパワーオフ感知部；及び前記出力バッファに電源を供給する電源供給ラインに位置して前記出力バッファに電源を供給又は遮断する電源スイッチ；を具備し、前記パワーオンリセット信号又は前記パワーオフリセット信号に応じて前記電源スイッチ及び出力マックススイッチがターンオフされることを特徴とする。

30

【発明の効果】

【0013】

本発明は初期パワーオン／オフ時のモードソースドライバの出力を接地電圧レベルにすることによって液晶パネルに意図しない画像データが現れる問題点を解決できる長所がある。

40

【0014】

また、本発明はガーベッジプロセス動作中に出力バッファに入力される電源を遮断してソースドライバに定電流が流れないようにすることでLOG上に存在する抵抗成分とソースドライバに流れる定電流によって各ソースドライバ毎に接地電圧のレベルが変わることを防止して画像異常現象を除去できる長所がある。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施形態による画像安定化のための液晶パネル駆動回路を簡略に示す

50

図である。

【図2】本発明の一実施形態による画像安定化のための液晶パネル駆動回路のパワーオン感知部の細部回路図及びその動作を説明するための図である。

【図3】本発明の一実施形態による画像安定化のための液晶パネル駆動回路のパワーオン感知部の細部回路図及びその動作を説明するための図である。

【図4】本発明の他の実施形態による画像安定化のための液晶パネル駆動回路のパワーオン感知部の細部回路図及びその動作を説明するための図である。

【図5】本発明の他の実施形態による画像安定化のための液晶パネル駆動回路のパワーオン感知部の細部回路図及びその動作を説明するための図である。

【図6】本発明のさらに他の実施形態による画像安定化のための液晶パネル駆動回路のパワーオン感知部の細部回路図及びその動作を説明するための図である。 10

【図7】本発明のさらに他の実施形態による画像安定化のための液晶パネル駆動回路のパワーオン感知部の細部回路図及びその動作を説明するための図である。

【図8】本発明の一実施形態による画像安定化のための液晶パネル駆動回路のパワーオフ感知部の細部回路図及びその動作を説明するための図である。

【図9】本発明の一実施形態による画像安定化のための液晶パネル駆動回路のパワーオフ感知部の細部回路図及びその動作を説明するための図である。

【発明を実施するための形態】

【0016】

以下、本発明の具体的な実施形態を図面を参照して詳細に説明する。 20

【0017】

図1は、本発明の一実施形態による画像安定化のための液晶パネル駆動回路を簡略に示す図である。

【0018】

図1を参照すると、本発明の一実施形態による画像安定化のための液晶パネル駆動回路100は、複数の出力バッファ110、出力マックススイッチ120、チャージシェアスイッチ130、ガーベッジスイッチ140、パワーオン感知部150及び電源スイッチ170を含む。

【0019】

一方、本発明の他の一実施形態による画像安定化のための液晶パネル駆動回路100は、複数の出力バッファ110、出力マックススイッチ120、チャージシェアスイッチ130、ガーベッジスイッチ140、パワーオフ感知部160及び電源スイッチ170を含む。 30

【0020】

複数の出力バッファ110はデータ電圧をバッファリングして前記バッファリングされたデータ電圧を複数のデータラインそれぞれに供給又は遮断する。出力マックススイッチ120は複数の出力バッファのうち隣接する2つの出力バッファ A_{n-1} 、 A_n の出力を入力されそのうち1つを複数のデータラインで対応する2つのデータライン DL_{n-1} 、 DL_n のうち1つに伝達する。ここで、出力マックススイッチ120は制御信号によって第1のスイッチ SW_1 と第2のスイッチ SW_2 が交互にスイッチングされて動作する。 40

【0021】

チャージシェアスイッチ130は隣接する2つのデータライン DL_{n-1} 、 DL_n を連結させ、ガーベッジスイッチ140はデータライン DL_{n-1} 、 DL_n それぞれを接地電圧に連結させる。パワーオン感知部150は電源電圧のターンオンに応じてパワーオンリセット（POR：Power On Reset）信号を発生させ、パワーオフ感知部160は電源電圧のターンオフに応じてパワーオフリセット（PFR：Power Off Reset）信号を発生させる。

【0022】

電源スイッチ170は前記パワーオンリセット信号又はパワーオフリセット信号に応じてターンオフされてガーベッジプロセス動作中に前記出力バッファ110に入力される電 50

源を遮断する。

【0023】

本発明による画像安定化のための液晶パネル駆動回路100は、パワーオン感知部150のPOR信号又はパワーオフ感知部160のPFR信号に応じて出力マックススイッチ120を構成する第1のスイッチSW1と第2のスイッチSW2がすべてターンオフされ、チャージシェアスイッチ130とガーベッジスイッチ140はターンオンされることを特徴とする。これによってすべてのソースドライバの出力が接地電圧レベルで送られてパワーオン／オフ時の画像を安定化させることができる。

【0024】

一方、本発明による画像安定化のための液晶パネル駆動回路100の電源スイッチ170は、パワーオン感知部150のパワーオンリセット信号(POR)又はパワーオフ感知部160のパワーオフリセット信号(PFR)に応じてターンオフされて前記出力バッファ110に入力される電源VDD、VSSを遮断することによってソースドライバを含む駆動回路に定電流が流れないようにすることをさらに特徴とする。

【0025】

したがって、PCBと液晶パネル駆動回路の間の電源供給ラインL1、L2に存在する抵抗成分R1、R2とソースドライバに流れる定電流によって各ソースドライバに印加される接地電圧のレベルが変わることを防止できる。また、これによってパワーオン／オフ時に各ソースドライバに印加される接地電圧レベルの差によって発生し得る画像異常現象を除去できる。

【0026】

図2及び図3は、本発明の一実施形態によるパワーオン感知部の細部回路図及びその動作を説明するための図である。

【0027】

図2を参照すると、本発明の一実施形態によるパワーオン感知部150は、第1の乃至第3のMOSトランジスタMP1～MP3、第4の乃至第6のMOSトランジスタMN1～MN3、電流源151及び比較器152を含む。

【0028】

第1のMOSトランジスタMP1はソースが電源電圧と連結されゲートとドレインとが互いに連結され、電流源151は一端が第1のMOSトランジスタMP1のドレインと連結され、他端が接地電圧と連結される。第2のMOSトランジスタMP2はソースが電源電圧と連結されゲートが第1のMOSトランジスタMP1のゲートと連結されて第1のMOSトランジスタMP1とともに第1の電流ミラーを形成する。第4のMOSトランジスタMN1はドレインとゲートとが互いに連結されて第2のMOSトランジスタMP2のドレインに連結され、ソースが接地電圧と連結される。第3のMOSトランジスタMP3はソースが電源電圧と連結されゲートが第1のMOSトランジスタMP1のゲートと連結されて第1のMOSトランジスタMP1とともに第2の電流ミラーを形成する。第5のMOSトランジスタMN2はドレインとゲートとが互いに連結されて第3のMOSトランジスタMP3のドレインに連結され、第6のMOSトランジスタMN3はドレインとゲートとが互いに連結されて第5のMOSトランジスタMN2のソースに連結されソースが接地電圧と連結される。比較器152は第4のMOSトランジスタMN1のゲート電圧と第6のMOSトランジスタMN3のゲート電圧を用いて第1の電流ミラーによる第1の電流 I_1 と第2の電流ミラーによる第2の電流 I_2 を比較する。

【0029】

以下、図3を参照して図2に示すパワーオン感知部150の動作を見てみると次のとおりである。

【0030】

図2及び図3を参照すると、本発明に一実施形態によるパワーオン感知部150は、第1のMOSトランジスタMP1と第2のMOSトランジスタMP2を用いて第1の電流ミラーを形成し、第1のMOSトランジスタMP1と第3のMOSトランジスタMP3を用

いて第2の電流ミラーを形成する。そして、第1のMOSトランジスタMP1のドレインと接地電圧の間に位置する電流源151は所定の基準電流 I_{REF} を発生させ、発生された基準電流 I_{REF} は第1の乃至第3のMOSトランジスタMP1～MP3の比率に応じて第1の電流ミラーによる第1の電流 I_1 と第2の電流ミラーによる第2の電流 I_2 にコピーされる。ここで、第2の電流 I_2 が第1の電流 I_1 より2倍大きくなるように第1の乃至第3のMOSトランジスタMP1～MP3の比率を決定することが好ましい。

【0031】

そして、第4の乃至第6のMOSトランジスタMN1～MN3が同一のトランジスタであって、第1の電流 I_1 が流れる経路に位置する第4のMOSトランジスタMN1の最小維持電圧が飽和ドレイン電圧 V_{DSAT} であるとする、第2の電流 I_2 が流れる経路に位置する第5の乃至第6のMOSトランジスタMN2、MN3による最小維持電圧は2倍の飽和ドレイン電圧 $2 \times V_{DSAT}$ になる。

10

【0032】

したがって、図3に示すように、第4の乃至第6のMOSトランジスタMN1～MN3の飽和状態で第2の電流 I_2 を流す電源電圧 V_{CC2} は第1の電流 I_1 を流す電源電圧 V_{CC1} より大きいのでパワーオン時の初期状態では第1の電流 I_1 が第2の電流 I_2 より大きい、正常動作状態では第2の電流 I_2 が第1の電流 I_1 より大きくなる。

【0033】

本発明の一例は、このような第1の電流と第2の電流を比較することによって第1の電流と第2の電流が同一になる地点を感知してPOR信号を発生させる。図3ではPOR信号がロジックハイ(High)からロジックロー(Low)に変わりながらパワーオンを感知するが、その逆も可能であることは無論である。

20

【0034】

図2では第1の乃至第3のMOSトランジスタMP1～MP3はPMOSトランジスタで第4の乃至第6のMOSトランジスタMN1～MN3はNMOSトランジスタであると説明したが、その逆も可能であることは無論である。

【0035】

一方、POR信号が発生した場合、電源スイッチ170がターンオフされて出力バッファに入力される電源が遮断される。

【0036】

30

図4及び図5は、本発明の他の実施形態によるパワーオン感知部の細部回路図及びその動作を説明するための図である。

【0037】

図4を参照すると、本発明の他の実施形態によるパワーオン感知部150はPMOSトランジスタMP、キャパシタCap及びインバータInverterを含む。

【0038】

PMOSトランジスタMPはソースが電源電圧と連結されゲートが接地電圧と連結され、キャパシタCapは第1の端子AがPMOSトランジスタMPのドレインと連結され、第2の端子が接地電圧と連結される。インバータInverterはキャパシタCapの第1の端子Aの電圧レベルを反転させてPOR信号を出力する。本明細書では説明の便宜のためにキャパシタCapの第1の端子をAノードと称する。

40

【0039】

以下、図5を参照して図4に示すパワーオン感知部150の動作を見てみると次のとおりである。

【0040】

本発明の他の実施形態によるパワーオン感知部150は、図5に示すように、PMOSトランジスタMPのターンオン電圧 V_{th} 及びPMOSトランジスタMPのオン抵抗 R_{on} とキャパシタCapによるRC遅延によって、Aノード電圧は電源電圧の上昇時間より遅くなる。

【0041】

50

そして、電源電圧とAノード電圧の間に所定の電圧差が存在する時、インバータはPOR信号を出力する。本発明の一例は、図5に示すように、電源電圧とAノード電圧の間に所定の電圧差が存在するとインバータはロジックハイを出力し、時間の経過に沿って電源電圧とAノード電圧の間が所定の電圧差以下になるとインバータがロジックローを出力する。

【0042】

しかし、図4に示す本発明の他の実施形態によるパワーオン感知部150は、図5に示すように、パワーオフ(Power Off)状態で電源電圧が小さくなるとAノードに充電された電荷がPMOSトランジスタMPを介して放電され得るが、電源電圧がPMOSトランジスタMPのターンオン電圧 V_{th} より小さくなるとPMOSトランジスタMPがターンオフされてAノードの電荷を放電させることがない。

10

【0043】

したがって、Aノードはパワーオフ後も残留電圧を持つ場合があり、このような状態で再度パワーオンすると、PMOSトランジスタMPのターンオン電圧 V_{th} とRC遅延による効果が小さくなりインバータがロジックハイを出力せず継続してロジックローのみを出力する問題点がある。

【0044】

図6及び図7は、本発明のさらに他の実施形態によるパワーオン感知部の細部回路図及びその動作を説明するための図である。ここでは図4に示す実施形態と同じ構成要素には同じ符号を併記し、重複した説明は省略する。

20

【0045】

図6を参照すると、本発明のさらに他の実施形態によるパワーオン感知部150は、上述した図4に示す実施形態の問題点を解決するためのもので、Aノードと接地電圧の間にAノード電圧の放電のためのスイッチSWを追加する。このようなスイッチSWはパワーオフ感知部160で発生するPFR信号を介して制御される。

【0046】

すなわち、パワーオフ時のPFR信号に応じてターンオンされたスイッチSWがAノード電圧を全部放電させるので、図7に示すように、次のパワーオン時にも正常のAノード電圧のRC遅延が発生して、Aノードの残留電圧による誤作動を防止できる。

【0047】

図8及び図9は、本発明の一実施形態によるパワーオフ感知部の細部回路図及びその動作を説明するための図である。

30

【0048】

図8を参照すると、本発明の一実施形態にパワーオフ感知部160は、第1の乃至第3のMOSトランジスタMP1~MP3、第4の乃至第6のMOSトランジスタMN1~MN3、電流源161及び比較器162を含む。

【0049】

第1のMOSトランジスタMP1はソースが第1の電源電圧と連結されゲートとドレインとが互いに連結され、電流源161は一端が第1のMOSトランジスタMP1のドレインと連結され、他端が接地電圧と連結される。第2のMOSトランジスタMP2はソースが第1の電源電圧と連結されゲートが第1のMOSトランジスタMP1のゲートと連結されて第1のMOSトランジスタMP1とともに第1の電流ミラーを形成する。第4のMOSトランジスタMN1はドレインとゲートとが互いに連結されて第2のMOSトランジスタMP2のドレインに連結され、ソースが接地電圧と連結される。第3のMOSトランジスタMP3はソースが第1の電源電圧と連結されゲートが第1のMOSトランジスタMP1のゲートと連結されて第1のMOSトランジスタMP1とともに第2の電流ミラーを形成する。第5のMOSトランジスタMN2はドレインが第3のMOSトランジスタMP3のドレインと連結され、ゲートに第2の電源電圧が印加される。第6のMOSトランジスタMN3はドレインとゲートとが互いに連結されて第5のMOSトランジスタMN2のソースに連結されソースが接地電圧と連結される。比較器162は第4のMOSトランジス

40

50

タMN1のゲート電圧と第6のMOSトランジスタMN3のゲート電圧を用いて第1の電流ミラーによる第1の電流 I_1 と第2の電流ミラーによる第2の電流 I_2 を比較する。ここで、第1の電源電圧はソースドライバを駆動する高電圧の電源電圧であり、第2の電源電圧はソースドライバのロジック回路を駆動する電源電圧である。

【0050】

以下、図9を参照して図8に示すパワーオフ感知部160の動作を見てみると次のとおりである。

【0051】

図8及び図9を参照すると、本発明に一実施形態によるパワーオフ感知部160は、第1のMOSトランジスタMP1と第2のMOSトランジスタMP2を用いて第1の電流ミラーを形成し、第1のMOSトランジスタMP1と第3のMOSトランジスタMP3を用いて第2の電流ミラーを形成する。そして、第1のMOSトランジスタMP1のドレインと接地電圧の間に位置する電流源161は所定の基準電流 I_{REF} を発生させ、発生された基準電流 I_{REF} は第1の乃至第3のMOSトランジスタMP1～MP3の比率に応じて第1の電流ミラーによる第1の電流 I_1 と第2の電流ミラーによる第2の電流 I_2 にコピーされる。ここで、第2の電流 I_2 が第1の電流 I_1 より2倍大きくなるように第1の乃至第3のMOSトランジスタMP1～MP3の比率を決定することが好ましい。

【0052】

したがって、図9に示すように、正常動作状態では第2の電流 I_2 が第1の電流 I_1 より大きい、パワーオフ時に第2の電源電圧が低くなると、第1の電流 I_1 が第2の電流 I_2 より大きくなる。本発明の一例は、このような第1の電流と第2の電流を比較することによって第1の電流と第2の電流が同一になる地点を感知してPFR信号を発生させる。図9ではPFR信号がロジックハイからロジックローに変わりながらパワーオフを感知するが、その逆も可能であることは無論である。

【0053】

図8では第1の乃至第3のMOSトランジスタMP1～MP3はPMOSトランジスタで第4の乃至第6のMOSトランジスタMN1～MN3はNMOSトランジスタであると説明したが、その逆も可能であることは無論である。

【0054】

一方、PFR信号が発生した場合、電源スイッチ170がターンオフにされ出力バッファに入力される電源が遮断される。

【0055】

上述のように、本発明による画像安定化のための液晶ディスプレイはガーベッジプロセス (garbage processing) 方法を使用して初期パワーオン／オフ時にソースドライバの出力を接地電圧レベルにすることによって初期パワーオン／オフ時の画像を安定化させることができる。

【0056】

チップオンガラス (Chip On Glass、以下、「COG」と称する) ではプリント回路基板 (PCB) 部とソースドライバの間がラインオンガラス (Line On Glass、以下、「LOG」と称する) で連結され、このようなLOG上には抵抗成分が存在する。

【0057】

一方、ガーベッジプロセス動作中にすべてのソースドライバの出力は接地電圧 V_{SS} レベルで連結される。しかし、ガーベッジプロセス動作中にもソースドライバには定電流が流れるのでソースドライバに印加される接地電圧 V_{SS} レベルはLOG上に存在する抵抗成分とソースドライバに流れる定電流によってストライバ間に差が生じるようになる。

【0058】

本発明はガーベッジプロセス動作中に出力バッファに入力される電源を遮断してソースドライバに定電流が流れないようにすることで各ソースドライバ毎に接地電圧のレベルが変わることを防止して画像異常現象を除去できる長所がある。

【0059】

以上、本発明の技術思想を添付図面とともに述べたが、これは本発明の好ましい実施形態を例示的に説明したものであって本発明を限定するものではない。また、本発明の属する技術分野における通常の知識を持つ者であれば誰でも本発明の技術思想の範囲から逸脱しない範囲内で多様な変形及び模倣が可能であることは明白な事実である。

【産業上の利用可能性】

【0060】

以上詳述したように、本発明は初期パワーオン／オフ時のモードソースドライバの出力を接地電圧レベルにすることによって液晶パネルに意図しない画像データが現れる問題点を解決できる長所がある。また、本発明はガーベッジプロセス動作中に出力バッファに入力される電源を遮断してソースドライバに定電流が流れないようにすることでLOG上に存在する抵抗成分とソースドライバに流れる定電流によって各ソースドライバ毎に接地電圧のレベルが変わることを防止して画像異常現象を除去できる長所がある。

【符号の説明】

【0061】

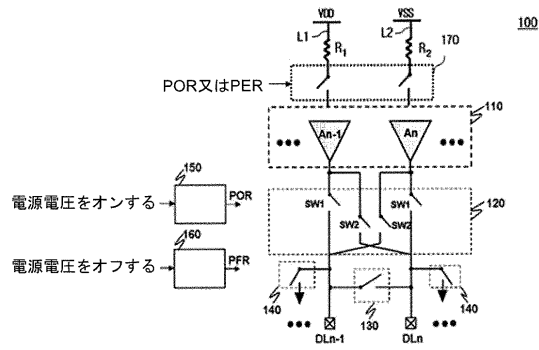
100…液晶パネル駆動回路、
110…出力バッファ、
120…出力マックススイッチ、
130…チャージシェアスイッチ、
140…ガーベッジスイッチ、
150…パワーオン感知部、
151…電流源、
152…比較器、
160…パワーオフ感知部、
161…電流源、
162…比較器、
170…電源スイッチ、
An-1, An…出力バッファ、
DLn-1, DLn…データライン、
L1, L2…電源ライン、
R1, R2…抵抗成分、
MP1~MP3, MN1~MN3…MOSトランジスタ、
MP…PMOSトランジスタ、
Cap…キャパシタ、
Inverter…インバータ、
SW, SW1, SW2…スイッチ。

10

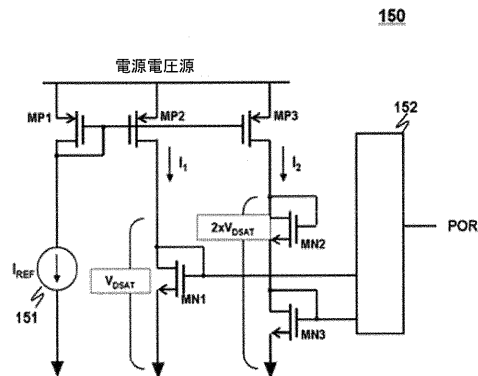
20

30

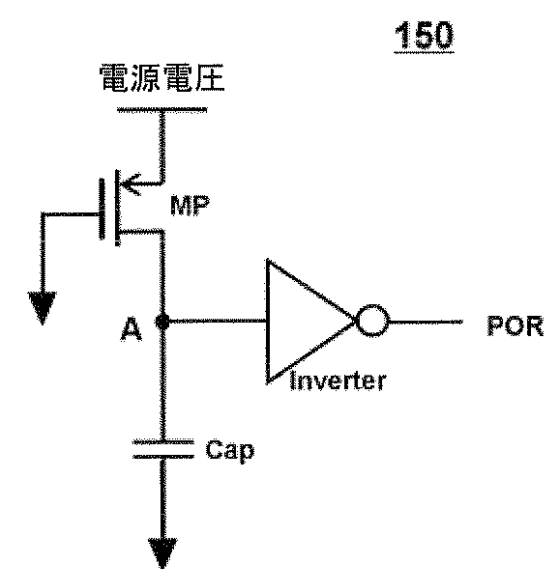
【図 1】



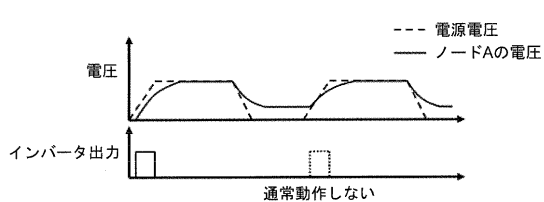
【図 2】



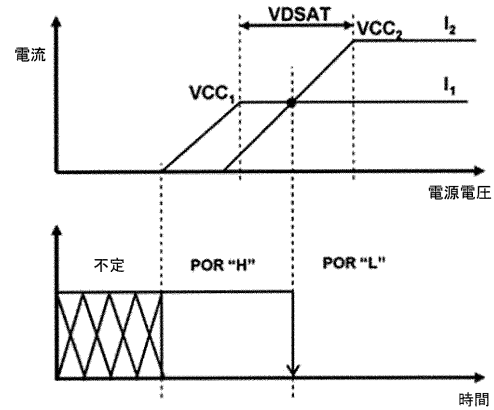
【図 4】



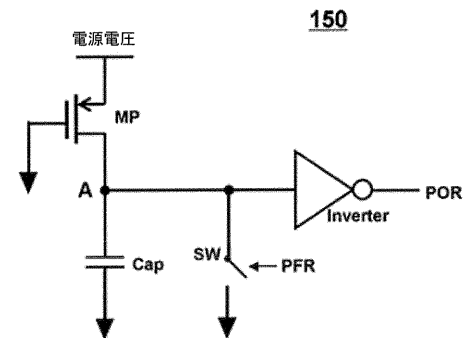
【図 5】



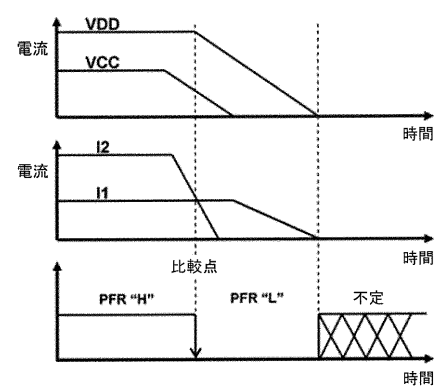
【図 3】



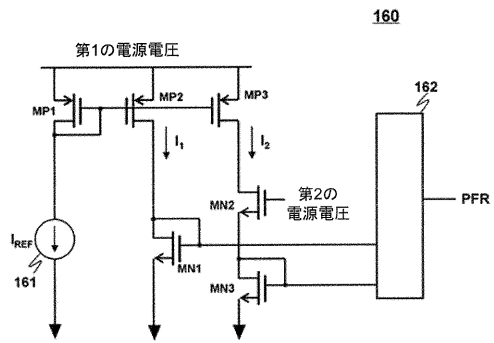
【図 6】



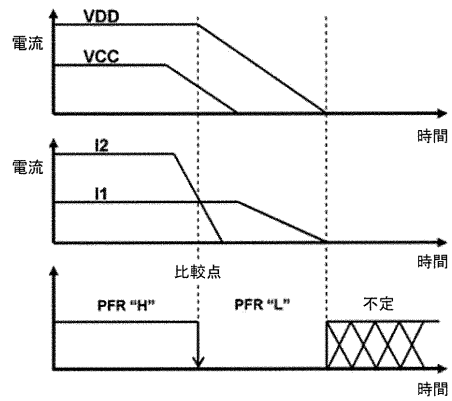
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 J
G 0 9 G 3/20 6 7 0 D
G 0 2 F 1/133 5 0 5

(72)発明者 孫 英準
大韓民国大田市儒城區田民洞 4 5 9-6 チョウォン・ヴィラ 3 0 2

(72)発明者 金 志勳
大韓民国大田市儒城區田民洞 2 6 4-1 番地 3 0 2 號

(72)発明者 李 相▲みん▼
大韓民国大田市儒城區田民洞 チョングーナレ・アパートメント 1 0 5-4 0 3

(72)発明者 羅 俊▲ほ▼
大韓民国大田市西區屯山 2 洞 水晶アパートメント 8-6 0 8

(72)発明者 李 海遠
大韓民国忠清北道清州市興徳區新鳳洞 サムジョン・バイキョ・アパートメント 1 0 3-9 0 2

審査官 斎藤 厚志

(56)参考文献 米国特許出願公開第 2 0 0 8/0 0 8 4 3 7 1 (US, A 1)
特開平 1 0-1 5 3 9 8 6 (JP, A)
特開平 1 0-0 6 2 7 4 4 (JP, A)
特開平 0 4-2 1 5 1 1 3 (JP, A)
特開 2 0 0 9-0 1 4 9 8 7 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/3 6
G 0 2 F 1/1 3 3
G 0 9 G 3/2 0

专利名称(译)	用于图像稳定的液晶面板驱动电路		
公开(公告)号	JP6043087B2	公开(公告)日	2016-12-14
申请号	JP2012105804	申请日	2012-05-07
[标]申请(专利权)人(译)	硅工厂股份有限公司		
申请(专利权)人(译)	硅厂有限公司		
当前申请(专利权)人(译)	硅厂有限公司		
[标]发明人	孫英準 金志勳 李相みん 羅俊ほ 李海遠		
发明人	孫 英準 金 志勳 李 相▲みん▼ 羅 俊▲ほ▼ 李 海遠		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G2310/0248 G09G2310/0297 G09G2330/026 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.623.Y G09G3/20.612.G G09G3/20.624.Z G09G3/20.612.J G09G3/20.670.D G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZE38 2H193/ZF03 2H193/ZF21 2H193/ZF31 2H193/ZF35 5C006/AF43 5C006/AF67 5C006/BC13 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD09 5C080/DD12 5C080/FF07 5C080/JJ02 5C080/JJ03 5C080/JJ05		
代理人(译)	山田卓司 田中，三夫		
审查员(译)	齐藤敦		
优先权	1020110041793 2011-05-03 KR 1020120014467 2012-02-13 KR		
其他公开文献	JP2012234181A5 JP2012234181A		
外部链接	Espacenet		

摘要(译)

提供一种用于图像稳定的液晶面板驱动电路。所述数据电压和缓冲器是输入多个输出缓冲器的输出，该多个输出缓冲器，用于提供或阻断缓冲的数据电压施加到多条数据线中的相邻两个输出缓冲器其输出MAX开关用于发送所述一个到所述多条数据线中的一个的，上电复位信号或断电复位响应于接通该垃圾开关和电源电压的多条数据线连接到接地端子的导通/关断包括电源接通检测部或断电感测单元产生的信号时，输出MAX根据上电复位信号或断电复位信号开关被关闭时，电荷共享开关和垃圾开关被接通。点域1

【 図 3 】

