

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5920049号
(P5920049)

(45) 発行日 平成28年5月18日 (2016. 5. 18)

(24) 登録日 平成28年4月22日 (2016. 4. 22)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 612U

G09G 3/20 622E

G09G 3/20 622G

G09G 3/20 611A

請求項の数 3 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2012-139296 (P2012-139296)

(22) 出願日 平成24年6月21日 (2012. 6. 21)

(65) 公開番号 特開2014-2331 (P2014-2331A)

(43) 公開日 平成26年1月9日 (2014. 1. 9)

審査請求日 平成26年9月30日 (2014. 9. 30)

(73) 特許権者 308036402

株式会社 JVCケンウッド

神奈川県横浜市神奈川区守屋町3丁目12番地

(74) 代理人 100083806

弁理士 三好 秀和

(74) 代理人 100101247

弁理士 高橋 俊一

(72) 発明者 清水 健

神奈川県横浜市神奈川区守屋町3丁目12番地

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【特許請求の範囲】

【請求項 1】

複数の画素が水平方向及び垂直方向にマトリクス状に配置され、それぞれの画素に設けられた画素電極と、前記画素電極と対向する対向電極と、前記画素電極と前記対向電極との間に封入された液晶とを有する液晶パネルと、

前記対向電極に印加され、前記液晶パネルに表示する映像データのサブフレームごとにローとハイとが交互に繰り返される電圧と同期させて、前記画素電極に、前記対向電極に印加される電圧がローであればロー、前記対向電極に印加される電圧がハイであればハイの電圧を印加することによって、前記液晶パネルに黒を表示させる黒データを生成する黒データ生成部と、

前記液晶パネルの水平方向の所定の位置の画素に前記映像データまたは前記黒データを表示させるよう駆動する水平駆動回路と、

前記映像データまたは前記黒データを前記液晶パネルの垂直方向の所定のラインに表示させるよう駆動する垂直駆動回路と、

を備え、

前記水平駆動回路は、前記映像データが有する水平方向の画素数に応じたモード信号に基づいて、前記映像データを構成する画素データを書き込む水平位置のカラムを選択するデータセクタ付き並列Dフリップフロップを有し、

前記データセクタ付き並列Dフリップフロップには、前記黒データ生成部によって生成され、前記液晶パネルの水平方向の所定の画素に表示される前記黒データ、または前記

画素数に応じた映像データを構成する画素データが供給されるように構成されており、

前記水平駆動回路は、前記データセクタ付き並列Dフリップフロップより出力された前記映像データまたは前記黒データが入力され、入力された前記映像データまたは前記黒データを前記液晶パネルに表示させる水平方向の位置を調整する画素位置調整シフトレジスタをさらに有し、

前記画素位置調整シフトレジスタの初段にも、前記黒データ生成部によって生成された前記黒データが供給されるように構成されている

ことを特徴とする液晶表示素子。

【請求項2】

前記水平駆動回路は、前記画素位置調整シフトレジスタより出力された前記映像データまたは前記黒データを前記液晶パネルのそれぞれの画素に供給する水平方向信号ドライバをさらに有し、

前記水平方向信号ドライバにも、前記黒データ生成部によって生成された前記黒データが供給されるように構成されている

ことを特徴とする請求項1に記載の液晶表示素子。

【請求項3】

前記垂直駆動回路は、前記液晶パネルのそれぞれのラインに対して接続され、垂直方向のアドレスを生成するアドレスデコードを有することを特徴とする請求項1または2に記載の液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LCO S (Liquid Crystal On Silicon) 等の液晶表示素子に関する。

【背景技術】

【0002】

LCO S等の液晶表示素子を用いて映像を拡大投射する投射型表示装置が普及している。従来、液晶表示素子にアナログ信号を入力して階調を表現するアナログ駆動方式が主として用いられていたが、近年になって、液晶表示素子にPWM (Pulse Width Modulation) のデジタル信号を入力して階調を表現するデジタル駆動方式が多く用いられるようになってきた。

【0003】

デジタル駆動方式では、階調に応じたパルス幅のデジタル信号をそれぞれサブフレームのデータとし、例えば64サブフレームのデータによって階調を表現する。

【0004】

近年、液晶表示素子に入力する映像データの画素数はますます増大している。液晶表示素子に4K2Kと称される画素数の映像データが入力される場合がある。4K2Kとは、水平方向の画素数×垂直方向の画素数という表記を用いて、例えば、4096×2400、4096×2160、3840×2160等の画素数のことである。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-51643号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

例えば、投射型表示装置で投射する映像の領域を狭くした場合、狭くした映像の外側部分は黒となる。映像の外側部分を黒にするためには、一般的には、黒データに相当するデジタル信号を液晶表示素子の画素に書き込む。この場合、液晶表示素子の外部で黒データを生成して液晶表示素子に供給することになる。

【0007】

10

20

30

40

50

ところで、4 K 2 Kの画素数に対応した液晶表示素子に、4 K 2 Kの4 4ビットの映像データを6 4サブフレームのサブフレーム数で入力したとすると、入力する映像データの必要なデータレートは約1 Gbpsとなる。映像データのデータレートが高くなれば、回路規模が増大し、消費電力が増えてしまう。

【0008】

液晶表示素子に外部から供給するデータを黒データ以外の映像データのみとすれば、データレートを下げることが可能となる。データレートを下げれば、回路規模を削減することができ、消費電力を少なくすることができる。

【0009】

また、液晶表示素子に外部から供給するデータを黒データ以外の映像データのみとしてデータレートを変更しないとすれば、サブフレーム数を例えば6 5サブフレームや6 6サブフレームのように増大させることが可能となる。サブフレーム数を増大させれば、表現可能な階調数が増大するので、高画質とすることができる。

【0010】

このように、液晶表示素子に外部から供給するデータを黒データ以外の映像データのみとすることは、種々の好都合を生むことになる。そこで、黒データを外部から供給しなくても、液晶表示素子が備える周辺回路を用いて黒を表示することができる液晶表示素子が望まれる。

【0011】

本発明はこのような要望に対応するため、液晶表示素子が備える周辺回路を用いて黒を表示することができる液晶表示素子を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明は、上述した従来の技術の課題を解決するため、複数の画素が水平方向及び垂直方向にマトリクス状に配置され、それぞれの画素に設けられた画素電極と、前記画素電極と対向する対向電極と、前記画素電極と前記対向電極との間に封入された液晶とを有する液晶パネルと、前記対向電極に印加され、前記液晶パネルに表示する映像データのサブフレームごとにローとハイとが交互に繰り返される電圧と同期させて、前記画素電極に、前記対向電極に印加される電圧がローであればロー、前記対向電極に印加される電圧がハイであればハイの電圧を印加することによって、前記液晶パネルに黒を表示させる黒データを生成する黒データ生成部と、前記液晶パネルの水平方向の所定の位置の画素に前記映像データまたは前記黒データを表示させるよう駆動する水平駆動回路と、前記映像データまたは前記黒データを前記液晶パネルの垂直方向の所定のラインに表示させるよう駆動する垂直駆動回路とを備え、前記水平駆動回路は、前記映像データが有する水平方向の画素数に応じたモード信号に基づいて、前記映像データを構成する画素データを書き込む水平位置のカラムを選択するデータセクタ付き並列Dフリップフロップを有し、前記データセクタ付き並列Dフリップフロップには、前記黒データ生成部によって生成され、前記液晶パネルの水平方向の所定の画素に表示される前記黒データ、または前記画素数に応じた映像データを構成する画素データが供給されるように構成されており、前記水平駆動回路は、前記データセクタ付き並列Dフリップフロップより出力された前記映像データまたは前記黒データが入力され、入力された前記映像データまたは前記黒データを前記液晶パネルに表示させる水平方向の位置を調整する画素位置調整シフトレジスタをさらに有し、前記画素位置調整シフトレジスタの初段にも、前記黒データ生成部によって生成された前記黒データが供給されるように構成されていることを特徴とする液晶表示素子を提供する。

【0015】

上記の液晶表示素子において、前記水平駆動回路は、前記画素位置調整シフトレジスタより出力された前記映像データまたは前記黒データを前記液晶パネルのそれぞれの画素に供給する水平方向信号ドライバをさらに有し、前記水平方向信号ドライバにも、前記黒データ生成部によって生成された前記黒データが供給されるように構成されていることが好

ましい。

【 0 0 1 6 】

上記の液晶表示素子において、前記垂直駆動回路は、前記液晶パネルのそれぞれのラインに対して接続され、垂直方向のアドレスを生成するアドレスデコードを有することが好ましい。

【 発明の効果 】

【 0 0 1 7 】

本発明の液晶表示素子によれば、液晶表示素子が備える周辺回路を用いて黒を表示することができる。

【 図面の簡単な説明 】

10

【 0 0 1 8 】

【 図 1 】 本発明の液晶表示素子の一実施形態を示すブロック図である。

【 図 2 】 図 1 中のデータセクタ付き並列 D フリップフロップ 4 の具体的構成例を示すブロック図である。

【 図 3 】 図 2 に示すデータセクタ付き並列 D フリップフロップ 4 の具体的構成例の動作を説明するための図である。

【 図 4 】 図 1 中の画素位置調整シフトレジスタ 5 の具体的構成例を示すブロック図である。

【 図 5 】 一実施形態における黒データの生成方法を説明するためのタイミングチャートである。

20

【 図 6 】 図 1 中の水平方向信号ドライバ 6 の具体的構成例を示すブロック図である。

【 図 7 】 図 6 に示す水平方向信号ドライバ 6 の具体的構成例の動作を説明するための図である。

【 図 8 】 図 6 に示す水平方向信号ドライバ 6 の具体的構成例の動作を説明するための図である。

【 図 9 】 図 1 中のアドレスデコード 8 a , 8 b の具体的構成例を示すブロック図である。

【 図 1 0 】 一実施形態による映像データ及び黒データの表示例を示す図である。

【 発明を実施するための形態 】

【 0 0 1 9 】

以下、本発明の液晶表示素子の一実施形態について、添付図面を参照して説明する。図 1 において、液晶パネル 1 には、複数の画素 P x がマトリクス状に配置されている。液晶パネル 1 は、4 K 2 K に対応した画素数を有する。図 1 では図示の都合上、画素 P x の数を 4 K 2 K の画素数よりも少ない数としている。

30

【 0 0 2 0 】

本実施形態では、液晶パネル 1 の水平方向の画素数は 4 0 9 6 画素に対応した画素数とする。具体的には、4 0 9 6 画素の左右に 4 画素ずつの調整画素を有して、4 1 0 4 画素を有するとする。液晶パネル 1 の垂直方向のライン数は 2 4 0 0 ラインに対応したライン数とし、同様に、上下に 4 ラインずつの調整ラインを有して、2 4 0 8 ラインを有するとする。

【 0 0 2 1 】

40

液晶パネル 1 は、それぞれの画素 P x に対応して設けられた画素電極と、画素電極に対向し、全ての画素電極に対して共通に設けられた対向電極とを有する。対向電極は、例えば ITO (Indium Tin Oxide) により形成される。液晶パネル 1 は、画素電極と対向電極との間に封入された液晶を有する。

【 0 0 2 2 】

液晶パネル 1 に表示する映像データは、高速インタフェース (高速 I / F) 2 を介してデジタル信号バス 3 へと供給される。映像データにおける 1 ライン分の画素データは、データセクタ付き並列 D フリップフロップ (データセクタ付き並列 D F F) 4 へと入力される。データセクタ付き並列 D F F 4 は、水平駆動回路である。

【 0 0 2 3 】

50

制御部 7 は、液晶パネル 1 における水平方向の所定の画素に表示する黒データ Dblk を生成して、デジタル信号バス 3 に供給する場合がある。この黒データ Dblk は液晶表示素子の周辺回路である制御部 7 によって生成するデータであり、液晶表示素子の外部より供給されるデータではない。黒データ Dblk の生成方法については後述する。

【 0 0 2 4 】

上記のように、4 K 2 K の画素数は、 4096×2400 、 4096×2160 、 3840×2160 と複数存在している。本実施形態では、これらの全ての画素数の映像データを表示可能としている。また、4 K 2 K の映像データではなく、いわゆるフル HD と称されている 1920×1080 の画素数の映像データも表示可能としている。

【 0 0 2 5 】

即ち、本実施形態の液晶表示素子には、水平方向の画素数として、 4096 、 3840 、 1920 のいずれかの映像データが入力されることになる。データセクタ付き並列 DFF4 におけるデータセクタは、映像データの水平方向の画素数が 4096 、 3840 、 1920 のいずれであっても、それぞれに対応して映像データを表示させるために設けられている。

【 0 0 2 6 】

図 2 を用いて、データセクタ付き並列 DFF4 の具体的構成例について説明する。図 2 は、データセクタ付き並列 DFF4 における 1 つの画素に対応して設けられている 1 カラム分の構成を示している。データセクタ付き並列 DFF4 は、図 2 に示す構成が 4104 カラム分、並列的に設けられている。

【 0 0 2 7 】

図 2 において、データ d1 は水平方向の画素数 1920 の映像データを構成する 1 画素のデータ、データ d2 は水平方向の画素数 3840 の映像データを構成する 1 画素のデータ、データ d3 は水平方向の画素数 4096 の映像データを構成する 1 画素のデータであるとする。

【 0 0 2 8 】

データセクタ 41 には、データ d1 と、データセクタ 42 によって選択されたデータとが入力される。データセクタ 42 には、データ d2、d3 が入力される。データセクタ 43 には、イネーブル信号 EN1 と、データセクタ 44 によって選択されたイネーブル信号とが入力される。データセクタ 44 には、イネーブル信号 EN2、EN3 が入力される。

【 0 0 2 9 】

データセクタ 41、43 にはモード信号 M1 が入力され、データセクタ 42、44 にはモード信号 M2 が入力される。モード信号 M1、M2 は、それぞれ、“0” または “1” である。モード信号 M1、M2 は、制御部 7 より入力される。

【 0 0 3 0 】

データセクタ 41 ~ 44 は、モード信号 M1、M2 が “0” であれば端子 0 に入力されるデータまたはイネーブル信号を選択し、モード信号 M1、M2 が “1” であれば端子 1 に入力されるデータまたはイネーブル信号を選択する。

【 0 0 3 1 】

従って、データセクタ 45 に入力される選択信号 SEL と入力信号 DIN は、図 3 に示すように、モード信号 M1、M2 がいずれも “0” であれば、イネーブル信号 EN3 とデータ d3 となる。モード信号 M1 が “0”、モード信号 M2 が “1” であれば、選択信号 SEL と入力信号 DIN は、イネーブル信号 EN2 とデータ d2 となる。モード信号 M1 が “1”、モード信号 M2 が “0” であれば、選択信号 SEL と入力信号 DIN は、イネーブル信号 EN1 とデータ d1 となる。

【 0 0 3 2 】

データセクタ 45 は、選択信号 SEL が “1” であれば端子 1 に入力される入力信号 DIN を出力し、選択信号 SEL が “0” であれば、入力信号 DIN を出力しない。従って、データセクタ 45 の出力は、図 3 に示すように、イネーブル信号 EN3、EN2、EN1 が “0” であれば

10

20

30

40

50

ばQとして示す前のデータを保持する状態となり、イネーブル信号EN3, EN2, EN1が“1”であればデータd3, d2, d1となる。

【0033】

データセクタ45の出力は、DFF46で一旦保持されて、後段の画素位置調整シフトレジスタ5を構成するDFFへと入力される。DFF46には、クロックCLKが入力される。クロックCLKは、制御部7よりDFF46へと供給される。

【0034】

このように、データセクタ付き並列DFF4は、それぞれのカラムにおいて、モード信号M1, M2とイネーブル信号EN1~EN3をそれぞれ設定することによって、データd1~d3のいずれかを選択する。データd1~d3を選択することによって、映像データの水平方向の画素数が4096, 3840, 1920のいずれであっても、適切な水平位置のカラムに画素データを書き込むことができる。

10

【0035】

入力される映像データの画素数が固定であれば、データセクタを省略してDFF46のみとしてもよい。

【0036】

データセクタ付き並列DFF4より出力された1ライン分の画素データは、画素位置調整シフトレジスタ5に入力される。画素位置調整シフトレジスタ5は、並列入力シフトレジスタによって構成できる。画素位置調整シフトレジスタ5は、水平駆動回路である。

【0037】

20

図4に示すように、画素位置調整シフトレジスタ5には、クロックCLKと、データセクタ付き並列DFF4が保持しているデータを画素位置調整シフトレジスタ5へと転送させるためのデータDloadとが入力される。また、画素位置調整シフトレジスタ5には、制御部7によって生成される黒データDblkが入力される。

【0038】

画素位置調整シフトレジスタ5は、データセクタ付き並列DFF4より出力された1ライン分の画素データの水平方向の位置を調整することができる。上記のように、液晶パネル1は、4096画素の左右に4画素ずつの調整画素を有しているので、水平方向4096画素の映像データを入力した場合であっても、1ライン分の4096画素を最も左側に寄せた状態と最も右側に寄せた状態との間で画素データの位置を調整することができる。

30

【0039】

画素位置調整シフトレジスタ5は、制御部7よりシリアルに入力される黒データDblkを水平方向にシフトさせることによって、映像データの画素データ以外に黒データDblkを保持させることができる。画素位置調整シフトレジスタ5は、1ラインの全てに対して黒データDblkを保持させることもできる。

【0040】

ここで、図5を用いて、黒データDblkの生成方法について説明する。図5において、(a)は、対向電極に印加される電圧を示している。対向電極に印加される電圧は、サブフレーム(SF)ごとにロー(L)とハイ(H)とが交互に繰り返される。図5において、(b)は、画素電極に印加される電圧を示している。図5の(a)に示す対向電極に印加される電圧のL, Hと同期させて、画素電極に印加される電圧をL, Hとすれば、黒が表示されることになる。

40

【0041】

そこで、図5の(c)に示すように、1つ前のサブフレームのタイミングで、対向電極に印加される電圧がLのときにH、HのときにLとなるよう、L, Hとを交互に繰り返す黒データDblkを生成する。図5の(c)に示す黒データDblkを、図5の(d)に示すそれぞれのサブフレームの先頭でHとなるパルスのタイミングで、一括して画素に転送する。

【0042】

50

制御部 7 は、対向電極に印加され、液晶パネル 1 に表示する映像データのサブフレームごとにローとハイとが交互に繰り返される電圧と同期させて、画素電極に、対向電極に印加される電圧がローであればロー、対向電極に印加される電圧がハイであればハイの電圧を印加することによって、液晶パネル 1 に黒を表示させる黒データを生成する黒データ生成部となっている。

【 0 0 4 3 】

画素位置調整シフトレジスタ 5 より出力された 1 ライン分の画素データは、水平方向信号ドライバ 6 に入力される。水平方向信号ドライバ 6 は、水平駆動回路である。

【 0 0 4 4 】

図 6 を用いて、水平方向信号ドライバ 6 の具体的構成例について説明する。図 6 は、水平方向信号ドライバ 6 における 1 つの画素に対応して設けられている 1 カラム分の構成を示している。水平方向信号ドライバ 6 は、図 6 に示す構成が 4 1 0 4 カラム分、並列的に設けられている。

【 0 0 4 5 】

図 6 において、データセクタ 6 1 の端子 0 0 には、画素位置調整シフトレジスタの D F F より出力された画素データが入力される。データセクタ 6 1 の端子 0 1 には、制御部 7 より出力された L 固定のデータが入力される。データセクタ 6 1 の端子 1 0 には、制御部 7 より出力された H 固定のデータが入力される。L 固定または H 固定のデータは、黒データ Dblk に相当する。

【 0 0 4 6 】

データセクタ 6 1 には、ライン単位で端子 0 0 , 0 1 , 1 0 を選択する 2 ビットの選択信号 S_{Lsel} が入力される。データセクタ 6 1 は、図 7 に示すように、選択信号 S_{Lsel} が “ 0 0 ” であれば、通常状態として、端子 0 0 を選択する。データセクタ 6 1 は、選択信号が “ 0 1 ” であれば、L 固定の端子 0 1 を選択し、選択信号が “ 1 0 ” であれば、H 固定の端子 1 0 を選択する。

【 0 0 4 7 】

データセクタ 6 1 の出力は、NAND 回路 6 2 の一方の入力端子に入力される。NAND 回路 6 2 の他方の入力端子には、出力制御信号 S_{OUTctl} が入力される。図 8 に示すように、出力制御信号 S_{OUTctl} は、“ 1 ” または “ 0 ” である。

【 0 0 4 8 】

図 1 に示す構成は、液晶表示素子をテストするために液晶パネル 1 への書き込みを停止させることができる。出力制御信号 S_{OUTctl} が “ 0 ” であれば、ハイインピーダンスとなって、水平方向信号ドライバ 6 の出力は水平方向信号線をドライブしない状態となる。通常の動作状態では、出力制御信号 S_{OUTctl} は “ 1 ” であるので水平方向信号ドライバ 6 の出力には画素データが出力される。

【 0 0 4 9 】

データセクタ 6 1 の出力は反転されて、AND 回路 6 3 の一方の入力端子に入力される。出力制御信号 S_{OUTctl} は、NOT 回路 6 4 で反転されて、さらに、NOT 回路 6 4 の出力が反転されて、AND 回路 6 3 の他方の入力端子に入力される。

【 0 0 5 0 】

NAND 回路 6 2 の出力は p 型 MOSFET 6 5 に入力され、AND 回路 6 3 の出力は n 型 MOSFET 6 6 に入力される。p 型 MOSFET 6 5 と n 型 MOSFET 6 6 との CMOS 回路の出力が、液晶パネル 1 の画素 $P \times H$ へと供給される。この回路構成で出力をハイインピーダンスにする場合は p 型 MOSFET 6 5 と n 型 MOSFET 6 6 を OFF 状態にする。また通常状態では p 型 MOSFET 6 5 と n 型 MOSFET 6 6 が共に ON 状態になるインバータ動作を行う状態になる。

【 0 0 5 1 】

本実施形態の液晶表示素子は、液晶パネル 1 の垂直駆動回路として、アドレスデコーダ 8 a , 8 b を備える。図 1 に示す構成例では、液晶パネル 1 の左右方向から駆動できるようにアドレスデコーダ 8 a , 8 b を備える。左側のアドレスデコーダ 8 a のみ、右側のアドレスデコーダ 8 b のみとしてもよい。アドレスデコーダ 8 a , 8 b をアドレスデコーダ 8

10

20

30

40

50

と総称する。

【 0 0 5 2 】

シフトレジスタを垂直駆動回路として用いるのが一般的であるが、本実施形態では、複数ラインに黒を表示する場合でも書き込み時間を少なくすることができるアドレスデコーダ 8 を垂直駆動回路として用いている。

【 0 0 5 3 】

図 9 を用いて、アドレスデコーダ 8 の具体的構成例について説明する。図 9 は、アドレスデコーダ 8 における 1 つのラインに対応して設けられている 1 ライン分の構成を示している。アドレスデコーダ 8 は、図 9 に示す構成が 2 4 0 8 ライン分、並列的に設けられている。

10

【 0 0 5 4 】

制御回路 7 は、m ビットカウント 7 1 を有する。垂直アドレスデコーダ 8 1 には、m ビットカウント 7 1 のカウント出力と反転カウント出力とが入力される。垂直アドレスデコーダ 8 1 は、垂直方向のアドレスと一致するカウンタ値が “ 0 ” になったら、“ 1 ” を出力する。垂直アドレスデコーダ 8 1 には、ラインごとに異なる m ビットカウント 7 1 が接続されている。

【 0 0 5 5 】

N A N D 回路 8 2 の一方の入力端子には、垂直アドレスデコーダ 8 1 の出力が反転されて入力される。N A N D 回路 8 2 の他方の入力端子には、ライン単位で黒を表示する際に “ 1 ” とする黒書き込み信号 S_{BW} が反転されて入力される。N A N D 回路 8 2 の出力は、A N D 回路 8 3 の一方の入力端子に入力される。A N D 回路 8 3 の他方の入力端子には、1 ラインを駆動する時間の幅を決めるパルス幅信号 S_{PW} が入力される。

20

【 0 0 5 6 】

これにより水平方向に画素をドライブする行走査線に出力される画素の有効データ時間とライン選択時間のタイミングを合わせて正しい画素に正しいタイミングで書き込みができる。

【 0 0 5 7 】

A N D 回路 8 3 の出力は、行走査線を垂直方向に選択するライン選択信号 S_{VLsel} となる。

【 0 0 5 8 】

アドレスデコーダ 8 は、黒データ Dblk を表示するラインを選択することができる。また、アドレスデコーダ 8 は、黒データ Dblk を表示する複数のラインを選択することができる。

30

【 0 0 5 9 】

液晶パネル 1 に書き込んだデータをテスト用に読み出す場合には、シフトレジスタ 9 にスタートパルス Pstt を入力する。シフトレジスタ 9 は、液晶パネル 1 より読み出したデータをシリアルデータとしてテスト用の比較部 1 0 に供給する。

【 0 0 6 0 】

以上のようにして、本実施形態の液晶表示素子によれば、一例として、図 1 0 のように、白で示している映像データの周囲部に、液晶表示素子が有する周辺回路によって生成した黒データ Dblk による黒を表示することができる。図 1 0 でも図示の都合上、画素 P x の数を 4 K 2 K の画素数よりも少ない数としている。

40

【 0 0 6 1 】

図 1 0 に示す例では、液晶表示素子に白で示している映像データのみを供給すればよく、周囲の黒データを外部から供給する必要はない。よって、映像データのデータレートを下げることができ、回路規模を削減することができ、消費電力を少なくすることができる。また、データレートを変更しない場合には、サブフレーム数を増大させることができ、表現可能な階調数を増やして高画質とすることができる。

【 0 0 6 2 】

本発明は以上説明した本実施形態に限定されることはなく、本発明の要旨を逸脱しない

50

範囲において種々変更可能である。本実施形態では、黒データ Dbk をデータセクタ付き並列 D フリップフロップ 4、画素位置調整シフトレジスタ 5、水平方向信号ドライバ 6 のいずれに対しても供給するようにしているが、これらのうち、任意の 1 または 2 に対して供給するようにしてもよい。

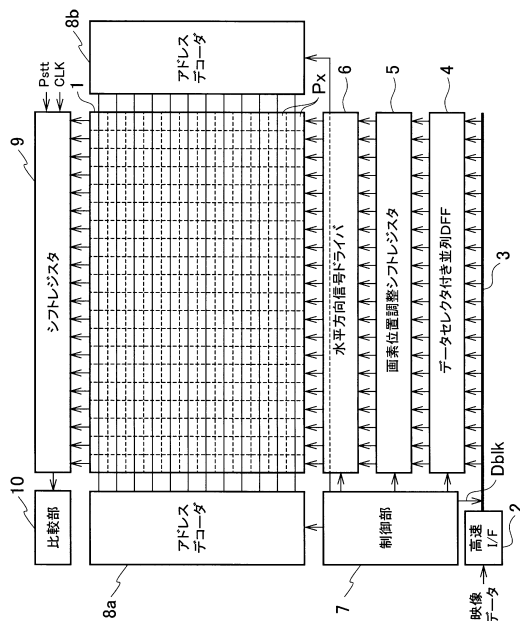
【符号の説明】

【 0 0 6 3 】

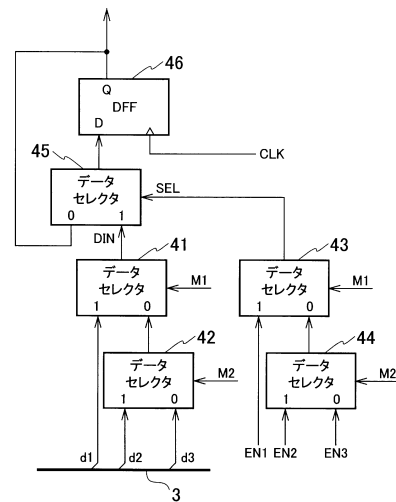
- 1 液晶パネル
- 2 高速インタフェース
- 3 デジタル信号バス
- 4 データセクタ付き並列 D フリップフロップ (水平駆動回路)
- 5 画素位置調整シフトレジスタ (水平駆動回路)
- 6 水平方向信号ドライバ (水平駆動回路)
- 7 制御部 (黒データ生成部)
- 8 a , 8 b アドレスデコーダ (垂直駆動回路)
- 9 シフトレジスタ
- 1 0 比較部

10

【 図 1 】



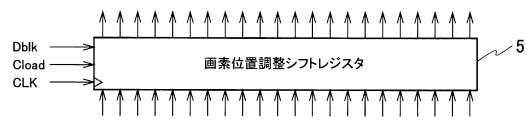
【 図 2 】



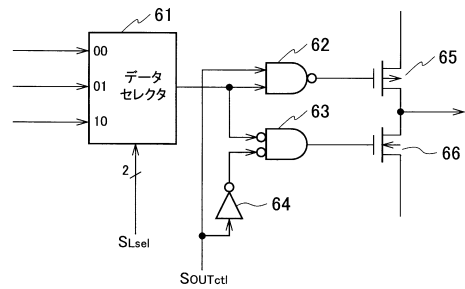
【 図 3 】

M1	M2	SEL	DIN	EN3	EN2	EN1	D
0	0	EN3	d3	0	*	*	Q
0	0	EN3	d3	1	*	*	d3
0	1	EN2	d2	*	0	*	Q
0	1	EN2	d2	*	1	*	d2
1	0	EN1	d1	*	*	0	Q
1	0	EN1	d1	*	*	1	d1

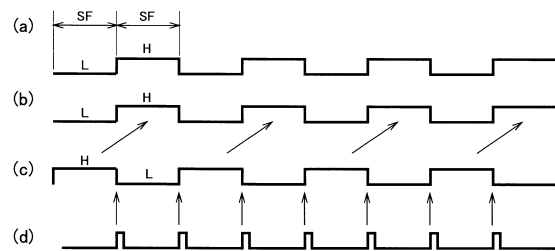
【図 4】



【図 6】



【図 5】



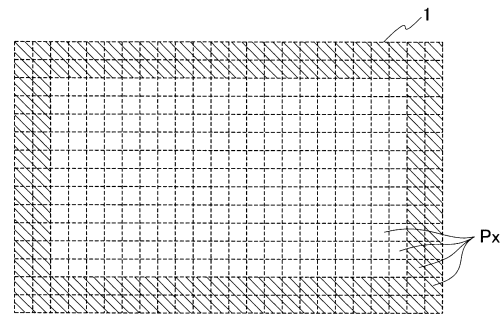
【図 7】

SLsel	選択
00	通常
01	L固定
10	H固定

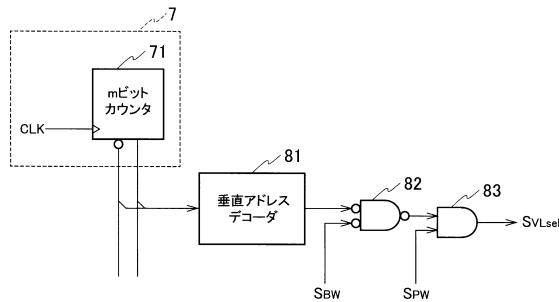
【図 8】

SOUTctf	状態
1	通常
0	テスト

【図 10】



【図 9】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 R
	G 0 9 G	3/20	6 6 0 Q
	G 0 2 F	1/133	5 0 5

(56)参考文献 特開平 1 1 - 1 3 3 9 3 4 (J P , A)
特開 2 0 0 2 - 1 6 9 5 1 7 (J P , A)
特開平 0 2 - 1 4 3 7 8 1 (J P , A)
特開 2 0 0 1 - 2 6 5 2 9 3 (J P , A)
特開平 1 1 - 0 5 2 9 2 6 (J P , A)
特開 2 0 0 7 - 0 7 9 3 9 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		

专利名称(译)	液晶显示元件		
公开(公告)号	JP5920049B2	公开(公告)日	2016-05-18
申请号	JP2012139296	申请日	2012-06-21
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
当前申请(专利权)人(译)	JVC建伍公司		
[标]发明人	清水 健		
发明人	清水 健		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.612.U G09G3/20.622.E G09G3/20.622.G G09G3/20.611.A G09G3/20.623.R G09G3/20.660.Q G02F1/133.505		
F-TERM分类号	2H193/ZD26 2H193/ZF21 2H193/ZF32 5C006/AF31 5C006/AF36 5C006/AF45 5C006/AF71 5C006 /BB15 5C006/BC03 5C006/BC11 5C006/BF03 5C006/BF06 5C006/BF26 5C006/FA05 5C006/FA12 5C006/FA41 5C006/FA47 5C006/FA48 5C006/FA51 5C006/FA56 5C080/AA10 5C080/BB05 5C080 /CC06 5C080/DD01 5C080/DD22 5C080/DD26 5C080/JJ01 5C080/JJ02 5C080/KK25		
代理人(译)	三好秀 高桥俊		
其他公开文献	JP2014002331A		
外部链接	Espacenet		

摘要(译)

种类代码：A1提供一种能够使用包括在液晶显示元件中的外围电路显示黑色的液晶显示元件。液晶面板1具有以矩阵排列的多个像素Px，并且具有像素电极和对电极。控制单元7与施加到对电极的电压同步地向像素电极施加低电压和高电压，并且对于要在液晶面板1上显示的图像数据的每个子帧交替地重复低和高。由此产生用于在液晶面板1上显示黑色的黑色数据。黑色数据通过具有数据选择器的并行驱动D触发器4，包括像素位置调整移位寄存器5和水平方向信号驱动器6的水平驱动电路显示在液晶面板1上，以及包括地址解码器8a和8b的垂直驱动电路。点域1

(19) 日本国特許庁 (JP)	(12) 特 許 公 報 (B2)	(11) 特許番号 特許第5920049号 (P5920049)
(45) 発行日 平成28年5月18日 (2016. 5. 18)	(24) 登録日 平成28年4月22日 (2016. 4. 22)	
(51) Int. Cl. G09G 3/36 (2006.01) G09G 3/20 (2006.01) G02F 1/133 (2006.01)	F I G09G 3/36 G09G 3/20 612 U G09G 3/20 622 E G09G 3/20 622 G G09G 3/20 611 A	請求項の数 3 (全 11 頁) 最終頁に続く
(21) 出願番号 特願2012-139296 (P2012-139296) (22) 出願日 平成24年6月21日 (2012. 6. 21) (65) 公開番号 特開2014-2331 (P2014-2331A) (43) 公開日 平成26年1月9日 (2014. 1. 9) 審査請求日 平成26年9月30日 (2014. 9. 30)	(73) 特許権者 308036402 株式会社 J V C ケンウッド 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 (74) 代理人 100083806 弁理士 三好 秀和 100101247 弁理士 高橋 俊一 (72) 発明者 清水 健 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 審査官 西島 篤宏	最終頁に続く
(54) 【発明の名称】 液晶表示素子		