

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5906571号
(P5906571)

(45) 発行日 平成28年4月20日(2016.4.20)

(24) 登録日 平成28年4月1日(2016.4.1)

(51) Int.Cl. F 1
G 0 2 F 1/1337 (2006.01) G 0 2 F 1/1337 5 0 5

請求項の数 11 (全 30 頁)

(21) 出願番号	特願2011-38640 (P2011-38640)	(73) 特許権者	000002185 ソニー株式会社
(22) 出願日	平成23年2月24日(2011.2.24)		東京都港区港南1丁目7番1号
(65) 公開番号	特開2011-232736 (P2011-232736A)	(74) 代理人	100098785 弁理士 藤島 洋一郎
(43) 公開日	平成23年11月17日(2011.11.17)	(74) 代理人	100109656 弁理士 三反崎 泰司
審査請求日	平成26年2月4日(2014.2.4)	(74) 代理人	100130915 弁理士 長谷部 政男
(31) 優先権主張番号	特願2010-87658 (P2010-87658)	(74) 代理人	100155376 弁理士 田名網 孝昭
(32) 優先日	平成22年4月6日(2010.4.6)	(72) 発明者	仲村 真彦 東京都港区港南1丁目7番1号 ソニー株式会社内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置、液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

垂直配向(VA:Vertical Alignment)型の液晶分子を含む液晶層と、
前記液晶層を挟んで対向配置された第1および第2の基板と、
前記第1の基板の前記液晶層側に設けられ、透明導電膜から構成された複数の画素電極と、

前記複数の画素電極に対向して、前記第2の基板に設けられた対向電極とを備え、
各画素電極では、前記液晶層側の面が凹凸構造を有すると共に、前記液晶層と反対側の面は、前記凹凸構造に対向する全域において連なった平坦面であり、

前記対向電極の前記液晶層側の面は平坦面であり、かつ
前記凹凸構造は、互いに異なる2以上の方向に沿って延在する複数の凹面を含むものである

液晶表示装置。

【請求項2】

前記凹凸構造における凹面および凸面の外側端部が前記凹面および前記凸面の延在方向と直交する方向に沿って切断された形状を有する

請求項1に記載の液晶表示装置。

【請求項3】

前記凹凸構造における凹面および凸面間の段差部分が基板面に垂直となっている

請求項1に記載の液晶表示装置。

【請求項 4】

前記凹凸構造における凹面および凸面間の段差部分がテーパ面である
請求項 1 に記載の液晶表示装置。

【請求項 5】

前記凹凸構造における凹面および凸面間の段差部分が逆テーパ面である
請求項 1 に記載の液晶表示装置。

【請求項 6】

前記液晶層では、前記画素電極および前記対向電極の近傍においてプレチルトが付与されている

請求項 1 に記載の液晶表示装置。

10

【請求項 7】

第 1 の基板上に、透明導電膜から構成された複数の画素電極を形成する工程と、
第 2 の基板上に対向電極を形成する工程と、
前記第 1 および第 2 の基板間に、前記画素電極および前記対向電極を対向させて、垂直配向 (VA: Vertical Alignment) 型の液晶分子を含む液晶層を封止する工程と、
前記画素電極と前記対向電極とを通じて前記液晶層に電圧を印加しつつ、前記液晶層を露光することにより、前記液晶層にプレチルトを付与する工程とを含み、
各画素電極では、前記液晶層側の面は凹凸構造を形成すると共に、前記液晶層と反対側の面は、前記凹凸構造に対向する全域において連なった平坦面であり、
前記対向電極では、前記液晶層側の面は平坦面であり、かつ
前記凹凸構造は、互いに異なる 2 以上の方向に沿って延在する複数の凹面を含むものである

液晶表示装置の製造方法。

20

【請求項 8】

前記凹凸構造における凹面および凸面の外側端部が前記凹面および前記凸面の延在方向と直交する方向に沿って切断された形状を有する

請求項 7 に記載の液晶表示装置の製造方法。

【請求項 9】

前記凹凸構造における凹面および凸面間の段差部分を基板面に垂直とする
請求項 7 に記載の液晶表示装置の製造方法。

30

【請求項 10】

前記凹凸構造における凹面および凸面間の段差部分をテーパ面とする
請求項 7 に記載の液晶表示装置の製造方法。

【請求項 11】

前記凹凸構造における凹面および凸面間の段差部分を逆テーパ面とする
請求項 7 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば VA モードの液晶を用いた液晶表示装置およびその製造方法に関する

40

【背景技術】

【0002】

近年、液晶表示装置 (LCD: Liquid Crystal Display) では例えば VA (Vertical Alignment: 垂直配向) モードが用いられている。液晶表示装置では、画素電極を有する基板と対向電極を有する基板と間に、屈折率異方性を有する液晶層が封止されるが、この液晶層に電圧を印加して屈折率異方性の軸を変化させることで、そこを通過する光の透過率を制御する。このように、液晶表示装置は、電気的な刺激を光学的なスイッチングに利用する表示デバイスである。

【0003】

50

V Aモードの液晶表示装置では、液晶層が、負の誘電率異方性、即ち液晶分子の誘電率がその短軸方向よりも長軸方向において小さい、という性質を有している。これにより、液晶層では、電圧無印加時（オフ状態）には液晶分子の長軸方向が基板面に対して略垂直な方向に沿って配向し、電圧印加時（オン状態）には、その電圧の大きさに応じて液晶分子が倒れた（傾いた）配向となる。

【0004】

ところが、電圧無印加の状態において液晶層に電圧が印加されると、基板面に略垂直に配向していた液晶分子が倒れるが、その倒れる方向は任意である。このため、液晶分子の配向が乱れ、電圧に対する応答が遅くなる、あるいは所望の透過率を得にくい等の弊害が生じる。

10

【0005】

そこで、電圧応答時における液晶分子の配向を規制する手法として、これまでも様々な提案がなされている。例えば、MVA（Multi-domain Vertical Alignment）方式やPVA（Patterned Vertical Alignment）方式、あるいは光配向膜を使用する手法（例えば、特許文献1参照）が提案されている。PVA方式では、スリットやリブ（突起）を用いることにより、配向制御を行いつつ高視野角を実現する。最近では、この他にも、画素電極に複数の微細なスリットを設け、対向電極をスリットのないベタ電極とした構造（いわゆるファインスリット構造）が提案されている（例えば、特許文献2参照）。

【先行技術文献】

【特許文献】

20

【0006】

【特許文献1】特開平5 - 232473号公報

【特許文献2】特開2002 - 357830号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記のような手法では、電圧応答特性を改善することはできるものの、液晶層のうち、スリットに対応する部分（スリットの直上）では、電圧が印加されず、液晶分子が配向しにくい（倒れにくい）。このため、スリット位置に対応して暗線（局所的に光透過量の少ない部分）が生じ、高透過率を得にくいという問題がある。

30

【0008】

本発明はかかる問題点に鑑みてなされたもので、その目的は、良好な電圧応答特性を保持しつつ、高透過率を実現することが可能な液晶表示装置および液晶表示装置の製造方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の液晶表示装置は、垂直配向（VA：Vertical Alignment）型の液晶分子を含む液晶層と、液晶層を挟んで対向配置された第1および第2の基板と、第1の基板の液晶層側に設けられ、透明導電膜から構成された複数の画素電極と、複数の画素電極に対向して第2の基板に設けられた対向電極とを備えたものである。各画素電極では、液晶層側の面が凹凸構造を有すると共に、液晶層と反対側の面は、凹凸構造に対向する全域において連なった平坦面であり、対向電極の液晶層側の面は平坦面であり、かつ凹凸構造は、互いに異なる2以上の方向に沿って延在する複数の凹面を含むものである。

40

【0010】

本発明の液晶表示装置の製造方法は、第1の基板上に、透明導電膜から構成された複数の画素電極を形成する工程と、第2の基板上に対向電極を形成する工程と、第1および第2の基板間に画素電極および対向電極を対向させて、垂直配向（VA：Vertical Alignment）型の液晶分子を含む液晶層を封止する工程と、画素電極と対向電極とを通じて液晶層に電圧を印加しつつ液晶層を露光することにより、液晶層にプレチルトを付与する工程とを含むものである。各画素電極では、液晶層側の面が凹凸構造を有すると共に、液晶層と

50

反対側の面は、凹凸構造に対向する全域において連なった平坦面であり、対向電極の液晶層側の面は平坦面であり、かつ凹凸構造は、互いに異なる2以上の方向に沿って延在する複数の凹面を含むものである。

【0011】

本発明の液晶表示装置およびその製造方法では、画素電極および対向電極の一方または両方の液晶層側の面に凹凸構造を設けることにより、電圧印加時の液晶層では、凹凸構造における凹面および凸面間の高低差（段差）により、電界歪み（横電界）が発生する。一方で、スリットのような電極切り欠き部分が存在しないので、液晶層において電圧が印加されない領域がなくなり、局所的な領域において液晶分子の配向が不十分となることが抑制される。

10

【発明の効果】

【0012】

本発明の液晶表示装置および液晶表示装置の製造方法によれば、画素電極および対向電極の一方または両方の液晶層側の面に凹凸構造を設けるようにしたので、電圧印加時には、液晶層に電界歪みを発生させ、これによりプレチルト付与を効率的に行うことができる。この一方で、局所的な領域において液晶分子の配向が不十分となることを抑制することができるので、その結果、透過率の低下を抑制できる。よって、良好な電圧応答特性を保持しつつ、高透過率を実現することが可能となる。

【図面の簡単な説明】

【0013】

【図1】本発明の一実施の形態に係る液晶表示装置の全体構成を表すブロック図である。

【図2】図1に示した画素の一部領域を表す断面図である。

【図3】図2に示した画素電極の平面図および断面拡大図である。

【図4】画素電極の他の構成を表す平面図である。

【図5】画素電極の他の構成を表す平面図である。

【図6】画素電極の他の構成を表す平面図である。

【図7】液晶分子のチルト角を説明するための模式図である。

【図8】図1に示した液晶表示装置の製造方法（画素電極の形成工程）を説明するための断面図である。

【図9】図8に続く工程（プレチルト付与工程）を説明するための断面模式図である。

30

【図10】比較例に係る液晶表示装置における画素の一部領域を表す断面図である。

【図11】比較例における電極近傍の液晶分子の配向状態を模式的に表す平面図および断面図である。

【図12】実施の形態における電極近傍の液晶分子の配向状態を模式的に表す平面図および断面図である。

【図13】実施の形態における電界分布（等電位分布）を表した特性図である。

【図14】比較例における電界分布（等電位分布）を表した特性図である。

【図15】電圧と応答時間の関係を表す特性図および電圧と透過率との関係を表す特性図である。

【図16】透過率分布の測定結果を表した平面図である。

40

【図17】変形例1に係る液晶表示パネルにおける画素の一部領域を表す断面図である。

【図18】図17に示した画素電極の形成プロセスを説明するための断面図である。

【図19】変形例2に係る画素電極の形成プロセスを説明するための断面図である。

【図20】変形例3に係る液晶表示パネルにおける画素の一部領域を表す断面図である。

【図21】図20に示した液晶表示パネルの透過率分布の測定結果を表した平面図である。

【図22】変形例4に係る液晶表示パネルにおける画素の一部領域を表す断面図である。

【図23】変形例5-1に係る凹凸構造を説明するための断面図である。

【図24】変形例5-2に係る凹凸構造を説明するための断面図である。

【図25】変形例5-3に係る凹凸構造を説明するための断面図である。

50

【図 26】変形例 5 - 4 に係る凹凸構造を説明するための断面図である。

【図 27】変形例 5 - 5 に係る凹凸構造を説明するための断面図である。

【図 28】変形例 6 に係る画素電極（電極端部構造）を説明するための斜視図および平面図である。

【図 29】ファインスリット構造を有するサンプルの構造を表す斜視図である。

【図 30】図 28 に示した画素電極を用いたサンプルの電圧と透過率との関係を表す特性図である。

【図 31】図 28 に示した画素電極を用いたサンプルの電圧とチルト角との関係を表す特性図である。

【図 32】図 28 に示した画素電極を用いたサンプルの電圧と応答速度との関係を表す特性図である。

10

【図 33】電圧応答時における液晶分子の傾きを表すシミュレーション結果である。

【図 34】電極付近の液晶分子の配向状態を表す模式図である。

【図 35】ファインスリット構造の場合の配向状態を説明するための模式図である。

【図 36】図 28 に示した画素電極の他の構造例を説明するための斜視図および平面図である。

【図 37】実施例 1 に係る段差（nm）および透過率の関係を表す特性図である。

【図 38】実施例 2 に係る凹凸構造のスケールを説明するための断面図である。

【図 39】実施例 2 に係る凸面の幅および透過率の関係を表す特性図である。

【図 40】実施例 3 に係る凹凸構造のスケールを説明するための断面図である。

20

【図 41】実施例 3 に係る凸面の段差および透過率の関係を表す特性図である。

【発明を実施するための形態】

【0014】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（画素電極の表面に凹凸構造を設け、裏面を平坦とした例）

2. 変形例 1（画素電極の下地層（平坦化膜）に凹凸構造を設けた例）

3. 変形例 2（画素電極の凹凸構造を 2 段階プロセスで形成した例）

4. 変形例 3（画素電極の凹凸構造がテーパを有する例）

30

5. 変形例 4（画素電極の凹凸構造が逆テーパを有する例）

6. 変形例 5 - 1 ~ 5 - 5（画素電極の下地層に凹凸構造を設ける場合の詳細構成例）

7. 変形例 6（画素電極端部の構造例）

8. 実施例

・実施例 1（凹凸構造の段差を変化させた場合の透過率の測定結果）

・実施例 2（変形例 3 において上底の幅を変化させた場合の透過率の測定結果）

・実施例 3（変形例 3 において段差を変化させた場合の透過率の測定結果）

【0015】

<実施の形態>

[液晶表示装置 1 の構成]

40

図 1 は、本発明の一実施の形態に係る液晶表示装置（液晶表示装置 1）の全体構成を表すものである。液晶表示装置 1 は、例えば液晶表示パネル 2、バックライト 3、データドライバ 5 1、ゲートドライバ 5 2、タイミング制御部 6 1 およびバックライト駆動部 6 2 を備え、外部入力信号 Din に基づいて映像表示を行うものである。

【0016】

バックライト 3 は、液晶表示パネル 2 に向けて光を照射する光源であり、液晶表示パネル 2 の背面（後述の偏光板 1 9 側の面）側に配設されている。このバックライト 3 は、例えば LED（Light Emitting Diode：発光ダイオード）や CCF L（Cold Cathode Fluorescent Lamp）等を含むものである。バックライト駆動部 6 2 は、そのバックライト 3 の点灯動作（発光動作）を制御するものである。

50

【 0 0 1 7 】

タイミング制御部 6 1 は、ゲートドライバ 5 2、データドライバ 5 1 およびバックライト駆動部 6 2 の駆動タイミングを制御すると共に、外部入力信号 Din に基づく映像信号をデータドライバ 5 1 へ供給するものである。

【 0 0 1 8 】

ゲートドライバ 5 2 は、タイミング制御部 6 1 によるタイミング制御に従って、液晶表示パネル 2 内の各画素 1 0 を駆動するものである。データドライバ 5 1 は、タイミング制御部 6 1 から供給される映像信号（外部入力信号 Din に基づく映像信号）に対して D / A 変換を施すと共に、その D / A 変換後の映像信号を液晶表示パネル 2 の各画素 1 0 へ出力するものである。

10

【 0 0 1 9 】

液晶表示パネル 2 は、ゲートドライバ 5 2 から供給される駆動信号およびデータドライバ 5 1 から供給される映像信号に基づき、バックライト 3 から発せられる光を変調するものである。この液晶表示パネル 2 は、全体としてマトリクス状に配置された複数の画素 1 0 を含む。

【 0 0 2 0 】

図 2 は、液晶表示パネル 2 の断面構成を表すものである。但し、図 2 では、画素 1 0 の一部領域のみを示している。液晶表示パネル 2 は、駆動基板 1 1 と対向基板 1 8 との間に液晶層 1 5 を挟み込んだものであり、駆動基板 1 1 および対向基板 1 8 の外側には、偏光板 1 9 および偏光板 2 0 が貼り合わせられている。駆動基板 1 1 上には、駆動基板 1 1 の表面を覆って平坦化膜 1 2 が形成されている。この平坦化膜 1 2 上に、画素電極 1 3 が画素 1 0 毎に配設されており、この画素電極 1 3 の表面を覆って配向膜 1 4 が形成されている。対向基板 1 8 の液晶層 1 5 側の面には、有効表示領域のほぼ全面に渡って対向電極 1 7 が配設され、この対向電極 1 7 の表面を覆って配向膜 1 6 が形成されている。

20

【 0 0 2 1 】

駆動基板 1 1 は、例えばガラス基板上に画素 1 0 を駆動するための駆動回路、例えば前述したゲートドライバ 5 2、データドライバ 5 1、タイミング制御部 6 1 およびバックライト駆動部 6 2 等が配設されたものである。この駆動基板 1 1 上において、各画素電極 1 3 には、ゲートドライバ 5 2 およびデータドライバ 5 1 からの各駆動信号が伝送されるゲート線やソース線等の配線と、T F T（薄膜トランジスタ）（いずれも図示せず）等が接続されている。

30

【 0 0 2 2 】

平坦化膜 1 2 は、上記のような駆動回路や配線等の配設された駆動基板 1 1 の表面を平坦化するオーバーコート膜である。この平坦化膜 1 2 は、熱硬化性樹脂または光反応性樹脂よりなる有機膜よりなる絶縁膜であり、例えば厚みが $1 \mu\text{m} \sim 10 \mu\text{m}$ である。あるいは、このような有機膜よりなる平坦化膜 1 2 の代わりに、例えばシリコン酸化膜（ SiO_2 ）、シリコン窒化膜（ SiN ）、シリコン酸窒化膜（ SiON ）等の無機絶縁膜が設けられていてもよい。

【 0 0 2 3 】

（画素電極の構成）

画素電極 1 3 は、例えば I T O（インジウム錫酸化物）や I Z O 等の透明導電膜からなり、表面（液晶層 1 5 側の面）に凹凸構造を有している。本実施の形態において、凹凸構造は、基板面に平行な方向に沿って交互に配列する凹面 1 3 a および凸面 1 3 b を有すると共に、これらの間の段差部分は、基板面に垂直な垂直面 1 3 c となっている。尚、画素電極 1 3 の液晶層 1 5 側の面のみが凹凸構造を有しており、平坦化膜 1 2 側の面は平坦となっている。

40

【 0 0 2 4 】

図 3（A）は、画素電極 1 3 の平面構成の一例を模式的に表したものである。このように、画素電極 1 3 に設けられた凹凸構造は、例えば所定のパターン（凹凸パターン）で形成されている。即ち、凹面 1 3 a が、電極面内の複数の方向（ここでは 4 つの方向 A 1 ~

50

A 4) に沿って延在して設けられ、その他の部分が凸面 1 3 b となっている。このような凹凸パターンを有することにより、画素 1 0 内に配向方向の異なる領域が形成 (配向分割) されるため、視野角特性が向上する。

【 0 0 2 5 】

図 3 (B) は、画素電極 1 3 の断面構成の一部を拡大したものである。凹面 1 3 a の幅 S は、例えば $1 \mu\text{m} \sim 20 \mu\text{m}$ であることが望ましく、この凹面 1 3 a と同方向に延在する凸面 1 3 b の幅 L (= 凹面 1 3 a 同士の間隔 (ピッチ)) は、例えば $1 \mu\text{m} \sim 20 \mu\text{m}$ であることが望ましい。幅 S , L が $1 \mu\text{m}$ よりも狭いと、画素電極 1 3 の形成が難しくなり、十分な歩留りを確保することが困難となる。一方、幅 S , L が $20 \mu\text{m}$ よりも広いと、駆動電圧を印加した場合に、画素電極 1 3 と対向電極 1 7 との間に良好な斜め電界が生じにくくなり、液晶分子全体の配向が僅かに乱れ易くなる。特に、幅 S が $2 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下であると共に、幅 L が $2 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下であることがより望ましい。十分な歩留りを確保されるうえ、駆動電圧印加時における液晶分子の配向がより良好になるからである。

10

【 0 0 2 6 】

凹面 1 3 a から画素電極 1 3 裏面までの距離 (厚み T a) は、例えば $50 \text{nm} \sim 250 \text{nm}$ であることが望ましく、凸面 1 3 b から画素電極 1 3 裏面までの距離 (厚み T b) は、例えば $100 \text{nm} \sim 300 \text{nm}$ であることが望ましい。詳細は後述するが、これらの凹面 1 3 a および凸面 1 3 b 間の段差 (厚み T a , T b の差) に応じて、電圧印加時の液晶層 1 5 における透過率が変化する。但し、その段差は、 50nm 以上であることが望ましい。良好な配向制御が可能となり、十分な歩留りを確保できると共に、透過率の低下、プロセス時間の延長を防ぐことができるからである。

20

【 0 0 2 7 】

(画素電極における他の凹凸パターン例)

尚、凹凸パターンとしては、このような凹面 1 3 a が 4 方向に沿って延在するパターンに限らず、例えばストライプ状や V 字状など様々なパターンを採用できる。また、凹面 1 3 a の幅 S やその数、凸面 1 3 b の幅 L やその数についても任意に設定可能である。

【 0 0 2 8 】

また、凹面 1 3 a および凸面 1 3 b の各平面形状を、例えば次のように設定してもよい。例えば図 4 (A) に示したように、画素電極 1 3 のエッジ部 E E において、凹面 1 3 a 1 および凸面 1 3 b 1 の外側端部 E 1 が、それらの延在方向 (ここでは、方向 A 4) と直交する方向に沿って切断されたような構造 (以下、直角構造という) としてもよい。ここで、図 3 (C) に示したように、例えばエッジ部 E E において外側端部 E 0 が、画素電極 1 3 の矩形の各辺に沿って斜めに切断されたような構造の場合、外側端部 E 0 付近の液晶分子は矢印 (太線) の向きに倒れ、配向制御の妨げとなる虞がある。そこで、外側端部 E 1 を上記のような直角構造とすることで、図 4 (B) に示したように、外側端部 E 1 付近の液晶分子は方向 A 4 に沿って倒れ易くなり、配向制御が容易となる。

30

【 0 0 2 9 】

あるいは、図 5 (A) ~ (E) に示したような平面構成としてもよい。但し、(A) , (B) は画素電極全体の平面構成を表したものであり、(C) は画素電極の一部、(D) は 1 つの凹面を拡大して示したものである。図 5 (A) , (B) に示したように、画素電極 1 3 の縁部分において、凸面 1 3 b 2 , 1 3 b 3 がそれぞれ繋がっているような構造であってもよい。また逆に、図示はしないが、縁部分において凹面 1 3 a 2 , 1 3 a 3 がそれぞれ繋がっていてもよい。

40

【 0 0 3 0 】

また、図 5 (C) に示したように、凹面 1 3 a 4 の内側端部 E 2 (図 3 (A) における領域 E C に対応する部分) が、上記外側端部 E 1 と同様、凹面 1 3 a 4 の延在方向 (ここでは方向 A 1) と直交する方向に沿って切断されたような直角構造となってもよい。また、凹面 1 3 a 4 の外側端部 E 1 と内側端部 E 2 との両方が直角構造となってもよい。

50

【0031】

更に、上記のような直角構造の他にも、例えば図5(D)に示したように、各凸面13b5の外側端部E3が丸く成形されたようなR形状を有していてもよい。これにより、図5(D)の矢印で示したように任意の方向に液晶分子を配向させることができる。あるいは、そのようなR形状に限らず、例えば図5(E)に示したように、外側端部E4が多角形状を有していてもよい。また、図示はしないが、各凹面の外側端部と内側端部との一方または両方が、上記のようなR形状や多角形状を有していてもよい。

【0032】

尚、上記説明では、4つの方向A1~A4に沿って凹面および凸面がそれぞれ延在して設けられた画素電極構造(4つの領域に配向分割された構造)を例に挙げたが、凹面および凸面の延在方向は、これに限定されない。例えば、図6(A)に示したように、凹面13a7が電極面内の2つの方向A5, A6に沿って延在して設けられ、その他の部分が凸面13b7となっている構造(2つの領域に配向分割された構造)であってもよい。また、図6(B)に示したように、画素電極の縁部分において凸面13b8が繋がっているような構造であってもよい。尚、これらの2分割構造の場合には、偏光板19, 20の光学軸が、4分割構造の場合と45°ずれることになる。

10

【0033】

対向基板18は、ガラス基板の表面(対向電極17側の面または偏光板20側の面)に、例えば赤(R)、緑(G)、青(B)のフィルタが配列してなるカラーフィルタ(図示せず)を有するものである。但し、このカラーフィルタは、対向基板18に設けられていてもよいが、駆動基板11に設けられていてもよい(COA(Color Filter On Array)構造であってもよい)。

20

【0034】

対向電極17は、例えばITO等の透明導電膜からなり、各画素10に共通の電極として(全ての画素電極13と対向して)設けられている。この対向電極17の液晶層15側の面は、ここではスリットや間隙等の無い平坦な面となっている。但し、対向電極17は、間隙やスリット等の電極切欠き部分のない電極であればよく、例えば液晶層15側の面が凹凸面となっていたり、段差が形成されていてもよい。

【0035】

配向膜14, 16は、例えば垂直配向膜であり、液晶層15内の液晶分子(詳細には配向膜14, 16近傍の液晶分子)を、その長軸方向(ダイレクタ)が基板面に対してほぼ垂直となるように配向させるものである。このような配向膜14, 16としては、例えばポリイミドやポリシロキサン等の垂直配向剤が用いられる。

30

【0036】

液晶層15は、例えば垂直配向型の液晶分子を含むものである。この液晶層15では、液晶分子が、例えば長軸および短軸をそれぞれ中心軸として回転対称な形状をなし、負の誘電率異方性(長軸方向における誘電率が短軸方向よりも小さい性質)を示す。

【0037】

この液晶層15では、図7に示したように、配向膜14, 16との界面近傍の液晶分子(液晶分子15a)が、配向膜14, 16からの規制により長軸方向D1が基板面に略垂直となるように配向しつつ、その垂直方向から僅かに傾いた状態で保持されている。即ち、液晶層15の配向膜14, 16との界面近傍では、いわゆるプレチルトが付与されており、液晶分子15aの垂直方向からの傾き角(チルト角)は、例えば1°~4°程度である。チルト角が大きいくらい、立ち上がりの応答速度は速くなるが、電圧無印加時における黒輝度が低下するため、コントラストが悪化する。このようなプレチルトは、液晶層15の配向膜14, 16との界面近傍においてポリマーによって保持されており、この界面近傍の液晶分子の配向に倣って他の液晶分子(例えば液晶層15の厚み方向における中央付近の液晶分子)も同等の方向に配向している。

40

【0038】

偏光板19および偏光板20は、例えば互いにクロスニコルの状態で配置されており、

50

バックライト 3 からの光を電圧無印加状態（オフ状態）では遮断、電圧印加状態（オン状態）では透過させるようになっている。即ち、ノーマリーブラックとなるように、偏光板 19 および偏光板 20 が駆動基板 11 および対向基板 18 に貼り合わせられている。

【0039】

[液晶表示装置 1 の製造方法]

(1. パネル封止工程)

液晶表示装置 1 は、例えば次のようにして製造することができる。即ち、まず図 8 (A) に示したように、駆動基板 11 の表面を覆うように、平坦化膜 12 を例えばスピコート法により成膜する。尚、この平坦化膜 12 の代わりに無機絶縁膜を成膜する場合には、例えば CVD 法により、上述したようなシリコン酸化膜等を形成すればよい。この後、図 8 (B) に示したように、平坦化膜 12 上の全面に渡って、例えば ITO よりなる画素電極 13 を例えば蒸着法やスパッタ法により成膜する。続いて、図 8 (C) に示したように、画素電極 13 の選択的な領域（凹面 13a に対応する領域）を、例えばフォトリソグラフィによるハーフエッチング法により除去することにより、凹面 13a、凸面 13b および垂直面 13c よりなる凹凸構造を形成する。尚、平坦化膜 12 にはコンタクトホールを設け、このコンタクトホールを介して画素電極 13 をそれぞれ、駆動基板 11 上に形成された駆動回路に電氣的に接続されるようにする。

10

【0040】

このようにして形成した画素電極 13 の表面、具体的には凹面 13a、凸面 13b および垂直面 13c を覆うように、垂直配向剤を例えばスピコート法により塗布し、ベークすることにより、配向膜 14 を形成する。

20

【0041】

一方、対向基板 18 の表面に、対向電極 17 を例えば蒸着法やスパッタ法により成膜した後、この対向電極 17 の表面に垂直配向剤を、例えばスピコート法により塗布し、ベークすることにより、配向膜 16 を形成する。

【0042】

この後、駆動基板 11 の周縁領域に、例えば UV 硬化性や熱硬化性のシール部を印刷し、このシール部に囲まれた領域に、例えば UV 硬化性のモノマーを混入させた液晶層 15 を滴下注入する。この後、駆動基板 11 上に、対向基板 18 を、例えば感光性のアクリル樹脂よりなるスペーサを介して重ね合わせ、シール部を硬化させる。このようにして、駆動基板 11 および対向基板 18 間に液晶層 15 が封止されたパネル封止体が形成される。

30

【0043】

(2. プレチルト付与工程)

続いて、上記のようにして形成したパネル封止体において、液晶層 15 に電圧を印加しつつ露光（UV 照射）することにより、液晶層 15 にプレチルトを付与する。具体的には、図 9 (A) に示したように、対向電極 17 および画素電極 13 を通じて液晶層 15 に電圧 V を印加する。

【0044】

この電圧印加により、液晶層 15 では、画素電極 13 表面に形成された凹面 13a および凸面 13b 間の高低差（段差）に起因して、電界歪み（横電界）が発生する。これにより、液晶分子 15a が画素電極 13 の凹凸パターンに応じて傾倒する。この液晶分子 15a が傾いた状態で、UV 照射を行うことにより、液晶層 15 に混入したモノマーが、配向膜 14、16 との界面近傍において硬化する。その後、図 9 (B) に示したように、液晶層 15 を電圧無印加状態に戻すと、その界面近傍に形成されたポリマーが液晶分子 15a を垂直方向から僅かに傾けた状態で保持する。このようにして、液晶分子 15a には、図 7 に示したようなチルト角 θ が付与される。

40

【0045】

上記のようにしてプレチルト付与後のパネル封止体の駆動基板 11 の裏面に、偏光板 19、対向基板 18 の表面に偏光板 20 を、互いにクロスニコル配置となるように貼り合わせる。これにより、図 1 に示した液晶表示装置 1 が完成する。

50

【 0 0 4 6 】

尚、プレチルトを付与するための手法は、上記のものに限定される訳ではなく、少なくとも液晶封入後において、電圧を印加しつつ露光する工程を含むものであればよい。例えば、次のような特殊な配向膜を使用して、プレチルトを付与してもよい。即ち、側鎖において、プレチルト付与のための基と、付与したプレチルトを固定するための基（感光基）とを含む高分子を有する配向膜、あるいは感光性モノマーを含む配向膜等を使用することができる。このような特殊な配向膜を、駆動基板 1 1 側および対向基板 1 8 側の一方または両方に形成し（但し、一方の基板側にのみ形成する場合は、他方の基板側には垂直配向膜を形成する）、モノマーを含まないVA型の液晶を封入した後、電圧を印加しつつ露光を行う。このような手法によっても、プレチルトを付与することができる。

10

【 0 0 4 7 】

[液晶表示装置 1 の作用]

(映像表示動作)

液晶表示装置 1 では、以下の要領で画素電極 1 3 と対向電極 1 7 との間に、外部入力信号 Din に基づく駆動電圧を印加することにより、映像が表示される。具体的には、タイミング制御部 6 1 の制御に応じて、ゲートドライバ 5 2 が、各画素 1 0 に接続されたゲート線に走査信号を順次供給すると共に、データドライバ 5 1 が、外部入力信号 Din に基づく映像信号を、所定のソース線に供給する。これにより、映像信号が供給されたソース線と走査信号が供給されたゲート線との交差点に位置する画素 1 0 が選択され、その画素 1 0 に駆動電圧が印加されることとなる。

20

【 0 0 4 8 】

選択された画素 1 0 では、駆動電圧が印加されると、液晶層 1 5 に含まれる液晶分子 1 5 a の配向状態が、画素電極 1 3 および対向電極 1 7 間の電圧に応じて変化する。具体的には、電圧無印加状態から駆動電圧が印加されることにより、配向膜 1 4 , 1 6 の近傍に位置する液晶分子 1 5 a が倒れ、その動作に倣うように、液晶層 1 5 の厚み方向中央部に向かって、順次液晶分子 1 5 a が倒れていく。この際、液晶分子 1 5 a にチルト角が付与されていることにより、液晶分子 1 5 a がその自らの傾き方向に倒れ易くなることから、駆動電圧に対する応答時間が短くなる。その結果、液晶層 1 5 における光学的特性が変化し、バックライト 3 から液晶表示パネル 2 へ入射した光は、変調されて出射する。液晶表示装置 1 では、このようにして映像が表示される。

30

【 0 0 4 9 】

ここで、比較例に係る液晶表示装置について説明する。図 1 0 は、比較例に係る液晶表示装置の画素の断面構成の一部を表したものである。この液晶表示装置は、駆動基板 1 0 1 と対向基板 1 0 8 との間に液晶層 1 0 5 を挟み込んだものであり、駆動基板 1 0 1 および対向基板 1 0 8 の外側には、入射側偏光板 1 0 9 および出射側偏光板 1 1 0 が貼り合わせられている。駆動基板 1 0 1 の液晶層 1 0 5 の面には、平坦化膜 1 0 2 を介して画素電極 1 0 3 が画素毎に配設されており、この画素電極 1 0 3 の表面を覆って配向膜 1 0 4 が形成されている。対向基板 1 0 8 の液晶層 1 0 5 側の面には、有効表示領域のほぼ全面に渡って対向電極 1 0 7 が配設され、この対向電極 1 0 7 の表面を覆って配向膜 1 0 6 が形成されている。即ち、比較例の液晶表示装置では、画素電極 1 0 3 が、複数のスリット 1 0 3 a を有する、いわゆるファインスリット構造が採用されている。

40

【 0 0 5 0 】

図 1 1 は、上記比較例の電圧印加時における液晶分子の配向の様子を模式的に表したものである。但し、図 1 1 (A) は、図 1 0 における領域 B の画素電極 1 0 3 付近を上面から見たもの、図 1 1 (B) はその断面構成に相当する。また、簡便化のため、配向膜 1 0 4 は図示していない。このように、比較例では、画素電極 1 0 3 にスリット 1 0 3 a、即ち電極を切り欠いた部分が存在するため、その直上の領域には電圧が印加されず、液晶分子が所望の方向に配向しにくい（倒れにくい）。そのため、液晶分子 1 5 a が倒れず、基板面にほぼ垂直な方向に立ったままの配向状態となる。このような配向状態では、スリット 1 0 3 a に対応する領域において光の透過量が下がるため、透過率が低下してしまう。

50

【0051】

これに対し、本実施の形態では、電圧印加時における液晶分子15aの配向状態は以下のようになる。図12は、本実施の形態における電圧印加時の液晶分子15aの配向の様子を模式的に表したものである。但し、図12(A)は、画素電極13付近を上面から見たもの、図12(B)はその断面構成に相当する。また、簡便化のため、配向膜14は図示していない。このように、画素電極13はその表面に凹凸構造を有するが、スリットのような電極切り欠き部分は存在しないので、凸面13b上だけでなく、凹面13a上においても、印加電圧が不十分となることを抑制できる。このため、凹面13a上においても、液晶分子15aが倒れる。よって、上記のような局所的な領域において液晶分子の配向が不十分であることに伴う透過率の低下が抑制される。

10

【0052】

ここで、図13に、電圧印加時における液晶層15の電界分布(等電位分布)について示す。但し、各図において、X(μm)は基板面において凹面13aの延在方向と直交する方向におけるスケールを示している。Z(μm)は、液晶層15の厚み方向におけるスケールであり、Z=0を画素電極13側(配向膜14側)、Z=3.5 μm を対向電極17側(配向膜16側)とする。また、画素電極13の凹面13aの幅Sを4 μm 、厚みTaを50nm、凸面13bの幅Lを4 μm 、厚みTbを300nmとした。配向膜14、16は、垂直配向膜(JALS2131-R6:JSR製)を、第1サブ電極12A上に塗布し、ホットプレート上で80、80秒間乾燥させた後、窒素雰囲気下のクリーンオープン内で200、60分間ベークすることにより形成した。液晶層15としては、VA

20

【0053】

また、図15(A)には電圧(V)と応答時間(ms:ミリ秒)との関係、図15(B)には、電圧(V)と透過率(%)との関係を示す。電圧応答については、図15(A)に示したように、ファインスリット構造を有する比較例よりも良好な特性を実現できていることがわかる。一方、透過率については、図15(B)に示したように、本実施の形態では比較例に比べて大幅に向上した。

30

【0054】

一例として、透過率分布についてのシミュレーション結果を図16(A)に示す。但し、Y(μm)は、基板面において凹面13aの延在方向を示し、画素電極13のX,Y平面における寸法を30 \times 30 μm 、凹面13aおよび凸面13bの各幅を4 μm とした。また、液晶層15の厚みを3.5 μm 、印加電圧を7.5V、入射光の波長を550 μm とした。尚、図16(B)は、画素電極に幅4 μm のスリットを4 μm 間隔で設けたファインスリット構造についての透過率分布である。このファインスリット構造においては、画素電極にスリットを設けたこと以外は、上記と同様の条件とした。このように、画素電極に凹凸構造を設けることにより、ファインスリット構造に比べ、暗線が軽減されて透過率が向上すると共に、均一な透過率分布を実現し易くなる。但し、各図では、透過率分布を白黒の濃淡で表している(白に近い程、透過率が高く、黒に近い程、透過率が低いことを示している)。

40

【0055】

以上説明したように、本実施の形態では、画素電極13の液晶層15側の面に凹凸構造、具体的には凹面13a、凸面13bおよび垂直面13cよりなる凹凸構造を設けたので、電圧印加時には、液晶層15に電界歪みを発生させることができる。従って、プレチル

50

ト付与を効率的に行うことができる。この一方で、局所的な領域における印加電圧の低下を抑制することができるので、その結果、透過率の低下を抑制できる。よって、良好な電圧応答特性を保持しつつ、高透過率を実現することが可能となる。

【 0 0 5 6 】

以下、上記実施の形態の変形例（変形例 1 ~ 4）について説明する。尚、上記実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

【 0 0 5 7 】

< 変形例 1 >

図 1 7 は、変形例 1 に係る液晶表示装置における液晶表示パネルの断面構成（画素の一部に相当）を表すものである。本変形例の液晶表示パネルは、上記実施の形態の液晶表示パネル 2 と同様、駆動基板 1 1 と対向基板 1 8 との間に液晶層 1 5 を挟み込み、駆動基板 1 1 および対向基板 1 8 の外側に偏光板 1 9 , 2 0 が貼り合わせられたものである。また、駆動基板 1 1 上には、駆動基板 1 1 の表面を覆って平坦化膜 2 1 が形成され、この平坦化膜 2 1 上に、画素電極 2 2 が画素 1 0 毎に配設されている。このような構成において、本変形例においても、画素電極 2 2 の液晶層 1 5 側の面が凹凸構造を有し、対向電極 1 7 の液晶層 1 5 側の面は平坦となっている。

【 0 0 5 8 】

但し、本変形例では、画素電極 2 2 の下地層となる平坦化膜 2 1 の表面に凹凸構造が形成されており、画素電極 2 2 は、平坦化膜 2 1 上に、その表面形状に倣って略同一の厚みで設けられている。具体的には、平坦化膜 2 1 は、表面が凹面 2 1 a および凸面 2 1 b を基板面に平行な方向に沿って交互に配列してなる凹凸構造を有している。画素電極 2 2 の表面には、平坦化膜 2 1 の凹面 2 1 a に対応して凹面 2 2 a、平坦化膜 2 1 の凸面 2 1 b に対応して凸面 2 2 b を有する凹凸構造が形成されている。尚、この平坦化膜 2 1 は、上記実施の形態の平坦化膜 1 2 と同様の有機絶縁膜により構成されている。但し、この平坦化膜 2 1 の代わりに、例えばシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜等の無機絶縁膜が設けられていてもよい。

【 0 0 5 9 】

このような画素電極 2 2 の凹凸構造は、例えば次のようにして形成することができる。即ち、まず図 1 8 (A) に示したように、駆動基板 1 1 上に平坦化膜 2 1 を、上記実施の形態と同様の手法により形成する。続いて、図 1 8 (B) に示したように、平坦化膜 2 1 の選択的な領域（凹面 2 1 a に対応する領域）を、例えば所定の深さ分だけエッチングすることにより、平坦化膜 2 1 の表面に凹面 2 1 a および凸面 2 1 b を形成する。この後、図 1 8 (C) に示したように、平坦化膜 2 1 の凹凸構造を覆うように、画素電極 2 2 を、例えば蒸着法やスパッタ法等により形成することにより、図 1 7 に示した画素電極 2 2 が形成される。

【 0 0 6 0 】

本変形例においても、上記実施の形態と同様、画素電極 2 2 の液晶層 1 5 側の面に、凹面 2 2 a および凸面 2 2 b を有する凹凸構造が形成されていることにより、電圧印加時には、液晶層 1 5 にプレチルト付与に効果的な電界歪みが発生する。一方、画素電極 2 2 全体としては、スリットのような電極切欠き部分が存在しないので、液晶層 1 5 の局所的な領域で透過率が低下することが抑制される。よって、上記実施の形態と同等の効果を得ることができる。

【 0 0 6 1 】

< 変形例 2 >

図 1 9 (A) ~ (C) は、変形例 2 に係る液晶表示装置における画素電極 1 3 の他の製造方法を工程順に表したものである。上記実施の形態では、画素電極 1 3 の凹凸構造を、平坦化膜 1 2 上に画素電極 1 3 を全面形成した後、ハーフエッチングすることにより形成したが、次のようにして形成することも可能である。即ち、図 1 9 (A) に示したように、駆動基板 1 1 上に、平坦化膜 2 1 を形成した後、この平坦化膜 2 1 の全面に渡って、ITO よりなる電極層 1 3 0 を、例えば蒸着法やスパッタ法により成膜する。続いて、図 1

10

20

30

40

50

9 (B) に示したように、電極層 1 3 0 の選択的な領域 (凹面 1 3 a に対応する領域) を、例えばフォトリソグラフィ法を用いたエッチングにより除去する。その後、図 1 9 (C) に示したように、ITO よりなる電極層 1 3 1 を、例えば蒸着法やスパッタ法により成膜する。これにより、露出した平坦化膜 1 2 の表面が電極層 1 3 1 によって覆われ、凹面 1 3 a および凸面 1 3 b を有する凹凸構造が形成される。

【 0 0 6 2 】

このように、画素電極 1 3 の凹凸構造は、上記実施の形態で説明したものに限らず、様々な手法により形成することができる。即ち、画素電極 1 3 の液晶層 1 5 側の面が凹凸構造となっていれば、上記実施の形態と同等の効果を得ることができる。

【 0 0 6 3 】

< 変形例 3 >

図 2 0 は、変形例 3 に係る液晶表示装置における液晶表示パネルの断面構成 (画素の一部に相当) を表すものである。本変形例の液晶表示パネルは、上記実施の形態の液晶表示パネル 2 と同様、駆動基板 1 1 と対向基板 1 8 との間に液晶層 1 5 を挟み込み、駆動基板 1 1 および対向基板 1 8 の外側に偏光板 1 9 , 2 0 が貼り合わせられたものである。また、駆動基板 1 1 上には、平坦化膜 1 2 を介して画素電極 2 3 が画素 1 0 毎に配設されている。このような構成において、本変形例においても、画素電極 2 3 の液晶層 1 5 側の面が凹凸構造を有し、対向電極 1 7 の液晶層 1 5 側の面は平坦となっている。

【 0 0 6 4 】

但し、本変形例では、画素電極 2 3 の凹凸構造がテーパを有している。具体的には、凹凸構造が、基板面に平行な方向に沿って交互に配列する凹面 2 3 a および凸面 2 3 b を有すると共に、これらの間の段差部分がテーパ面 2 3 c となっている。このテーパ面 2 3 c のテーパ角 (基板面に垂直な方向を 0 ° とする) は、例えば 0 ° より大きく 8 0 ° 以下である。即ち、本変形例では、画素電極 2 3 の表面に、断面形状を台形とする凸部が所定の間隔で配列したような凹凸構造が形成されている。

【 0 0 6 5 】

このような画素電極 2 3 の凹凸構造は、例えばフォトリソグラフィによるエッチングにより形成することができる。

【 0 0 6 6 】

本変形例においても、上記実施の形態と同様、画素電極 2 3 の液晶層 1 5 側の面に、凹面 2 3 a および凸面 2 3 b を有する凹凸構造が形成されていることにより、電圧印加時には、液晶層 1 5 にプレチルト付与に効果的な電界歪みが発生する。一方、画素電極 2 3 全体としては、スリットのような電極切欠き部分が存在しないので、液晶層 1 5 の局所的な領域で透過率が低下することが抑制される。よって、上記実施の形態と同等の効果を得ることができる。

【 0 0 6 7 】

ここで、図 2 1 に、透過率分布についてのシミュレーション結果を示す。尚、画素電極 1 3 の寸法、凹凸構造、液晶層 1 5 の厚み、印加電圧、入射光の波長等の条件については、上記実施の形態におけるシミュレーション (図 1 6 (A)) と同様とした。但し、テーパ角は、基板面に垂直な方向から 3 0 ° 傾斜させた。このように、段差部分にテーパ面を有する凹凸構造を設けることによっても、上記実施の形態と同様、暗線が軽減されて透過率が向上すると共に、均一な透過率分布を実現し易くなることがわかる。

【 0 0 6 8 】

< 変形例 4 >

図 2 2 は、変形例 4 に係る液晶表示装置における液晶表示パネルの断面構成 (画素の一部に相当) を表すものである。本変形例の液晶表示パネルは、上記実施の形態の液晶表示パネル 2 と同様、駆動基板 1 1 と対向基板 1 8 との間に液晶層 1 5 を挟み込み、駆動基板 1 1 および対向基板 1 8 の外側に偏光板 1 9 , 2 0 が貼り合わせられたものである。また、駆動基板 1 1 上には、平坦化膜 1 2 を介して画素電極 2 4 が画素 1 0 毎に配設されている。このような構成において、本変形例においても、画素電極 2 4 の液晶層 1 5 側の面が

10

20

30

40

50

凹凸構造を有し、対向電極 17 の液晶層 15 側の面は平坦となっている。

【0069】

但し、本変形例では、画素電極 24 の凹凸構造が逆テーパを有している。具体的には、凹凸構造が、基板面に平行な方向に沿って交互に配列する凹面 24 a および凸面 24 b を有すると共に、これらの間の段差部分が逆テーパ面 24 c となっている。即ち、本変形例では、画素電極 24 の表面に、断面形状を逆台形とする凸部が所定の間隔で配列したような凹凸構造が形成されている。

【0070】

このような画素電極 24 の凹凸構造は、例えばフォトリソグラフィによるエッチングにより形成することができる。

10

【0071】

本変形例においても、上記実施の形態と同様、画素電極 24 の液晶層 15 側の面に、凹面 24 a および凸面 24 b を有する凹凸構造が形成されていることにより、電圧印加時には、液晶層 15 にプレチルト付与に効果的な電界歪みが発生する。一方、画素電極 24 全体としては、スリットのような電極切欠き部分が存在しないので、液晶層 15 の局所的な領域で透過率が低下することが抑制される。よって、上記実施の形態と同等の効果を得ることができる。また、段差部分が逆テーパ面であることにより、垂直面の場合に比べ、小さな段差で電界歪みを発生させることができる。このため、画素電極全体の厚膜化することなく、配向制御が可能となる。

【0072】

20

続いて、上記変形例 1 において説明したような、画素電極の下地層に凹凸構造を有する場合の詳細構成について、以下の変形例 5 - 1 ~ 5 - 5 を例に挙げて説明する。

【0073】

<変形例 5 - 1 >

図 23 は、変形例 5 - 1 に係る凹凸構造例を説明するための断面図である。本変形例は、上記変形例 1 と同様の凹凸構造を有する場合（画素電極 22 の下地層である平坦化膜 21 の表面に凹凸構造 21 a b を有する場合）の詳細構成例である。図 23 に示したように、平坦化膜 21 は、基板 11 a 上のトランジスタ 120（TFT）や図示しない配線等を覆うように設けられている。トランジスタ 120 は、例えばゲート電極 121 上に、ゲート絶縁膜 122 を介して半導体層 123 を有している。半導体層 123 上にはソース・ドレイン電極 124 が配設され、これらが保護膜 125 によって被覆されている。尚、トランジスタ 120 としては、そのようなボトムゲート型のものに限らず、トップゲート型のものであってもよい。

30

【0074】

平坦化膜 21 には、このようなトランジスタ 120（ソース・ドレイン電極 124）と画素電極 22 との電氣的導通を確保するためのコンタクトホール H1 が設けられている。画素電極 22 は、平坦化膜 21 上において、コンタクトホール H1 の底部を埋め込むと共に、凹凸構造 21 a b の表面形状に倣って、略一定の厚みで形成されている。

【0075】

このような平坦化膜 21 における凹凸構造 21 a b は、例えば次のようにして形成することができる。即ち、図示は省略するが、まず、駆動基板 11 上に平坦化膜 21 を上述したような手法により成膜した後、その平坦化膜 21 の表面に、フォトリソグラフィ法を用いて、凹凸構造 21 a b およびコンタクトホール H1 を形成する。具体的には、まず、平坦化膜 21 上にフォトレジストを塗布形成し、所定のフォトマスクを用いて露光および現像を行い、フォトレジストをパターニングする。この際、フォトマスクとしては、コンタクトホール H1 に対応して透過領域（透過率約 100%）を有すると共に、凹凸構造 21 a b の形成領域に対応して半透過領域（透過率数% ~ 数十%）を有するマスクを用いる。この凹凸構造 21 a b に対応する領域は、いわゆるハーフトーンマスクとなっている。その後、エッチングを行い、フォトレジストを除去することにより、平坦化膜 21 の一部領域に、ソース・ドレイン電極 124 の表面まで貫通するコンタクトホール H1 が形成され

40

50

る一方、他の選択的な領域には、その表面に所定の凹凸構造 2 1 a b が形成される。この凹凸構造 2 1 a b における凹部深さ（凸部高さ）および凹部幅（凸部幅）は、上記フォトマスクにおける半透過領域の透過率やそのパターンにより調整することができる。この後、平坦膜 2 1 上に画素電極 2 2 を形成すればよい。

【 0 0 7 6 】

本変形例のように、画素電極 2 2 の下地層（平坦化膜 2 1 ）に凹凸構造 2 1 a b を設ける場合に、ハーフトーンマスクを利用したフォトリソグラフィ法を用いることで、コンタクトホール H 1 の形成と同時に、凹凸構造 2 1 a b を形成することができる。即ち、新たに製造工程を増やすことなく、平坦化膜 2 1 に凹凸構造 2 1 a b を形成可能となる。

【 0 0 7 7 】

< 変形例 5 - 2 >

図 2 4 (A) は、変形例 5 - 2 に係る凹凸構造例を説明するための断面図である。本変形例は、上記変形例 5 - 1 と同様、画素電極 2 2 の下地層に凹凸構造を有するものであるが、次の点において上記変形例 5 - 1 と異なっている。即ち、本変形例では、平坦化膜 1 2 の表面が平坦となっており、この平坦化膜 1 2 上に凹凸構造 2 5 a b を構成するフォトレジスト 2 5 が設けられている。平坦化膜 1 2 には、上記変形例 5 - 1 と同様、画素電極 2 2 とソース・ドレイン電極 1 2 4 との電氣的導通を確保するためのコンタクトホール H 1 が設けられている。フォトレジスト 2 5 は、このコンタクトホール H 1 に対応する領域に開口を有すると共に、他の選択的な領域においてパターンングされて凹凸構造 2 5 a b を形成している。画素電極 2 2 は、このフォトレジスト 2 5 上に、コンタクトホール H 1 の底部を埋め込むと共に、凹凸構造 2 5 a b の形状に倣って、略一定の厚みで形成されている。

【 0 0 7 8 】

このようなフォトレジスト 2 5 を用いた凹凸構造 2 5 a b は、例えば次のようにして形成することができる。即ち、図示は省略するが、まず、駆動基板 1 1 上に平坦化膜 1 2 を上述したような手法により成膜した後、フォトリソグラフィ法を用いてコンタクトホール H 1 を形成する。続いて、平坦化膜 1 2 上にフォトレジスト 2 5 を塗布形成した後、このフォトレジスト 2 5 の露光および現像を行い、コンタクトホール H 1 においてソース・ドレイン電極 1 2 4 の表面が露出すると共に、凹凸構造 2 5 a b の形成領域において平坦化膜 1 2 の表面が露出するように、パターンングを行う。これにより、フォトレジスト 2 5 を用いた凹凸構造 2 5 a b が平坦化膜 1 2 上に形成される。

【 0 0 7 9 】

画素電極 2 2 の下地層に凹凸構造を設ける場合には、上記変形例 5 - 1 において説明したように平坦化膜 2 1 自体に凹凸構造 2 1 a b を設けてもよいが、本変形例のように、フォトレジスト 2 5 を利用して凹凸構造 2 5 a b を形成してもよい。これにより、凹凸構造 2 5 a b を、エッチング工程を経ることなく形成可能である。尚、本変形例では、凹凸構造 2 5 a b における凹部深さ（凸部高さ）および凹部幅（凸部幅）は、フォトレジスト 2 5 の膜厚やパターンにより調整することができる。また、ここでは、凹凸構造 2 5 a b において、フォトレジスト 2 5 が選択的な領域において平坦化膜 1 2 の表面まで除去されて（平坦化膜 1 2 の表面の一部が画素電極に接触して）いるが、フォトレジスト 2 5 は必ずしも平坦化膜 1 2 の表面まで完全に除去されていなくともよい。即ち、図 2 4 (B) に示したように、フォトレジスト 2 5 の画素電極 2 2 側の少なくとも一部に凹凸構造 2 5 a b が設けられていればよく、平坦化膜 1 2 側の面は平坦であってもよい。

【 0 0 8 0 】

< 変形例 5 - 3 >

図 2 5 は、変形例 5 - 3 に係る凹凸構造例を説明するための断面図である。本変形例は、上記変形例 5 - 1 , 5 - 2 と同様、画素電極 2 2 の下地層に凹凸構造を有するものである。また、上記変形例 5 - 2 と同様、平坦化膜 1 2 の表面は平坦となっており、この平坦化膜 1 2 上に別途凹凸構造を形成するようになっている。但し、本変形例では、平坦化膜 1 2 上に、無機絶縁膜 2 6 が設けられ、この無機絶縁膜 2 6 に凹凸構造 2 6 a b が形成さ

10

20

30

40

50

れている。この無機絶縁膜 26 は、例えばシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜等により構成され、コンタクトホール H1 に対応する領域と、凹凸構造 26 a b を構成する領域とにおいてそれぞれパターニングされている。画素電極 22 は、この無機絶縁膜 26 上に、コンタクトホール H1 の底部を埋め込むと共に、凹凸構造 26 a b の形状に倣って、略一定の厚みで形成されている。

【0081】

このような無機絶縁膜 26 を用いた凹凸構造 26 a b は、例えば次のようにして形成することができる。即ち、図示は省略するが、まず、駆動基板 11 上に平坦化膜 12 を上述したような手法により成膜した後、フォトリソグラフィ法を用いてコンタクトホール H1 を形成する。続いて、平坦化膜 12 上に無機絶縁膜 26 を例えば CVD 法等により成膜した後、この無機絶縁膜 26 を、フォトリソグラフィ法により、コンタクトホール H1 に対応する領域と、凹凸構造 26 a b の形成領域とにおいてエッチングする。これにより、無機絶縁膜 26 を用いた凹凸構造 26 a b が平坦化膜 12 上に形成される。

10

【0082】

画素電極 22 の下地層に凹凸構造を設ける場合、本変形例のように、平坦化膜 12 上に設けた無機絶縁膜 26 を利用して凹凸構造 26 a b を形成してもよい。無機絶縁膜 26 を用いることにより、凹凸構造 26 a b において所望の凹凸形状を形成し易くなり、形状安定性も高まる。尚、この無機絶縁膜 26 についても、上記変形例 5 - 2 のフォトレジスト 25 と同様、凹凸構造 26 a b において必ずしも平坦化膜 12 の表面まで除去されていなくともよく、凹凸構造 26 a b が画素電極 22 側の少なくとも一部にのみ設けられていてもよい。また、無機絶縁膜に限らず有機絶縁膜を用いてもよい。

20

【0083】

<変形例 5 - 4 >

図 26 は、変形例 5 - 4 に係る凹凸構造例を説明するための断面図である。本変形例は、上記変形例 5 - 1 ~ 5 - 3 と同様、画素電極 22 の下地層に凹凸構造を有するものである。但し、本変形例は、上記変形例 5 - 1 ~ 5 - 3 と異なり、駆動基板 11 上にカラーフィルタ層 27 を有する COA 構造への適用例である。本変形例では、駆動基板 11 上に設けられたトランジスタ 120 を覆うようにカラーフィルタ層 27 が形成されている。このカラーフィルタ層 27 上には、このカラーフィルタ層 27 の保護層としての絶縁膜 28 が設けられており、この絶縁膜 28 が凹凸構造 28 a b を有している。カラーフィルタ層 27 は、例えば樹脂材料と、顔料や染料等を含むものであり、画素毎に R, G, B のいずれかの色に塗り分けられている。絶縁膜 28 は、例えば熱硬化性樹脂、光反応性樹脂などの有機膜またはシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などの無機膜により構成され、コンタクトホール H1 に対応する領域と、凹凸構造 28 a b を構成する領域とにおいてそれぞれパターニングされている。画素電極 22 は、この絶縁膜 28 上に、コンタクトホール H1 の底部を埋め込むと共に、凹凸構造 28 a b の形状に倣って、略一定の厚みで形成されている。

30

【0084】

このような絶縁膜 28 を用いた凹凸構造 28 a b は、例えば次のようにして形成することができる。即ち、図示は省略するが、まず、駆動基板 11 上にカラーフィルタ層 27 を成膜した後、例えば有機膜よりなる絶縁膜 28 を塗布する。この後、フォトリソグラフィ法を用いてコンタクトホール H1 を形成すると共に、凹凸構造 28 a b を形成する。これにより、絶縁膜 28 を用いた凹凸構造 28 a b がカラーフィルタ層 27 上に形成される。尚、絶縁膜 28 をパターニングして凹凸構造 28 a b を形成することにより、カラーフィルタ層 27 の表面の一部が保護膜となる絶縁膜 28 から露出するが、この露出したカラーフィルタ面は、最終的に画素電極 22 によって覆われることとなる。即ち、画素電極 22 (例えば ITO) が保護膜として機能するため、凹凸構造 28 a b の形成によって、カラーフィルタ層 27 が劣化し易くなることはない。

40

【0085】

画素電極 22 の下地層に凹凸構造を設ける場合、本変形例のような COA 構造にも適用

50

可能であり、この場合、カラーフィルタ層 27 上に設けられる絶縁膜 28 に凹凸構造 28 a b を形成してもよい。また、この絶縁膜 28 についても、上記変形例 5 - 2 と同様、凹凸構造 28 a b において、必ずしもカラーフィルタ層 27 の表面まで除去されていなくともよく、絶縁膜 28 の画素電極 22 側の少なくとも一部にのみ凹凸構造 28 a b が設けられていてもよい。

【0086】

尚、絶縁膜 28 として、無機膜を使用する場合には、駆動基板 11 上にカラーフィルタ層 27 を成膜した後、まずカラーフィルタ層 27 にコンタクトホール H1 を形成する。次いで、このカラーフィルタ層 27 上に、上述のような無機膜を例えば CVD 法により成膜した後、パターニングを行い凹凸構造 28 a b を形成すればよい。

10

【0087】

<変形例 5 - 5 >

また、図 27 に示したように、上記変形例 5 - 4 で説明したような COA 構造において、カラーフィルタ層 29 の表面に直に凹凸構造 29 a b を形成してもよい。尚、この場合、上記変形例 5 - 1 において説明したような所定のフォトマスクを利用することで、凹凸構造 29 a b を、コンタクトホール H1 と同一工程において一括形成できる。また、本変形例では、カラーフィルタ層 29 の全面を画素電極 22 が覆い、この画素電極 22 がカラーフィルタ層 29 の保護膜として機能するようになっている。このように、カラーフィルタ層 29 自体に凹凸構造 29 a b を設けてもよい。

【0088】

20

尚、上記変形例 5 - 1 ~ 5 - 5 において、画素電極 22 の下地層に凹凸構造を設ける場合について説明したが、これは、対向電極 17 側に凹凸パターンを形成する場合にも適用可能である。例えば、対向基板 18 側にカラーフィルタ層が設けられる場合には、このカラーフィルタ層の表面またはカラーフィルタ層の保護膜の表面に凹凸構造を形成し、形成した凹凸構造を覆うように対向電極 17 を形成すればよい。

【0089】

<変形例 6 >

図 28 (A), (B) は、画素電極端部の構成を説明するための模式図であり、(A) は斜視構成、(B) は駆動基板 11 上に平坦化膜 21 を介して設けられた画素電極 22 を画素電極 22 の側からみたものである。上記実施の形態および変形例において説明した画素電極では、その端部（具体的には、ブラクマトリクス層に対向する非表示部分）が除去されていてもよい。尚、画素電極としては、以下では、上記変形例 1 および変形例 5 - 1 ~ 5 - 5 において説明した、凹凸構造を有する下地層の上に設けられた画素電極（画素電極 22）を例に挙げる。具体的には、このような電極端 22 E を有する画素電極 22 は、平坦化膜などの凹凸構造を有する下地層の上に画素電極 22 を形成した後、その端部をエッチング除去することにより形成する。

30

【0090】

このように、画素電極 22 がパターニングされた電極端 22 E を有することで、画素端部において、斜め電界が強くなり液晶が所望の方向に配向し易くなる。

【0091】

40

ここで、上記変形例 5 - 1 の平坦化膜 21 上に、電極端 22 E を有する画素電極 22 を形成してなる、次のようなサンプルを作製して、測定実験およびシミュレーションを行った。即ち、まず、ガラス基板上に、熱硬化樹脂（JSR 社製 SS3969）をスピンコート法により塗布し、ホットプレートを用いてプリバーク（90℃, 90 秒間）した。その後、230℃ に設定したオープンにおいて、1 時間バークし、膜厚 2 μm の平坦化膜 21 を成膜した。この平坦化膜 21 の表面に、フォトリソグラフィ法により、ストライプ状の凹部（溝）を、幅 4 μm（凸部の幅も 4 μm）、深さ 100 nm でパターン形成した後、ITO を 100 nm の厚みで全面にわたって形成し、フォトリソグラフィ法により端部のみをエッチング除去した。形成した画素電極 22 と、別に用意した対向基板（パターニングしていないベタの対向電極が形成された基板）との各電極表面に配向膜（JSR 社製 F

50

PA材料)を塗布した。続いて、これらの画素電極22および対向電極間に、液晶材料(メルク社製MLC-7026)を封止した。この後、画素電極22および対向電極を通じて液晶に電圧を供給しながら、UV露光を行うことで、配向膜近傍の液晶分子にプレチルトを付与した。このようにして作製したサンプル(サンプルA:溝深さ100nm)において、透過率、チルト角および応答特性についてそれぞれ測定した。また、平坦化膜21に形成する溝の深さ以外は上記と同様の条件で作製したサンプルB(溝深さ200nm)およびサンプルC(溝深さ300nm)についても、同様の測定を行った。

【0092】

また、上記サンプルA~Cの比較例として、次のようなサンプルDを作製し、同様の測定を行った。尚、サンプルDにおける駆動基板側の構造としては、図29に示したように、駆動基板101上に平坦化膜102を形成し、この平坦化膜102上に、ファインスリット構造を有する画素電極103を配設したものをを用いた。具体的には、まず、ガラス基板上に、上記と同様にして膜厚2 μ mの平坦化膜102(凹凸構造なし)を成膜した後、この平坦化膜102の全面にわたって、ITOを100nmの厚みで成膜した。この後、成膜したITOをフォトリソグラフィ法によりパターンニングし、スリット103aに対応するストライプ状の領域と、端部領域とを選択的にエッチング除去した。尚、このスリット103aの幅は、上記サンプルA~Cと同等となるようにし、対向電極側の構成、配向膜および液晶の材料、電圧印加条件、UV露光条件は上記サンプルA~Cと同様とした。

【0093】

上記のようにして測定した透過率、チルト角および応答特性について、図30~図32にそれぞれ示す。尚、チルト角は、UV露光時に各電極へ印加された電圧と、それによって付与されるチルト角について示したものである。また、このチルト角の測定値としては、ある領域内に存在する液晶分子のそれぞれのチルト角を計測し、それらの平均をとったものを示す。

【0094】

図30に示したように、ファインスリット構造を用いたサンプルDに比べ、画素電極に凹凸パターンを有するサンプルA~Cでは、透過率が約17%も向上した。

【0095】

また、図31に示したように、サンプルDに比べ、サンプルA~Cでは、付与されるチルト角が大きくなっていることがわかる。これは、詳細は後述するが、サンプルDでは、液晶分子の配向状態にばらつきが生じ、サンプルA~Cでは配向状態が一定の状態に揃い易いことに起因するためと考えられる。上記のようにチルト角は、ある領域内に存在する液晶分子のチルト角の平均値であるため、液晶分子の倒れる方向にばらつきがあったり、倒れない液晶分子が存在している場合、それらの平均値は小さな値となり易い。一方、液晶分子の倒れる方向が一定の方向に揃っていると、液晶分子の実際のチルト角と、その平均値とが近い値となり易い。

【0096】

更に、図32に示したように、サンプルDに比べ、サンプルA~Cでは電圧に対する応答が速くなっていることがわかる。これは、プレチルトの方位が揃うことで液晶分子が一定の方向に倒れ易くなるためと考えられる。また、上記結果のうち、この応答特性と透過率については、溝深さを100nm, 200nm, 300nmとしたサンプルA~C間において、ほとんど差がみられないこともわかった。

【0097】

これらの結果の裏付けとして、プレチルト付与の際の電圧を変化させた場合(5V, 7.5V, 10V)の液晶分子の配向についてシミュレーションしたものを、図33(B), (C)に示す。但し、図33(B)はファインスリット構造を有する電極、図33(C)は凹凸パターンを有する電極について示したものであり、図33(A)に示したように、電極の凸部と凹部との境界付近(ファインスリットでは電極部分とスリット部分との境界付近)の領域S1について示している。また、各図には液晶分子をダイレクタの向きを

表す線分 D 1 と、長軸方向における端部 D 2 1 , D 2 2 とを用いて模式的に表す。例えば、端部 D 2 1 , D 2 2 間の長さ（線分 D 1 の長さ）が比較的長く表された液晶分子は、線分 D 1 に沿った方向においてより大きな角度で倒れていることを示す。これらのシミュレーション結果からも、ファインスリット構造に比べ、凹凸構造を有する場合の液晶分子にはより大きなチルト角が付与されていることがわかる。また、ファインスリット構造では、電極長辺方向（スリットの延在方向）に沿って倒れている液晶分子に加え、電極長辺方向に直交する方向に倒れている液晶分子も数多く存在し、液晶分子の倒れる方向にばらつきが生じていることがわかる。これに対し、凹凸構造の場合には、液晶分子が、ほぼ電極長辺方向（凹部の延在方向）に沿うように倒れていることがわかる。

【 0 0 9 8 】

10

また、図 3 4 (A) , (B) には、ファインスリット構造および凹凸構造の各場合の液晶分子の配向状態を模式的に示す。図 3 4 (A) に示したように、ファインスリット構造では、電極部分とスリット部分との境界付近において、液晶分子が擦れて（画素電極から対向電極へ向けてダイレクタが回転しつつ）配向する。また、電極部分とスリット部分とが交互に連続して配置されるため、右巻き（ R 1 ）の擦れ（ツイスト）と、左巻き（ L 1 ）の擦れとが交互に現れる。図 3 5 (B) ~ (D) に、このようなファインスリット構造における液晶分子の配向状態について、異なる角度からみたものを示す。尚、図 3 5 (B) は、(A) 図の矢印 F 1、図 3 5 (C) は矢印 F 2、図 3 5 (D) は矢印 F 3 からそれぞれ見た配向状態を表している。このように、ファインスリット構造では、液晶分子の倒れる方向にばらつきがあり、これが応答速度の低下を招く。

20

【 0 0 9 9 】

これに対し、図 3 4 (B) に示したように、凹凸構造の場合には、液晶分子が略一定の方向に揃って倒れており、このことからスムーズな電圧応答が実現されることがわかる。

【 0 1 0 0 】

尚、上記変形例 6 では、画素電極 2 2 の電極端 2 2 E（周縁部）がパターンニング除去された構成について説明したが、このような構成に限定されず、図 3 6 (A) , (B) に示したように、周縁部は除去されていないくともよい。

【 0 1 0 1 】

< 実施例 >

30

以下、上記実施の形態および変形例に係る液晶表示装置の実施例（実施例 1 ~ 3）について説明する。

【 0 1 0 2 】

（実施例 1）

図 3 7 に、上記実施の形態に係る液晶表示パネル 2 において、段差（凸面 1 3 b の厚み T b と凹面 1 3 a の厚み T a との差）を変化させた場合の透過率の測定結果を示す。この際、ITO よりなる画素電極 1 3 の凹面 1 3 a の幅 S を 4 μ m、凸面 1 3 b の幅 L を 4 μ m、液晶層 1 5 の厚みを 3 . 5 μ m、印加電圧を 7 . 5 V、入射光の波長を 5 5 0 nm とした。また、段差は、5 0 nm ~ 5 0 0 nm の範囲では 5 0 nm 刻みで変化させ、1 0 0 0 nm ~ 3 0 0 0 nm の範囲では 5 0 0 nm 刻みで変化させた。また、5 0 0 nm ~ 8 0 0 nm の範囲においては、7 5 0 nm および 8 0 0 nm の 2 点において測定を行った。いずれの場合にも、液晶は問題なく配向したが、段差が大きくなるに従って、透過率は減少する傾向を示した。ここで、ファインスリット構造における透過率（ R E F = 0 . 7 1 ）より高い透過率を実現できることから、段差は 5 0 nm ~ 7 5 0 nm の範囲であることが望ましい。また、より望ましくは、5 0 nm ~ 3 0 0 nm である。成膜工程やエッチング工程におけるタクトタイムを短縮できると共に、段差が低減することにより、表面形状がフラットなベタ電極の構造により近づくため、透過率向上が期待できる。

40

【 0 1 0 3 】

（実施例 2）

実施例 2 として、上記変形例 3 で説明した画素電極 2 3 におけるテーパ面 2 3 c のテー

50

テーパー角 t を変化させた場合の透過率を測定した。具体的には、図 3 8 に示したように、凹面 2 3 a の幅 S ($4 \mu\text{m}$) , 厚み $T a$ (50nm) , ピッチ (= 台形状の凸部の下底の幅 : $4 \mu\text{m}$) および凸面 2 3 b の厚み $T b$ (200nm) をそれぞれ固定とし、凸面 2 3 b の幅 $D a$ を可変として、テーパー角 t を変化させた。このとき、幅 $D a$ は、 $3.5 \sim 1 \mu\text{m}$ の範囲において $0.5 \mu\text{m}$ 刻みで変化させた。いずれの場合にも、液晶は問題なく配向し、図 3 9 に示したように高透過率となった。また、透過率は、幅 $D a$ が $1 \mu\text{m}$ のときに最も高くなった。

【 0 1 0 4 】

(実施例 3)

実施例 3 として、上記実施例 2 と同様、テーパー面 2 3 c のテーパー角 t を変化させた場合の透過率を測定した。但し、本実施例では、図 4 0 に示したように、凹面 2 3 a の幅 S ($4 \mu\text{m}$) , 厚み $T a$ (50nm) , ピッチ (= 台形状の凸部の下底の幅 : $4 \mu\text{m}$) および凸面 2 3 b の幅 ($1 \mu\text{m}$) をそれぞれ固定とし、凸面 2 3 b の厚み $T b$ を可変として、段差 (= $T b - 50$) を変化させた。段差は、 $200 \sim 60 \text{nm}$ の範囲において、 20nm 刻みで変化するようにした。いずれの場合にも、液晶は問題なく配向し、図 4 1 に示したように高透過率となった。また、段差が小さくなるに従ってより高い透過率を示した。

【 0 1 0 5 】

以上、実施の形態および変形例を挙げて本発明を説明したが、本発明はこれらの実施の形態等に限定されず、種々の変形が可能である。例えば、上記実施の形態等では、画素電極の表面にのみ凹凸構造を形成する場合を例に挙げて説明したが、凹凸構造は、対向電極の表面に設けてもよい。即ち、対向電極の表面に凹凸構造を設けて画素電極の表面をフラットに形成してもよいし、画素電極と対向電極の両方の表面に凹凸構造を設けてもよい。

【 0 1 0 6 】

また、上記実施の形態等では、凹凸構造の段差部分を垂直面、テーパー面および逆テーパー面のいずれかとした場合を例に挙げて説明したが、これに限定されず、曲面であってもよい。更に、段差部分をテーパー面とする凹凸構造としては、断面形状が台形状となるようなものを例に挙げて説明したが、断面形状が三角形状 (即ち上底部分がない形状) となるようなものであってもよい。

【 0 1 0 7 】

更に、本発明の液晶表示装置における各層の材料や厚み、寸法等は、上述したものに限定されない。例えば、画素電極では、凹面の幅 S と凸面の幅 L とが互いに等しい ($S = L = 4 \mu\text{m}$) である場合を例に挙げて説明したが、スリットの幅 S と電極部分の幅 L とは互いに異なってもよい。

【 符号の説明 】

【 0 1 0 8 】

1 ... 液晶表示装置、 2 ... 液晶表示パネル、 3 ... バックライト、 1 0 ... 画素、 1 1 ... 駆動基板、 1 2 , 2 1 ... 平坦化膜、 1 3 , 2 2 , 2 3 , 2 4 ... 画素電極、 1 3 a , 2 2 a , 2 3 a , 2 4 a ... 凹面、 1 3 b , 2 2 b , 2 3 b , 2 4 b ... 凸面、 1 3 c ... 垂直面、 2 3 c ... テーパー面、 2 4 c ... 逆テーパー面、 1 4 , 1 6 ... 配向膜、 1 5 ... 液晶層、 1 5 a ... 液晶分子、 1 7 ... 対向電極、 1 8 ... 対向基板、 1 9 , 2 0 ... 偏光板、 5 1 ... データドライバ、 5 2 ... ゲートドライバ、 6 1 ... タイミング制御部、 6 2 ... バックライト駆動部、 t ... テーパー角、 $T a$... 厚み (凹面) 、 $T b$... 厚み (凸面) 、 ... チルト角、 $D 1$... 長軸方向 (ダイレクタ) 。

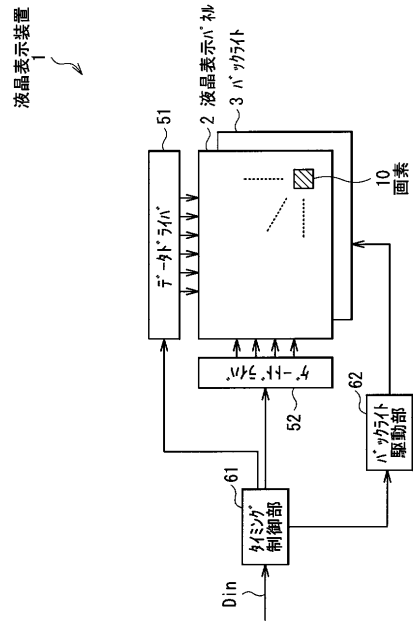
10

20

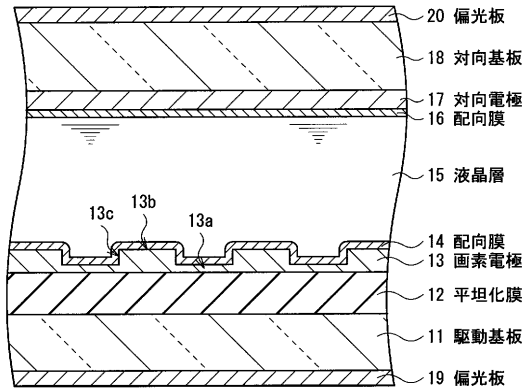
30

40

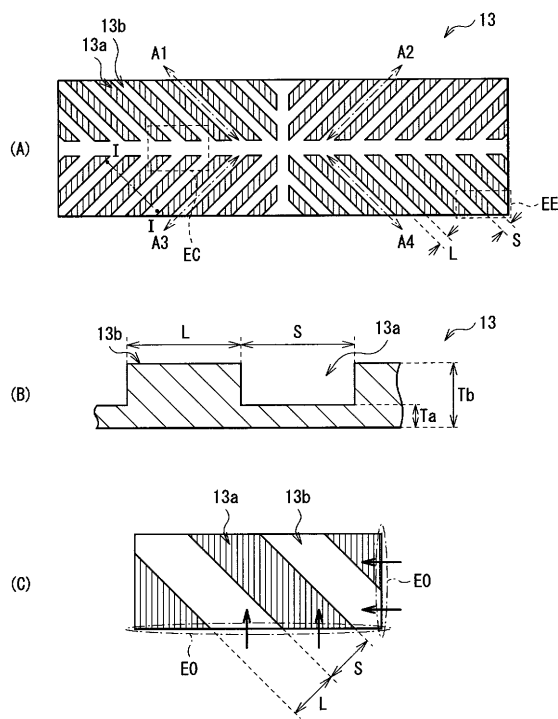
【 図 1 】



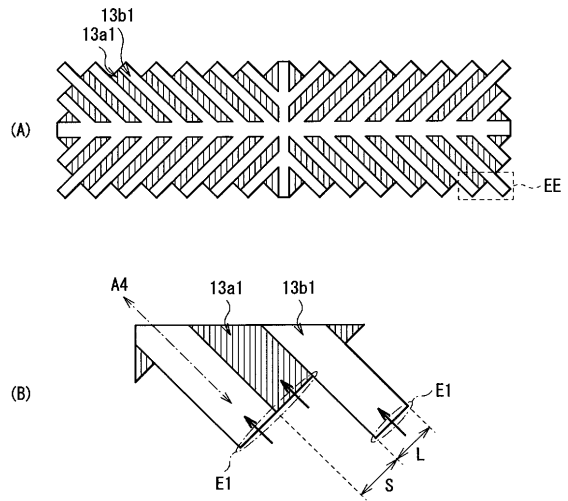
【 図 2 】



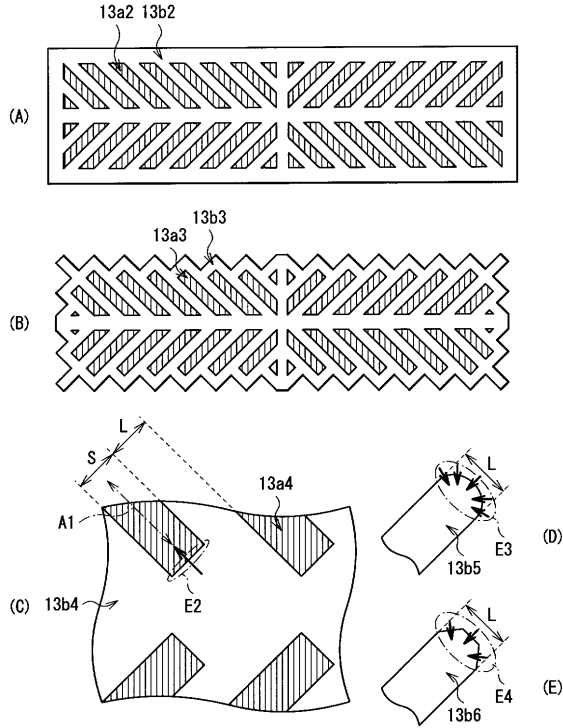
【 図 3 】



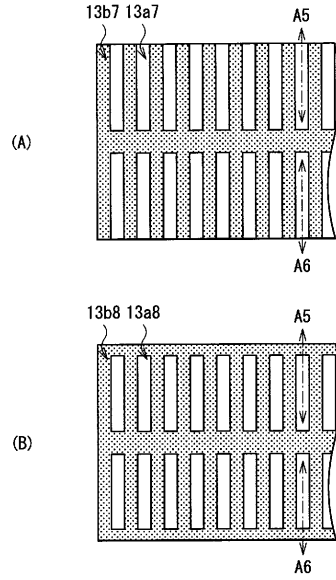
【 図 4 】



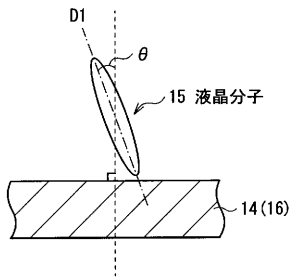
【 図 5 】



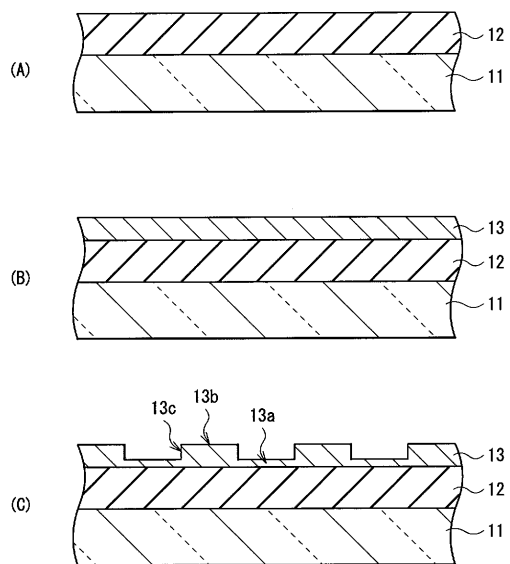
【 図 6 】



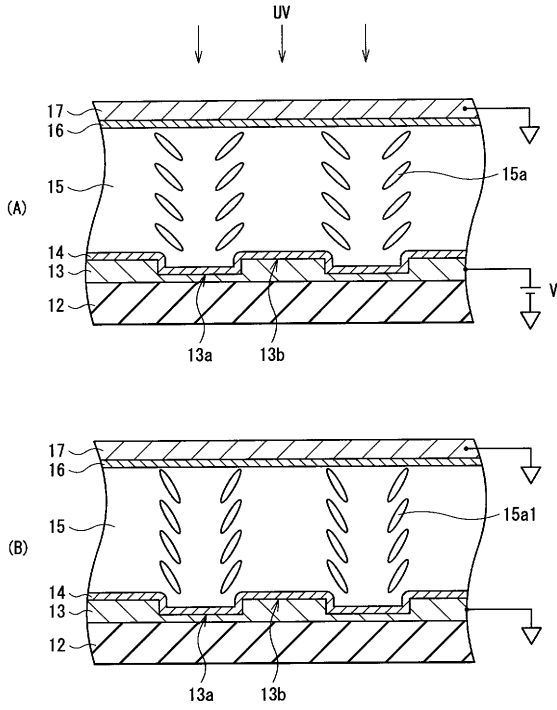
【 図 7 】



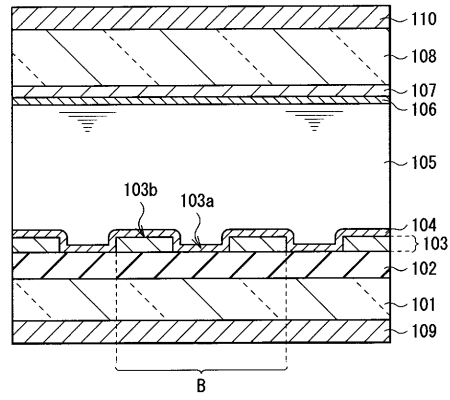
【 図 8 】



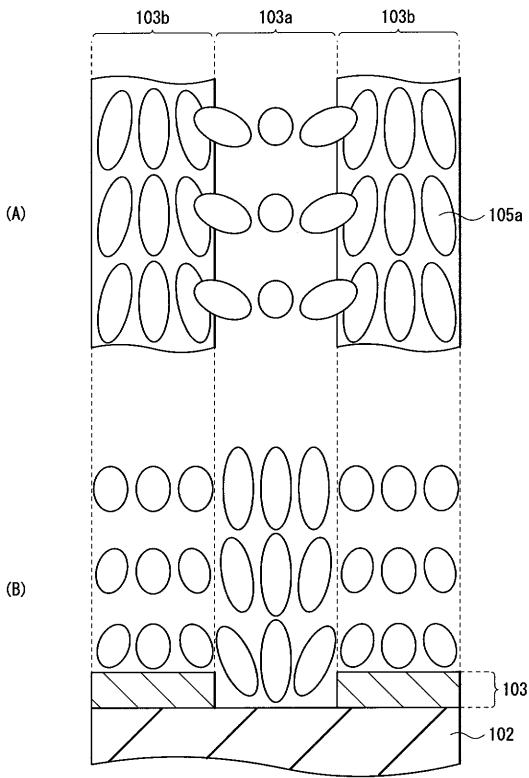
【 図 9 】



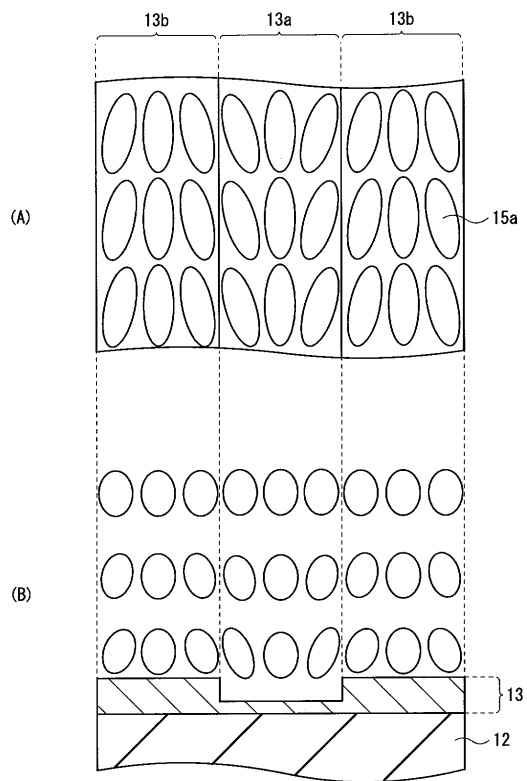
【 図 10 】



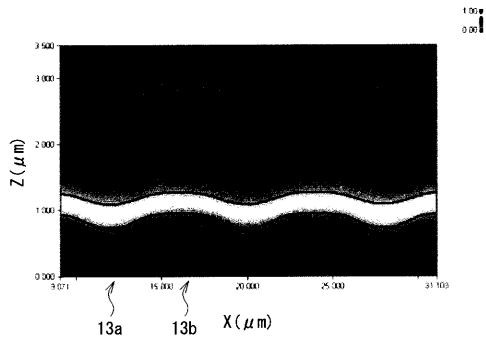
【 図 11 】



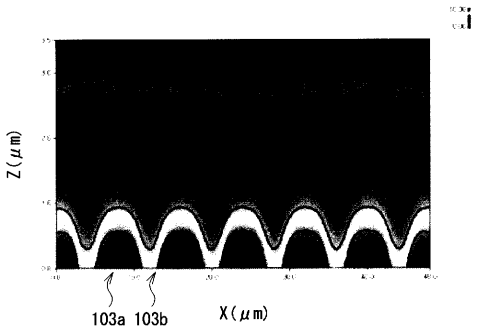
【 図 12 】



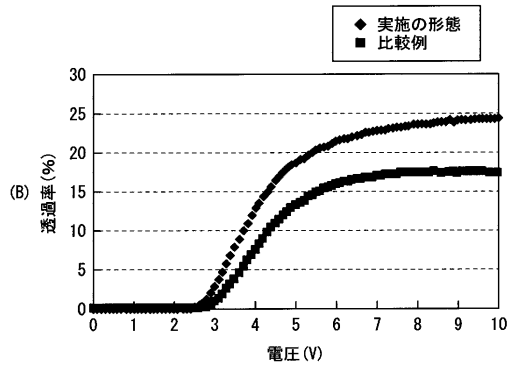
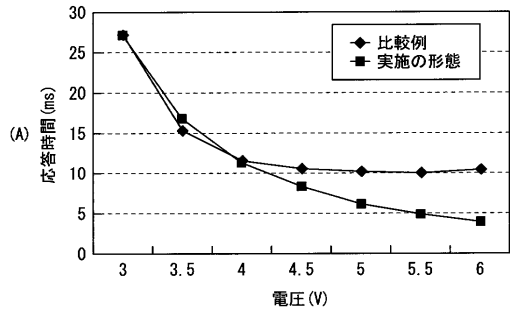
【図13】



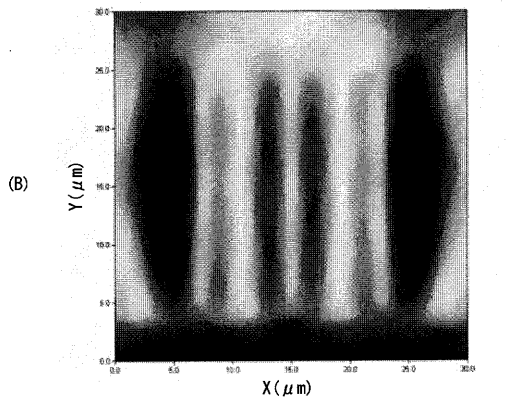
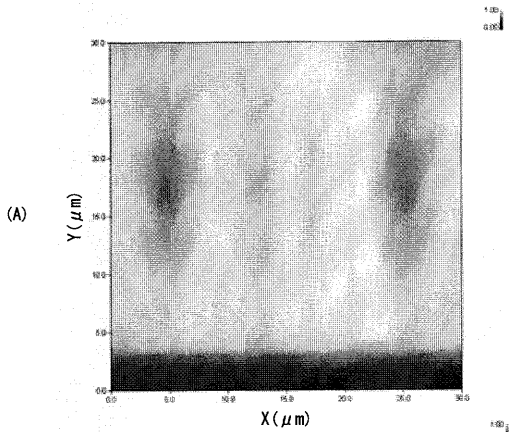
【図14】



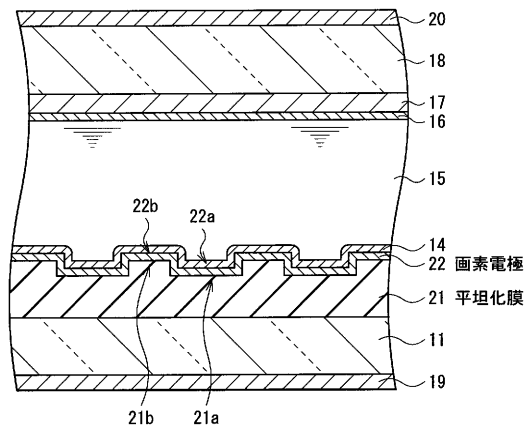
【図15】



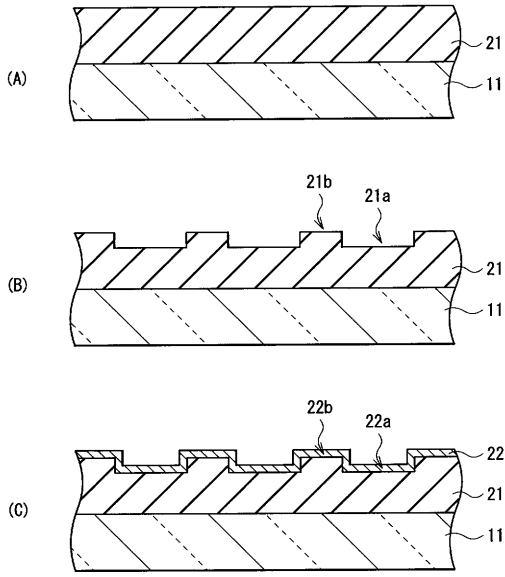
【図16】



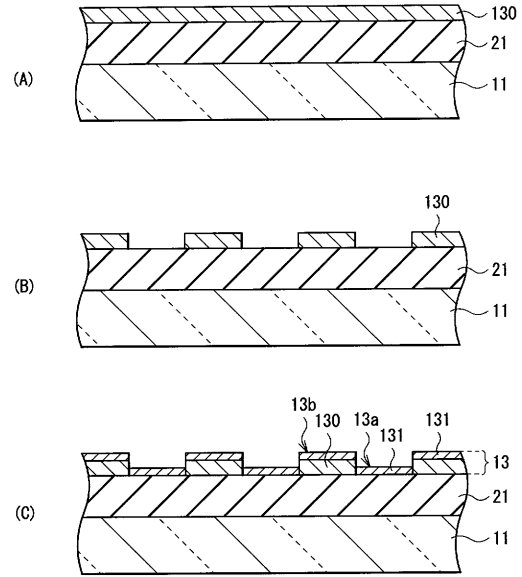
【図17】



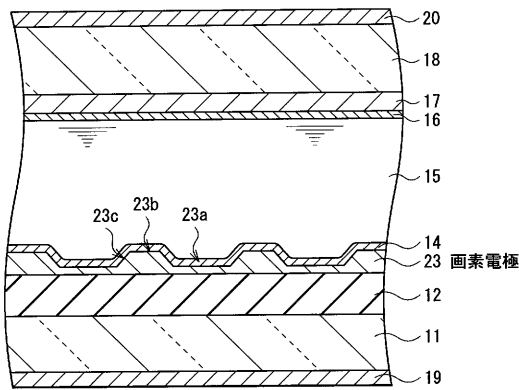
【図18】



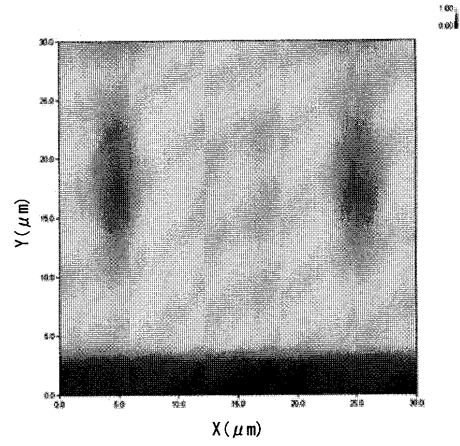
【図19】



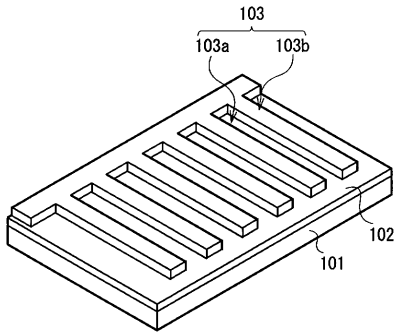
【図20】



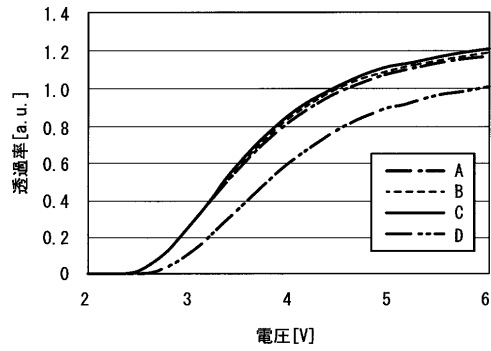
【図21】



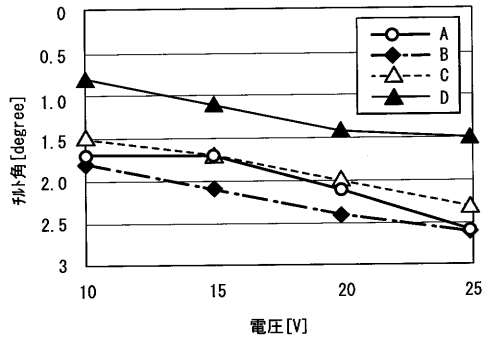
【図29】



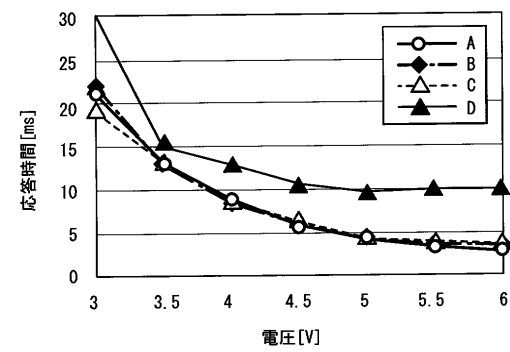
【図30】



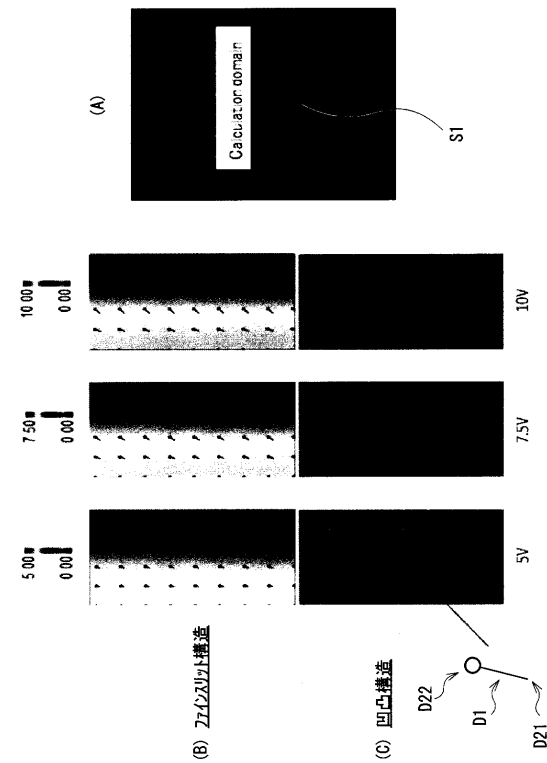
【図31】



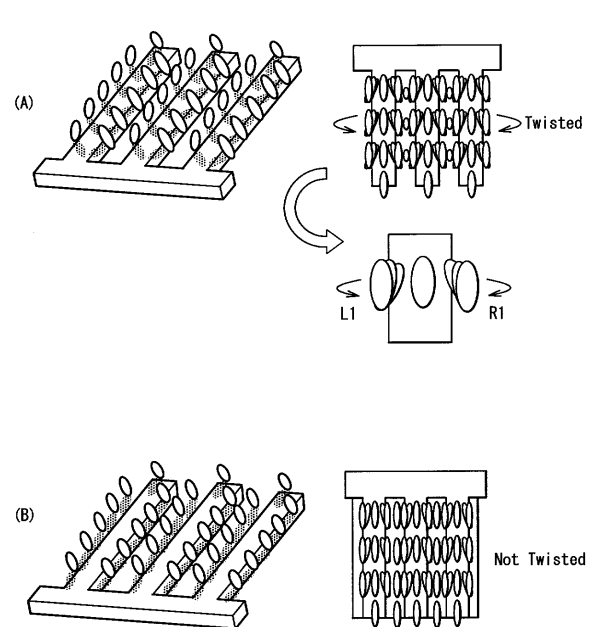
【図32】



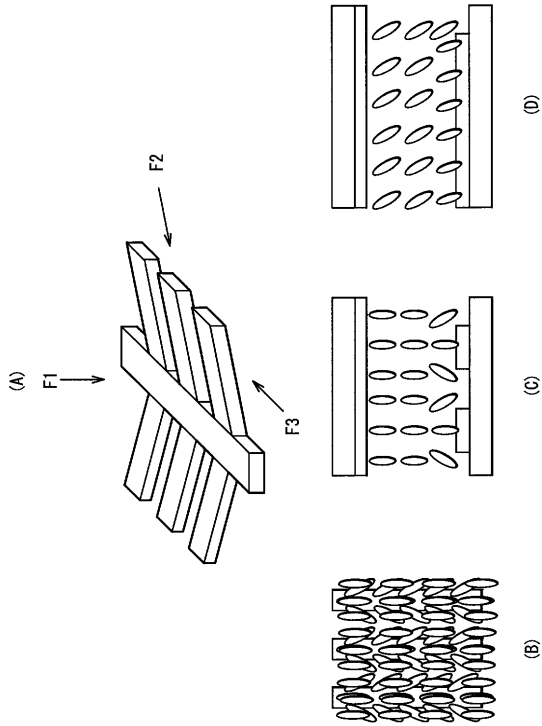
【図33】



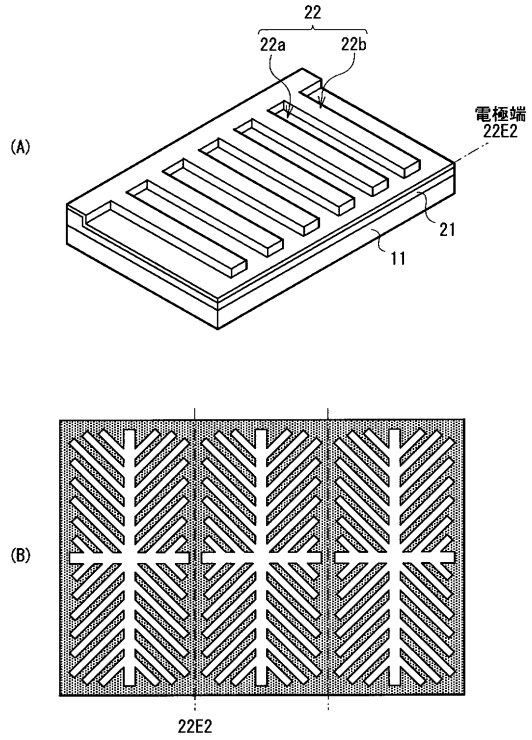
【図34】



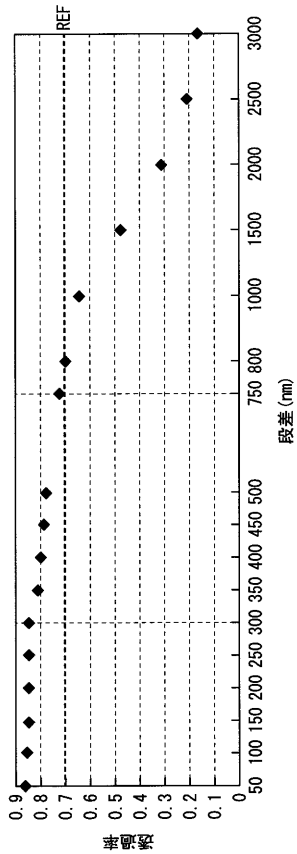
【 図 3 5 】



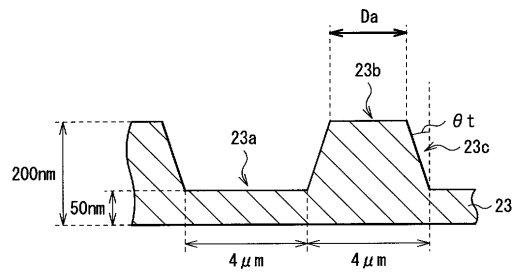
【 図 3 6 】



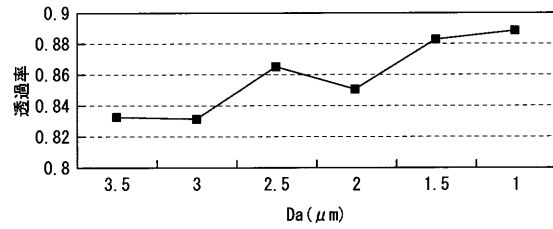
【 図 3 7 】



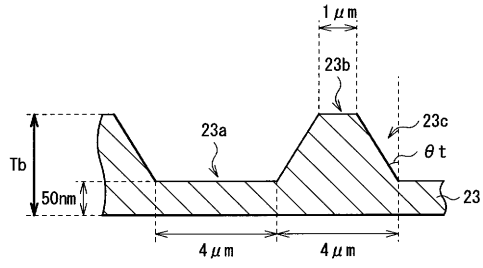
【 図 3 8 】



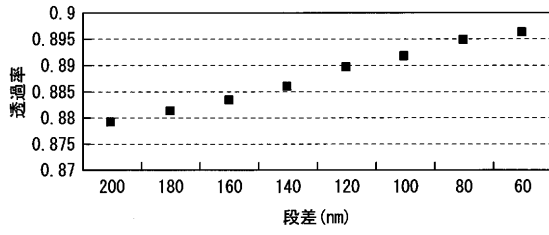
【 図 3 9 】



【 図 4 0 】



【 図 4 1 】



フロントページの続き

- (72)発明者 諏訪 俊一
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 宮川 幹司
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 磯崎 忠昭
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 長瀬 洋二
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 井ノ上 雄一
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 廣田 かおり

- (56)参考文献 特開平07-333612(JP,A)
特開2008-077108(JP,A)
特開2003-177418(JP,A)
特開2001-235750(JP,A)
特開2003-075839(JP,A)
特開平07-333634(JP,A)
特開2003-149647(JP,A)
特開2004-302260(JP,A)
特開2005-316330(JP,A)
特開2003-066455(JP,A)
特開2003-241222(JP,A)
米国特許出願公開第2009/0147162(US,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1337
G02F 1/1343
G02F 1/1368

专利名称(译)	液晶显示装置，液晶显示装置的制造方法		
公开(公告)号	JP5906571B2	公开(公告)日	2016-04-20
申请号	JP2011038640	申请日	2011-02-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	仲村真彦 諏訪俊一 宮川幹司 磯崎忠昭 長瀬洋二 井ノ上雄一		
发明人	仲村 真彦 諏訪 俊一 宮川 幹司 磯崎 忠昭 長瀬 洋二 井ノ上 雄一		
IPC分类号	G02F1/1337		
CPC分类号	G02F1/133707 G02F1/133371 G02F1/133788 G02F1/1339 G02F1/134309 G02F1/13439 G02F2001/133357		
FI分类号	G02F1/1337.505		
F-TERM分类号	2H090/HA04 2H090/HA16 2H090/HB08Y 2H090/HB12Y 2H090/HC08 2H090/HC19 2H090/HD14 2H090/KA07 2H090/LA01 2H090/LA04 2H090/LA15 2H090/MA01 2H090/MA10 2H090/MA15 2H090/MB12 2H090/MB14 2H290/AA34 2H290/BA22 2H290/BB46 2H290/BB49 2H290/BB74 2H290/BF23 2H290/BF38 2H290/BF54 2H290/CA12 2H290/CA33 2H290/CA42 2H290/CA46		
优先权	2010087658 2010-04-06 JP		
其他公开文献	JP2011232736A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在保持优异的电压响应特性的同时获得高透射率的液晶显示装置及其制造方法。ŽSOLUTION：液晶显示器1包括液晶层15，驱动基板11和对向基板18，它们彼此相对设置，液晶层15夹在中间，多个像素电极13设置在液体的一侧驱动基板11的晶体层15和设置在相对基板18上的对电极17面对多个像素电极13。液晶层15侧的表面具有包括凹面13a的凹凸结构凸表面13b和垂直表面13c。在作为施加电压的液晶层15中，由于凹面13a和凸面13b之间的高度差（高度差）而产生场畸变（横向场）。同时，不存在像狭缝那样的电极凹口允许抑制局部区域中液晶分子的不充分取向。Ž

(21) 出願番号	特願2011-38640 (P2011-38640)	(73) 特許権者	00002185
(22) 出願日	平成23年2月24日 (2011. 2. 24)		ソニー株式会社
(65) 公開番号	特開2011-232736 (P2011-232736A)		東京都港区港南1丁目7番1号
(43) 公開日	平成23年11月17日 (2011. 11. 17)	(74) 代理人	100098785
審査請求日	平成26年2月4日 (2014. 2. 4)		弁理士 藤島 洋一郎
(31) 優先権主張番号	特願2010-87658 (P2010-87658)	(74) 代理人	100109656
(32) 優先日	平成22年4月6日 (2010. 4. 6)		弁理士 三反崎 泰司
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 幸昭
		(72) 発明者	仲村 真彦
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く