

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5848912号  
(P5848912)

(45) 発行日 平成28年1月27日 (2016. 1. 27)

(24) 登録日 平成27年12月4日 (2015. 12. 4)

(51) Int. Cl.	F 1	
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	
<b>G09G 3/20 (2006.01)</b>	G09G 3/20	6 1 1 A
<b>G02F 1/133 (2006.01)</b>	G09G 3/20	6 1 2 A
<b>G02F 1/1368 (2006.01)</b>	G09G 3/20	6 2 4 C
	G09G 3/20	6 5 0 J
請求項の数 8 (全 34 頁) 最終頁に続く		

(21) 出願番号 特願2011-167916 (P2011-167916)  
 (22) 出願日 平成23年8月1日 (2011. 8. 1)  
 (65) 公開番号 特開2012-63753 (P2012-63753A)  
 (43) 公開日 平成24年3月29日 (2012. 3. 29)  
 審査請求日 平成26年7月10日 (2014. 7. 10)  
 (31) 優先権主張番号 特願2010-181539 (P2010-181539)  
 (32) 優先日 平成22年8月16日 (2010. 8. 16)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 小山 潤  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 武田 悟

最終頁に続く

(54) 【発明の名称】 液晶表示装置の制御回路、液晶表示装置、及び当該液晶表示装置を具備する電子機器

(57) 【特許請求の範囲】

【請求項 1】

画像制御信号出力期間による動画表示、または画像制御信号停止期間による静止画表示、を行う液晶表示パネルを制御するための表示制御回路と、

差動増幅回路と、ソース接地増幅回路、第1の電流源回路、及び第2の電流源回路を有する電流増幅回路と、ソースフォロワ回路と、を有する一つのオペアンプからなる電源回路と、を有し、

前記ソース接地増幅回路は、前記画像制御信号出力期間で前記第1の電流源回路を流れる電流量に応じて電流の増幅を行う回路であり、前記画像制御信号停止期間では前記第2の電流源回路を流れる電流量に応じて電流の増幅を行う回路である、ことを特徴とする液晶表示装置の制御回路。

【請求項 2】

請求項 1 において、

前記第1の電流源回路及び前記第2の電流源回路は、前記第1の電流源回路及び第2の電流源回路を流れる電流量を異ならせて、前記第1の電流源回路または第2の電流源回路を動作させる電流源回路制御回路に接続されていることを特徴とする液晶表示装置の制御回路。

【請求項 3】

画素電極と、対向電極により液晶の配向を制御する液晶表示パネルと、

画像制御信号出力期間による動画表示、または画像制御信号停止期間による静止画表示

、を行う前記液晶表示パネルを制御するための表示制御回路と、

差動増幅回路と、ソース接地増幅回路、第1の電流源回路、及び第2の電流源回路を有する電流増幅回路と、ソースフォロワ回路と、を有する一つのオペアンプからなる電源回路と、を有し、

前記電源回路は、前記対向電極の電位を制御する回路であり、

前記ソース接地増幅回路は、前記画像制御信号出力期間で前記第1の電流源回路を流れる電流量に応じて電流の増幅を行う回路であり、前記画像制御信号停止期間では前記第2の電流源回路を流れる電流量に応じて電流の増幅を行う回路である、ことを特徴とする液晶表示装置。

【請求項4】

画素電極と、対向電極により液晶の配向を制御する液晶表示パネルと、

前記画素電極の電位を制御するためのゲートドライバー及びソースドライバーと、

前記ゲートドライバー及び前記ソースドライバーを駆動する制御信号を出力して画像制御信号出力期間での動画表示、または前記制御信号を停止して静止画表示、を行う前記液晶表示パネルを制御するための表示制御回路と、

差動増幅回路と、ソース接地増幅回路、第1の電流源回路、及び第2の電流源回路を有する電流増幅回路と、ソースフォロワ回路と、を有する一つのオペアンプからなる電源回路と、を有し、

前記電源回路は、前記対向電極の電位を制御する回路であり、

前記ソース接地増幅回路は、前記画像制御信号出力期間で前記第1の電流源回路を流れる電流量に応じて電流の増幅を行う回路であり、前記画像制御信号停止期間では前記第2の電流源回路を流れる電流量に応じて電流の増幅を行う回路である、ことを特徴とする液晶表示装置。

【請求項5】

請求項3または請求項4において、

前記第1の電流源回路及び前記第2の電流源回路は、前記第1の電流源回路及び第2の電流源回路を流れる電流量を異ならせて、前記第1の電流源回路または第2の電流源回路を動作させる電流源回路制御回路に接続されていることを特徴とする液晶表示装置。

【請求項6】

請求項3乃至請求項5のいずれか一において、

前記表示制御回路は、記憶回路、比較回路、制御信号出力回路、及び選択回路を有することを特徴とする液晶表示装置。

【請求項7】

請求項3乃至請求項6のいずれか一において、

前記画素電極を有する画素は、トランジスタを有し、前記トランジスタの半導体膜は、酸化物半導体であることを特徴とする液晶表示装置。

【請求項8】

請求項3乃至請求項7のいずれか一に記載の液晶表示装置を具備する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の制御回路に関する。または液晶表示装置に関する。または液晶表示装置を具備する電子機器に関する。

【背景技術】

【0002】

液晶表示装置は、テレビ受像機などの大型表示装置から携帯電話などの小型表示装置に至るまで、普及が進んでいる。今後は、より付加価値の高い製品が求められており開発が進められている。近年では、地球環境への関心の高まりから、低消費電力型の液晶表示装置の開発が注目されている。

【0003】

10

20

30

40

50

非特許文献 1 では、液晶表示装置の低消費電力化を図るために、動画表示と静止画表示の際のリフレッシュレートを異ならせる構成について開示している。

【 0 0 0 4 】

また液晶表示装置は液晶分子を画素電極と対向電極とで挟持し、画素電極と対向電極に印加される電圧によって液晶分子の配向を制御する。画素電極は、画素毎に設けられた薄膜トランジスタによるスイッチング制御により、所望の電圧に設定される。対向電極は、画素電極が設けられた基板との間に液晶分子を挟んで設けられる対向基板に設けられている。対向電極は画素毎に設けられるのではなく一面に設けられており、電源回路のオペアンプにより対向電極の電圧が所定の電圧となるよう制御される。

【 0 0 0 5 】

液晶表示装置に用いられるオペアンプの回路構成については、特許文献 1（例えば図 6 参照）に開示している。

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献 1】特開平 1 1 - 1 6 0 6 7 3 号公報

【非特許文献】

【 0 0 0 7 】

【非特許文献 1】K a z u h i k o T s u d a e t a l . , I D W ' 0 2 , p p 2 9 5 - 2 9 8

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

液晶表示装置の低消費電力化を図るために、動画表示と静止画表示の際のリフレッシュレートを異ならせる構成について説明する。

【 0 0 0 9 】

液晶表示装置において動画表示を行う場合、画素電極の電圧は随時更新される。そのため、液晶分子を介した画素電極からの電流のリークにより対向電極の電圧が変化しないよう対向電極の電圧を一定にする必要がある。対向電極の定電圧化のためには、電源回路のオペアンプの電流供給能力を高く設定する必要がある。

【 0 0 1 0 】

一方、液晶表示装置においてリフレッシュレートを低下させて静止画表示を行う場合、画素電極の電圧は一定に保持される。そのため、動画表示時と同様に、液晶分子を介した画素電極からの電流のリークにより対向電極の電圧が変化する。ただし画素電極の電圧が保持されているため、対向電極の電圧を一定にするための電源回路のオペアンプの電流供給能力は動画表示時ほど高く設定する必要がない。

【 0 0 1 1 】

ここでオペアンプの回路構成について図 1 5 ( A )、( B ) で説明する。図 1 5 ( A ) にはオペアンプ（演算増幅器）の回路記号を示し、各端子に符号を付している。図 1 5 ( A ) では非反転入力端子 9 9 1、反転入力端子 9 9 2、出力端子 9 9 3、バイアス電圧入力端子 9 9 4 を有する。

【 0 0 1 2 】

図 1 5 ( B ) はオペアンプの等価回路図である。このオペアンプは、トランジスタ 9 0 1 及びトランジスタ 9 0 2 で構成される差動回路、トランジスタ 9 0 3 及びトランジスタ 9 0 4 で構成されるカレントミラー回路、トランジスタ 9 0 5 及びトランジスタ 9 0 9 で構成される電流源回路、トランジスタ 9 0 6 で構成されるソース接地増幅回路、トランジスタ 9 0 7 及びトランジスタ 9 0 8 で構成されるアイドリング回路、トランジスタ 9 1 0 及びトランジスタ 9 1 1 で構成されるソースフォロウ回路、並びに位相補償コンデンサ 9 1 2 を有する。トランジスタ 9 0 3 及びトランジスタ 9 0 4、トランジスタ 9 0 6、並びにトランジスタ 9 1 0 は高電源電圧側端子 9 9 5 に接続され、トランジスタ 9 0 5 及びトラ

10

20

30

40

50

ンジスタ909、並びにトランジスタ911は低電源電圧側端子996に接続される。なお図15(B)では、図15(A)で説明した非反転入力端子991、反転入力端子992、出力端子993、バイアス電圧入力端子994の各端子についても併せて示している。

#### 【0013】

なお図15(B)では差動回路、カレントミラー回路、及びトランジスタ905で構成される電流源回路を併せて差動増幅回路921という。またソース接地増幅回路、アイドリング回路、及びトランジスタ909で構成される電流源回路を併せて電流増幅回路922という。またトランジスタ910及びトランジスタ911を併せてソースフォロワ回路923とする。

10

#### 【0014】

図15(B)の回路の動作を簡単に説明する。非反転入力端子991にHレベルの信号が入力されると、トランジスタ901のドレイン電流がトランジスタ902のドレイン電流より大きくなる。差動回路を構成するトランジスタのソースにはトランジスタ905で構成される電流源回路が接続されているためである。トランジスタ903のドレイン電流は、トランジスタ904とトランジスタ903がカレントミラー回路を構成するため、トランジスタ902のドレイン電流と同じになる。そしてトランジスタ903のドレイン電流とトランジスタ901のドレイン電流に差(差電流)が生じる。トランジスタ903のドレイン電流とトランジスタ901のドレイン電流の差電流によって、トランジスタ906のゲート電位は低下する。トランジスタ906はP型トランジスタであるので、トランジスタ906のゲート電位が下がると、ドレイン電流が増加する。よって、トランジスタ910のゲート電位は上昇し、それに伴い、トランジスタ910のソース電位すなわち、出力端子993の出力電圧も上昇する。なお反転入力端子992にLレベルの信号が入力されても同じ動作となる。

20

#### 【0015】

また、非反転入力端子991にLレベルの信号が入力されると、トランジスタ901のドレイン電流がトランジスタ902のドレイン電流より小さくなる。トランジスタ903のドレイン電流は、トランジスタ902のドレイン電流と同じである。トランジスタ903のドレイン電流とトランジスタ901のドレイン電流の差電流によって、トランジスタ906のゲート電位は上昇する。トランジスタ906はP型トランジスタであるので、トランジスタ906のゲート電位が上がると、ドレイン電流が減少する。よって、トランジスタ910のゲート電位は低下し、それに伴い、トランジスタ910のソース電位すなわち、出力端子993の出力電圧も低下する。このように非反転入力端子991の信号と同相の信号が、出力端子993より出力される。なお反転入力端子992にHレベルの信号が入力されても同じ動作となる。

30

#### 【0016】

図15(B)に示す回路構成では、差動回路をN型トランジスタ、カレントミラー回路をP型トランジスタで作製しているが、各トランジスタの極性、各端子に入力される信号の極性を反転する構成でも同様である。

#### 【0017】

図15(A)、(B)で説明したオペアンプの回路構成では、液晶表示パネルにおいて動画表示を行う場合、対向電極の定電圧化のために、電源回路のオペアンプの電流供給能力を大きく設定しておく必要がある。すなわち図15(B)でいえば電流増幅回路922が具備するトランジスタ909で構成される電流源回路を流れる電流を大きく設定しておく必要がある。

40

#### 【0018】

しかしながら図15(A)、(B)で説明したオペアンプの回路構成では、液晶表示パネルにおいてリフレッシュを低下させて静止画表示を行う場合にも、電源回路のオペアンプの電流供給能力が高いままとなってしまう。これは静止画表示を行う場合、液晶表示パネルにおける対向電極の電圧の変動が動画表示時に比べて小さいために、それほど高

50

いオペアンプの電流供給能力が必要ないためである。結果として液晶表示パネルにおける対向電極の定電圧化の際に、電源回路のオペアンプの電流供給能力に余剰が生じ、トランジスタ909を有する電流増幅回路での消費電力が増加してしまう。

【0019】

動画表示及び静止画表示がリフレッシュレートを切り替えて行われる液晶表示装置の制御回路では、表示制御回路において、ゲートドライバー及びソースドライバーといった駆動回路での書き換え回数を減らすことで低消費電力を図っている。その一方で動画表示及び静止画表示がリフレッシュレートを切り替えて行われる液晶表示装置の電源回路では、オペアンプでの低消費電力化が十分でないといった課題が生じる。

【0020】

上述の課題に鑑み、本発明の一態様は、液晶表示装置の制御回路において、動画表示及び静止画表示がリフレッシュレートを切り替えて行われる際の電源回路の低消費電力化を図ることを目的とする。

【課題を解決するための手段】

【0021】

上述の課題を解決するため、本発明の一態様は、オペアンプにおける電流増幅回路に設けられたソース接地増幅回路を流れる電流を動画表示時と静止画表示時とで異ならせる。具体的には、本発明の一態様は、オペアンプにおける電流増幅回路に設けられた電流源回路を、動画表示の際に用いる電流源回路と、静止画表示の際に用いる電流源回路とで切り替えて動作させる。当該電流源回路の切り替えによりソース接地増幅回路での電流の増幅を制御し、電源回路での低消費電力化を図るものである。またオペアンプにおける電流源回路の切り替えは、動画表示及び静止画表示を切り替えるために液晶表示パネルの制御を行う表示制御回路により行われるものである。

【0022】

本発明の一態様は、画像制御信号出力期間による動画表示、または画像制御信号停止期間による静止画表示、を行う液晶表示パネルを制御するための表示制御回路と、差動増幅回路と、ソース接地増幅回路を有する電流増幅回路と、ソースフォロワ回路と、を有する電源回路と、を有し、ソース接地増幅回路は、画像制御信号出力期間と画像制御信号停止期間とで流れる電流量を異ならせて電流の増幅を行う回路である液晶表示装置の制御回路である。

【0023】

本発明の一態様は、画像制御信号出力期間による動画表示、または画像制御信号停止期間による静止画表示、を行う液晶表示パネルを制御するための表示制御回路と、差動増幅回路と、ソース接地増幅回路、第1の電流源回路、及び第2の電流源回路を有する電流増幅回路と、ソースフォロワ回路と、を有する電源回路と、を有し、ソース接地増幅回路は、画像制御信号出力期間で第1の電流源回路を流れる電流量に応じて電流の増幅を行う回路であり、画像制御信号停止期間では第2の電流源回路を流れる電流量に応じて電流の増幅を行う回路である液晶表示装置の制御回路である。

【0024】

本発明の一態様は、画素電極と、対向電極により液晶の配向を制御する液晶表示パネルと、画像制御信号出力期間による動画表示、または画像制御信号停止期間による静止画表示、を行う液晶表示パネルを制御するための表示制御回路と、差動増幅回路と、ソース接地増幅回路を有する電流増幅回路と、ソースフォロワ回路と、を有する電源回路と、を有し、電源回路は、対向電極の電位を制御する回路であり、ソース接地増幅回路は、画像制御信号出力期間と画像制御信号停止期間とで流れる電流量を異ならせて電流の増幅を行う回路である液晶表示装置である。

【0025】

本発明の一態様において、第1の電流源回路及び第2の電流源回路は、第1の電流源回路及び第2の電流源回路を流れる電流量を異ならせて、第1の電流源回路または第2の電流源回路を動作させる電流源回路制御回路に接続されている液晶表示装置の制御回路でもよ

10

20

30

40

50

い。

【0026】

本発明の一態様は、画素電極と、対向電極により液晶の配向を制御する液晶表示パネルと、画像制御信号出力期間による動画表示、または画像制御信号停止期間による静止画表示、を行う液晶表示パネルを制御するための表示制御回路と、差動増幅回路と、ソース接地増幅回路、第1の電流源回路、及び第2の電流源回路を有する電流増幅回路と、ソースフォロワ回路と、を有する電源回路と、を有し、電源回路は、対向電極の電位を制御する回路であり、ソース接地増幅回路は、画像制御信号出力期間で第1の電流源回路を流れる電流量に応じて電流の増幅を行う回路であり、画像制御信号停止期間では第2の電流源回路を流れる電流量に応じて電流の増幅を行う回路である液晶表示装置である。

10

【0027】

本発明の一態様は、画素電極と、対向電極により液晶の配向を制御する液晶表示パネルと、画素電極の電位を制御するためのゲートドライバー及びソースドライバーと、ゲートドライバー及びソースドライバーを駆動する制御信号を出力して画像制御信号出力期間での動画表示、または制御信号を停止して静止画表示、を行う液晶表示パネルを制御するための表示制御回路と、差動増幅回路と、ソース接地増幅回路、第1の電流源回路、及び第2の電流源回路を有する電流増幅回路と、ソースフォロワ回路と、を有する電源回路と、を有し、電源回路は、対向電極の電位を制御する回路であり、ソース接地増幅回路は、画像制御信号出力期間で第1の電流源回路を流れる電流量に応じて電流の増幅を行う回路であり、画像制御信号停止期間では第2の電流源回路を流れる電流量に応じて電流の増幅を行う回路である液晶表示装置である。

20

【0028】

本発明の一態様において、第1の電流源回路及び第2の電流源回路は、第1の電流源回路及び第2の電流源回路を流れる電流量を異ならせて、第1の電流源回路または第2の電流源回路を動作させる電流源回路制御回路に接続されている液晶表示装置でもよい。

【0029】

本発明の一態様において、表示制御回路は、記憶回路、比較回路、制御信号出力回路、及び選択回路を有する液晶表示装置でもよい。

【0030】

本発明の一態様において、画素電極を有する画素は、トランジスタを有し、トランジスタの半導体膜は、酸化物半導体である液晶表示装置でもよい。

30

【発明の効果】

【0031】

本発明の一態様により、液晶表示装置の制御回路において、動画表示及び静止画表示がリフレッシュレートを切り替えて行われる際の電源回路の低消費電力化を図ることができる。

【図面の簡単な説明】

【0032】

【図1】実施の形態1の回路構成を説明する図。

【図2】実施の形態1の斜視図及び回路構成を説明する図。

40

【図3】実施の形態1の回路構成を説明する図。

【図4】実施の形態1のタイミングチャートを説明する図。

【図5】実施の形態1の回路構成を説明する図。

【図6】実施の形態2のブロック図を説明する図。

【図7】実施の形態2の回路構成を説明する図。

【図8】実施の形態2のタイミングチャートを説明する図。

【図9】実施の形態2のタイミングチャートを説明する図。

【図10】実施の形態2のタイミングチャートを説明する図。

【図11】実施の形態3を説明する断面図。

【図12】実施の形態3を説明する断面図。

50

【図13】実施の形態4を説明する断面図。

【図14】実施の形態5の電子機器を説明する図。

【図15】オペアンプの回路構成を説明する図。

【発明を実施するための形態】

【0033】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

10

【0034】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、信号波形、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0035】

なお本明細書にて用いる第1、第2、第3、乃至第N（Nは自然数）という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。なお自然数は、特に断りのない限り、1以上として説明する。

【0036】

（実施の形態1）

本実施の形態の電源回路におけるオペアンプの回路構成の一例について説明する。

20

【0037】

図1（A）にはオペアンプ（演算増幅器）の回路記号を示し、各端子に符号を付している。図1（A）では非反転入力端子191、反転入力端子192、出力端子193、バイアス電圧入力端子194、第1の電流源回路用バイアス電圧入力端子190A、及び第2の電流源回路用バイアス電圧入力端子190Bを有する。図1（A）に示す回路記号が図15（A）で説明したオペアンプの回路記号と異なる点は、オペアンプにおける電流増幅回路に設けられたソース接地増幅回路を流れる電流を動画表示時と静止画表示時とで異なるための、第1の電流源回路用バイアス電圧入力端子190A、及び第2の電流源回路用バイアス電圧入力端子190Bを有する点にある。

30

【0038】

図1（B）は図1（A）で示したオペアンプの等価回路図である。このオペアンプは、トランジスタ101及びトランジスタ102で構成される差動回路、トランジスタ103及びトランジスタ104で構成されるカレントミラー回路、トランジスタ105で構成される電流源回路、トランジスタ109Aで構成される電流源回路、トランジスタ109Bで構成される電流源回路、トランジスタ106で構成されるソース接地増幅回路、トランジスタ107及びトランジスタ108で構成されるアイドリング回路、トランジスタ110及びトランジスタ111で構成されるソースフォロワ回路、並びに位相補償コンデンサ112を有する。トランジスタ103及びトランジスタ104、トランジスタ106、並びにトランジスタ110は高電源電圧側端子195に接続され、トランジスタ105、トランジスタ109A、及びトランジスタ109B、並びにトランジスタ111は低電源電圧側端子196に接続される。なお図1（B）では、図1（A）で説明した非反転入力端子191、反転入力端子192、出力端子193、バイアス電圧入力端子194、第1の電流源回路用バイアス電圧入力端子190A、及び第2の電流源回路用バイアス電圧入力端子190Bの各端子についても併せて示している。

40

【0039】

なお図1（B）では、図15（B）と同様に、差動回路、カレントミラー回路、及びトランジスタ105で構成される電流源回路を併せて差動増幅回路という。またソース接地増幅回路、アイドリング回路、トランジスタ109Aで構成される電流源回路（第1の電流源回路という）、及びトランジスタ109Bで構成される電流源回路（第2の電流源回路

50

)を併せて電流増幅回路という。またトランジスタ110及びトランジスタ111をソースフォロワ回路とする。また図15(B)で説明したオペアンプの回路構成と同様の箇所について、図1(B)を用いた以下の説明では、まとめて信号入出力回路120と略記して説明することとする。

【0040】

なお図1(B)に示す回路構成では、差動回路をn型トランジスタ、カレントミラー回路をp型トランジスタで作製しているが、各トランジスタの極性、各端子に入力される信号の極性を反転する構成でも同様である。

【0041】

なお図1(B)の構成において、各トランジスタに適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することができる。

10

【0042】

なお図1(A)、図1(B)で示したオペアンプは、図3(A)に示すように、出力端子193から反転入力端子192に負帰還を施すことで電源回路とすることができる。図3(A)に示す例では、非反転入力端子191に入力される基準電源の電圧値をそのまま出力端子より出力することができる。また基準電源のn倍(nは正の数)の電圧を出力端子より出力する場合には、図3(B)に示すように、出力端子193の電圧値を2つの抵抗、ここでは抵抗素子198、抵抗素子199で1:n-1に分圧し反転入力端子192に接続する構成とすればよい。このようにして出力端子193の出力電圧を基準電圧のn倍として、電流供給能力が大きな電源回路を構成できる。

20

【0043】

なお図3(A)、(B)に示す非反転入力端子191に入力する基準電源には、バンドギャップレギュレータ等の基準電源生成回路を用いればよい。バンドギャップレギュレータは温度係数がほぼ0であり、良く用いられる。なお図3(A)、(B)では、第1の電流源回路用バイアス電圧入力端子190A及び第2の電流源回路用バイアス電圧入力端子190Bを省略して図示している。

【0044】

図1(C)は図1(B)で示したオペアンプについて、周辺回路等を併せて示した回路図である。具体的に図1(C)では、オペアンプの他に、電流源回路制御回路130、表示制御回路140、液晶表示パネル150について示している。液晶表示パネル150は、対向電極151、画素電極を有する画素回路152について示している。

30

【0045】

なお表示制御回路140から電流源回路制御回路130には、液晶表示パネル150での表示が動画表示か静止画表示かに応じて、電流源回路制御回路130を制御するための信号が供給される(矢印141)。

【0046】

なお電流源回路制御回路130からトランジスタ109A及びトランジスタ109Bには、第1の電流源回路用バイアス電圧入力端子190A及び第2の電流源回路用バイアス電圧入力端子190Bを介してトランジスタ109Aまたはトランジスタ109Bのいずれか一方が電流増幅回路の電流源回路として機能するよう制御するための信号が供給される。電流源回路制御回路130は、表示制御回路140からの信号に応じて、前述のトランジスタ109Aまたはトランジスタ109Bのいずれか一方が電流源回路として機能する制御を行う。そしてオペアンプにおける電流増幅回路に設けられたソース接地増幅回路を流れる電流を、表示制御回路140からの信号によって動画表示時と静止画表示時とで異ならせることができる。

40

【0047】

なお表示制御回路140から画素回路152には、液晶表示パネル150での表示が動画

50

表示が静止画表示かに応じて、画素回路 1 5 2 を駆動するための信号が供給される（矢印 1 4 2）。

【 0 0 4 8 】

なお信号入出力回路 1 2 0 から対向電極 1 5 1 には、出力端子 1 9 3 を介して共通電圧（コモン電圧ともいう）が供給される（矢印 1 2 1）。

【 0 0 4 9 】

次いで図 2（A）では、図 1（A）乃至（C）で示した電源回路におけるオペアンプの周辺回路を併せた斜視図について示し、図 2（B）で液晶表示パネル 1 5 0 の詳細な構成について示す。

【 0 0 5 0 】

図 2（A）で外部基板 3 0 1 上には、表示制御回路 3 0 2 及び電源回路 3 0 3 を具備する。

【 0 0 5 1 】

図 2（A）で液晶表示パネル 1 5 0 を構成する第 1 の表示基板 3 0 4 上には複数の画素回路 3 1 1 が設けられた画素部 3 1 0 を具備する。なお画素回路 3 1 1 には外部接続配線 3 0 6 及び外部接続端子 3 0 7 を介して画素回路 3 1 1 を駆動するための信号が供給される。

【 0 0 5 2 】

図 2（A）で液晶表示パネル 1 5 0 を構成する第 2 の表示基板 3 0 5 上には、対向電極 3 1 2 を具備する。なお対向電極 3 1 2 には、外部接続配線 3 0 6、外部接続端子 3 0 7、及び共通接続部 3 0 8（コモンコンタクト部ともいう）を介して共通電圧が電源回路 3 0 3 より供給される。

【 0 0 5 3 】

また図 2（A）で、画素部 3 1 0 の画素電極と対向電極 3 1 2 との間には、液晶分子（図示せず）が挟持され、2 つの電極間の電界に応じて液晶分子の配向が制御される。

【 0 0 5 4 】

図 2（B）では、図 2（A）の液晶表示パネル 1 5 0 にあたる第 1 の表示基板 3 0 4 及び第 2 の表示基板 3 0 5 の構成、及び外部基板 3 0 1 より液晶表示パネル 1 5 0 に供給される各信号を図示している。

【 0 0 5 5 】

図 2（B）に示す第 1 の表示基板 3 0 4 は、画素部 3 1 0 に複数の画素回路 3 1 1 を有する。複数の画素回路 3 1 1 はマトリクス状に設けられたゲート線 3 2 1、ソース線 3 2 2、及び容量線 3 2 3 に接続される。また図 2（B）に示す第 2 の表示基板 3 0 5 は、一面に形成された対向電極 3 1 2 を有する。

【 0 0 5 6 】

図 2（B）に示すゲート線 3 2 1 には、表示制御回路 3 0 2 よりゲート線を選択するための選択信号（S e l）が供給される。また図 2（B）に示すソース線 3 2 2 には、表示制御回路 3 0 2 より各画素回路 3 1 1 に入力するための画像信号（D a t a）が供給される。また図 2（B）に示す容量線 3 2 3 には、電源回路 3 0 3 より容量電圧（V c s）が供給される。また図 2（B）に示す対向電極 3 1 2 には、電源回路 3 0 3 より共通電圧（V c o m）が供給される。なお選択信号（S e l）、画像信号（D a t a）、及び容量電圧（V c s）は、外部接続配線（図 2（A）での外部接続配線 3 0 6）及び外部接続端子 3 0 7 を介して供給される。また共通電圧（V c o m）は、外部接続配線（図 2（A）での外部接続配線 3 0 6）、外部接続端子 3 0 7、及び共通接続部（図 2（A）での共通接続部 3 0 8）を介して供給される。

【 0 0 5 7 】

なお選択信号（S e l）、画像信号（D a t a）は、表示制御回路 3 0 2 に設けられるゲートドライバー及びソースドライバーにより生成される信号である。本実施の形態では選択信号（S e l）及び画像信号（D a t a）を併せて画像制御信号ともいう。画像制御信号は、上記図 1（C）で説明した矢印 1 4 2 で供給される信号に相当する。

10

20

30

40

50

## 【 0 0 5 8 】

画像制御信号は、液晶表示パネルにおいて動画表示を行う場合、画素電極の電圧を随時更新するために表示制御回路 3 0 2 より連続的に出力されることとなる。画像制御信号は、液晶表示パネルにおいてリフレッシュレートを小さくして静止画表示を行う場合、画素電極の電圧を一定期間毎に更新するために表示制御回路 3 0 2 より間欠的に出力されることとなる。

## 【 0 0 5 9 】

本実施の形態の構成における液晶表示パネルでは、リフレッシュレートを小さくして静止画表示を行う場合、画素電極の電圧を一定期間毎に更新する。すなわち逆に言えば、画素電極の電圧は一定期間更新されないため、画素電極の電圧を一定期間保持する構成、とすることが重要である。例えば、画素回路に設けられるスイッチング素子であるトランジスタをオフ状態とした際のリーク電流を小さくする構成、及び/または画素回路に設けられる画素電極の電圧を保持するための容量素子の静電容量を大きく設計する構成とすればよい。

10

## 【 0 0 6 0 】

なお画像制御信号を生成するゲートドライバー及びソースドライバーは、クロック信号及びスタートパルス等のタイミング信号により動作する。液晶表示パネルにおいてリフレッシュレートを小さくして静止画表示をする際には、タイミング信号のゲートドライバー及びソースドライバーへの入力を間欠的に停止し、画像制御信号の表示制御回路 3 0 2 からの間欠的な出力を実現することができる。その結果、ゲートドライバー及びソースドライバーを一時的に停止することができ、ゲートドライバー及びソースドライバーの低消費電力化を図ることができる。

20

## 【 0 0 6 1 】

なお以下の説明では、動画表示を行うための画像制御信号を連続的に出力する期間を画像制御信号出力期間という。また静止画表示を行うための画像制御信号を停止する期間、すなわちタイミング信号のゲートドライバー及びソースドライバーへの入力を停止する期間を画像制御信号停止期間という。

## 【 0 0 6 2 】

なお静止画表示を行う期間において、画素電極に保持された電圧をリフレッシュするために、定期的と同じ電圧の画像信号を書き込む場合も画像制御信号を液晶表示パネルに出力することとなる。そのため、画像制御信号を表示制御回路 3 0 2 より出力する期間を画像制御信号出力期間といい、画像制御信号を表示制御回路 3 0 2 より出力しない期間を画像制御信号停止期間ということもできる。

30

## 【 0 0 6 3 】

次いで図 1 ( B )、( C ) の回路の動作を簡単に説明する。非反転入力端子 1 9 1 に H レベルの信号が入力されると、トランジスタ 1 0 1 のドレイン電流がトランジスタ 1 0 2 のドレイン電流より大きくなる。差動回路を構成するトランジスタ 1 0 1、1 0 2 のソースにはトランジスタ 1 0 5 で構成される電流源回路が接続されているためである。トランジスタ 1 0 3 のドレイン電流は、トランジスタ 1 0 4 とトランジスタ 1 0 3 がカレントミラー回路を構成するため、トランジスタ 1 0 2 のドレイン電流と同じになる。そしてトランジスタ 1 0 3 のドレイン電流とトランジスタ 1 0 1 のドレイン電流に差 ( 差電流 ) が生じる。トランジスタ 1 0 3 のドレイン電流とトランジスタ 1 0 1 のドレイン電流の差電流によって、トランジスタ 1 0 6 のゲート電位は低下する。トランジスタ 1 0 6 は P 型トランジスタであるので、トランジスタ 1 0 6 のゲート電位が下がると、ドレイン電流が増加する。トランジスタ 1 0 6 のドレイン電流は第 1 の電流源回路 1 0 9 A または第 2 の電流源回路 1 0 9 B のいずれかを流れる電流に応じて変化する。トランジスタ 1 0 6 で構成されるソース接地増幅回路を流れる電流によって、トランジスタ 1 1 0 のゲート電位は上昇し、それに伴い、トランジスタ 1 1 0 のソース電位すなわち、出力端子 1 9 3 の出力電圧も上昇する。なお反転入力端子 1 9 2 に L レベルの信号が入力されても同じ動作となる。

40

## 【 0 0 6 4 】

50

また非反転入力端子191にLレベルの信号が入力されると、トランジスタ101のドレイン電流がトランジスタ102のドレイン電流より小さくなる。差動回路を構成するトランジスタ101、102のソースにはトランジスタ105で構成される電流源回路が接続されているためである。トランジスタ103のドレイン電流は、トランジスタ104とトランジスタ103がカレントミラー回路を構成するため、トランジスタ102のドレイン電流と同じになる。そしてトランジスタ103のドレイン電流とトランジスタ101のドレイン電流に差(差電流)が生じる。トランジスタ103のドレイン電流とトランジスタ101のドレイン電流の差電流によって、トランジスタ106のゲート電位は上昇する。トランジスタ106はP型トランジスタであるので、トランジスタ106のゲート電位が上がると、ドレイン電流が減少する。トランジスタ106のドレイン電流は第1の電流源回路109Aまたは第2の電流源回路109Bのいずれかを流れる電流に応じて変化する。トランジスタ106で構成されるソース接地増幅回路を流れる電流によって、トランジスタ110のゲート電位は低下し、それに伴い、トランジスタ110のソース電位すなわち、出力端子193の出力電圧も低下する。なお反転入力端子192にHレベルの信号が入力されても同じ動作となる。

10

**【0065】**

以上説明した図1(B)、(C)の動作の特徴点は、電流を増幅するためのトランジスタ106を流れるドレイン電流を、第1の電流源回路109Aまたは第2の電流源回路109Bのいずれかを流れる電流に応じて変化させる点である。具体的には、動画表示をする画像制御信号出力期間では第2の電流源回路より大きな電流を流す第1の電流源回路を選択し、静止画表示をする画像制御信号停止期間では第1の電流源回路より小さな電流を流す第2の電流源回路を選択する。なおその他の動作は、図15(B)と同様である。

20

**【0066】**

図1(B)、(C)の回路では、前述のように液晶表示パネルの表示が動画表示または静止画表示により、第1の電流源回路または第2の電流源回路のいずれかを所定の電流が流れるよう動作させる。具体的には動画表示を行う画像制御信号出力期間では、トランジスタ109Aで構成される第1の電流源回路を流れる電流によって、トランジスタ106で構成されるソース接地増幅回路の電流の増幅率を制御する。また静止画表示を行う画像制御信号停止期間では、第1の電流源回路を流れる電流とは異なる、トランジスタ109Bで構成される第2の電流源回路を流れる電流によって、トランジスタ106で構成されるソース接地増幅回路の電流の増幅率を制御する。そしてオペアンプにおける電流増幅回路に設けられたソース接地増幅回路であるトランジスタ106を流れる電流を、表示制御回路140からの信号によって動画表示時と静止画表示時とで異ならせることができる。

30

**【0067】**

なお第1の電流源回路または第2の電流源回路のいずれかに電流を流す構成であっても、オペアンプの出力端子193から反転入力端子192に負帰還を施すことで出力する電圧レベルは入力信号の電圧レベルに等しい電源回路とすることができる。この場合異なるのは、第1の電流源回路または第2の電流源回路を流れる電流量、換言すればオペアンプの出力端子の電流供給能力となる。上述したように、動画表示または静止画表示では、必要な電流供給能力を切り替えて動作することで、電流増幅回路の電流源回路を流れる消費電流を低減することができ、電源回路の低消費電力化を図ることができる。

40

**【0068】**

なお非反転入力端子191にLレベルの信号が入力される動作及び反転入力端子192にHレベルの信号が入力される動作でも、第1の電流源回路または第2の電流源回路のいずれかを所定の電流が流れるよう動作させる構成とし、オペアンプの出力端子の電流供給能力を異ならせる構成とすればよい。

**【0069】**

以上説明した第1の電流源回路または第2の電流源回路を切り替えるオペアンプの動作を図4に示すフローチャートで説明する。

**【0070】**

50

図4における第1ステップ351では、表示制御回路に入力される画像信号が動画であるか静止画であるかの判定を行う。一例としては、連続するフレーム間での画像信号を比較することで、動画であるか静止画であるかの判定を行い、動画表示をする画像制御信号出力期間であるか静止画表示をする画像制御信号停止期間であるかの判定をする構成とすればよい。または表示制御回路は、入力される画像信号の種類に応じて、動画表示か静止画表示かの判定をする構成としてもよい。例えば、画像信号のもとになる電子データのファイル形式等を参照することにより、動画表示か静止画表示かの判定をする構成とすればよい。または表示制御回路は、外部からの切替信号に応じて、動画表示または静止画表示の切り替えを行う構成であれば当該切替信号に応じた判定をする構成としてもよい。

【0071】

第2ステップ352は、第1ステップ351での判定が画像制御信号出力期間であるか否かに応じて処理が分岐する。

【0072】

第1の分岐ステップ353では、第2ステップ352で画像制御信号出力期間である場合に、第1の電流源回路が所定の電流を流すよう動作させる。

【0073】

第2の分岐ステップ354では、第2ステップ352で画像制御信号出力期間でない場合に、第2の電流源回路が所定の電流を流すよう動作させる。

【0074】

図4に示すように、本実施の形態で説明する液晶表示装置の制御回路は、電源回路のオペアンプにおける電流増幅回路での第1の電流源回路または第2の電流源回路を選択的に動作させるものである。そして、電源回路のオペアンプにおける電流増幅回路が有するソース接地増幅回路は、画像制御信号出力期間で第1の電流源回路を流れる電流量に応じて電流の増幅を行い、画像制御信号停止期間では第2の電流源回路を流れる電流量に応じて電流の増幅を行う回路とするものである。そしてオペアンプにおける電流増幅回路に設けられたソース接地増幅回路を流れる電流を動画表示時と静止画表示時とで異ならせることができる。

【0075】

次いで図1(C)に示した電流源回路制御回路130の具体的な構成について図5(A)、(B)に示し、説明する。ここでは2つの回路構成の例について示し説明する。

【0076】

図5(A)に示す電流源回路制御回路130は、第1の電流源回路361A、第1のトランジスタ362A、第1のスイッチ363A、第2の電流源回路361B、第2のトランジスタ362B、及び第2のスイッチ363B、を有する。

【0077】

図5(A)に示す電流源回路制御回路130の動作を簡単に説明する。なお第1の電流源回路361A及び第2の電流源回路361Bを流れる電流値は同じものであるとして説明する。図5(A)に示す第1のトランジスタ362Aとトランジスタ109Aは、カレントミラー回路を構成している。また図5(A)に示す第2のトランジスタ362Bとトランジスタ109Bは、カレントミラー回路を構成している。すなわち第1のトランジスタ362Aと第2のトランジスタ362Bは同じ電流を流すことができる構成となる。そのため、トランジスタ109Aとトランジスタ109Bとのチャンネル幅の比を異ならせることにより、2つのトランジスタ間での流れる電流の比を異ならせることができる。また第1のスイッチ363Aと第2のスイッチ363Bとは表示制御回路により交互に切り替えてオン又はオフを制御することで、トランジスタ109Aまたはトランジスタ109Bのいずれかに選択的に電流を流す構成とすることができる。

【0078】

以上ではトランジスタ109A及びトランジスタ109Bのチャンネル幅の比を異ならせることにより、トランジスタ109A及びトランジスタ109Bを流れる電流の比を異ならせる構成について示したが他の構成を用いてもよい。別の例としては、第1のトランジス

10

20

30

40

50

タ 3 6 2 A 及び第 2 のトランジスタ 3 6 2 B のチャンネル幅の比を異ならせる構成とすることでトランジスタ 1 0 9 A 及びトランジスタ 1 0 9 B を流れる電流の比を異ならせる構成としてもよい。

【 0 0 7 9 】

なお図 5 ( A ) に示す第 1 のスイッチ 3 6 3 A 及び第 2 のスイッチ 3 6 3 B のオン又はオフは、上記図 1 ( C ) で説明した電流源回路制御回路 1 3 0 を制御するための信号 ( 矢印 1 4 1 ) により、制御されることとなる。

【 0 0 8 0 】

図 5 ( B ) に示す電流源回路制御回路 1 3 0 は、第 1 の抵抗素子 3 7 1 A、第 2 の抵抗素子 3 7 2 A、第 1 のトランジスタ 3 7 3 A、第 3 の抵抗素子 3 7 4 A、第 1 のスイッチ 3 7 5 A、第 4 の抵抗素子 3 7 1 B、第 5 の抵抗素子 3 7 2 B、第 2 のトランジスタ 3 7 3 B、第 6 の抵抗素子 3 7 4 B、及び第 2 のスイッチ 3 7 5 B、を有する。

10

【 0 0 8 1 】

図 5 ( B ) に示す電流源回路制御回路 1 3 0 の動作を簡単に説明する。図 5 ( B ) に示す第 1 の抵抗素子 3 7 1 A 及び第 2 の抵抗素子 3 7 2 A により第 1 のトランジスタ 3 7 3 A のゲートに印加する電圧を設定する。また図 5 ( B ) に示す第 4 の抵抗素子 3 7 1 B 及び第 5 の抵抗素子 3 7 2 B により第 2 のトランジスタ 3 7 3 B のゲートに印加する電圧を設定する。第 1 の抵抗素子 3 7 1 A 及び第 2 の抵抗素子 3 7 2 A、並びに第 4 の抵抗素子 3 7 1 B 及び第 5 の抵抗素子 3 7 2 B の抵抗比を異ならせることにより、第 1 のトランジスタ 3 7 3 A のゲートに印加する電圧及び第 2 のトランジスタ 3 7 3 B のゲートに印加する電圧を異ならせる。そして、第 1 のトランジスタ 3 7 3 A と第 3 の抵抗素子 3 7 4 A との間のノードに生成される電圧を印加すること、または第 2 のトランジスタ 3 7 3 B と第 6 の抵抗素子 3 7 4 B との間のノードに生成される電圧を印加することで、トランジスタ 1 0 9 A とトランジスタ 1 0 9 B との流れる電流の比を異ならせることができる。また第 1 のスイッチ 3 7 5 A と第 2 のスイッチ 3 7 5 B とは表示制御回路により交互に切り替えてオン又はオフを制御することで、トランジスタ 1 0 9 A またはトランジスタ 1 0 9 B のいずれかに選択的に電流を流す構成とすることができる。

20

【 0 0 8 2 】

なお図 5 ( B ) に示す第 1 のスイッチ 3 7 5 A 及び第 2 のスイッチ 3 7 5 B のオン又はオフは、上記図 1 ( C ) で説明した電流源回路制御回路 1 3 0 を制御するための信号 ( 矢印 1 4 1 ) により、制御されることとなる。

30

【 0 0 8 3 】

以上説明したように、本発明の一態様は、オペアンプにおける電流増幅回路に設けられた電流源回路を、動画表示の際に用いる電流源回路と、静止画表示の際に用いる電流源回路とで切り替えて動作させる。当該電流源回路の切り替えによりソース接地増幅回路での電流の増幅を動画表示時と静止画表示時とで異ならせるように制御し、電源回路での低消費電力化を図るものである。またオペアンプにおける電流源回路の切り替えは、動画表示及び静止画表示を切り替えるために液晶表示パネルの制御を行う表示制御回路により行われるものである。その結果、液晶表示装置の制御回路において、動画表示及び静止画表示がリフレッシュレートを切り替えて行われる際の電源回路の低消費電力化を図ることができる。

40

【 0 0 8 4 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 0 8 5 】

( 実施の形態 2 )

本実施の形態では上記実施の形態の図 1 ( C ) に示した表示制御回路 1 4 0、図 2 ( A ) 及び図 2 ( B ) に示した表示制御回路 3 0 2 の具体的な構成、及び各回路でのタイミングチャートについて図 6 乃至図 1 0 に示し、説明する。

【 0 0 8 6 】

50

本実施の形態で具体的に説明する表示制御回路は、連続するフレームの画像信号が異なる表示（動画表示）の場合に、フレーム毎に画像信号を書き込むための画像制御信号を出力する。一方で連続するフレームの画像信号が同じ表示（静止画表示）の場合に画像制御信号を停止し、液晶に電圧を印加する画素電極の電位を浮遊状態（フローティング）にして液晶素子にかかる電圧を保持することで、リフレッシュレートを低減する。

【0087】

図1（C）、図2（A）、及び図2（B）に示した表示制御回路の具体的な構成を、図6のブロック図を用いて説明する。図6では図2（A）、（B）で符号を付して説明した、外部基板301上の表示制御回路302及び電源回路303、液晶表示パネル150、ゲートドライバー505、ソースドライバー506について示している。なお液晶表示パネル150の各構成については、図2（B）で符号を付して説明した箇所と同様であり実施の形態1の説明を援用するものとする。

10

【0088】

なお図6ではゲートドライバー505及びソースドライバー506を外部基板301の外部に設ける構成について示したが、外部基板301上に設ける構成としてもよい。

【0089】

表示制御回路302には、液晶表示装置に接続された外部機器から画像信号（画像信号Data）が供給されている。表示制御回路302は画像信号Dataに応じてゲートドライバー505及びソースドライバー506へのタイミング信号の供給または停止を制御する。また、電源は電源回路303に入力され、電源回路303より液晶表示パネル150を駆動するための複数の電源電圧を生成する。複数の電源電圧としては、液晶表示パネル150の容量線323に供給する容量電圧Vcs、対向電極312に供給する共通電圧Vcomの他、高電源電圧Vdd及び低電源電圧Vssを生成する。

20

【0090】

次いで表示制御回路302の構成、及び表示制御回路302が画像信号を処理する手順について説明する。

【0091】

表示制御回路302は、記憶回路501、比較回路502、タイミング信号出力回路503、及び選択回路504を有する。

【0092】

記憶回路501は、複数のフレームに関する画像信号を記憶するための複数のフレームメモリを有する。記憶回路501が有するフレームメモリの数は特に限定されるものではなく、複数のフレームに関する画像信号を記憶できる素子であればよい。なおフレームメモリは、例えばDRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）等の記憶素子を用いて構成すればよい。

30

【0093】

なおフレームメモリは、フレーム期間毎に画像信号を記憶する構成であればよく、フレームメモリの数について特に限定されるものではない。またフレームメモリの画像信号は、比較回路502及びタイミング信号出力回路503により選択的に読み出されるものである。なお図中のフレームメモリ501Aは、1フレーム分のメモリ領域を概念的に図示するものである。

40

【0094】

比較回路502は、記憶回路501に記憶された連続するフレーム期間の画像信号を選択的に読み出して、当該画像信号の連続するフレーム間での比較を画素毎に行い、差分を検出するための回路である。

【0095】

なお、本実施の形態ではフレーム間の画像信号の差分の有無により、タイミング信号出力回路503及び選択回路504の動作を決定する。当該比較回路502がフレーム間のいずれかの画素で差分を検出した場合（差分「有」の場合）、比較回路502は画像信号が

50

静止画表示ではないと判断し、差分を検出した連続するフレーム期間を動画表示であると判断する。

【0096】

一方、比較回路502での画像信号の比較により、全ての画素で差分が検出されない場合（差分「無」の場合）、当該差分を検出しなかった連続するフレーム期間は、静止画表示であると判断する。すなわち比較回路502は、連続するフレーム期間の画像信号の差分の有無を検出することによって、動画表示するための画像信号であるか、または静止画表示するための画像信号であるかの判断をするものである。

【0097】

なお、当該比較により「差分が有る」と検出される基準は、差分の大きさが一定のレベルを超えたときに、差分有りとして検出したと判断されるように設定してもよい。なお比較回路502の検出する差分は、差分の絶対値によって判断をする設定とすればよい。

【0098】

選択回路504は、例えばトランジスタで形成される複数のスイッチを設ける構成とする。比較回路502が連続するフレーム間に差分を検出した場合、すなわち画像が動画表示の際、記憶回路501内のフレームメモリから動画の画像信号を選択してタイミング信号出力回路503に出力する。

【0099】

なお選択回路504は、比較回路502が連続するフレーム間に差分を検出しない場合、すなわち画像が静止画表示の際、記憶回路501内のフレームメモリからタイミング信号出力回路503に画像信号を出力しない。画像信号をフレームメモリよりタイミング信号出力回路503に出力しない構成とすることにより、外部基板301での消費電力を削減できる。

【0100】

タイミング信号出力回路503は、ゲートドライバー505及びソースドライバー506に選択回路504で選択された画像信号及びタイミング信号の供給または停止を制御する回路である。

【0101】

次いで電源回路303の構成について説明する。ここでは電源回路が生成する複数の電源電圧として液晶表示パネル150の容量線323に供給する容量電圧 $V_{cs}$ 、対向電極312に供給する共通電圧 $V_{com}$ を例に挙げて説明する。

【0102】

電源回路303は、基準電源電圧生成回路507、容量電圧生成回路508、及び共通電圧生成回路509を有する。

【0103】

基準電源電圧生成回路507は、バンドギャップレギュレータ等を用いればよい。バンドギャップレギュレータは温度係数がほぼ0であり、良く用いられる。

【0104】

容量電圧生成回路508は、オペアンプを有し、容量線に供給する容量電圧を生成する回路である。

【0105】

共通電圧生成回路509は、実施の形態1で説明した、電流源回路制御回路により第1の電流源回路及び第2の電流源回路が切り替えられて制御されるオペアンプを有し、対向電極に供給する共通電圧を生成する回路である。なお共通電圧生成回路509が具備する電流源回路制御回路は、表示制御回路302における動画表示であるか静止画表示であるかの判断に応じて制御される。具体的に言えば、共通電圧生成回路509が具備する電流源回路制御回路は、表示制御回路302内の選択回路504により選択される、タイミング信号出力回路503からの画像信号及びタイミング信号の供給または停止に応じて制御される。

【0106】

10

20

30

40

50

また、画素回路 3 1 1 はスイッチング素子としてトランジスタ 6 0 3、該トランジスタ 6 0 3 に接続された容量素子 6 0 4、及び液晶素子 6 0 5 を有する（図 7 参照）。

【 0 1 0 7 】

トランジスタ 6 0 3 には、オフ電流が低減されたトランジスタを用いる。トランジスタ 6 0 3 がオフ状態のとき、オフ電流が低減されたトランジスタ 6 0 3 に接続された液晶素子 6 0 5、及び容量素子 6 0 4 に蓄えられた電荷は、トランジスタ 6 0 3 を介して漏れ難く、トランジスタ 6 0 3 がオフ状態になる前に書き込まれた状態を長時間に渡って保持できる。

【 0 1 0 8 】

本実施の形態では、液晶分子は、第 1 の基板に設けられた画素電極と対向する第 2 の基板に設けられた対向電極によって形成された電界によって制御される。

10

【 0 1 0 9 】

ゲート線 3 2 1 にはゲートドライバー 5 0 5 より外部接続端子 3 0 7 を介して選択信号が供給される。ソース線 3 2 2 にはソースドライバー 5 0 6 より外部接続端子 3 0 7 を介して画像信号が供給される。容量線 3 2 3 には容量電圧生成回路 5 0 8 より外部接続端子 3 0 7 を介して容量電圧  $V_{cs}$  が供給される。対向電極 3 1 2 には共通電圧生成回路 5 0 9 より外部接続端子 3 0 7 を介して共通電圧  $V_{com}$  が供給される。

【 0 1 1 0 】

次いで、画素に供給する信号の様子を、図 7 に示す液晶表示装置の回路図、及び図 8 に示すタイミングチャートを用いて説明する。

20

【 0 1 1 1 】

図 8 に、タイミング信号出力回路 5 0 3 がゲートドライバー 5 0 5 に供給するクロック信号  $GCK$ 、及びスタートパルス  $GSP$  を示す。また、タイミング信号出力回路 5 0 3 がソースドライバー 5 0 6 に供給するクロック信号  $SCK$ 、及びスタートパルス  $SSP$  を示す。なお、クロック信号の出力のタイミングを説明するために、図 8 ではクロック信号の波形を単純な矩形波で示す。

【 0 1 1 2 】

また図 8 に、ソース線 3 2 2 の状態 ( $Data\ line$ )、画素電極の状態、及び対向電極の切り替え状態を示す。

【 0 1 1 3 】

図 8 において期間 4 0 1 は、動画表示するための画像信号を書き込む期間に相当する。期間 4 0 1 では画像信号が画素部 3 1 0 の各画素に供給され、電源回路において第 1 の電流源回路を用いて生成される共通電圧が対向電極に供給されるように動作する。

30

【 0 1 1 4 】

また、期間 4 0 2 は、静止画を表示する期間に相当する。期間 4 0 2 では画素部 3 1 0 の各画素への画像信号を停止し、電源回路において第 2 の電流源回路を用いて生成される共通電圧が対向電極に供給されるよう動作する。

【 0 1 1 5 】

なお図 8 に示す期間 4 0 2 では、ゲートドライバー 5 0 5 及びソースドライバー 5 0 6 の動作を停止するよう各信号を供給する構成について示したが、期間 4 0 2 の長さ及びリフレッシュレートによって、定期的に画像信号を書き込むことで静止画の画像の劣化を防ぐ構成とすることが好ましい。

40

【 0 1 1 6 】

まず図 8 に示すタイミングチャートの期間 4 0 1 を説明する。期間 4 0 1 では、クロック信号  $GCK$  として、常時クロック信号が供給され、スタートパルス  $GSP$  として、垂直同期周波数に応じたパルスが供給される。また、期間 4 0 1 では、クロック信号  $SCK$  として、常時クロック信号が供給され、スタートパルス  $SSP$  として、1 ゲート選択期間に応じたパルスが供給される。

【 0 1 1 7 】

また、各行の画素に画像信号  $Data$  がソース線 3 2 2 を介して供給される。ソース線 3

50

22の画像信号Dataの電位は、ゲート線321の電位に応じて画素電極に供給される。

【0118】

また、タイミング信号出力回路503が共通電圧生成回路509においてオペアンプ内の第1の電流源回路を選択し、生成される共通電圧を対向電極に供給する。

【0119】

次いで図8に示すタイミングチャートの期間402を説明する。期間402では、ゲートドライバー505及びソースドライバー506のタイミング信号となるクロック信号GCK、スタートパルスGSP、クロック信号SCK、及びスタートパルスSSPを停止する。そして期間402において、ゲート線321に供給していた選択信号Sel及びソース線322に供給していた画像信号Dataを停止する。クロック信号GCK及びスタートパルスGSPが共に停止する期間402では、トランジスタ603が非導通状態となり画素電極の電位が浮遊状態となる。

10

【0120】

すなわち期間402では、液晶素子605の画素電極の電位を浮遊状態にして、新たに電位を供給することなく、静止画の表示を行うものである。また、ゲートドライバー505及びソースドライバー506のタイミング信号となるクロック信号、及びスタートパルスを停止することにより低消費電力化を図ることができる。

【0121】

特に、トランジスタ603にオフ電流が低減されたトランジスタを用いることにより、液晶素子605の両端子に加わる電圧が経時的に低下する現象を抑制できる。

20

【0122】

次に、動画から静止画に切り替わる期間(図8中の期間403)、及び静止画から動画に切り替わる期間(図8中の期間404)におけるタイミング信号出力回路503の動作を、図9(A)、(B)を用いて説明する。図9(A)、(B)はタイミング信号出力回路503がゲートドライバー505及びソースドライバー506に出力する、高電源電圧Vdd、クロック信号(ここではGCK)、及びスタートパルス信号(ここではGSP)の電位を示す。

【0123】

動画から静止画に切り替わる期間403のタイミング信号出力回路503の動作を図9(A)に示す。タイミング信号出力回路503は、スタートパルスGSPを停止する(図9(A)のE1、第1のステップ)。次いで、スタートパルス信号GSPの停止後、パルス出力がシフトレジスタの最終段まで達した後に、複数のクロック信号GCKを停止する(図9(A)のE2、第2のステップ)。次いで、電源電圧の高電源電圧Vddを低電源電圧Vssにする(図9(A)のE3、第3のステップ)。

30

【0124】

以上の手順をもって、ゲートドライバー505及びソースドライバー506の誤動作を引き起こすことなく、ゲートドライバー505及びソースドライバー506に供給するタイミング信号を停止できる。動画から静止画に切り替わる際の誤動作はノイズを生じ、ノイズは静止画として保持されてしまう。そのため、誤動作が少ないゲートドライバー505及びソースドライバー506を搭載した液晶表示装置は画像の劣化が少ない静止画を表示できる。

40

【0125】

次に静止画から動画に切り替わる期間404のタイミング信号出力回路503の動作を図9(B)に示す。タイミング信号出力回路503は、電源電圧を低電源電圧Vssから高電源電圧Vddにする(図9(B)のS1、第1のステップ)。次いで、クロック信号GCKとし先にHレベルの電位を与えた後、複数のクロック信号GCKを供給する(図9(B)のS2、第2のステップ)。次いでスタートパルス信号GSPを供給する(図9(B)のS3、第3のステップ)。

【0126】

50

以上の手順をもって、ゲートドライバー 505 及びソースドライバー 506 の誤動作を引き起こすことなくゲートドライバー 505 及びソースドライバー 506 にタイミング信号の供給を再開できる。各配線の電位を順番に動画表示時に戻すことで、誤動作なくゲートドライバー 505 及びソースドライバー 506 の駆動を行うことができる。

【0127】

また、図 10 に、動画表示する期間 801、または静止画表示する期間 802 における、フレーム期間毎の画像信号の書き込み頻度を模式的に示す。図 10 中、「W」は画像信号の書き込み期間であることをあらわし、「H」は画像信号を保持する期間であることを示している。また、図 10 中、期間 803 は 1 フレーム期間を表したものであるが、別の期間であってもよい。

10

【0128】

このように、本実施の形態の液晶表示装置の構成において、期間 802 で表示される静止画の画像信号は期間 804 に書き込まれ、期間 804 で書き込まれた画像信号は、期間 802 の他の期間で保持される。

【0129】

本実施の形態に例示した液晶表示装置は、静止画を表示する期間において画像信号の書き込み頻度を低減できる。その結果、静止画を表示する際の低消費電力化を図ることができる。

【0130】

また、同一の画像を複数回書き換えて静止画を表示する場合、画像の切り替わりが視認できると、人間は目に疲労を感じることもあり得る。本実施の形態の液晶表示装置は、画像信号の書き込み頻度が削減されているため、目の疲労を減らすといった効果もある。

20

【0131】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0132】

(実施の形態 3)

本実施の形態では、実施の形態 1 で説明した液晶表示パネル 150 における画素のトランジスタの構造の一例について説明する。

【0133】

トランジスタの構造の一例として、半導体層として酸化物半導体層を含むトランジスタの構造について、図 11、図 12 を参照して説明する。図 11、図 12 は、トランジスタの断面模式図である。

30

【0134】

図 11 (A) に示すトランジスタは、ボトムゲート構造を有するトランジスタの一つであり、逆スタガ型トランジスタともいう。

【0135】

図 11 (A) に示すトランジスタは、基板 710 の上に設けられた導電層 711 と、導電層 711 の上に設けられた絶縁層 712 と、絶縁層 712 を挟んで導電層 711 の上に設けられた酸化物半導体層 713 と、酸化物半導体層 713 の一部の上にそれぞれ設けられた導電層 715 及び導電層 716 と、を有している。

40

【0136】

また、図 11 (A) に、トランジスタの酸化物半導体層 713 の他の一部(導電層 715 及び導電層 716 が設けられていない部分)に接する酸化物絶縁層 717 と、酸化物絶縁層 717 の上に設けられた保護絶縁層 719 を示す。

【0137】

図 11 (B) に示すトランジスタは、ボトムゲート構造を有するトランジスタの一つであるチャンネル保護型(チャンネルストップ型ともいう。)トランジスタであり、逆スタガ型トランジスタともいう。

【0138】

50

図 1 1 ( B ) に示すトランジスタは、基板 7 2 0 の上に設けられた導電層 7 2 1 と、導電層 7 2 1 の上に設けられた絶縁層 7 2 2 と、絶縁層 7 2 2 を挟んで導電層 7 2 1 の上に設けられた酸化半導体層 7 2 3 と、絶縁層 7 2 2 及び酸化半導体層 7 2 3 を挟んで導電層 7 2 1 の上に設けられた絶縁層 7 2 7 と、酸化半導体層 7 2 3 の一部の上及び絶縁層 7 2 7 の一部の上にそれぞれ設けられた導電層 7 2 5 及び導電層 7 2 6 と、を有している。

【 0 1 3 9 】

ここで、酸化半導体層 7 2 3 の一部又は全てと導電層 7 2 1 とが重なる構造にすると、酸化半導体層 7 2 3 への光の入射を抑えることができる。

【 0 1 4 0 】

また、図 1 1 ( B ) に、トランジスタの上に設けられた保護絶縁層 7 2 9 を示す。

【 0 1 4 1 】

図 1 1 ( C ) に示すトランジスタは、ボトムゲート構造を有するトランジスタの一つである。

【 0 1 4 2 】

図 1 1 ( C ) に示すトランジスタは、基板 7 3 0 の上に設けられた導電層 7 3 1 と、導電層 7 3 1 の上に設けられた絶縁層 7 3 2 と、絶縁層 7 3 2 の一部の上にそれぞれ設けられた導電層 7 3 5 及び導電層 7 3 6 と、絶縁層 7 3 2、導電層 7 3 5、及び、導電層 7 3 6 を挟んで導電層 7 3 1 の上に設けられた酸化半導体層 7 3 3 と、を有している。

【 0 1 4 3 】

ここで、酸化半導体層 7 3 3 の一部又は全てと導電層 7 3 1 とが重なる構造にすると、酸化半導体層 7 3 3 への光の入射を抑えることができる。

【 0 1 4 4 】

また、図 1 1 ( C ) に、酸化半導体層 7 3 3 の上面及び側面と接する酸化絶縁層 7 3 7 と、酸化絶縁層 7 3 7 の上に設けられた保護絶縁層 7 3 9 を示す。

【 0 1 4 5 】

図 1 1 ( D ) に示すトランジスタは、トップゲート構造を有するトランジスタの一つである。

【 0 1 4 6 】

図 1 1 ( D ) に示すトランジスタは、絶縁層 7 4 7 を挟んで基板 7 4 0 の上に設けられた酸化半導体層 7 4 3 と、酸化半導体層 7 4 3 の一部の上にそれぞれ設けられた導電層 7 4 5 及び導電層 7 4 6 と、酸化半導体層 7 4 3、導電層 7 4 5、及び導電層 7 4 6 の上に設けられた絶縁層 7 4 2 と、絶縁層 7 4 2 を挟んで酸化半導体層 7 4 3 の上に設けられた導電層 7 4 1 と、を有している。

【 0 1 4 7 】

基板 7 1 0、基板 7 2 0、基板 7 3 0、基板 7 4 0 のそれぞれには、一例として、ガラス基板（バリウムホウケイ酸ガラス基板やアルミノホウケイ酸ガラス基板等）、絶縁体となる基板（セラミック基板、石英基板、サファイア基板等）、結晶化ガラス基板、プラスチック基板、又は、半導体基板（シリコン基板等）を用いる。

【 0 1 4 8 】

図 1 1 ( D ) に示すトランジスタにおいて、絶縁層 7 4 7 は、基板 7 4 0 からの不純物元素の拡散を防止する下地層としての機能を有する。絶縁層 7 4 7 には、一例として、窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、及び酸化窒化アルミニウム層を、単層で又は積層させて用いる。又は、絶縁層 7 4 7 には、前述の層と、遮光性を有する材料の層とを積層させて用いる。又は、絶縁層 7 4 7 には、遮光性を有する材料の層を用いる。なお、絶縁層 7 4 7 として、遮光性を有する材料の層を用いると、酸化半導体層 7 4 3 への光の入射を抑えることができる。

【 0 1 4 9 】

なお、図 1 1 ( D ) に示すトランジスタと同様に、図 1 1 ( A ) ~ 図 1 1 ( C ) に示すトランジスタにおいて、基板 7 1 0 と導電層 7 1 1 との間、基板 7 2 0 と導電層 7 2 1 と

10

20

30

40

50

の間、基板 730 と導電層 731 との間に、それぞれ絶縁層 747 を設けてもよい。

【0150】

導電層（導電層 711、導電層 721、導電層 731、導電層 741）は、トランジスタのゲートとしての機能を有する。これらの導電層には、一例として、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、及びスカンジウム等の金属材料の層、又は、当該金属材料を主成分とする合金材料の層を用いる。

【0151】

絶縁層（絶縁層 712、絶縁層 722、絶縁層 732、絶縁層 742）は、トランジスタのゲート絶縁層としての機能を有する。

【0152】

絶縁層（絶縁層 712、絶縁層 722、絶縁層 732、絶縁層 742）には、一例として、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、酸化ハフニウム層、又は、酸化アルミニウムガリウム層を用いる。

【0153】

酸化物半導体層（酸化物半導体層 713、酸化物半導体層 723、酸化物半導体層 733、酸化物半導体層 743）と接するゲート絶縁層としての機能を有する絶縁層（絶縁層 712、絶縁層 722、絶縁層 732、絶縁層 742）には、酸素を含む絶縁層を用いるのが好ましく、当該酸素を含む絶縁層が、化学量論的組成比より酸素が多い領域（酸素過剰領域とも表記する）を含むことがより好ましい。

【0154】

上記ゲート絶縁層としての機能を有する絶縁層が酸素過剰領域を有することにより、酸化物半導体層からゲート絶縁層としての機能を有する絶縁層への酸素の移動を防ぐことができる。また、ゲート絶縁層としての機能を有する絶縁層から酸化物半導体層への酸素の供給を行うこともできる。よって、ゲート絶縁層としての機能を有する絶縁層と接する酸化物半導体層を、十分な量の酸素を含有する層とすることができる。

【0155】

また、ゲート絶縁層としての機能を有する絶縁層（絶縁層 712、絶縁層 722、絶縁層 732、絶縁層 742）は、水素や水等の不純物を混入させない方法を用いて成膜することが好ましい。ゲート絶縁層としての機能を有する絶縁層に水素や水等の不純物が含まれると、酸化物半導体層（酸化物半導体層 713、酸化物半導体層 723、酸化物半導体層 733、酸化物半導体層 743）への水素や水等の不純物の侵入や、水素や水等の不純物による酸化物半導体層中の酸素の引き抜き、等によって、酸化物半導体層が低抵抗化（*n*型化）してしまい、寄生チャネルが形成される恐れがあるためである。例えば、ゲート絶縁層としての機能を有する絶縁層は、スパッタリング法によって成膜し、スパッタガスとしては、水素や水等の不純物が除去された高純度ガスを用いることが好ましい。

【0156】

また、ゲート絶縁層としての機能を有する絶縁層には、酸素を供給する処理を行うことが好ましい。酸素を供給する処理としては、酸素雰囲気における熱処理や、酸素ドーブ処理、等がある。または、電界で加速した酸素イオンを照射して、酸素を添加しても良い。なお、本明細書等において、酸素ドーブ処理とは、酸素をバルクに添加することをいい、当該バルクの用語は、酸素を膜表面のみでなく膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーブには、プラズマ化した酸素をバルクに添加する酸素プラズマドーブが含まれる。

【0157】

ゲート絶縁層としての機能を有する絶縁層に対して、酸素ドーブ処理等の酸素を供給する処理を行うことにより、ゲート絶縁層としての機能を有する絶縁層には、化学量論的組成比より酸素が多い領域が形成される。このような領域を備えることにより、酸化物半導体層に酸素を供給し、酸化物半導体層中または界面の酸素欠陥を低減することができる。

【0158】

10

20

30

40

50

例えば、ゲート絶縁層としての機能を有する絶縁層として酸化アルミニウムガリウム層を用いた場合、酸素ドーブ処理等の酸素を供給する処理を行うことにより、 $Ga_xAl_{2-x}O_3$  ( $0 < x < 2$ 、 $0 < < 1$ )とすることができる。

【0159】

または、スパッタリング法を用いてゲート絶縁層としての機能を有する絶縁層を成膜する際に、酸素ガス、または、不活性気体（例えば、アルゴン等の希ガス、又は、窒素）と酸素との混合ガスを導入することで、ゲート絶縁層としての機能を有する絶縁層に酸素過剰領域を形成してもよい。なお、スパッタリング法による成膜後、熱処理を行っても良い。

【0160】

酸化物半導体層（酸化物半導体層713、酸化物半導体層723、酸化物半導体層733、酸化物半導体層743）は、トランジスタのチャネル形成層としての機能を有する。これらの酸化物半導体層に用いることができる酸化物半導体としては、四元系金属酸化物（ $In-Sn-Ga-Zn-O$ 系金属酸化物等）、三元系金属酸化物（ $In-Ga-Zn-O$ 系金属酸化物、 $In-Sn-Zn-O$ 系金属酸化物、 $In-Al-Zn-O$ 系金属酸化物、 $Sn-Ga-Zn-O$ 系金属酸化物、 $Al-Ga-Zn-O$ 系金属酸化物、 $Sn-Al-Zn-O$ 系金属酸化物、 $Hf-In-Zn-O$ 系金属酸化物等）、及び二元系金属酸化物等（ $In-Zn-O$ 系金属酸化物、 $Sn-Zn-O$ 系金属酸化物、 $Al-Zn-O$ 系金属酸化物、 $Zn-Mg-O$ 系金属酸化物、 $Sn-Mg-O$ 系金属酸化物、 $In-Mg-O$ 系金属酸化物、 $In-Ga-O$ 系金属酸化物、 $In-Sn-O$ 系金属酸化物等）が挙げられる。また、酸化物半導体として、 $In-O$ 系金属酸化物、 $Sn-O$ 系金属酸化物、 $Zn-O$ 系金属酸化物等を用いることもできる。また、酸化物半導体として、上記酸化物半導体として用いることができる金属酸化物に $SiO_2$ を含ませた酸化物半導体を用いることもできる。

【0161】

また、酸化物半導体として、 $InMO_3(ZnO)_m$  ( $m > 0$ )で表記される材料を用いることができる。ここで、 $M$ は、 $Ga$ 、 $Al$ 、 $Mn$ 、及び $Co$ から選ばれた一つ又は複数の金属元素を示す。例えば、 $M$ としては、 $Ga$ 、 $Ga$ 及び $Al$ 、 $Ga$ 及び $Mn$ 、 $Ga$ 及び $Co$ 等が挙げられる。

【0162】

導電層（導電層715及び導電層716、導電層725及び導電層726、導電層735及び導電層736、並びに、導電層745及び導電層746）は、トランジスタのソース又はドレインとしての機能を有する。これらの導電層には、一例として、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくは、タングステン等の金属材料、又は、これらの金属材料を主成分とする合金材料の層を用いる。

【0163】

例えば、トランジスタのソース又はドレインとしての機能を有する導電層として、アルミニウム及び銅等の金属材料の層と、チタン、モリブデン、及びタングステン等の高融点金属材料層とを積層させて用いる。又は、複数の高融点金属材料の層の間にアルミニウム及び銅等の金属材料の層を設けて用いる。また、上記の導電層として、ヒロックやウイスキーの発生を防止する元素（シリコン、ネオジム、スカンジウム等）が添加されたアルミニウム層を用いると、トランジスタの耐熱性を向上させることができる。

【0164】

また、上記の導電層の材料として、酸化インジウム（ $In_2O_3$ ）、酸化スズ（ $SnO_2$ ）、酸化亜鉛（ $ZnO$ ）、インジウムスズ酸化物（ $In_2O_3-SnO_2$ 、 $ITO$ と略記する）、若しくは、インジウム亜鉛酸化物（ $In_2O_3-ZnO$ ）、又は、これらの金属酸化物に酸化シリコンを含ませた金属酸化物を用いる。

【0165】

絶縁層727は、トランジスタのチャネル形成層を保護する層（チャネル保護層ともいう。）としての機能を有する。

10

20

30

40

50

## 【 0 1 6 6 】

酸化物絶縁層 7 1 7 及び酸化物絶縁層 7 3 7 には、一例として、酸化シリコン層等の酸化物絶縁層を用いる。

## 【 0 1 6 7 】

保護絶縁層 7 1 9、保護絶縁層 7 2 9、及び保護絶縁層 7 3 9 には、一例として、窒化シリコン層、窒化アルミニウム層、窒化酸化シリコン層、及び窒化酸化アルミニウム層等の無機絶縁層を用いる。

## 【 0 1 6 8 】

また、酸化物半導体層 7 4 3 と導電層 7 4 5 との間、及び酸化物半導体層 7 4 3 と導電層 7 4 6 との間に、ソース領域及びドレイン領域として機能する酸化物導電層をバッファ層として設けてもよい。図 1 1 ( D ) のトランジスタに酸化物導電層を設けたトランジスタを図 1 2 ( A ) に示す。

10

## 【 0 1 6 9 】

図 1 2 ( A ) のトランジスタは、酸化物半導体層 7 4 3 とソース及びドレインとして機能する導電層 7 4 5 及び導電層 7 4 6 との間に、ソース領域及びドレイン領域として機能する酸化物導電層 7 9 2 及び酸化物導電層 7 9 4 が形成されている。図 1 2 ( B ) のトランジスタは、作製工程により酸化物導電層 7 9 2 及び酸化物導電層 7 9 4 の形状が異なる例である。

## 【 0 1 7 0 】

図 1 2 ( A ) のトランジスタでは、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層を同じフォトリソグラフィ工程によって形状を加工して島状の酸化物半導体層 7 4 3 と島状の酸化物導電膜を形成する。酸化物半導体層 7 4 3 及び酸化物導電膜上にソース及びドレインとして機能する導電層 7 4 5 及び導電層 7 4 6 を形成した後、導電層 7 4 5 及び導電層 7 4 6 をマスクとして、島状の酸化物導電膜をエッチングし、ソース領域およびドレイン領域として機能する酸化物導電層 7 9 2 及び酸化物導電層 7 9 4 を形成する。

20

## 【 0 1 7 1 】

図 1 2 ( B ) のトランジスタでは、酸化物半導体層 7 4 3 上に酸化物導電膜を形成し、その上に金属導電膜を形成し、酸化物導電膜および金属導電膜を同じフォトリソグラフィ工程によって加工して、ソース領域およびドレイン領域として機能する酸化物導電層 7 9 2 及び酸化物導電層 7 9 4、ソース及びドレインとして機能する導電層 7 4 5 及び導電層 7 4 6 を形成する。

30

## 【 0 1 7 2 】

なお、酸化物導電層の形状を加工するためのエッチング処理の際、酸化物半導体層が過剰にエッチングされないように、エッチング条件（エッチング剤の種類、濃度、エッチング時間等）を適宜調整する。

## 【 0 1 7 3 】

酸化物導電層 7 9 2 及び酸化物導電層 7 9 4 の成膜方法は、スパッタリング法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層の材料としては、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウム、酸化珪素を含むインジウム錫酸化物（ITSO）などを適用することができる。また、上記材料に酸化珪素を含ませてもよい。

40

## 【 0 1 7 4 】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層 7 4 3 とソース及びドレインとして機能する導電層 7 4 5 及び導電層 7 4 6 との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタが高速動作をすることができる。

## 【 0 1 7 5 】

また、酸化物半導体層 7 4 3、ドレイン領域として機能する酸化物導電層（酸化物導電層 7 9 2 又は酸化物導電層 7 9 4）、ドレインとして機能する導電層（導電層 7 4 5 又は

50

導電層 746) の構成とすることによって、トランジスタの耐圧を向上させることができる。

【0176】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0177】

(実施の形態 4)

本実施の形態では、液晶表示パネル 150 における画素のトランジスタの半導体層に用いることのできる酸化物半導体層の一例を、図 13 (A) 乃至 (C) を用いて説明する。

【0178】

本実施の形態の酸化物半導体層は、第 1 の結晶性酸化物半導体層上に第 1 の結晶性酸化物半導体層よりも厚い第 2 の結晶性酸化物半導体層を有する積層構造である。

【0179】

絶縁層 1600 上に絶縁層 1602 を形成する。本実施の形態では、絶縁層 1602 として、PCVD 法またはスパッタリング法を用いて、50 nm 以上 600 nm 以下の膜厚の酸化物絶縁層を形成する。例えば、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層を用いることができる。

【0180】

次に、絶縁層 1602 上に膜厚 1 nm 以上 10 nm 以下の第 1 の酸化物半導体膜を形成する。第 1 の酸化物半導体膜の形成は、スパッタリング法を用い、そのスパッタリング法による成膜時における基板温度は 200 以上 400 以下とする。

【0181】

本実施の形態では、酸化物半導体用ターゲット (In-Ga-Zn-O 系酸化物半導体用ターゲット (In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:2 [mol 数比])) を用いて、基板とターゲットの間との距離を 160 mm、基板温度 250、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚 5 nm の第 1 の酸化物半導体膜を成膜する。

【0182】

次いで、基板を配置するチャンバークリーンを窒素、または乾燥空気とし、第 1 の加熱処理を行う。第 1 の加熱処理の温度は、400 以上 750 以下とする。第 1 の加熱処理によって第 1 の結晶性酸化物半導体層 1604 を形成する (図 13 (A) 参照)。

【0183】

第 1 の加熱処理の温度にもよるが、第 1 の加熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、C 軸配向した結晶が得られる。第 1 の加熱処理によって、亜鉛と酸素が膜表面に多く集まり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に 1 層または複数層形成され、これが第 1 の酸化物半導体膜の膜厚方向に成長して重なり積層となる。第 1 の加熱処理の温度を上げると表面から内部、そして内部から底部と結晶成長が進行する。

【0184】

第 1 の加熱処理によって、酸化物絶縁層である絶縁層 1602 中の酸素を第 1 の結晶性酸化物半導体層 1604 との界面またはその近傍 (界面からプラスマイナス 5 nm) に拡散させて、第 1 の結晶性酸化物半導体層 1604 の酸素欠損を低減する。従って、下地絶縁層として用いられる絶縁層 1602 は、膜中 (バルク中)、第 1 の結晶性酸化物半導体層 1604 と絶縁層 1602 との界面、のいずれかには少なくとも化学量論比を超える量の酸素が存在することが好ましい。

【0185】

次いで、第 1 の結晶性酸化物半導体層 1604 上に 10 nm よりも厚い第 2 の酸化物半導体膜を形成する。第 2 の酸化物半導体膜の形成は、スパッタリング法を用い、その成膜時における基板温度は 200 以上 400 以下とする。成膜時における基板温度を 20

10

20

30

40

50

0 以上400 以下とすることにより、第1の結晶性酸化物半導体層1604の表面上に接して成膜する酸化物半導体層にプリカーサの整列が起き、所謂、秩序性を持たせることができる。

【0186】

本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2[mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度400、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚25nmの第2の酸化物半導体膜を成膜する。

【0187】

次いで、基板を配置するチャンパー雰囲気を窒素、または乾燥空気とし、第2の加熱処理を行う。第2の加熱処理の温度は、400 以上750 以下とする。第2の加熱処理によって第2の結晶性酸化物半導体層1606を形成する(図13(B)参照)。第2の加熱処理を、窒素雰囲気下、酸素雰囲気下、又は窒素と酸素の混合雰囲気下で行うことにより、第2の結晶性酸化物半導体層の高密度化及び欠陥数の減少を図る。第2の加熱処理によって、第1の結晶性酸化物半導体層1604を核として第2の酸化物半導体膜の膜厚方向、即ち底部から内部に結晶成長が進行して第2の結晶性酸化物半導体層1606が形成される。

【0188】

また、絶縁層1602の形成から第2の加熱処理までの工程を大気に触れることなく連続的に行うことが好ましい。絶縁層1602の形成から第2の加熱処理までの工程は、水素及び水分をほとんど含まない雰囲気(不活性雰囲気、減圧雰囲気、乾燥空気雰囲気など)下に制御することが好ましく、例えば、水分については露点-40 以下、好ましくは露点-50 以下の乾燥窒素雰囲気とする。

【0189】

次いで、第1の結晶性酸化物半導体層1604及び第2の結晶性酸化物半導体層1606からなる酸化物半導体積層を加工して島状の酸化物半導体積層からなる酸化物半導体層1608を形成する(図13(C)参照)。図では、第1の結晶性酸化物半導体層1604と第2の結晶性酸化物半導体層1606の界面を点線で示し、酸化物半導体積層と説明しているが、明確な界面が存在しているのではなく、あくまで分かりやすく説明するために図示している。

【0190】

酸化物半導体積層の加工は、所望の形状のマスクを酸化物半導体積層上に形成した後、当該酸化物半導体積層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。

【0191】

なお、酸化物半導体積層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0192】

また、上記作製方法により、得られる第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、C軸配向を有していることを特徴の一つとしている。ただし、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、単結晶構造ではなく、非晶質構造でもない構造であり、C軸配向を有した結晶性(C Axis Aligned Crystal; CAACとも呼ぶ)を含む酸化物を有する。なお、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、一部に結晶粒界を有している。

【0193】

なお、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、少なくともZnを有する酸化物材料であり、四元系金属酸化物であるIn-Al-Ga-Zn-O系の材料や、In-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-

10

20

30

40

50

Zn - O系の材料、In - Al - Zn - O系の材料、In - Sn - Zn - O系の材料、Sn - Ga - Zn - O系の材料、Al - Ga - Zn - O系の材料、Sn - Al - Zn - O系の材料、Hf - In - Zn - O系の材料や、二元系金属酸化物であるIn - Zn - O系の材料、Sn - Zn - O系の材料、Al - Zn - O系の材料、Zn - Mg - O系の材料や、Zn - O系の材料などがある。また、In - Si - Ga - Zn - O系の材料や、In - Ga - B - Zn - O系の材料や、In - B - Zn - O系の材料を用いてもよい。また、上記の材料にSiO<sub>2</sub>を含ませてもよい。ここで、例えば、In - Ga - Zn - O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでもよい。

10

## 【0194】

また、第1の結晶性酸化物半導体層上に第2の結晶性酸化物半導体層を形成する2層構造に限定されず、第2の結晶性酸化物半導体層の形成後に第3の結晶性酸化物半導体層を形成するための成膜処理と加熱処理のプロセスを繰り返し行って、3層以上の積層構造としてもよい。

## 【0195】

上記作製方法で形成された酸化物半導体積層からなる酸化物半導体層1608を、本明細書に開示する半導体装置に適用できるトランジスタ(例えば、実施の形態2及び実施の形態3で説明したトランジスタ)に、適宜用いることができる。

## 【0196】

また、本実施の形態の第1の結晶性酸化物半導体層と第2の結晶性酸化物半導体層の積層を酸化物半導体層として用いた、実施の形態3の図11(D)のトランジスタにおいては、酸化物半導体層の一方の面から他方の面に電界が印加されることはない。また、電流が酸化物半導体積層の厚さ方向(一方の面から他方の面に流れる方向、具体的に図11(D)では上下方向)に流れる構造ではない。電流は、主として、酸化物半導体積層の界面を流れるトランジスタ構造であるため、トランジスタに光照射が行われ、またはBTストレスが与えられても、トランジスタ特性の劣化は抑制される、または低減される。

20

## 【0197】

酸化物半導体層1608のような第1の結晶性酸化物半導体層と第2の結晶性酸化物半導体層の積層をトランジスタに用いることで、安定した電気的特性を有し、且つ、信頼性の高いトランジスタを実現できる。

30

## 【0198】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

## 【0199】

(実施の形態5)

本明細書に開示する制御回路を具備する液晶表示装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した制御回路を具備する液晶表示装置を具備する電子機器の例について説明する。

40

## 【0200】

図14(A)は、電子書籍の一例を示している。図14(A)に示す電子書籍は、筐体1700及び筐体1701の2つの筐体で構成されている。筐体1700及び筐体1701は、蝶番1704により一体になっており、開閉動作を行うことができる。このような構成により、書籍のような動作を行うことが可能となる。

## 【0201】

筐体1700には表示部1702が組み込まれ、筐体1701には表示部1703が組み

50

込まれている。表示部 1702 及び表示部 1703 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 14（A）では表示部 1702）に文章を表示し、左側の表示部（図 14（A）では表示部 1703）に画像を表示することができる。

#### 【0202】

また、図 14（A）では、筐体 1700 に操作部等を備えた例を示している。例えば、筐体 1700 は、電源入力端子 1705、操作キー 1706、スピーカ 1707 等を備えている。操作キー 1706 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイス等を備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、及び USB ケーブル等の各種ケーブルと接続可能な端子等）、記録媒体挿入部等を備える構成としてもよい。さらに、図 14（A）に示す電子書籍は、電子辞書としての機能を持たせた構成としてもよい。

10

#### 【0203】

図 14（B）は、本明細書に開示する制御回路を具備する液晶表示装置を用いたデジタルフォトフレームの一例を示している。例えば、図 14（B）に示すデジタルフォトフレームは、筐体 1711 に表示部 1712 が組み込まれている。表示部 1712 は、各種画像を表示することが可能であり、例えば、デジタルカメラ等で撮影した画像を表示させることで、通常の写真立てと同様に機能させることができる。

#### 【0204】

なお、図 14（B）に示すデジタルフォトフレームは、操作部、外部接続用端子（USB 端子、USB ケーブル等の各種ケーブルと接続可能な端子等）、記録媒体挿入部等を備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像を記憶したメモリを挿入して画像を取り込み、取り込んだ画像を表示部 1712 に表示させることができる。

20

#### 【0205】

図 14（C）は、制御回路を具備する液晶表示装置を用いたテレビジョン装置の一例を示している。図 14（C）に示すテレビジョン装置は、筐体 1721 に表示部 1722 が組み込まれている。表示部 1722 により、映像を表示することが可能である。また、ここでは、スタンド 1723 により筐体 1721 を支持した構成を示している。表示部 1722 は、上記実施の形態に示した制御回路を具備する液晶表示装置を適用することができる。

30

#### 【0206】

図 14（C）に示すテレビジョン装置の操作は、筐体 1721 が備える操作スイッチや、別体のリモコン操作機により行うことができる。リモコン操作機が備える操作キーにより、チャンネルや音量の操作を行うことができ、表示部 1722 に表示される映像を操作することができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

#### 【0207】

図 14（D）は、本明細書に開示する制御回路を具備する液晶表示装置を用いた携帯電話機の一例を示している。図 14（D）に示す携帯電話機は、筐体 1731 に組み込まれた表示部 1732 の他、操作ボタン 1733、操作ボタン 1737、外部接続ポート 1734、スピーカ 1735、及びマイク 1736 等を備えている。

40

#### 【0208】

図 14（D）に示す携帯電話機は、表示部 1732 がタッチパネルになっており、指等の接触により、表示部 1732 の表示内容を操作することができる。また、電話の発信、或いはメールの作成等は、表示部 1732 を指等で接触することにより行うことができる。

#### 【0209】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

50

## 【符号の説明】

## 【0210】

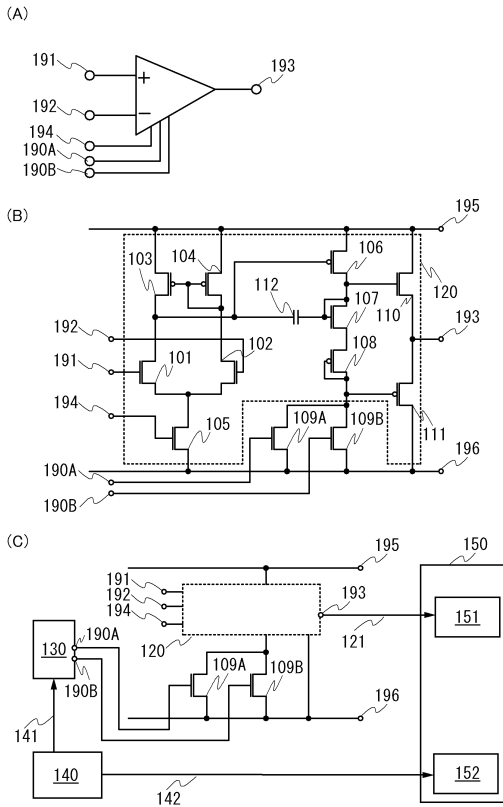
101	トランジスタ	
102	トランジスタ	
103	トランジスタ	
104	トランジスタ	
105	トランジスタ	
106	トランジスタ	
107	トランジスタ	
108	トランジスタ	10
109 A	トランジスタ	
109 B	トランジスタ	
110	トランジスタ	
111	トランジスタ	
112	位相補償コンデンサ	
120	信号入出力回路	
121	矢印	
130	電流源回路制御回路	
140	表示制御回路	
141	矢印	20
142	矢印	
150	液晶表示パネル	
151	対向電極	
152	画素回路	
191	非反転入力端子	
192	反転入力端子	
193	出力端子	
194	バイアス電圧入力端子	
195	高電源電圧側端子	
196	低電源電圧側端子	30
198	抵抗素子	
199	抵抗素子	
301	外部基板	
302	表示制御回路	
303	電源回路	
304	表示基板	
305	表示基板	
306	外部接続配線	
307	外部接続端子	
308	共通接続部	40
310	画素部	
311	画素回路	
312	対向電極	
321	ゲート線	
322	ソース線	
323	容量線	
351	第1ステップ	
352	第2ステップ	
353	第1の分岐ステップ	
354	第2の分岐ステップ	50

4 0 1	期間	
4 0 2	期間	
4 0 3	期間	
4 0 4	期間	
5 0 1	記憶回路	
5 0 2	比較回路	
5 0 3	タイミング信号出力回路	
5 0 4	選択回路	
5 0 5	ゲートドライバー	
5 0 6	ソースドライバー	10
5 0 7	基準電源電圧生成回路	
5 0 8	容量電圧生成回路	
5 0 9	共通電圧生成回路	
6 0 3	トランジスタ	
6 0 4	容量素子	
6 0 5	液晶素子	
7 1 0	基板	
7 1 1	導電層	
7 1 2	絶縁層	
7 1 3	酸化物半導体層	20
7 1 5	導電層	
7 1 6	導電層	
7 1 7	酸化物絶縁層	
7 1 9	保護絶縁層	
7 2 0	基板	
7 2 1	導電層	
7 2 2	絶縁層	
7 2 3	酸化物半導体層	
7 2 5	導電層	
7 2 6	導電層	30
7 2 7	絶縁層	
7 2 9	保護絶縁層	
7 3 0	基板	
7 3 1	導電層	
7 3 2	絶縁層	
7 3 3	酸化物半導体層	
7 3 5	導電層	
7 3 6	導電層	
7 3 7	酸化物絶縁層	
7 3 9	保護絶縁層	40
7 4 0	基板	
7 4 1	導電層	
7 4 2	絶縁層	
7 4 3	酸化物半導体層	
7 4 5	導電層	
7 4 6	導電層	
7 4 7	絶縁層	
7 9 2	酸化物導電層	
7 9 4	酸化物導電層	
8 0 1	期間	50

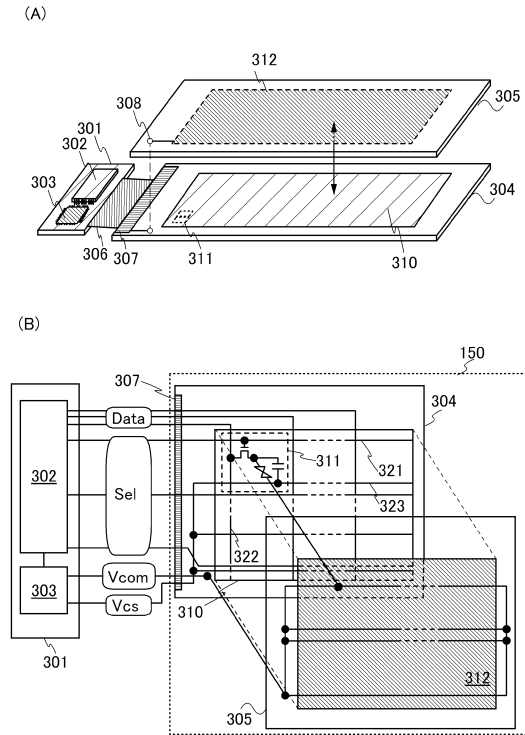
8 0 2	期間	
8 0 3	期間	
8 0 4	期間	
9 0 1	トランジスタ	
9 0 2	トランジスタ	
9 0 3	トランジスタ	
9 0 4	トランジスタ	
9 0 5	トランジスタ	
9 0 6	トランジスタ	
9 0 7	トランジスタ	10
9 0 8	トランジスタ	
9 0 9	トランジスタ	
9 1 0	トランジスタ	
9 1 1	トランジスタ	
9 1 2	位相補償コンデンサ	
9 2 1	差動増幅回路	
9 2 2	電流増幅回路	
9 2 3	ソースフォロワ回路	
9 9 1	非反転入力端子	
9 9 2	反転入力端子	20
9 9 3	出力端子	
9 9 4	バイアス電圧入力端子	
9 9 5	高電源電圧側端子	
9 9 6	低電源電圧側端子	
1 6 0 0	絶縁層	
1 6 0 2	絶縁層	
1 6 0 4	第1の結晶性酸化物半導体層	
1 6 0 6	第2の結晶性酸化物半導体層	
1 6 0 8	酸化物半導体層	
1 7 0 0	筐体	30
1 7 0 1	筐体	
1 7 0 2	表示部	
1 7 0 3	表示部	
1 7 0 4	蝶番	
1 7 0 5	電源入力端子	
1 7 0 6	操作キー	
1 7 0 7	スピーカ	
1 7 1 1	筐体	
1 7 1 2	表示部	
1 7 2 1	筐体	40
1 7 2 2	表示部	
1 7 2 3	スタンド	
1 7 3 1	筐体	
1 7 3 2	表示部	
1 7 3 3	操作ボタン	
1 7 3 4	外部接続ポート	
1 7 3 5	スピーカ	
1 7 3 6	マイク	
1 7 3 7	操作ボタン	
1 9 0 A	第1の電流源回路用バイアス電圧入力端子	50

- 1 9 0 B 第 2 の電流源回路用バイアス電圧入力端子
- 3 6 1 A 電流源回路
- 3 6 1 B 電流源回路
- 3 6 2 A トランジスタ
- 3 6 2 B トランジスタ
- 3 6 3 A スイッチ
- 3 6 3 B スイッチ
- 3 7 1 A 抵抗素子
- 3 7 1 B 抵抗素子
- 3 7 2 A 抵抗素子
- 3 7 2 B 抵抗素子
- 3 7 3 A トランジスタ
- 3 7 3 B トランジスタ
- 3 7 4 A 抵抗素子
- 3 7 4 B 抵抗素子
- 3 7 5 A スイッチ
- 3 7 5 B スイッチ
- 5 0 1 A フレームメモリ

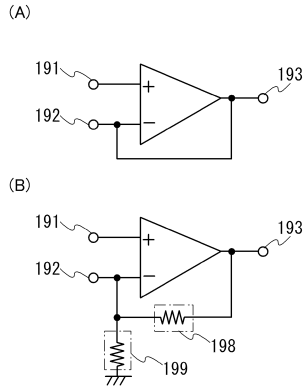
【図 1】



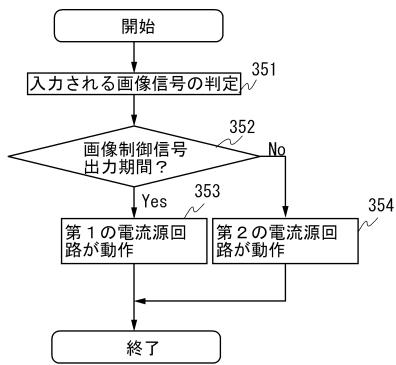
【図 2】



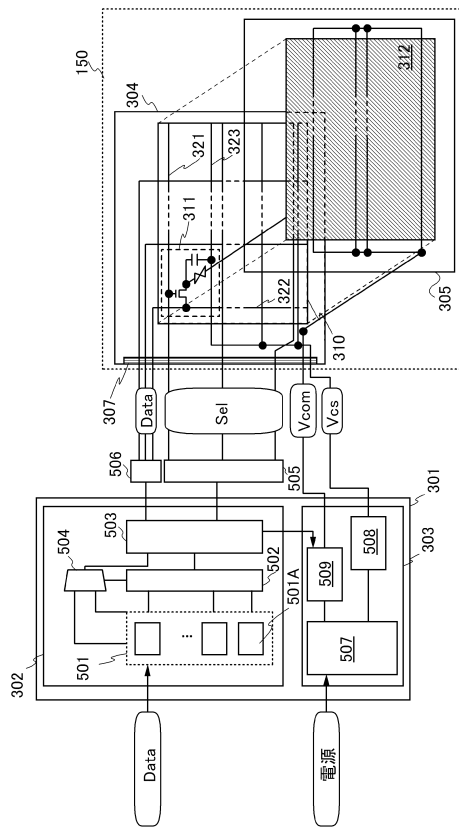
【図3】



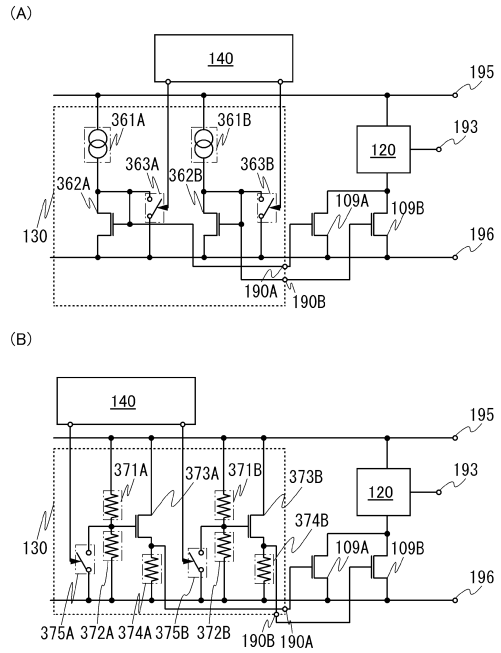
【図4】



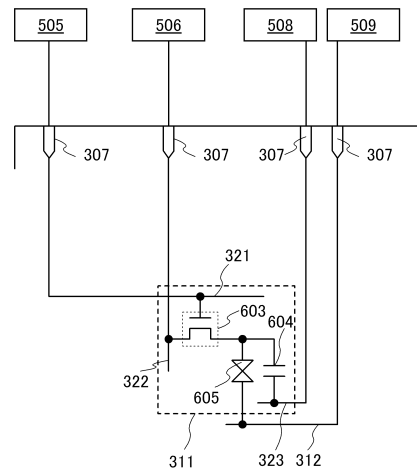
【図6】



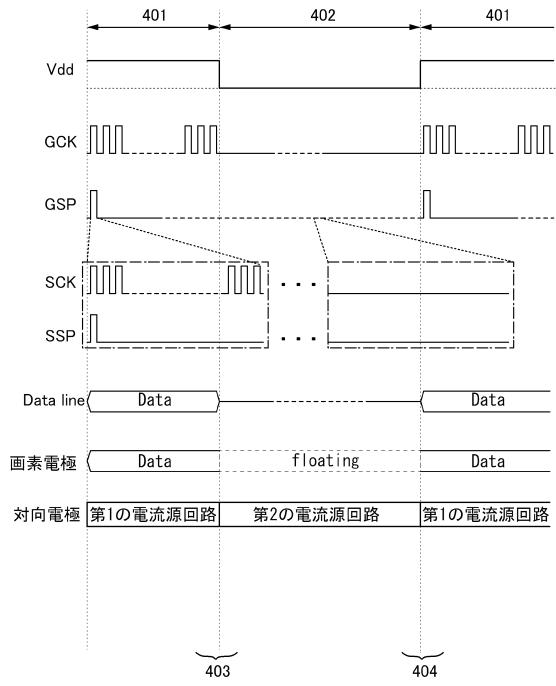
【図5】



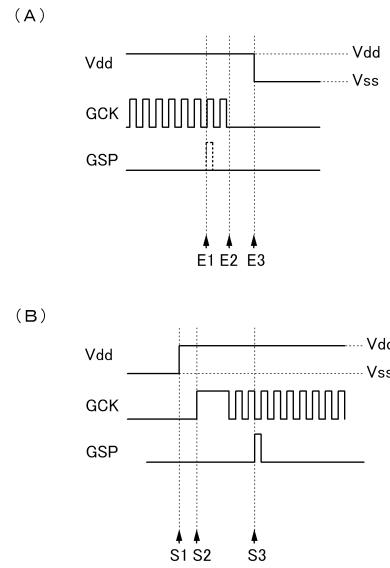
【図7】



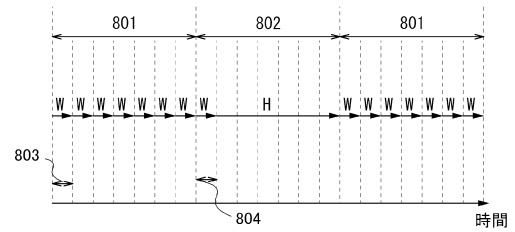
【図 8】



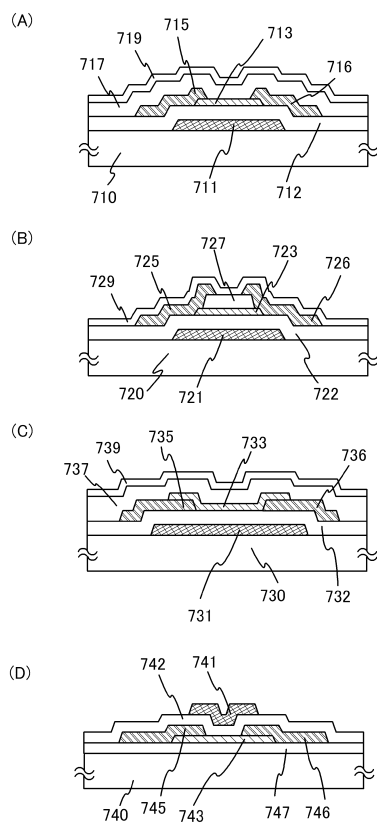
【図 9】



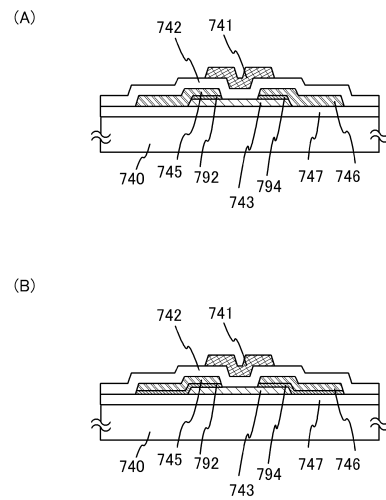
【図 10】



【図 11】

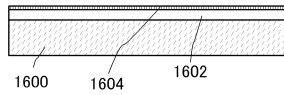


【図 12】

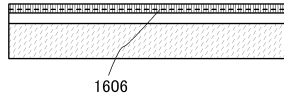


【 図 1 3 】

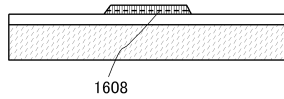
(A)



(B)

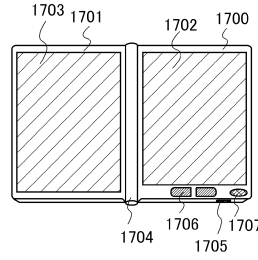


(C)

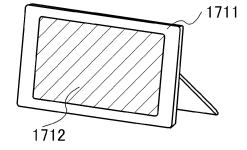


【 図 1 4 】

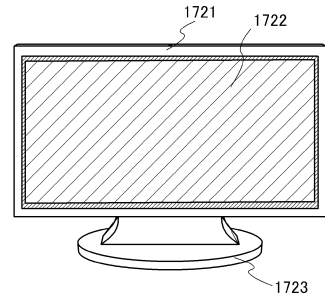
(A)



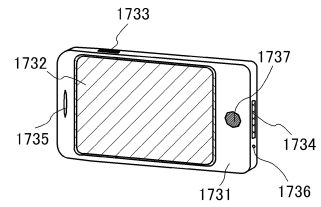
(B)



(C)

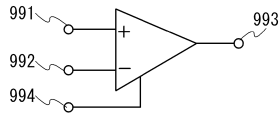


(D)

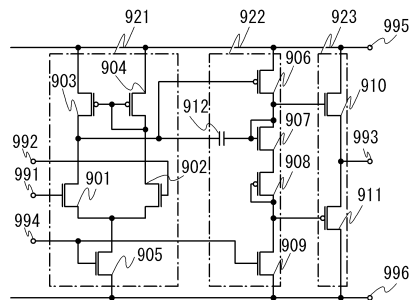


【 図 1 5 】

(A)



(B)



---

フロントページの続き

(51) Int.Cl. F I  
G 0 9 G 3/20 6 6 0 U  
G 0 9 G 3/20 6 6 0 V  
G 0 2 F 1/133 5 0 5  
G 0 2 F 1/133 5 5 0  
G 0 2 F 1/1368

(56) 参考文献 特開 2 0 0 2 - 9 9 2 6 2 ( J P , A )  
特開 2 0 0 2 - 1 6 9 4 9 9 ( J P , A )  
特開 2 0 0 4 - 1 3 8 9 5 8 ( J P , A )  
特開 2 0 0 3 - 2 2 8 3 4 7 ( J P , A )

(58) 調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置的控制电路，液晶显示装置和具有该液晶显示装置的电子设备		
公开(公告)号	<a href="#">JP5848912B2</a>	公开(公告)日	2016-01-27
申请号	JP2011167916	申请日	2011-08-01
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤		
发明人	小山潤		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1368		
CPC分类号	G09G3/3688 G09G2320/106 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.612.A G09G3/20.624.C G09G3/20.650.J G09G3/20.660.U G09G3/20.660.V G02F1/133.505 G02F1/133.550 G02F1/1368 G09G3/20.623.B G09G3/20.641.C		
F-TERM分类号	2H092/JA25 2H092/JA26 2H092/KA08 2H092/KA12 2H092/MA05 2H092/MA13 2H092/MA18 2H092/MA19 2H092/MA25 2H092/NA26 2H092/PA06 2H192/AA24 2H192/CB02 2H192/CB05 2H192/CB06 2H192/CB37 2H192/CB56 2H192/CB71 2H192/CB81 2H192/DA12 2H192/GD61 2H192/HA82 2H193/Z A04 2H193/ZB02 2H193/ZB03 2H193/ZB07 2H193/ZD23 2H193/ZE37 2H193/ZF01 2H193/ZF03 2H193/ZF16 2H193/ZF21 2H193/ZF31 2H193/ZH23 2H193/ZH53 2H193/ZR12 5C006/AA16 5C006/BB16 5C006/BC13 5C006/BF25 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07		
审查员(译)	武田 悟		
优先权	2010181539 2010-08-16 JP		
其他公开文献	JP2012063753A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种液晶显示装置的控制电路，其具有用于在以较低功耗切换刷新率的同时显示运动图像和静止图像的电源电路。解决方案：在本发明的实施例中，在显示运动图像和显示静止图像之间，将不同的电流馈送到在运算放大器的电流放大电路中提供的源极接地放大电路。具体地，设置在运算放大器的电流放大电路中的电流源电路在用于显示运动图像的电流源电路和用于显示静止图像的电流源电路之间切换的同时进行操作。通过电流源电路的切换来控制源极接地放大电路中的电流放大，从而降低电源电路的功耗。运算放大器的电流源电路的切换由显示控制电路执行，该显示控制电路控制液晶显示板以在运动图像显示和静止图像显示之间切换。

(21) 出願番号	特願2011-167916 (P2011-167916)	(73) 特許権者	000153878
(22) 出願日	平成23年8月1日 (2011.8.1)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-63753 (P2012-63753A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年3月29日 (2012.3.29)	(72) 発明者	小山潤
審査請求日	平成26年7月10日 (2014.7.10)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願2010-181539 (P2010-181539)	審査官	武田 悟
(32) 優先日	平成22年8月16日 (2010.8.16)		
(33) 優先権主張国	日本国 (JP)		