

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5629439号
(P5629439)

(45) 発行日 平成26年11月19日 (2014. 11. 19)

(24) 登録日 平成26年10月10日 (2014. 10. 10)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 623R

G09G 3/20 621B

G09G 3/20 623C

G09G 3/20 623D

請求項の数 12 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2009-195289 (P2009-195289)
 (22) 出願日 平成21年8月26日 (2009. 8. 26)
 (65) 公開番号 特開2011-48057 (P2011-48057A)
 (43) 公開日 平成23年3月10日 (2011. 3. 10)
 審査請求日 平成24年2月15日 (2012. 2. 15)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 100075959
 弁理士 小林 保
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 100075959
 弁理士 小林 保
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 高田 直樹
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

マトリックス状に配置された画素行及び画素列を形成すると共に、赤、緑、青のカラー表示用の単位画素を構成する複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバ回路と、前記データドライバ回路の出力毎に配置され、前記各出力を前記階調電圧とは異なるプリチャージ用電圧に接続するスイッチ素子を有するショート回路と、前記画素を画素行毎のライン単位で選択する走査信号を水平周期毎に供給する走査回路とを備える液晶表示装置であって、

少なくとも N (ただし、 N は $N - 2$ の偶数) の画素行毎に前記階調電圧の極性が反転されると共に、

M を 0 (ゼロ) 以上の整数、前記画素列への出力を Y_{4M+1} 、 Y_{4M+2} 、 Y_{4M+3} 、 Y_{4M+4} とした場合、前記出力 Y_{4M+1} と前記出力 Y_{4M+2} とに接続される第 1 の画素列と、前記出力 Y_{4M+3} と前記出力 Y_{4M+4} とに接続される第 2 の画素列との画素列毎にも前記階調電圧の極性を反転させ、前記第 1 の画素列と前記第 2 の画素列における前記画素行毎の極性が反転される極性反転ラインが、 $N/2$ ラインずつずれる $1 \times N$ のドット反転駆動方式であり、

前記ショート回路は、前記第 1 の画素列に対応する第 1 のショート回路と、前記第 2 の画素列に対応する第 2 のショート回路とからなり、

前記第 1 のショート回路は、前記出力 Y_{4M+1} 、 Y_{4M+2} の極性反転の第 1 のタイミングで出力される信号に同期して、前記第 1 の画素列に出力する電圧を GND (接地電

10

20

圧)にプリチャージした後に、極性の反転した VCC (正極側の電源電圧)又は $-VCC$ (負極側の電源電圧)にプリチャージし、その後に前記データドライバ回路から出力される階調電圧を出力する第1スイッチ群を有し、

前記第2のショート回路は、前記第1のタイミングとは異なる、前記出力 $Y4M+3$ 、 $Y4M+4$ の極性反転の第2のタイミングで出力される信号に同期して、前記第2の画素列に出力する電圧を GND にプリチャージした後に、極性の反転した VCC 又は $-VCC$ にプリチャージし、その後に前記データドライバ回路から出力される階調電圧を出力する第2スイッチ群を有し、

前記第1のショート回路及び前記第2のショート回路における前記第1スイッチ群及び前記第2スイッチ群のプリチャージ動作が、それぞれ異なる N 水平周期毎に行われると共に、

10

各画素における前記階調電圧の極性が、 N フレーム期間毎に反転されることを特徴とする液晶表示装置。

【請求項2】

請求項1に記載の液晶表示装置において、

前記第1のスイッチ群は、前記出力 $Y4M+1$ 、 $Y4M+2$ の極性反転の前記第1のタイミングに同期し、前記データドライバから当該出力 $Y4M+1$ 、 $Y4M+2$ にされる前記階調電圧のみをオフする第1の入力スイッチ素子を有し、

前記第2のスイッチ群は、前記出力 $Y4M+3$ 、 $Y4M+4$ の極性反転の前記第2のタイミングに同期し、前記データドライバから当該出力 $Y4M+3$ 、 $Y4M+4$ にされる前記階調電圧のみをオフする第2の入力スイッチ素子を有し、

20

前記第1のショート回路及び前記第2のショート回路は、それぞれが出力する前記階調電圧の極性反転のタイミングを除く他の期間においては、前記データドライバ回路からされる階調電圧を出力し続けることを特徴とする液晶表示装置。

【請求項3】

請求項1に記載の液晶表示装置において、

前記画素アレイにゲート信号を供給する周期は前記水平周期となっており、

第一期間に前記第1のショート回路は前記出力 $Y4M+1$ と前記出力 $Y4M+2$ のペアに出力する電圧を GND にプリチャージした後、極性の反転した VCC 又は $-VCC$ にプリチャージし、その後に極性反転後の階調電圧を出力し、

30

前記第一期間よりも2倍の前記水平周期後の第二期間に前記第2のショート回路は前記出力 $Y4M+3$ と前記出力 $Y4M+4$ のペアに出力する電圧を GND にプリチャージした後、極性の反転した VCC 又は $-VCC$ にプリチャージし、その後に極性反転後の階調電圧を出力することを特徴とする液晶表示装置。

【請求項4】

請求項1に記載の液晶表示装置において、

列方向に隣接する前記出力 $Y4M+1$ 、 $Y4M+2$ に接続されると共に、行方向に隣接する N 行分の画素からなり、前記出力 $Y4M+1$ に接続される画素の極性がプラスであり、且つ前記出力 $Y4M+2$ に接続される画素の極性がマイナスである第1の画素グループと、

40

前記出力 $Y4M+1$ 、 $Y4M+2$ に接続されると共に、前記第1の画素グループに行方向に隣接する N 行分の画素からなり、前記出力 $Y4M+1$ に接続される画素の極性がマイナスであり、且つ前記出力 $Y4M+2$ に接続される画素の極性がプラスである第1'の画素グループと、

列方向に隣接する前記出力 $Y4M+3$ 、 $Y4M+4$ に接続され、前記第1の画素グループよりも $N/2$ ライン分だけ行方向にずれて隣接する N 行分の画素からなり、前記出力 $Y4M+3$ に接続される画素の極性がプラスであり、且つ前記出力 $Y4M+4$ に接続される画素の極性がマイナスである第2の画素グループと、

前記出力 $Y4M+3$ 、 $Y4M+4$ に接続されると共に、前記第2の画素グループに行方向に隣接する N 行分の画素からなり、前記出力 $Y4M+3$ に接続される画素の極性がマイ

50

ナスであり、且つ前記出力 $Y\ 4\ M + 4$ に接続される画素の極性がプラスである第 2' の画素グループと、

からなる 4 つの画素グループから画素群が形成され、前記画素群が前記画素アレイ内にマトリクス状に配列され、

前記画素アレイ内での前記画素群の位置が、1 フレーム期間に同期して、行方向に 1 ライン分ずつずれるようにシフトされると共に、前記各画素群内の極性は同一極性のままでシフトされることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至 4 の内の何れかに記載の液晶表示装置において、

前記極性反転ラインは、1 フレーム期間毎に行方向にシフトすることを特徴とする液晶表示装置。

10

【請求項 6】

請求項 1 乃至 5 の内の何れかに記載の液晶表示装置において、

前記極性反転ラインのずれが、 $N = 2, 4, 8, 16$ であることを特徴とする液晶表示装置。

【請求項 7】

赤、緑、青のカラー表示用の単位画素を構成する複数の画素がマトリクス状に配置される画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバ回路と、前記データドライバ回路の各出力を出力電圧とは異なるプリチャージ用電圧にショートするショート回路と、前記階調電圧を供給すべき前記画素を行単位で選択するための走査信号を水平周期毎に前記画素へ供給する走査回路とを備え、前記画素アレイの階調電圧極性を複数ライン毎に反転する $1 \times N$ (ただし、 N は $N - 2$ の偶数) ドット反転駆動方式で駆動する液晶表示装置であって、

20

前記極性反転ラインは、各カラムで異なる極性交流ライン分散型の $1 \times N$ ドット反転駆動であり、

極性交流ライン分散型 $1 \times N$ ドット反転駆動方式の極性パターンは、前記データドライバ回路の出力数 $4\ M + 4$ (M は 0 (ゼロ) 以上の整数) の内、出力 $Y\ 4\ M + 1$ と出力 $Y\ 4\ M + 2$ のペアの極性反転ラインは同じであり、

出力 $Y\ 4\ M + 3$ と出力 $Y\ 4\ M + 4$ のペアの極性反転ラインは同じであり、

前記出力 $Y\ 4\ M + 1$ と前記出力 $Y\ 4\ M + 2$ とのペアの極性反転ラインと、前記出力 $Y\ 4\ M + 3$ と前記出力 $Y\ 4\ M + 4$ のペアの極性反転ラインとが、 $N / 2$ ライン分ずれており、

30

前記ショート回路は、前記出力 $Y\ 4\ M + 1$ と前記出力 $Y\ 4\ M + 2$ のペアに対応する第 1 のショート回路と、前記出力 $Y\ 4\ M + 3$ と前記出力 $Y\ 4\ M + 4$ のペアに対応する第 2 のショート回路とからなり、

前記第 1 のショート回路は、前記出力 $Y\ 4\ M + 1$ 及び前記 $Y\ 4\ M + 2$ の極性反転の第 1 のタイミングで出力される信号に同期して、前記出力 $Y\ 4\ M + 1$ と前記出力 $Y\ 4\ M + 2$ のペアに出力する電圧を GND (接地電圧) にプリチャージした後に、極性の反転した VCC (正極側の電源電圧) 又は $-VCC$ (負極側の電源電圧) にプリチャージし、その後に極性反転後の階調電圧を出力する第 1 スイッチ群を有し、

前記第 2 のショート回路は、前記第 1 のタイミングとは異なる、前記出力 $Y\ 4\ M + 3$ 及び前記 $Y\ 4\ M + 4$ の極性反転の第 2 のタイミングで出力される信号に同期して、前記出力 $Y\ 4\ M + 3$ と前記出力 $Y\ 4\ M + 4$ のペアに出力する電圧を GND にプリチャージした後に、極性の反転した VCC 又は $-VCC$ にプリチャージし、その後に極性反転後の階調電圧を出力する第 2 スイッチ群を有し、

40

前記第 1 のショート回路及び前記第 2 のショート回路における前記第 1 スイッチ群及び前記第 2 スイッチ群のプリチャージ動作が、それぞれ異なる N 水平周期毎に行われると共に、

各画素における前記階調電圧の極性が、 N フレーム期間毎に反転されることを特徴とする液晶表示装置。

【請求項 8】

50

請求項 7 に記載の液晶表示装置において、

前記第 1 のスイッチ群は、前記出力 Y_{4M+1} , Y_{4M+2} の極性反転の前記第 1 のタイミングに同期し、当該出力 Y_{4M+1} , Y_{4M+2} の階調電圧の出力のみをオフする第 1 の入力スイッチ素子を有し、

前記第 2 のスイッチ群は、前記出力 Y_{4M+3} , Y_{4M+4} の極性反転の前記第 2 のタイミングに同期し、当該出力 Y_{4M+3} , Y_{4M+4} の階調電圧の出力のみをオフする第 2 の入力スイッチ素子を有し、

前記第 1 のショート回路及び前記第 2 のショート回路は、それぞれが出力する前記階調電圧の極性反転のタイミングを除く他の期間においては、前記出力 Y_{4M+1} , Y_{4M+2} , Y_{4M+3} , Y_{4M+4} の階調電圧を出力し続けることを特徴とする液晶表示装置。

10

【請求項 9】

請求項 7 に記載の液晶表示装置において、

前記画素アレイにゲート信号を供給する周期は前記水平周期となっており、

第一期間に前記第 1 のショート回路は前記出力 Y_{4M+1} と前記 Y 出力 Y_{4M+2} のペアに出力する電圧を GND にプリチャージした後、極性の反転した VCC 又は $-VCC$ にプリチャージし、その後に極性反転後の階調電圧を出力し、

前記第一期間よりも 2 倍の前記水平周期後の第二期間に前記第 2 のショート回路は前記出力 Y_{4M+3} と前記出力 Y_{4M+4} のペアに出力する電圧を GND にプリチャージした後、極性の反転した VCC 又は $-VCC$ にプリチャージし、その後に極性反転後の階調電圧を出力することを特徴とする液晶表示装置。

20

【請求項 10】

請求項 7 乃至 9 の内の何れかに記載の液晶表示装置において、

前記極性反転ラインのずれが、 $N = 2, 4, 8, 16$ であることを特徴とする液晶表示装置。

【請求項 11】

請求項 7 乃至 10 の内の何れかに記載の液晶表示装置において、

前記ショート回路を介した前記データドライバ回路の出力を $Y_1 \sim Y_{4k} (k \geq 1)$ とした場合、

前記極性反転ラインは、出力 Y_{4M+1} (ただし、 $M = 0, 1, \dots, k-1$) と出力 Y_{4M+2} ($M = 0, 1, \dots, k-1$) とで同じであり且つ極性が逆となり、

30

出力 Y_{4M+3} ($M = 0, 1, \dots, k-1$) と出力 Y_{4M+4} ($M = 0, 1, \dots, k-1$) とで同じであり且つ極性が逆であり、

前記出力 Y_{4M+1} 及び前記出力 Y_{4M+2} と、前記出力 Y_{4M+3} 及び前記出力 Y_{4M+4} とで極性反転ラインが異なることを特徴とする液晶表示装置。

【請求項 12】

請求項 7 乃至 11 の内の何れかに記載の液晶表示装置において、

前記画素アレイの各カラムの極性反転ラインは、1 フレーム期間毎に行方向にシフトすることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、液晶表示装置に係わり、特に、 $N (N \geq 2)$ ライン毎に極性を反転し、また該極性反転ラインが異なる列が存在する分散型 N ドット反転駆動の液晶表示装置に関する。

【背景技術】

【0002】

アクティブ・マトリクス方式の表示装置の高画質化の手段として、隣接画素毎に極性を反転するドット反転駆動が採用されている。従来、ドット反転駆動は主に TV 向け大型パネルで採用されていたが、近年ではモバイル向け中小型パネルでも高画質化要求が高く、増加傾向にある。しかしながら、ドット反転駆動は充放電電力が高いことが問題となって

50

いる。特にモバイル向け中小型パネルでは、低電力化が最も重要である。

【 0 0 0 3 】

この低電力化を実現する技術として、特許文献 1 に記載の技術がある。この特許文献 1 に記載の技術では、図 1 2 に示すように、 $1 \times N$ ($N \geq 2$) ドット反転駆動を行うことでパネル充放電電力が $1/N$ となる。但し、例えば液晶パネル 4 0 1 に全白階調を表示した場合、極性反転するラインは極性反転しないラインに比べてパネルの容量成分 (C) と抵抗成分 (R) の負荷が重い為、書込み不足が発生しやすい。その為、前記書込み不足に起因した横スジや横フリッカが極性反転箇所 4 0 2 に発生することが考えられる。該特許文献 1 においては、印加電圧極性反転後のラインのサブピクセル (副画素) 4 0 1 への電圧時間が、印加電圧極性反転後のライン以外のラインよりも長くする事を提案している。しかしながら、高解像度パネルでは 1 ライン期間が短いので電圧印加時間を十分確保できない事が懸念される。その為、書込み不足に起因した横スジ、横フリッカは改善されない懸念がある。

10

【 0 0 0 4 】

前述の特許文献 1 に対する問題を解決する技術として、特許文献 2 に記載の技術がある。該特許文献 2 に記載の技術は、図 1 3 に示すように、極性反転するラインをカラム (サブピクセル (副画素) 4 0 1 をグループ化した画素集合) 毎に異なるようにする方式である。この場合、書込み不足が発生し得る極性反転箇所 4 0 2 が各カラムで異なる、すなわち液晶パネル 4 0 1 内で空間的に分散するので、横スジ、横フリッカが抑制されることが予測される。

20

【 0 0 0 5 】

また、低電力化を実現する技術として、特許文献 3 に記載の技術がある。この特許文献 3 に記載の技術では、図 1 4 に示すように、外部から入力される階調信号に応じた階調電圧を生成するデコード回路 2 0 5 の出力部分にプリチャージのためのショート回路 2 0 6 を備える構成となっている。該ショート回路 2 0 6 は各出力を同一極性のプリチャージ電圧に所定時間短絡 (ショート) するためのスイッチを備える構成となっており、ドット反転駆動において、各出力をプリチャージ電圧にショートする事で、プリチャージ電圧までの電力を削減し、低電力化を図るものである。例えば、図 1 5 に示すように、負極性は $-5V$ から $0V$ の範囲の電圧を出力し、正極性は $0V$ から $5V$ までの電圧を出力する場合、全出力をグラウンドレベル ($0V$) にショートする。前ラインでは逆極性の電圧レベルを出力しているので、正極性書き込みでは最大で $-5V$ から $0V$ まで電圧レベルを上げる為の電力を削減可能となり、負極性書き込みでは最大で $5V$ から $0V$ まで電圧レベルを下げる為の電力を削減可能となる。

30

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 3 - 2 0 7 7 6 0 号公報

【 特許文献 2 】 特開 2 0 0 5 - 2 1 5 3 1 7 号公報

【 特許文献 3 】 特開 2 0 0 8 - 1 1 6 5 5 6 号公報

【 発明の概要 】

40

【 発明が解決しようとする課題 】

【 0 0 0 7 】

特許文献 1 に記載の技術と特許文献 3 に記載の技術とを組み合わせることで、高い低電力効果が期待できるが、前述したような横スジ・横フリッカといった画質劣化が発生する可能性がある。一方、特許文献 2 に記載の技術と特許文献 3 に記載の技術とを組み合わせる事で、高い低電力効果と画質劣化の抑制を両立可能となる。

【 0 0 0 8 】

しかしながら、特許文献 2 に記載の技術では、極性交流点は列毎に異なる為、特許文献 3 のプリチャージ・ショート駆動と組み合わせる事は困難である。すなわち、図 1 3 に示したような 1×4 ドット反転において、極性反転を行う出力と極性反転を行わない出力が

50

混在していた場合に、特許文献 3 に記載の技術を適用した場合には、極性反転を行わない出力（前ラインが正極で、書込みラインが正極である場合。もしくは両方負極の場合）が、一旦逆極性の電圧レベルにする為の電力が必要となる。例えば、前ラインが正極で、書込みラインが正極である場合には、グランドショートで 0 V になった後に、最大 5 V まで電圧レベルを上げる為の電力が必要となる。また、前ラインが負極で、書込みラインが負極である場合には、グランドショートで 0 V になった後に、最大 - 5 V まで電圧レベルを上げる為の電力が必要となる。このため、余計な電力が必要となり低電力効果が小さくなってしまうことが懸念される。

【 0 0 0 9 】

本発明はこれらの問題点に鑑みてなされたものであり、本発明の目的は、画質劣化を抑制する極性反転ライン分散型のドット反転駆動方式を用い、低電力効果の高い液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

(1) 前記課題を解決すべく、マトリックス状に配置された画素行及び画素列を形成すると共に、赤、緑、青のカラー表示用の単位画素を構成する複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバ回路と、前記データドライバ回路の出力毎に配置され、前記各出力を前記階調電圧とは異なるプリチャージ用電圧に接続するスイッチ素子を有するショート回路と、前記画素を画素行毎のライン単位で選択する走査信号を水平周期毎に供給する走査回路とを備える液晶表示装置であって

、
少なくとも N （ただし、 N は $N - 2$ の偶数）の画素行毎に前記階調電圧の極性が反転されると共に、

M を 0（ゼロ）以上の整数、前記画素列への出力を Y_{4M+1} 、 Y_{4M+2} 、 Y_{4M+3} 、 Y_{4M+4} とした場合、前記出力 Y_{4M+1} と前記出力 Y_{4M+2} とに接続される第 1 の画素列と、前記出力 Y_{4M+3} と前記出力 Y_{4M+4} とに接続される第 2 の画素列との画素列毎にも前記階調電圧の極性を反転させ、前記第 1 の画素列と前記第 2 の画素列における前記画素行毎の極性が反転される極性反転ラインが、 $N/2$ ラインずつずれる $1 \times N$ のドット反転駆動方式であり、

前記ショート回路は、前記第 1 の画素列に対応する第 1 のショート回路と、前記第 2 の画素列に対応する第 2 のショート回路とからなり、

前記第 1 のショート回路は、前記出力 Y_{4M+1} 、 Y_{4M+2} の極性反転の第 1 のタイミングで出力される信号に同期して、前記第 1 の画素列に出力する電圧を GND（接地電圧）にプリチャージした後に、極性の反転した VCC（正極側の電源電圧）又は - VCC（負極側の電源電圧）にプリチャージし、その後に前記データドライバ回路から出力される階調電圧を出力する第 1 スイッチ群を有し、

前記第 2 のショート回路は、前記第 1 のタイミングとは異なる、前記出力 Y_{4M+3} 、 Y_{4M+4} の極性反転の第 2 のタイミングで出力される信号に同期して、前記第 2 の画素列に出力する電圧を GND にプリチャージした後に、極性の反転した VCC 又は - VCC にプリチャージし、その後に前記データドライバ回路から出力される階調電圧を出力する第 2 スイッチ群を有し、

前記第 1 のショート回路及び前記第 2 のショート回路における前記第 1 スイッチ群及び前記第 2 スイッチ群のプリチャージ動作が、それぞれ異なる N 水平周期毎に行われると共に、

各画素における前記階調電圧の極性が、 N フレーム期間毎に反転される液晶表示装置である。

【 0 0 1 1 】

(2) 前記課題を解決すべく、赤、緑、青のカラー表示用の単位画素を構成する複数の画素がマトリックス状に配置される画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバ回路と、前記データドライバ回路の各出力を出力電圧とは異なる

10

20

30

40

50

るプリチャージ用電圧にショートするショート回路と、前記階調電圧を供給すべき前記画素を行単位で選択するための走査信号を水平周期毎に前記画素へ供給する走査回路とを備え、前記画素アレイの階調電圧極性を複数ライン毎に反転する $1 \times N$ (ただし、 N は N の偶数) ドット反転駆動方式で駆動する液晶表示装置であって、

前記極性反転ラインは、各カラムで異なる極性交流ライン分散型の $1 \times N$ ドット反転駆動であり、

極性交流ライン分散型 $1 \times N$ ドット反転駆動方式の極性パターンは、前記データドライバ回路の出力数 $4M + 4$ (M は 0 (ゼロ) 以上の整数) の内、出力 Y_{4M+1} と出力 Y_{4M+2} のペアの極性反転ラインは同じであり、

出力 Y_{4M+3} と出力 Y_{4M+4} のペアの極性反転ラインは同じであり、

前記出力 Y_{4M+1} と前記出力 Y_{4M+2} とのペアの極性反転ラインと、前記出力 Y_{4M+3} と前記出力 Y_{4M+4} のペアの極性反転ラインとが、 $N/2$ ライン分ずれており、

前記ショート回路は、前記出力 Y_{4M+1} と前記出力 Y_{4M+2} のペアに対応する第 1 のショート回路と、前記出力 Y_{4M+3} と前記出力 Y_{4M+4} のペアに対応する第 2 のショート回路とからなり、

前記第 1 のショート回路は、前記出力 Y_{4M+1} 及び前記 Y_{4M+2} の極性反転の第 1 のタイミングで出力される信号に同期して、前記出力 Y_{4M+1} と前記出力 Y_{4M+2} のペアに出力する電圧を GND (接地電圧) にプリチャージした後に、極性の反転した VCC (正極側の電源電圧) 又は $-VCC$ (負極側の電源電圧) にプリチャージし、その後に極性反転後の階調電圧を出力する第 1 スイッチ群を有し、

前記第 2 のショート回路は、前記第 1 のタイミングとは異なる、前記出力 Y_{4M+3} 及び前記 Y_{4M+4} の極性反転の第 2 のタイミングで出力される信号に同期して、前記出力 Y_{4M+3} と前記出力 Y_{4M+4} のペアに出力する電圧を GND にプリチャージした後に、極性の反転した VCC 又は $-VCC$ にプリチャージし、その後に極性反転後の階調電圧を出力する第 2 スイッチ群を有し、

前記第 1 のショート回路及び前記第 2 のショート回路における前記第 1 スイッチ群及び前記第 2 スイッチ群のプリチャージ動作が、それぞれ異なる N 水平周期毎に行われると共に、

各画素における前記階調電圧の極性が、 N フレーム期間毎に反転される液晶表示装置である。

【発明の効果】

【0012】

本発明によれば、画質劣化を抑制する極性反転ライン分散型のドット反転駆動方式を用い、低電力効果を向上させることができる。

【0013】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

【図面の簡単な説明】

【0014】

【図 1】本発明の実施形態 1 の液晶表示装置の概略構成を説明するための図である。

【図 2】本発明の実施形態 1 の液晶表示装置におけるデータドライバの内部構成を説明するための図である。

【図 3】本発明の実施形態 1 の液晶表示装置におけるショート回路の内部構成を説明するための図である。

【図 4】本発明の実施形態 1 の液晶表示装置における 1×4 ドット反転駆動時の極性分布を説明するための図である。

【図 5】本発明の実施形態 1 の液晶表示装置における 1×4 ドット反転駆動時のショート回路の信号線のタイミングチャートである。

【図 6】本発明の実施形態 1 の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図である。

【図 7】本発明の実施形態 2 の液晶表示装置におけるフレーム毎の電圧極性の分布を示す

10

20

30

40

50

図である。

【図 8】本発明の実施形態 3 の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図である。

【図 9】本発明の実施形態 2 の液晶表示装置におけるショート回路の内部構成を説明するための図である。

【図 10】本発明の実施形態 4 の液晶表示装置における 1×4 ドット反転駆動時の極性分布を説明するための図である。

【図 11】本発明の実施形態 4 の液晶表示装置における 1×4 ドット反転駆動時のショート回路の信号線のタイミングチャートである。

【図 12】従来の液晶表示装置における 1×4 ドット反転駆動時の極性分布を説明するための図である。

10

【図 13】従来の液晶表示装置における 1×4 ドット反転駆動時の極性分布を説明するための図である。

【図 14】従来の液晶表示装置におけるデータドライバの内部構成を説明するための図である。

【図 15】従来の液晶表示装置における 1×4 ドット反転駆動時のショート回路の信号線のタイミングチャートである。

【発明を実施するための形態】

【0015】

以下、本発明が適用された実施形態について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略する。

20

【0016】

実施形態 1

全体構成

図 1 は本発明の実施形態 1 の液晶表示装置の概略構成を説明するための図であり、以下、図 1 に基づいて、実施形態 1 のアクティブ・マトリクス方式 (Active Matrix Scheme) の液晶表示装置の全体構成を説明する。ただし、図 1 に示す液晶表示装置においては、データドライバ 102 を除く他の構成は、従来の液晶表示装置と同様の構成となる。従って、以下の説明では、本願発明に特徴的なデータドライバについて詳細に説明する。また、実施形態 1 の液晶表示装置においては、ノーマリ・ブラック方式で画像を表示する液晶表示装置に本願発明を適用した場合について説明するが、その画素構造を変更することにより、ノーマリ・ホワイト方式で画像を表示する液晶表示装置にも適用可能である。なお、本明細書中においては、液晶アレイに配置される画素の中で、同一タイミングにおいて極性反転を行う画素の中で隣接する隣接配置される画素群をカラムと記す。

30

【0017】

図 1 に示すように本発明の実施形態 1 の液晶表示装置は、二次元的又は行列 (Matrix) 状に配置された複数の画素 107 の各々に、液晶容量 109 とこれに映像信号を供給するスイッチング素子 108 (例えば、薄膜トランジスタ) とが設けられる。このように複数の画素 107 が配置された素子は、画素アレイ (Pixels Array) 101 と呼ばれ、液晶表示装置における画素アレイは液晶表示装置パネルとも呼ばれる。この画素アレイにおいて、複数の画素 107 は画像を表示するいわゆる画面をなす。

40

【0018】

図 1 に示された画素アレイ 101 には、横方向に延びる複数のゲート線 105 (Gate Lines、走査信号線とも呼ばれる) と縦方向 (このゲート線 105 と直交する方向) に延びる複数のデータ線 104 (Data Lines、映像信号線とも呼ばれる) とがそれぞれ並設される。図 1 に示される如く、G1, G2, G3, ... Gn なる番地で識別される夫々のゲート線 105 沿いには複数の画素 107 が横方向に並びいわゆる画素行 (Pixel Row) が、D1R, D1G, D1B、... なる番地で識別される夫々のデータ線 104 沿いには複数の画素 107 が縦方向に並びいわゆる画素列 (Pixel Column) が形成される。ゲート線 105 は、走査ドライバ 103 (Scanning Driver、走査駆動回路とも呼ばれる) から

50

その各々に対応する画素行（図１の場合、各ゲート線の下側）をなす画素１０７にそれぞれ設けられたスイッチング素子１０８に電圧信号を印加し、夫々の画素１０７に設けられた画素容量１０９とデータ線１０４の一つとの電気的な接続を開閉する。特定の画素行に設けられたスイッチング素子ＳＷの群を、これに対応するゲート線１０５から電圧信号（選択電圧）を印加して制御する動作は、ラインの選択又は「走査（Scanning）」とも呼ばれ、走査ドライバ１０３からゲート線１０５に印加される上記電圧信号は走査信号又はゲート信号とも呼ばれる。

【００１９】

一方、データ線１０４の夫々には、データドライバ１０２（Data Driver、映像信号駆動回路とも呼ばれる）から階調電圧（Gray Scale Voltage、又は Tone Voltage）とも呼ばれる電圧信号が印加され、その各々に対応する画素列（図１の場合、各データ線の右側）をなす画素１０７の走査信号で選択された夫々の画素電極に階調電圧を印加する。データドライバ１０２は、画素アレイ１０１に対して片側に配置される。よって、データドライバ１０３は、１度に１行分の階調電圧しか出力できない。画素１０７の各々の液晶容量１０９は、一端がスイッチング素子１０８を介してデータ線１０４に接続され、他端が共通電極からの基準電圧（Reference Voltage）又はコモン電圧（Common Voltage）を供給するコモン線１０６に接続される。この構成により、データ線１０４とコモン線１０６に印加される電圧、すなわち液晶容量１０９に保持される画素電極とコモン電極との間に印可される電圧で、図示しない液晶層の光透過率を制御する構成となっている。ここで、コモン電圧を供給する回路はデータドライバ１０２であり、画素電極と対向配置される図示しないコモン電極にコモン線１０が接続される構成となっている。すなわち、実施形態１の画素では、液晶容量１０９は容量性の絶縁膜を介して対向配置される画素電極とコモン電極とで形成される容量であり、この画素電極とコモン電極との間の電界により、液晶の分子を制御しその透過率を制御する構成となっている。

【００２０】

データドライバ構成

図２は本発明の実施形態１の液晶表示装置におけるデータドライバの内部構成を説明するための図であり、以下、図２に基づいて、本発明に特徴的なデータドライバの構成を説明する。ただし、以下の説明では、実施形態１の液晶表示装置に表示データや画像表示用の制御信号を入力する外部システムとして、ＭＰＵ２００を用いた場合について説明するが、外部システムはＭＰＵ２００に限定されることはない。

【００２１】

図２に示すように、実施形態１のデータドライバ１０２は、システムインタフェース２０１、制御レジスタ２０２、表示データメモリ２０３、階調電圧生成回路２０４、デコード回路２０５、ショート回路２０６、及び電源回路２０７で構成される。

【００２２】

システムインタフェース２０１は、液晶パネル１０１に画像を表示させるための各種処理を行うＭＰＵ（マイクロ・プロセッサ・ユニット）２００が出力する表示データ及びインストラクションを受け、制御レジスタ２０２もしくは、表示データメモリ２０３へ出力する動作を行う。ここで、インストラクションとは、データドライバ回路１０２、ゲート回路１０３の内部動作を決定するための情報であり、フレーム周波数、駆動ライン数、駆動電圧等の各種パラメータを含む。

【００２３】

また、本発明の特徴であるショート回路２０６の制御に関する情報は、制御レジスタ２０３に格納される。表示データメモリ２０３に格納された１フレーム分のデータは、ライン単位でデコード回路２０５に送信される。デコード回路２０５は出力数分の構成されており、デジタルデータを液晶容量に印加する階調電圧に変換するＤ／Ａ変換が施される。ここで、階調電圧とは、階調電圧生成回路２０４で生成された電圧レベルである。表示データのデジタルデータが８ビットである場合には、階調電圧生成回路２０４において２５６レベルの階調電圧が生成される。

【 0 0 2 4 】

デコード回路 2 0 5 の出力は、ショート回路 2 0 6 の対応する入力 X 1、X 2、X 3・
・に入力される。ショート回路 2 0 6 からの出力 Y 1、Y 2、Y 3、・・・は、液晶パ
ネル 1 0 1 の D 1 R、D 1 G、D 1 B・・・のドレイン線に接続される。なお、ショート
回路の内部構成に関しては後述する。

【 0 0 2 5 】

電源回路 2 0 7 は、外部（システム側）から入力された電圧 V C C とグラウンドレベルを
用いて、データドライバ内部に必要な電圧を生成する。ここで、中小型 L C D の液晶表示
パネルの場合において、必要な電圧としては、デジタル回路電圧、アナログ回路電圧があ
る。デジタル回路電圧はシステムインタフェース 2 0 1、制御レジスタ 2 0 2、表示デー
タメモリ 2 0 3 に用いられる電源電圧であり、一般的には小さい電圧レベル（3 V 以下）
である。アナログ回路電圧は階調電圧生成回路 2 0 4、デコード回路 2 0 5、ショート回
路 2 0 6 に主に用いられる電源電圧であり、一般的には大きい電圧レベル（5 V ~ 6 V）
である。

【 0 0 2 6 】

また、実施形態 1 においては、上述したように、データドライバ 1 0 2 とゲートドライ
バ 1 0 3 は別の L S I としているが、同じ L S I に一体に形成した場合には、ゲート用電
圧も生成する。ゲート信号の H I G H レベルと L O W レベルの電圧は、一般的に、アナロ
グ電圧よりも大きい値であり、例としては H I G H レベル = 1 5 V、L O W レベル = - 1
0 V として用いても良い。

【 0 0 2 7 】

また、実施形態 1 においては、表示データのビット数を 8 としたが、これに限定される
ことはない。さらには、実施形態 1 では説明を簡単にするためにカラーの概念を省いたが
、カラー表示の実現は、例えば 1 画素の表示データを R（赤）、G（緑）、B（青）で構
成し、表示部にいわゆる縦ストライプ構造を適用することで、容易に実現可能である。す
なわち、画素アレイ 1 0 1 に形成される赤（R）、緑（G）、青（B）の各画素 1 0 7 で
カラー表示用の単位画素を形成する構成となっているので、データドライバ 1 0 2 の出力
も R G B の各画素 1 0 7 に対応した表示データを出力する構成となっている。

【 0 0 2 8 】

ショート回路構成

図 3 は本発明の実施形態 1 の液晶表示装置におけるショート回路の内部構成を説明する
ための図であり、以下、図 3 に基づいて、本発明に特徴的な実施形態 1 のショート回路の
構成を説明する。ただし、以下の説明では、V C C ショート信号 1、3 は正極側の V C C
レベル（+ V C C）の信号を示し、V C C ショート信号 2 4 は負極側の V C C レベル（-
V C C）の信号を示す。また、G N D ショート信号 1、2 は G N D レベルすなわち 0（ゼ
ロ）V の信号を示すものである。

【 0 0 2 9 】

図 3 に示すように、実施形態 1 のショート回路 2 0 6 では、入力 X m（ただし、m = 1、
2、3・・・の自然数）と出力 Y m（ただし、m = 1、2、3・・・の自然数）の間には
、入力 S W 2 0 8 が構成されている。この入力 S W 2 0 8 は、後述するように出力 Y m の
短絡（ショート）動作時に、入力側 X m と出力 Y m との導通状態を O F F する為に用いる
構成となっている。この入力 S W 2 0 8 と出力 Y m の間には、グラウンドに短絡（ショート）
する為のグラウンドショート S W 2 0 9、2 1 2 と、V C C 電圧に短絡（ショート）する
為の V C C ショート S W 2 1 0 と、- V C C 電圧に短絡（ショート）する為の - V C C シ
ョート S W 2 1 1 とが形成される構成となっており、入力 S W 2 0 8 と入力 2 0 9 ~ 2 1
1 とからなる S W 群で各出力 Y m の出力電圧を制御する構成となっている。ただし、実施
形態 1 における S W 群には、例えば低電力の観点から周知の M O S F E T などを用いるの
が良いが、これに限定されることはない。

【 0 0 3 0 】

図 3 に示すように、S W 群は出力毎に構成され、入力 S W 2 0 8 制御線は各出力に対して

10

20

30

40

50

共通の出力制御信号で制御される構成となっている。一方、各 $SW209 \sim 211$ の制御線は各出力で異なる構成となっている。すなわち、実施形態 1 では、 $Y4M+1$ 、 $Y4M+2$ (ただし、 $M = 0, 1, 2, \dots$ 、すなわち、0 以上の整数) のペア ($Y1$ と $Y2$ 、 $Y5$ と $Y6$ 、 $Y9$ と $Y10, \dots$) には、 GND (グラウンド) ショート信号 1、 VCC ショート信号 1、 VCC ショート信号 2 を用いて制御し、 $Y4M+3$ 、 $Y4M+4$ (ただし、 $M = 0, 1, 2, \dots$ 、すなわち、0 以上の整数) のペア ($Y3$ と $Y4$ 、 $Y7$ と $Y8$ 、 $Y11$ と $Y12, \dots$) には、 GND (グラウンド) ショート信号 2、 VCC ショート信号 3、 VCC ショート信号 4 を用いて制御する構成としている。

【0031】

次に、制御線と SW 群の結線に関して説明する。 GND ショート信号 1 は $Y4M+1$ 、 $Y4M+2$ 共にグラウンドショート $SW209$ のゲートに接続される。 VCC ショート信号 1 は $Y4M+1$ においては VCC ショート $SW210$ のゲートに、 $Y4M+2$ においては $-VCC$ ショート $SW211$ のゲートに接続される。 VCC ショート信号 2 は $Y4M+1$ においては $-VCC$ ショート $SW211$ のゲートに、 $Y4M+2$ においては VCC ショート $SW210$ のゲートに接続される。

【0032】

また、グラウンドショート信号 2 は $Y4M+3$ 、 $Y4M+4$ 共にグラウンドショート $SW209$ のゲートに接続される。 VCC ショート信号 3 は $Y4M+3$ においては VCC ショート $SW210$ のゲートに、 $Y4M+4$ においては $-VCC$ ショート $SW211$ のゲートに接続される。 VCC ショート信号 4 は $Y4M+3$ においては $-VCC$ ショート $SW211$ のゲートに、 $Y4M+4$ においては VCC ショート $SW210$ のゲートに接続される。

【0033】

このような構成とすることで、実施形態 1 においては、出力 $Y4M+1$ および $Y4M+2$ と、出力 $Y4M+3$ および $Y4M+4$ との極性反転ラインが異なる場合においても、極性反転するカラムのみでショート動作を実施可能としている。

【0034】

ショート回路動作

次に、図 4 に本発明の実施形態 1 の液晶表示装置における 1×4 ドット反転駆動時の極性分布図を示し、図 5 に本発明の実施形態 1 の液晶表示装置における 1×4 ドット反転駆動時のショート回路の信号線のタイミングチャートを示し、以下、図 4 及び図 5 に基づいて、実施形態 1 のショート回路の動作を説明する。ただし、図 4 は液晶パネル 101 の一部領域を拡大した図であり、図中の「+」、「-」が極性を示し、それぞれが RGB の何れかの画素 (副画素、サブピクセル) に対応する。また、図 4 に示す G1 ライン、G2 ライン、G3 ライン、 $\dots$ のスキヤンタイミングは、図 5 に示す G1 期間、G2 期間、G3 期間、 $\dots$ 、すなわち各 1 水平周期 (1 H 周期) に対応する。

【0035】

図 4 から明らかなように、 1×4 ドット反転駆動時の極性分布では、データドライバ出力数が $4M+4$ (ただし、 M は 0 以上の整数) とした場合、出力 $Y4M+1$ 、 $Y4M+2$ のペアの極性反転ラインは同じであり、出力 $Y4M+3$ 、 $Y4M+4$ のペアの極性反転ラインも同じである。また、出力 $Y4M+1$ 、 $Y4M+2$ のペアの極性反転ラインと、出力 $Y4M+3$ 、 $Y4M+4$ のペアの極性反転ラインとは、 $N/2$ ずつずれる (ただし、 N は階調電圧の極性反転を行うライン数である。)。従って、図 4 に示すように、4 ライン反転時は 2 ラインずつずれることとなる。

【0036】

すなわち、図 4 に示すように、画素アレイ 101 に形成される各画素 (副画素) 402 に対して、全フレームの全列で極性反転周期が 4 ライン周期であり、第 1 ライン G1 に、出力 $Y4M+1$ を正極電圧出力 (出力 $Y4M+2$ を負極電圧出力) とし、出力 $Y4M+3$ を負極電圧出力 (出力 $Y4M+4$ を正極電圧出力) としている。また、出力 $Y4M+1$ と $Y4M+2$ の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 1 ライン目 G1 からに設定し、出力 $Y4M+3$ と出力 $Y4M+4$ の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 3 ライン目 G

3 からに設定している。

【 0 0 3 7 】

次に、図 5 に基づいて、図 4 に示す 1 × 4 ドット反転駆動を行う場合のショート回路動作について説明する。図 5 ではショート回路の信号線のタイミングチャートと各出力 (Y 1、Y 2、Y 3、・・・) のドレイン線動作を示している。

【 0 0 3 8 】

図 5 から明らかなように、出力制御信号 5 0 1 は、2 水平周期 (2 H 周期) 毎に、例えば周知の N M O S で構成される入力 S W 2 0 8 を O F F する為に、L o w となる。この L o w となるのは、G 1 期間、G 3 期間、G 5 期間、・・・の出力 Y 4M+1 および Y 4M+2 か、出力 Y 4M+3 および Y 4M+4 がグランドショートする期間 T 1 と V C C ショートする期間 T 2 である。

10

【 0 0 3 9 】

G N D ショート信号 1、V C C ショート信号 1、V C C ショート信号 2 は、出力 Y 4M+1 および Y 4M+2 のショート回路用の制御信号線である。特に、G N D ショート信号 1 は、4 水平周期 (4 H 周期) 毎にグランドショート S W 2 0 9 を O N する為に、H i g h となる。この H i g h となるのは、G 1 期間、G 5 期間、G 9 期間、・・・の出力 Y 4M+1 および Y 4M+2 がグランドショートする期間 T 1 である。V C C ショート信号 1 は、8 水平周期 (8 H 周期) 毎に V C C ショート S W 2 1 0 もしくは - V C C ショート S W 2 1 1 を O N する為に、H i g h となる。この H i g h となるのは、G 1 期間、G 9 期間、・・・の出力 Y 4M+1 および Y 4M+2 が V C C ショートもしくは - V C C ショートする期間 T 2 である。V C C ショート信号 2 は、8 水平周期 (8 H 周期) 毎に V C C ショート S W 2 1 0 もしくは - V C C ショート S W 2 1 1 を O N する為に、H i g h となる。この H i g h となるのは、G 1 期間、G 9 期間、・・・の出力 Y 4M+1 および Y 4M+2 が V C C ショートもしくは - V C C ショートする期間 T 2 である。

20

【 0 0 4 0 】

G N D ショート信号 2、V C C ショート信号 3、V C C ショート信号 4 は、出力 Y 4M+3 および Y 4M+4 のショート回路用の制御信号線である。G N D ショート信号 2 は、4 水平周期 (4 H 周期) 毎にグランドショート S W 2 0 9 を O N する為に、H i g h となる。この H i g h となるのは、G 3 期間、G 7 期間、G 1 1 期間、・・・の出力 Y 4M+3 および Y 4M+4 がグランドショートする期間 T 1 である。V C C ショート信号 3 は、8 水平周期 (8 H 周期) 毎に、V C C ショート S W 2 1 0 もしくは - V C C ショート S W 2 1 1 を O N する為に、H i g h となる。この H i g h となるのは、G 3 期間、G 1 1 期間、・・・の出力 Y 4M+3 および Y 4M+4 が V C C ショートもしくは - V C C ショートする期間 T 2 である。V C C ショート信号 4 は、8 水平周期 (8 H 周期) 毎に、V C C ショート S W 2 1 0 もしくは - V C C ショート S W 2 1 1 を O N する為に、H i g h となる。この H i g h となるのは、G 7 期間、G 1 5 期間、・・・の出力 Y 4M+3 および Y 4M+4 が V C C ショートもしくは - V C C ショートする期間 T 2 である。

30

【 0 0 4 1 】

以上の信号線の制御により、出力 Y 4M+1 および出力 Y 4M+2 と、出力 Y 4M+3 および出力 Y 4M+4 とで、独立にショート動作を行うことが可能となる。

40

【 0 0 4 2 】

次に、図 3 ~ 6 に基づいて、実施形態 1 のショート回路における液晶アレイの画素に対する駆動動作を説明する。

【 0 0 4 3 】

まず、時刻 t 0 においては、出力制御信号 5 0 1 が H i g h から L o w になり、ショート回路 2 0 6 の入力 X 1、X 2、・・・、X m と、ショート回路 2 0 6 の出力 Y 1、Y 2、・・・、Y m とを電氣的に接続する入力 S W 2 0 8 が O F F され、入力 X 1、X 2、・・・、X m と出力 Y 1、Y 2、・・・、Y m とのそれぞれの導通状態も O F F される。このとき、G N D ショート信号 1 は L o w から H i g h となり、G N D ショート信号 1 に接続されるグランドショート S W 2 0 9 が O N となる。これにより、ショート回路 2 0 6 の出

50

力 Y 1、Y 5、・・・、Y 4M+1はそれぞれ GND (0 V) の信号線 2 1 3 と電氣的に接続される。その結果、出力 Y 1、Y 5、・・・、Y 4M+1の出力電圧 5 0 2 は、DN (- 5 . 0 V) から GND (0 V) に上昇する。同様に、ショート回路 2 0 6 の出力 Y 2、Y 6、・・・、Y 4M+2もそれぞれ GND (0 V) の信号線 2 1 3 と電氣的に接続される。その結果、出力 Y 2、Y 6、・・・、Y 4M+2の出力電圧 5 0 3 は、DP (5 . 0 V) から GND (0 V) に下降する。

【 0 0 4 4 】

このとき、GND ショート信号 2、VCC ショート信号 3、及び VCC ショート信号 4 は Low のままとなる。これにより、GND ショート信号 2 に接続されるグラウンドショート SW 2 0 9 と、VCC ショート信号 3 又は VCC ショート信号 4 に接続される VCC ショート SW 2 1 0 及び - VCC ショート SW 2 1 1 とはそれぞれ OFF のままとなる。その結果、出力 Y 3、Y 7、・・・、Y 4M+3の出力電圧 5 0 4 と、出力 Y 4、Y 8、・・・、Y 4M+4の出力電圧 5 0 5 とは、それぞれ変化が起こらずに、出力電圧 5 0 4 は DN (- 5 . 0 V) が、出力電圧 5 0 5 は DP (5 . 0 V) がそれぞれ維持されることとなる。

【 0 0 4 5 】

時刻 t 1 においては、出力制御信号 5 0 1 は Low のままとなり、入力 X 1、X 2、・・・、X m と出力 Y 1、Y 2、・・・、Y m とのそれぞれの導通状態も OFF のままで維持される。GND ショート信号 1 は High から Low となり、GND ショート信号 1 に接続されるグラウンドショート SW 2 0 9 は OFF となる。一方、VCC ショート信号 1 は Low から High となり、VCC ショート信号 1 に接続される VCC ショート SW 2 1 0 すなわち出力 Y 1、Y 5、・・・、Y 4M+1 に接続される VCC ショート SW 2 1 0 と、VCC ショート信号 1 に接続される - VCC ショート SW 2 1 1 すなわち出力 Y 2、Y 6、・・・、Y 4M+2 に接続される - VCC ショート SW 2 1 1 とが ON となる。

【 0 0 4 6 】

これにより、ショート回路 2 0 6 の出力 Y 1、Y 5、・・・、Y 4M+1はそれぞれ VCC の信号線 2 1 2 と電氣的に接続される。その結果、出力 Y 1、Y 5、・・・、Y 4M+1の出力電圧 5 0 2 は、GND (0 V) から VCC にさらに上昇する。一方、ショート回路 2 0 6 の出力 Y 2、Y 6、・・・、Y 4M+2はそれぞれ - VCC の信号線 2 1 4 と電氣的に接続される。その結果、出力 Y 2、Y 6、・・・、Y 4M+2の出力電圧 5 0 3 は、GND (0 V) から - VCC にさらに下降する。

【 0 0 4 7 】

この時刻 t 1 においても、GND ショート信号 2、VCC ショート信号 3、及び VCC ショート信号 4 は Low のままとなる。これにより、時刻 t 0 と同様に、ショート回路 2 0 6 の出力 Y 3、Y 7、・・・、Y 4M+3の出力電圧 5 0 4 と、出力 Y 4、Y 8、・・・、Y 4M+4の出力電圧 5 0 5 とは、それぞれ変化が起こらずに、出力電圧 5 0 4 は DN (- 5 . 0 V) が、出力電圧 5 0 5 は DP (5 . 0 V) がそれぞれ維持されることとなる。

【 0 0 4 8 】

次の時刻 t 2 においては、VCC ショート信号 1 は High から Low となり、VCC ショート信号 1 に接続される VCC ショート SW 2 1 0 及び - VCC ショート SW 2 1 1 は OFF となる。このとき、出力制御信号 5 0 1 は Low から High になり、入力 SW 2 0 8 が ON され、ショート回路 2 0 6 の入力 X 1、X 2、・・・、X m と、ショート回路 2 0 6 の出力 Y 1、Y 2、・・・、Y m とが電氣的に接続される、すなわち入力 X 1、X 2、・・・、X m と出力 Y 1、Y 2、・・・、Y m とがそれぞれの導通状態となる。

【 0 0 4 9 】

ここで、時刻 t 2 は G 1 期間となるので、ショート回路 2 0 6 の入力 X 1、X 2、・・・、X m の内、ショート回路 2 0 6 の出力 Y 1、Y 5、・・・、Y 4M+1 に対応する入力 X 1、X 5、・・・、X 4M+1からはデコード回路 2 0 5 から出力される DP (5 . 0 V) が出力されている。これにより、ショート回路 2 0 6 の出力 Y 1、Y 5、・・・、Y 4M+1の出力電圧 5 0 2 は、VCC から DP (5 . 0 V) に上昇する。同様にして、ショート回路 2 0 6 の入力 X 1、X 2、・・・、X m の内、ショート回路 2 0 6 の出力 Y 2、Y 6、

10

20

30

40

50

・ ・ ・、Y4M+2に対応する入力X2、X6、・ ・ ・、X4M+2からはデコード回路205から出力されるDN(-5.0V)が出力されている。これにより、ショート回路206の出力Y2、Y6、・ ・ ・、Y4M+2の出力電圧503は、-VCCからDN(-5.0V)に下降する。

【0050】

この時刻t2においても、GNDショート信号2、VCCショート信号3、及びVCCショート信号4はLowのままとなる。これにより、時刻t0と同様に、ショート回路206の出力Y3、Y7、・ ・ ・、Y4M+3の出力電圧504と、出力Y4、Y8、・ ・ ・、Y4M+4の出力電圧505とは、それぞれ変化が起こらずに、出力電圧504はDN(-5.0V)が、出力電圧505はDP(5.0V)がそれぞれ維持されることとなる。

10

【0051】

その結果、図4に示すように、G1ラインにおける各画素402の極性は、パネル水平方向の図中左側から「+ - - + + - - + ・ ・ ・」が実現される。

【0052】

時刻t3においては、極性反転が起きないので、ショート回路206の出力Y1、Y5、・ ・ ・、Y4M+1の出力電圧502と、出力Y4、Y8、・ ・ ・、Y4M+4の出力電圧505とは変化が起こらずに、デコード回路205の出力電圧であるDP(5.0V)がそれぞれ維持される。同様にして、ショート回路206の出力Y2、Y6、・ ・ ・、Y4M+2の出力電圧503と、出力Y3、Y7、・ ・ ・、Y4M+3の出力電圧504とも変化が起こらずに、デコード回路205の出力電圧であるDN(-5.0V)がそれぞれ維持される。

20

【0053】

その結果、図4に示すように、G2ラインにおける各画素402の極性は、G1ラインと同様のパネル水平方向の図中左側から「+ - - + + - - + ・ ・ ・」が維持される。

【0054】

次の時刻t4においては、出力制御信号501がHighからLowになり入力SW208がOFFされ、入力X1、X2、・ ・ ・、Xmと出力Y1、Y2、・ ・ ・、Ymとのそれぞれの導通状態もOFFされる。このとき、GNDショート信号2はLowからHighとなり、GNDショート信号2に接続されるグラウンドショートSW209がONとなる。これにより、ショート回路206の出力Y3、Y7、・ ・ ・、Y4M+3はそれぞれGND(0V)の信号線213と電氣的に接続される。その結果、出力Y3、Y7、・ ・ ・、Y4M+3の出力電圧504は、DN(-5.0V)からGND(0V)に上昇する。同様に、ショート回路206の出力Y4、Y8、・ ・ ・、Y4M+4もそれぞれGND(0V)の信号線213と電氣的に接続される。その結果、出力Y4、Y8、・ ・ ・、Y4M+4の出力電圧505は、DP(5.0V)からGND(0V)に下降する。

30

【0055】

このとき、GNDショート信号1、VCCショート信号1、及びVCCショート信号2はLowのままとなる。これにより、GNDショート信号1に接続されるグラウンドショートSW209と、VCCショート信号1又はVCCショート信号2に接続されるVCCショートSW210及び-VCCショートSW211とはそれぞれOFFのままとなる。その結果、出力Y1、Y5、・ ・ ・、Y4M+1の出力電圧502と、出力Y2、Y6、・ ・ ・、Y4M+2の出力電圧503とは、それぞれ変化が起こらずに、出力電圧502はDP(5.0V)が、出力電圧503はDN(-5.0V)がそれぞれ維持されることとなる。

40

【0056】

時刻t5においては、出力制御信号501はLowのままとなり、入力X1、X2、・ ・ ・、Xmと出力Y1、Y2、・ ・ ・、Ymとのそれぞれの導通状態もOFFのままで維持される。GNDショート信号2はHighからLowとなり、GNDショート信号2に接続されるグラウンドショートSW209はOFFとなる。一方、VCCショート信号3はLowからHighとなり、VCCショート信号3に接続されるVCCショートSW210すなわち出力Y3、Y7、・ ・ ・、Y4M+3に接続されるVCCショートSW210と、V

50

CCショート信号3に接続される-VCCショートSW211すなわち出力Y4、Y8、
 ・・・・、Y4M+4に接続される-VCCショートSW211とがONとなる。

【0057】

これにより、ショート回路206の出力Y3、Y7、・・・、Y4M+3はそれぞれVCCの信号線212と電氣的に接続される。その結果、出力Y3、Y7、・・・、Y4M+3の出力電圧504は、GND(0V)からVCCにさらに上昇する。一方、ショート回路206の出力Y4、Y8、・・・、Y4M+4はそれぞれ-VCCの信号線214と電氣的に接続される。その結果、出力Y4、Y8、・・・、Y4M+4の出力電圧505は、GND(0V)から-VCCにさらに下降する。

【0058】

この時刻t5においても、GNDショート信号1、VCCショート信号1、及びVCCショート信号2はLowのままとなる。これにより、時刻t4と同様に、ショート回路206の出力Y1、Y5、・・・、Y4M+1の出力電圧502と、出力Y2、Y6、・・・、Y4M+2の出力電圧503とは、それぞれ変化が起こらずに、出力電圧502はDP(5.0V)が、出力電圧506はDN(-5.0V)がそれぞれ維持されることとなる。

【0059】

時刻t6においては、VCCショート信号3はHighからLowとなり、VCCショート信号3に接続されるVCCショートSW210及び-VCCショートSW211はOFFとなる。このとき、出力制御信号501はLowからHighになり、入力SW208がONされ、ショート回路206の入力X1、X2、・・・、Xmと、ショート回路206の出力Y1、Y2、・・・、Ymとが電氣的に接続される、すなわち入力X1、X2、・・・、Xmと出力Y1、Y2、・・・、Ymとがそれぞれの導通状態となる。

【0060】

ここで、時刻t6はG3期間となるので、ショート回路206の入力X1、X2、・・・、Xmの内、ショート回路206の出力Y3、Y7、・・・、Y4M+3に対応する入力X3、X7、・・・、X4M+3からはデコード回路205から出力されるDP(5.0V)が入力されている。これにより、ショート回路206の出力Y3、Y7、・・・、Y4M+3の出力電圧504は、VCCからDP(5.0V)に上昇する。同様にして、ショート回路206の入力X1、X2、・・・、Xmの内、ショート回路206の出力Y4、Y8、・・・、Y4M+4に対応する入力X4、X8、・・・、X4M+4からはデコード回路205から出力されるDN(-5.0V)が入力されている。これにより、ショート回路206の出力Y4、Y8、・・・、Y4M+4の出力電圧505は、-VCCからDN(-5.0V)に下降する。

【0061】

この時刻t6においても、GNDショート信号1、VCCショート信号1、及びVCCショート信号2はLowのままとなる。これにより、時刻t4と同様に、ショート回路206の出力Y1、Y5、・・・、Y4M+1の出力電圧502と、出力Y2、Y6、・・・、Y4M+2の出力電圧503とは、それぞれ変化が起こらずに、出力電圧502はDP(5.0V)が、出力電圧503はDN(-5.0V)がそれぞれ維持されることとなる。

【0062】

その結果、図4に示すように、G3ラインにおける各画素402の極性は、パネル水平方向の図中左側から「+ - + - + - + - ...」に極性が変化する。

【0063】

時刻t7においては、極性反転が起きないので、ショート回路206の出力Y1、Y5、・・・、Y4M+1の出力電圧502と、出力Y3、Y7、・・・、Y4M+3の出力電圧504とは変化が起こらずに、デコード回路205の出力電圧であるDP(5.0V)がそれぞれ維持される。同様にして、ショート回路206の出力Y2、Y6、・・・、Y4M+2の出力電圧503と、出力Y4、Y8、・・・、Y4M+4の出力電圧505とも変化が起こらずに、デコード回路205の出力電圧であるDN(-5.0V)がそれぞれ維持される。

10

20

30

40

50

【 0 0 6 4 】

その結果、図 4 に示すように、G 4 ラインにおける各画素 4 0 2 の極性は、パネル水平方向の図中左側から「+ - + - + - + - . . .」となる、G 3 ラインと同様の極性が維持される。

【 0 0 6 5 】

時刻 t 8 においては、出力制御信号 5 0 1 が H i g h から L o w になり入力 S W 2 0 8 が O F F され、入力 X 1、X 2、. . .、X m と出力 Y 1、Y 2、. . . Y m とのそれぞれの導通状態も O F F される。このとき、G N D ショート信号 1 が L o w から H i g h となり、G N D ショート信号 1 に接続されるグランドショート S W 2 0 9 が O N となる。これにより、ショート回路 2 0 6 の出力 Y 1、Y 5、. . .、Y 4M+1 はそれぞれ G N D (0 V) の信号線 2 1 3 と電気的に接続される。その結果、出力 Y 1、Y 5、. . .、Y 4M+1 の出力電圧 5 0 2 は、D P (5 . 0 V) から G N D (0 V) に下降する。同様に、ショート回路 2 0 6 の出力 Y 2、Y 6、. . .、Y 4M+2 もそれぞれ G N D (0 V) の信号線 2 1 3 と電気的に接続される。その結果、出力 Y 2、Y 6、. . .、Y 4M+2 の出力電圧 5 0 3 は、D N (- 5 . 0 V) から G N D (0 V) に上昇する。

10

【 0 0 6 6 】

このとき、G N D ショート信号 2、V C C ショート信号 3、及び V C C ショート信号 4 は L o w のままとなる。これにより、G N D ショート信号 2 に接続されるグランドショート S W 2 0 9 と、V C C ショート信号 3 又は V C C ショート信号 4 に接続される V C C ショート S W 2 1 0 及び - V C C ショート S W 2 1 1 とはそれぞれ O F F のままとなる。その結果、出力 Y 3、Y 7、. . .、Y 4M+3 の出力電圧 5 0 4 と、出力 Y 4、Y 8、. . .、Y 4M+4 の出力電圧 5 0 5 とは、それぞれ変化が起こらずに、出力電圧 5 0 4 は D P (5 . 0 V) が、出力電圧 5 0 5 は D N (- 5 . 0 V) がそれぞれ維持されることとなる。

20

【 0 0 6 7 】

時刻 t 9 においては、出力制御信号 5 0 1 は L o w のままとなり、入力 X 1、X 2、. . .、X m と出力 Y 1、Y 2、. . . Y m とのそれぞれの導通状態も O F F のままで維持される。G N D ショート信号 1 は H i g h から L o w となり、G N D ショート信号 1 に接続されるグランドショート S W 2 0 9 は O F F となる。一方、V C C ショート信号 2 は L o w から H i g h となり、V C C ショート信号 2 に接続される - V C C ショート S W 2 1 1 すなわち出力 Y 1、Y 5、. . .、Y 4M+1 に接続される - V C C ショート S W 2 1 1 と、V C C ショート信号 1 に接続される V C C ショート S W 2 1 0 すなわち出力 Y 2、Y 6、. . .、Y 4M+2 に接続される V C C ショート S W 2 1 0 とが O N となる。

30

【 0 0 6 8 】

これにより、ショート回路 2 0 6 の出力 Y 1、Y 5、. . .、Y 4M+1 はそれぞれ - V C C の信号線 2 1 4 と電気的に接続される。その結果、出力 Y 1、Y 5、. . .、Y 4M+1 の出力電圧 5 0 2 は、G N D (0 V) から - V C C にさらに下降する。一方、ショート回路 2 0 6 の出力 Y 2、Y 6、. . .、Y 4M+2 はそれぞれ V C C の信号線 2 1 2 と電気的に接続される。その結果、出力 Y 2、Y 6、. . .、Y 4M+2 の出力電圧 5 0 3 は、G N D (0 V) から V C C にさらに上昇する。

40

【 0 0 6 9 】

この時刻 t 9 においても、G N D ショート信号 2、V C C ショート信号 3、及び V C C ショート信号 4 は L o w のままとなる。これにより、時刻 t 0 と同様に、ショート回路 2 0 6 の出力 Y 3、Y 7、. . .、Y 4M+3 の出力電圧 5 0 4 と、出力 Y 4、Y 8、. . .、Y 4M+4 の出力電圧 5 0 5 とは、それぞれ変化が起こらずに、出力電圧 5 0 4 は D P (5 . 0 V) が、出力電圧 5 0 5 は D N (- 5 . 0 V) がそれぞれ維持されることとなる。

【 0 0 7 0 】

時刻 t 1 0 においては、V C C ショート信号 2 は H i g h から L o w となり、V C C ショート信号 2 に接続される V C C ショート S W 2 1 0 及び - V C C ショート S W 2 1 1 は O F F となる。このとき、出力制御信号 5 0 1 は L o w から H i g h になり、入力 S W 2 0 8 が O N され、入力 X 1、X 2、. . .、X m と出力 Y 1、Y 2、. . . Y m とがそれ

50

ぞれの導通状態となる。

【 0 0 7 1 】

ここで、時刻 t_{10} は G5 期間となるので、ショート回路 206 の入力 X_1 、 X_2 、 $\dots$ 、 X_m の内、ショート回路 206 の出力 Y_1 、 Y_5 、 $\dots$ 、 Y_{4M+1} に対応する入力 X_1 、 X_5 、 $\dots$ 、 X_{4M+1} からは、デコード回路 205 から出力される $DN(-5.0V)$ が入力されている。これにより、ショート回路 206 の出力 Y_1 、 Y_5 、 $\dots$ 、 Y_{4M+1} の出力電圧 502 は、 $-VCC$ から $DN(-5.0V)$ に下降する。同様にして、入力 X_1 、 X_2 、 $\dots$ 、 X_m の内、ショート回路 206 の出力 Y_2 、 Y_6 、 $\dots$ 、 Y_{4M+2} に対応する入力 X_2 、 X_6 、 $\dots$ 、 X_{4M+2} からは、デコード回路 205 から出力される $DP(5.0V)$ が入力されている。これにより、ショート回路 206 の出力 Y_2 、 Y_6 、 $\dots$ 、 Y_{4M+2} の出力電圧 503 は、 VCC から $DP(5.0V)$ に上昇する。

10

【 0 0 7 2 】

この時刻 t_{10} においても、 GND ショート信号 2、 VCC ショート信号 3、及び VCC ショート信号 4 は Low のままとなる。これにより、時刻 t_8 と同様に、ショート回路 206 の出力 Y_3 、 Y_7 、 $\dots$ 、 Y_{4M+3} の出力電圧 504 と、出力 Y_4 、 Y_8 、 $\dots$ 、 Y_{4M+4} の出力電圧 505 とは、それぞれ変化が起こらずに、出力電圧 504 は $DP(5.0V)$ が、出力電圧 505 は $DN(-5.0V)$ がそれぞれ維持されることとなる。

【 0 0 7 3 】

その結果、図 4 に示すように、G5 ラインにおける各画素 402 の極性は、パネル水平方向の図中左側から「 $-++--++-\dots$ 」に変化する。

20

【 0 0 7 4 】

時刻 t_{11} においては、極性反転が起きないので、ショート回路 206 のショート回路 206 の出力 Y_2 、 Y_6 、 $\dots$ 、 Y_{4M+2} の出力電圧 503 と、出力 Y_3 、 Y_7 、 $\dots$ 、 Y_{4M+3} の出力電圧 504 とには変化が起こらずに、デコード回路 205 の出力電圧である $DP(5.0V)$ がそれぞれ維持される。同様にして、出力 Y_1 、 Y_5 、 $\dots$ 、 Y_{4M+1} の出力電圧 502 と、出力 Y_4 、 Y_8 、 $\dots$ 、 Y_{4M+4} の出力電圧 505 とにも変化が起こらずに、デコード回路 205 の出力電圧である $DN(-5.0V)$ がそれぞれ維持される。

【 0 0 7 5 】

その結果、図 4 に示すように、G6 ラインにおける各画素 402 の極性は、パネル水平方向の図中左側から「 $-++--++-\dots$ 」となる、G5 ラインと同様の極性が維持される。

30

【 0 0 7 6 】

次の時刻 t_{12} においては、出力制御信号 501 が $High$ から Low になり入力 SW_{208} が OFF され、入力 X_1 、 X_2 、 $\dots$ 、 X_m と出力 Y_1 、 Y_2 、 $\dots$ 、 Y_m とのそれぞれの導通状態も OFF される。このとき、 GND ショート信号 2 が Low から $High$ となり、 GND ショート信号 2 に接続されるグランドショート SW_{209} が ON となる。これにより、ショート回路 206 の出力 Y_3 、 Y_7 、 $\dots$ 、 Y_{4M+3} はそれぞれ $GND(0V)$ の信号線 213 と電氣的に接続される。その結果、出力 Y_3 、 Y_7 、 $\dots$ 、 Y_{4M+3} の出力電圧 504 は、 $DP(5.0V)$ から $GND(0V)$ に下降する。同様に、ショート回路 206 の出力 Y_4 、 Y_8 、 $\dots$ 、 Y_{4M+4} もそれぞれ $GND(0V)$ の信号線 213 と電氣的に接続される。その結果、出力 Y_4 、 Y_8 、 $\dots$ 、 Y_{4M+4} の出力電圧 505 は、 $DN(-5.0V)$ から $GND(0V)$ に上昇する。

40

【 0 0 7 7 】

このとき、 GND ショート信号 1、 VCC ショート信号 1、及び VCC ショート信号 2 は Low のままとなる。これにより、 GND ショート信号 1 に接続されるグランドショート SW_{209} と、 VCC ショート信号 1 又は VCC ショート信号 2 に接続される VCC ショート SW_{210} 及び $-VCC$ ショート SW_{211} とはそれぞれ OFF のままとなる。その結果、出力 Y_1 、 Y_5 、 $\dots$ 、 Y_{4M+1} の出力電圧 502 と、出力 Y_2 、 Y_6 、 $\dots$ 、 Y_{4M+2} の出力電圧 503 とは、それぞれ変化が起こらずに、出力電圧 502 は $DN(-$

50

5.0V)が、出力電圧503はDP(5.0V)がそれぞれ維持されることとなる。

【0078】

時刻t13においては、出力制御信号501はLowのままとなり、入力X1、X2、
 ...、Xmと出力Y1、Y2、...、Ymとのそれぞれの導通状態もOFFのままで維持される。GNDショート信号2はHighからLowとなり、GNDショート信号2に
 接続されるグラウンドショートSW209はOFFとなる。一方、VCCショート信号4が
 LowからHighとなり、VCCショート信号4に接続される-VCCショートSW211
 すなわち出力Y3、Y7、...、Y4M+3に接続される-VCCショートSW211
 と、VCCショート信号3に接続されるVCCショートSW210すなわち出力Y4、Y
 8、...、Y4M+4に接続されるVCCショートSW210とがONとなる。

10

【0079】

これにより、ショート回路206の出力Y3、Y7、...、Y4M+3はそれぞれ-VCC
 の信号線214と電氣的に接続される。その結果、出力Y3、Y7、...、Y4M+3の
 出力電圧504は、GND(0V)から-VCCにさらに下降する。一方、ショート回路
 206の出力Y4、Y8、...、Y4M+4はそれぞれVCCの信号線212と電氣的に接
 続される。その結果、出力Y4、Y8、...、Y4M+4の出力電圧505は、GND(0
 V)からVCCにさらに上昇する。

【0080】

この時刻t13においても、GNDショート信号1、VCCショート信号1、及びVCC
 ショート信号2はLowのままとなる。これにより、時刻t12と同様に、ショート回
 路206の出力Y1、Y5、...、Y4M+1の出力電圧502と、出力Y2、Y6、...
 、Y4M+2の出力電圧503とは、それぞれ変化が起こらずに、出力電圧502はDN(
 -5.0V)が、出力電圧506はDP(5.0V)がそれぞれ維持されることとなる。

20

【0081】

時刻t14においては、VCCショート信号4はHighからLowとなり、VCCシ
 ョート信号4に接続されるVCCショートSW210及び-VCCショートSW211は
 OFFとなる。このとき、出力制御信号501はLowからHighになり、入力SW2
 08がONされ、入力X1、X2、...、Xmと出力Y1、Y2、...、Ymとがそれ
 ぞれの導通状態となる。

【0082】

30

ここで、時刻t14はG7期間となるので、ショート回路206の入力X1、X2、
 ...、Xmの内、ショート回路206の出力Y3、Y7、...、Y4M+3に対応する入力
 X3、X7、...、X4M+3からは、デコード回路205から出力されるDN(-5.0
 V)が入力されている。これにより、ショート回路206の出力Y3、Y7、...、Y
 4M+3の出力電圧504は、-VCCからDN(-5.0V)に下降する。同様にして、入
 力X1、X2、...、Xmの内、ショート回路206の出力Y4、Y8、...、Y4M
 +4に対応する入力X4、X8、...、X4M+4からは、デコード回路205から出力さ
 れるDP(5.0V)が入力されている。これにより、ショート回路206の出力Y4、Y
 8、...、Y4M+4の出力電圧505は、VCCからDP(5.0V)に上昇する。

【0083】

40

この時刻t14においても、GNDショート信号1、VCCショート信号1、及びVCC
 ショート信号2はLowのままとなる。これにより、時刻t12と同様に、ショート回
 路206の出力Y1、Y5、...、Y4M+1の出力電圧502と、出力Y2、Y6、...
 、Y4M+2の出力電圧503とは、それぞれ変化が起こらずに、出力電圧502はDN(
 -5.0V)が、出力電圧503はDP(5.0V)がそれぞれ維持されることとなる。

【0084】

その結果、図4に示すように、G7ラインにおける各画素402の極性は、パネル水平
 方向の図中左側から「-+-+-+...」に極性が変化する。

【0085】

時刻t14以降においては、前述する時刻t0~t14の動作を、1フレームごとに1

50

ライン分ずつずらすことにより、後に詳述する動作となる。

このように、実施形態 1 のショート回路 206 では、出力 Y4M+1 および出力 Y4M+2 と、出力 Y4M+3 および出力 Y4M+4 とで、独立にショート動作を行うことにより、出力 Y4M+1 および出力 Y4M+2 と、出力 Y4M+3 および出力 Y4M+4 との何れか一方の極性を変化させるために出力電圧を変化させた場合であっても、他方の出力電圧を変化させる必要がないので、液晶表示装置の低消費電力化が可能となる。すなわち、低電力効果の高いプリチャージ・ショート駆動を実現することが可能となる。

【0086】

電圧極性の詳細

次に、図 6 に本発明の実施形態 1 の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図を示し、以下、図 6 に基づいて、極性反転ライン分散型 1 × 4 ドット反転駆動におけるフレーム毎の電圧極性の分布について説明する。

【0087】

図 6 に示すように、Y4M+1 と Y4M+2 の出力ペアと、Y4M+3 と Y4M+4 の出力ペアの極性反転ライン 401 は、2 ライン分ずれている。また $8n + 1$ フレーム（ただし、 n は 0 以上の整数）から $8n + 8$ フレームにおいて、各出力ペア Y4M+1 と Y4M+2、Y4M+3 と Y4M+4 の極性反転ライン 401 は、カラム方向に 1 ライン分ずれている。さらに、1 つの画素に着目した場合、極性は連続した 4 フレーム間が正極である後に連続した 4 フレーム間が負極となるパターンとなっており、これは全画素で共通である。

【0088】

例えば、図 6 の 1 ライン目で 1 カラム目のサブピクセル（Y1 出力で 1 ライン目の箇所）は、 $8n + 2$ から $8n + 5$ の 4 フレーム間は連続して負極性であり、その後の $8n + 6$ フレームから $8n + 8$ 、 $8n + 1$ の 4 フレーム間は連続して正極性である。これは、後述するように、別の画質劣化成分（フリッカ）を抑制する為にフレーム方向の極性反転周期と極性の変化パターンは全画素で同じとする必要があり、それを実現する為に必要な為である。

【0089】

具体的に記すと、 $8n + 1$ フレームでは、第 1 ラインに、Y4M+1 を正極電圧出力（Y4M+2 を負極電圧出力）とし、Y4M+3 を負極電圧出力（Y4M+4 を正極電圧出力）としている。さらに、Y4M+1 と Y4M+2 の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 1 ライン目からに設定し、Y4M+3 と Y4M+4 の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 3 ライン目からに設定している。尚、全フレームの全列で極性反転周期は 4 ライン周期である。

【0090】

$8n + 2$ フレームでは、第 1 ラインに、Y4M+1 を負極電圧出力（Y4M+2 を正極電圧出力）とし、Y4M+3 を負極電圧出力（Y4M+4 を正極電圧出力）としている。さらに、Y4M+1 と Y4M+2 の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 2 ライン目からに設定し、Y4M+3 と Y4M+4 の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 4 ライン目からに設定している。

【0091】

$8n + 3$ フレームでは、第 1 ラインに、Y4M+1 を負極電圧出力（Y4M+2 を正極電圧出力）とし、Y4M+3 を負極電圧出力（Y4M+4 を正極電圧出力）としている。さらに、Y4M+1 と Y4M+2 の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 3 ライン目からに設定し、Y4M+3 と Y4M+4 の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 1 ライン目からに設定している。

【0092】

$8n + 4$ フレームでは、第 1 ラインに、Y4M+1 を負極電圧出力（Y4M+2 を正極電圧出力）とし、Y4M+3 を正極電圧出力（Y4M+4 を負極電圧出力）としている。さらに、Y4M+1 と Y4M+2 の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 4 ライン目からに設定し、Y4M+3 と Y4M+4 の出力ペアの各カラムの極性反転ライン 401 となる箇所は第 2 ラ

10

20

30

40

50

イン目からに設定している。

【 0 0 9 3 】

8 n + 5 フレームでは、第 1 ラインに、Y 4M+1 を負極電圧出力 (Y 4M+2 を正極電圧出力) とし、Y 4M+3 を正極電圧出力 (Y 4M+4 を負極電圧出力) としている。さらに、Y 4M+1 と Y 4M+2 の出力ペアの各カラムの極性反転ライン 4 0 1 となる箇所は第 1 ライン目からに設定し、Y 4M+3 と Y 4M+4 の出力ペアの各カラムの極性反転ライン 4 0 1 となる箇所は第 3 ライン目からに設定している。

【 0 0 9 4 】

8 n + 6 フレームでは、第 1 ラインに、Y 4M+1 を正極電圧出力 (Y 4M+2 を負極電圧出力) とし、Y 4M+3 を正極電圧出力 (Y 4M+4 を負極電圧出力) としている。さらに、Y 4M+1 と Y 4M+2 の出力ペアの各カラムの極性反転ライン 4 0 1 となる箇所は第 2 ライン目からに設定し、Y 4M+3 と Y 4M+4 の出力ペアの各カラムの極性反転ライン 4 0 1 となる箇所は第 4 ライン目からに設定している。

10

【 0 0 9 5 】

8 n + 7 フレームでは、第 1 ラインに、Y 4M+1 を正極電圧出力 (Y 4M+2 を負極電圧出力) とし、Y 4M+3 を正極電圧出力 (Y 4M+4 を負極電圧出力) としている。さらに、Y 4M+1 と Y 4M+2 の出力ペアの各カラムの極性反転ライン 4 0 1 となる箇所は第 3 ライン目からに設定し、Y 4M+3 と Y 4M+4 の出力ペアの各カラムの極性反転ライン 4 0 1 となる箇所は第 1 ライン目からに設定している。

【 0 0 9 6 】

8 n + 8 フレームでは、第 1 ラインに、Y 4M+1 を正極電圧出力 (Y 4M+2 を負極電圧出力) とし、Y 4M+3 を負極電圧出力 (Y 4M+4 を正極電圧出力) としている。さらに、Y 4M+1 と Y 4M+2 の出力ペアの各カラムの極性反転ライン 4 0 1 となる箇所は第 4 ライン目からに設定し、Y 4M+3 と Y 4M+4 の出力ペアの各カラムの極性反転ライン 4 0 1 となる箇所は第 2 ライン目からに設定している。

20

【 0 0 9 7 】

このように、実施形態 1 の極性反転ライン分散型 1 × 4 ドット反転時には、前述した 8 n + 1 から 8 n + 8 を順次繰り返す制御を行う。

【 0 0 9 8 】

効果の説明

このように構成した液晶表示装置では、極性交流ライン分散型 1 × N (N = 2) ドット反転駆動において、極性が反転する時のみ、短絡 (ショート) 駆動することが可能となるので、液晶表示装置の低消費電力化が可能となる。すなわち、低電力効果の高いプリチャージ・ショート駆動を実現することが可能となる。

30

【 0 0 9 9 】

さらには、極性交流ラインの分散パターンを用いる構成となっているので、液晶表示装置の極性反転ライン 4 0 1 が空間的・時間的に変化する周波数成分が高周波数となり、極性反転ライン 4 0 1 の出現に伴う表示品質の低下を防止できる。これは、N ライン毎に極性反転する 1 × N (ただし、N = 2、4、8) ドット反転の場合においては、極性反転ライン 4 0 1 の分散パターンに関しては、出力 Y 4M+1 および Y 4M+2 と出力 Y 4M+3 および Y 4M+4 の極性反転ライン 4 0 1 を N / 2 ラインずつずらす構成としているからである。このような分散パターンとする事で、極性反転ライン箇所の画質への影響が小さくなる。

40

【 0 1 0 0 】

以下、詳細に説明する。極性反転ラインを液晶パネルに空間的に分散した極性反転ライン分散型 1 × N ドット反転において、その分散パターンにより画質劣化の程度が異なること、また分散パターンは図 6 に示すように、出力 Y 4M+1 および Y 4M+2 と、出力 Y 4M+3 および Y 4M+4 との極性反転ラインが N / 2 ラインずつずれたパターンにおいて画質劣化が小さい事が、発明者が実施した客観評価結果から分かったからである。

【 0 1 0 1 】

ここで、客観評価に関して説明する。客観評価は、液晶パネル内での極性ライン反転箇

50

所の空間的、時間的に周波数成分を解析し、所定の数式を用いて数値化したものである。
この数式は、以下の式 1 となる。

【数 1】

$$E = \sum \{ \alpha \times F(u, v, w) \} + E_0 \quad (\text{式 1})$$

【0102】

ただし、式 1 において、E は客観評価値、 α は各周波数成分の重み係数、 $F(u, v, w)$ は周波数成分（3 次元フーリエ変換結果）、 E_0 はオフセット値である。

【0103】

ここで、周波数成分 $F(u, v, w)$ は、下記の式 2 となる。

【数 2】

$$F(u, v, w) = \sum_{t=0}^{15} e^{-j\frac{2\pi}{16}wt} \sum_{y=0}^{15} e^{-j\frac{2\pi}{16}vy} \sum_{x=0}^{15} e^{-j\frac{2\pi}{16}ux} n(x, y, t) \quad (\text{式 2})$$

【0104】

ただし、式 2 において、 $n(x, y, t)$ は水平 16 画素、垂直 16 画素、16 フレームにおける極性ライン箇所である。水平 x 画素目 ($x = 0 \sim 15$)、垂直 y 画素目 ($y = 0 \sim 15$)、 t フレーム目 ($t = 0 \sim 15$) が極性反転ラインである場合には 1 となり、極性反転ラインでない場合には 0 (ゼロ) となる。

【0105】

ここで、 u ($u = 0 \sim 15$) とは x 成分の周波数成分を表し、 v ($v = 0 \sim 15$) とは y 成分の周波数成分を表し w ($w = 0 \sim 15$) とは t 成分の周波数成分を表す。また、 u 、 v 、 w が 0 の場合は DC 成分である事を意味し、数字が大きいほど高周波成分である事を意味している。

【0106】

上記より、周波数成分 $F(u, v, w)$ は 4096 個の周波数成分をもつことになる。この 4096 個の周波数成分 $F(u, v, w)$ と 4096 個の重み係数 α と 1 つのオフセットから、客観評価値 E を算出した。ここで、式 1 における係数 α とオフセット値 E_0 に関しては、複数の評価パターンにおいて客観評価値と実機の評価結果と誤差が最小となるように最小二乗法で係数を決定した。

【0107】

以上の式より、周波数成分、それぞれの周波数成分の重み係数及びオフセット値より、客観評価値を算出した。この客観評価値は、実機での主観評価結果との高い相関が確認できている。

【0108】

ここで、式 1 で評価した分散パターンは、例えば 1×4 ドット反転の場合においては、水平画素の水平画素 8 画素、垂直画素 8 画素、8 フレームにおいて取り得る分散パターンを検証した。ここで、フレーム方向のパターンに関しては、図 6 (ただし、後述する実施形態 2、3 のパターンも含む) のパターンと同様として 1 パターンとした。これは、別の画質劣化成分 (フリッカ) を抑制する為にフレーム方向の極性反転周期は全画素で同じにする必要があり、それを実現する為である。

【0109】

また、条件として、垂直 8 画素において極性反転ラインは 2 ラインであり、それぞれは 4 ラインおきとなる。例えば、1 番目の垂直画素が極性反転ラインである場合は、5 番目の垂直画素が極性反転ラインとする必要がある。また、正極から負極に変換する時の極性反転ラインと負極から正極に変換する時の極性反転ラインでは同じ輝度変動が発生すると仮定した。よって、 1×4 ドット反転時の分散パターンは垂直方向では 8 画素 / 2 = 4 通りのパターンが考えられる。また、水平方向に関しては隣接する 2 画素に関し極性反転ラ

10

20

30

40

50

インは同じであり、極性が逆となる関係である。

【0110】

例えば、水平画素の1 & 2番目では極性反転が同じで水平画素1番目が正極である場合には、水平画素2番目が負極となる。よって、水平方向では8画素 / 2 = 4通りのパターンが考えられる。よって、合計で4通り × 4通り = 16通りの分散パターンで評価を行った。その結果、図6（ただし、後述する実施形態2、3のパターンも含む）に示するような分散パターンが最も良い結果となった。これは、極性反転ラインの空間周波数が最も高い為である。

【0111】

ここで、式1で評価した分散パターンは、例えば1 × 4ドット反転の場合においては、水平画素の水平画素8画素、垂直画素8画素、8フレームにおいて取り得る分散パターンを検証した。ここで、フレーム方向のパターンに関しては、図6（ただし、後述する実施形態2、3のパターンも含む）でパターンと同様として1パターンとした。これは、別の画質劣化成分（フリッカ）を抑制する為にフレーム方向の極性反転周期は全画素で同じとする必要があり、それを実現する為である。

【0112】

また、条件として、垂直8画素において極性反転ラインは2ラインであり、それぞれは4ラインおきとなる。例えば、1番目の垂直画素が極性反転ラインである場合は、5番目の垂直画素が極性反転ラインとする必要がある。また、正極から負極に変換する時の極性反転ラインと負極から正極に変換する時の極性反転ラインでは同じ輝度変動が発生すると仮定した。よって、1 × 4ドット反転時の分散パターンは垂直方向では8画素 / 2 = 4通りのパターンが考えられる。また水平方向に関しては隣接する2画素に関しては極性反転ラインは同じであり、極性が逆となる関係である。

【0113】

例えば、水平画素の1 & 2番目では極性反転が同じで水平画素1番目が正極である場合には、水平画素2番目が負極となる。よって、水平方向では8画素 / 2 = 4通りのパターンが考えられる。よって、合計で4通り × 4通り = 16通りの分散パターンで評価を行った。その結果、図6（ただし、後述する実施形態2、3のパターンも含む）に示するような分散パターンが最も良い結果となった。これは、極性反転ラインの空間周波数が最も高い為である。

【0114】

従って、1 × N (N ≥ 2) ドット反転駆動時において、極性反転ラインをパネルの空間的に分散させた極性反転ライン分散型1 × Nドット反転駆動であり、特にデータドライバ出力数4M + 4の内、出力4M + 1と出力4M + 2のペアの極性反転ラインは同じであり、また出力4M + 3と出力4M + 4のペアの極性反転ラインは同じとし、出力4M + 1と出力4M + 2のペアの極性反転ラインと、出力4M + 3と出力4M + 4のペアの極性反転ラインではN / 2ラインずつずれる構成とし、さらにはプリチャージ・ショート駆動を適用させた構成となるから、表示品質が高いすなわち高画質化と共に、低電力効果の大きい液晶表示装置とすることができる。

【0115】

これらの効果は、前述するショート回路において、出力4M + 1及び出力4M + 2を制御する信号と、出力4M + 3及び出力4M + 4の出力を制御する信号とを分ける構成としているからである。

【0116】

これらの特徴を持つことで、極性が反転するラインでのみ、ショート駆動を実現することが可能となり、前述の効果が得られることとなる。

【0117】

実施形態2

次に、図7に本発明の実施形態2の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図を示し、以下、図7に基づいて、極性反転ライン分散型1 × 2ドット反転駆動に

10

20

30

40

50

おけるフレーム毎の電圧極性の分布について説明する。

【0118】

ショート回路における 1×2 ドット反転駆動の信号線の制御に関しても、実施形態1と同様の制御方法で実現する事が可能である。すなわち、出力制御信号は、1水平周期毎に入力SW208をOFFする、すなわち図4のG1、G2、G3、・・・のT1期間とT2期間とでOFFにする。

【0119】

また、GNDショート信号1は、2水平周期毎(G1、G3、G5、・・・のT1期間)にHighとして、VCCショート信号1は4水平周期毎(G1、G5、G9、・・・のT2期間)にHighとして、VCCショート信号2は4水平周期毎(G3、G7、G11、・・・のT2期間)にHighとする。

10

【0120】

さらには、グランドショート信号2は2水平周期毎(G2、G4、G6、・・・のT1期間)にHighとして、VCCショート信号3は4水平周期毎(G2、G6、G10、・・・のT2期間)にHighとして、VCCショート信号4は4水平周期毎(G4、G8、G12、・・・のT2期間)にHighとする。

【0121】

以上に説明する各信号の出力タイミングを変更することにより、実施形態1に説明したショート回路を用いて、実施形態2の極性反転ライン分散型 1×2 ドット反転駆動を実現することが可能となる。

20

【0122】

図7に示すように、実施形態2の極性反転ライン分散型 1×2 ドット反転駆動では、Y4M+1とY4M+2の出力ペアと、Y4M+3とY4M+4の出力ペアの極性反転ラインは、1ライン分ずれている。また、 $4m+1$ フレームから $4m+4$ フレームにおいて、各出力ペアY4M+1とY4M+2、Y4M+3とY4M+4($m=0, 1, 2, \dots$)の極性反転ラインは、カラム方向に1ラインずつずれている。例えば、図5の1ライン目で1カラム目のサブピクセル(Y1出力で1ライン目の箇所)は、 $4m+2$ から $4m+3$ の2フレーム間は連続して負極性であり、その後の $4m+4$ フレームから $4m+1$ の2フレーム間は連続して正極性である。これは、実施形態1において説明したように、別の画質劣化成分(フリッカ)を抑制する。

30

【0123】

さらに、1つの画素に着目した場合、極性は連続した2フレーム間が正極である後に連続した2フレーム間が負極となるパターンとなっており、これは全画素で共通である。

【0124】

このように、実施形態2の液晶表示装置においても、極性反転ラインをパネルの空間的に分散させた極性反転ライン分散型 $1 \times N$ ドット反転駆動において、特にデータドライバ出力数 $4M+4$ の内、出力 $4M+1$ と出力 $4M+2$ のペアの極性反転ラインは同じであり、また出力 $4M+3$ と出力 $4M+4$ のペアの極性反転ラインは同じとし、出力 $4M+1$ と出力 $4M+2$ のペアの極性反転ラインと、出力 $4M+3$ と出力 $4M+4$ のペアの極性反転ラインでは $N/2$ ラインずつずれる構成としているので、実施形態1と同様の効果を得ることができる。

40

【0125】

実施形態3

次に、図8に本発明の実施形態3の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図を示し、以下、図8に基づいて、極性反転ライン分散型 1×8 ドット反転駆動におけるフレーム毎の電圧極性の分布について説明する。

【0126】

ショート回路における 1×8 ドット反転駆動の信号線の制御に関しても、実施形態1と同様の制御方法で実現する事が可能である。すなわち、出力制御信号は、4水平周期毎に入力SW208をOFFする、すなわちG1、G5、G9、・・・のT1期間とT2期間

50

とでOFFにする。

【0127】

また、GNDショート信号1は、8水平周期毎（G1、G9、G17、・・・のT1期間）にHighとして、VCCショート信号1は16水平周期毎（G1、G17、G33、・・・のT2期間）にHighとして、VCCショート信号2は16水平周期毎（G9、G25、G41、・・・のT2期間）にHighとする。

【0128】

さらには、グランドショート信号2は8水平周期毎（G5、G13、G21、・・・のT1期間）にHighとして、VCCショート信号3は16水平周期毎（G5、G21、G37、・・・のT2期間）にHighとして、VCCショート信号4は16水平周期毎（G13、G29、G45、・・・のT2期間）にHighとする。

10

【0129】

以上に説明する各信号の出力タイミングを変更することにより、実施形態1に説明したショート回路を用いて、実施形態3の極性反転ライン分散型1×8ドット反転駆動を実現することが可能となる。

【0130】

図8に示すように、実施形態3の極性反転ライン分散型1×8ドット反転駆動では、Y4M+1とY4M+2の出力ペアと、Y4M+3とY4M+4の出力ペアの極性反転ラインは、4ライン分ずれている。また16n+1フレームから16n+16フレームにおいて、各出力ペアY4M+1とY4M+2、Y4M+3とY4M+4の極性反転ラインは、カラム方向に1ラインずつずれている。

20

【0131】

さらには、1つの画素に着目した場合、極性は連続した8フレーム間が正極である後に連続した8フレーム間が負極となるパターンとなっており、これは全画素で共通である。例えば、図8の1ライン目で1カラム目のサブピクセル（Y1出力で1ライン目の箇所）は、16n+2から16n+9の8フレーム間は連続して負極性であり、その後の16n+10フレームから16n+17の8フレーム間は連続して正極性である。これは、実施形態1において説明したように、別の画質劣化成分（フリッカ）を抑制する。

【0132】

このように、実施形態3の液晶表示装置においても、極性反転ラインをパネルの空間的に分散させた極性反転ライン分散型1×Nドット反転駆動において、特にデータドライバ出力数4M+4の内、出力4M+1と出力4M+2のペアの極性反転ラインは同じであり、また出力4M+3と出力4M+4のペアの極性反転ラインは同じとし、出力4M+1と出力4M+2のペアの極性反転ラインと、出力4M+3と出力4M+4のペアの極性反転ラインではN/2ラインずつずれる構成としているので、実施形態1と同様の効果を得ることができる。

30

【0133】

実施形態4

図9は本発明の実施形態4の液晶表示装置におけるショート回路の内部構成を説明するための図であり、以下、図9に基づいて、本発明に特徴的な実施形態4のショート回路の構成を説明する。ただし、実施形態4の液晶表示装置では、ショート回路の入力X1、X2、・・・、Xm（ただし、Xは自然数）と、出力Y1、Y2、・・・、Ymとを接続する入力SW701が、出力制御信号1で制御される入力SW701と、出力制御信号2で制御される入力SW701とからなる構成が異なるのみで、他の構成は実施形態1と同様の構成である。従って、以下の説明では、入力SW701と該入力SW701を制御する出力制御信号1、2について、詳細に説明する。

40

【0134】

図9に示すように、実施形態2のショート回路では、入力Xmと出力Ymとの間には、入力SW701が構成される。この入力SW701は、後述するように、出力Ymの短絡（ショート）動作時に、入力側Xmと出力Ymとの導通状態をOFFする為に用いる。

50

【 0 1 3 5 】

この入力 $SW701$ と出力 Ym の間には、グランドに短絡（ショート）する為のグランドショート $SW209$ 、 VCC 電圧に短絡（ショート）する為の VCC ショート $SW210$ 、 $-VCC$ 電圧に短絡（ショート）する為の $-VCC$ ショート $SW211$ が、各出力 Ym に接続される構成となっている。この SW 群には、例えば低電力の観点から $MOSFET$ などを用いるのが良い。この SW 群は、出力毎に構成されるが、 SW の制御線は各出力で異なる。

【 0 1 3 6 】

さらには、実施形態 4 では、入力 $SW701$ の制御においても、極性反転ラインが同じ出力毎（ $Y4M+1$ と $Y4M+2$ 、 $Y4M+3$ と $Y4M+4$ の出力ペア）で分ける構成となっている。具体的には、実施形態 4 では、 $Y4M+1$ 、 $Y4M+2$ のペア（ $Y1$ と $Y2$ 、 $Y5$ と $Y6$ 、 $Y9$ と $Y10$ ・・・）は、 GND ショート信号 1、 VCC ショート信号 1、 VCC ショート信号 2、及び出力制御信号 1 を用いて制御される。一方、 $Y4M+3$ 、 $Y4M+4$ のペア（ $Y3$ と $Y4$ 、 $Y7$ と $Y8$ 、 $Y11$ と $Y12$ ・・・）は、 GND ショート信号 2、 VCC ショート信号 3、 VCC ショート信号 4、及び出力制御信号 2 を用いて制御される構成とした。

【 0 1 3 7 】

ここで、制御線と SW 群の結線に関して説明する。出力制御信号 1 は $Y4M+1$ 、 $Y4M+2$ 共に入力 $SW701$ のゲートに接続される。 GND ショート信号 1 は $Y4M+1$ 、 $Y4M+2$ 共にグランドショート $SW209$ のゲートに接続される。 VCC ショート信号 1 は $Y4M+1$ においては VCC ショート $SW210$ のゲートに、 $Y4M+2$ においては $-VCC$ ショート $SW211$ のゲートに接続される。 VCC ショート信号 2 は $Y4M+1$ においては $-VCC$ ショート $SW211$ のゲートに、 $Y4M+2$ においては VCC ショート $SW210$ のゲートに接続される。

【 0 1 3 8 】

出力制御信号 2 は $Y4M+3$ 、 $Y4M+4$ 共に入力 $SW701$ のゲートに接続される。 GND ショート信号 2 は $Y4M+3$ 、 $Y4M+4$ 共にグランドショート $SW209$ のゲートに接続される。 VCC ショート信号 3 は $Y4M+3$ においては VCC ショート $SW210$ のゲートに、 $Y4M+4$ においては $-VCC$ ショート $SW211$ のゲートに接続される。 VCC ショート信号 4 は $Y4M+3$ においては $-VCC$ ショート $SW211$ のゲートに、 $Y4M+4$ においては VCC ショート $SW210$ のゲートに接続される。このような構成とすることで、出力 $Y4M+1$ および $Y4M+2$ と、出力 $Y4M+3$ および $Y4M+4$ の極性反転ラインが異なる場合においても、極性反転するカラムのみでショート動作を実施可能である。

【 0 1 3 9 】

次に、図 10 に本発明の実施形態 4 の液晶表示装置における 1×4 ドット反転駆動時の極性分布を説明するための図を、図 11 に本発明の実施形態 4 の液晶表示装置における 1×4 ドット反転駆動時のショート回路の信号線のタイミングチャートを示し、以下、図 9 ~ 11 に基づいて、実施形態 4 のショート回路の動作を説明する。ただし、図 10 は液晶パネルの一部領域を拡大した図であり、図中の「+」、「-」が極性を示し、それぞれが RGB の何れかの画素（副画素、サブピクセル）に対応する。また、図 10 に示す $G1$ ライン、 $G2$ ライン、 $G3$ ライン、・・・のスキヤンタイミングは、図 11 に示す $G1$ 期間、 $G2$ 期間、 $G3$ 期間、・・・、すなわち各 1 水平周期（1 H 周期）に対応する。

【 0 1 4 0 】

実施形態 4 のショート回路においても、出力制御信号 1 は 4 水平周期（4 H 周期）毎に前記入力 $SW701$ を OFF する為に、 Low となる。この Low となるのは、 $G1$ 期間、 $G5$ 期間、 $G9$ 期間、・・・において出力 $Y4M+1$ および出力 $Y4M+2$ がグランドショートする期間 $T1$ と VCC ショートする期間 $T2$ とである。また、出力制御信号 2 は 4 水平周期（4 H 周期）毎に、入力 $SW701$ を OFF する為に Low となる。この Low となるのは、 $G3$ 期間、 $G7$ 期間、 $G11$ 期間、・・・において、出力 $Y4M+3$ および出力 $Y4M+4$ がグランドショートする期間 $T1$ と VCC ショートする期間 $T2$ とである。

【 0 1 4 1 】

尚、グラウンドショート信号 1 と 2、VCC ショート信号 1 ~ 4 に関しては、実施形態 1 における VCC ショート信号 1 ~ 4 の制御方法と同様である。

【 0 1 4 2 】

すなわち、実施形態 4 のショート回路においては、時刻 $t_0 \sim t_2$ 及び時刻 $t_8 \sim t_{10}$ の期間においては、極性反転が行われない入力ショート回路の入力 X_{4M+3} および入力 X_{4M+4} と、出力 Y_{4M+3} および出力 Y_{4M+4} とを電氣的に接続する入力 SW_{701} は ON 状態のままとなる。従って、出力 Y_{4M+3} および出力 Y_{4M+4} とからはそれぞれデコード回路から入力される階調電圧が出力されることとなり、液晶アレイ内のデータ線の電圧レベルを階調電圧に保持することが可能となる。

【 0 1 4 3 】

同様にして、時刻 $t_4 \sim t_6$ 及び時刻 $t_{12} \sim t_{14}$ の期間においては、極性反転が行われない入力ショート回路の入力 X_{4M+1} および入力 X_{4M+2} と、出力 Y_{4M+1} および出力 Y_{4M+2} とを電氣的に接続する入力 SW_{701} は ON 状態のままとなる。従って、出力 Y_{4M+1} および出力 Y_{4M+2} とからはそれぞれデコード回路から入力される階調電圧が出力されることとなり、液晶アレイ内のデータ線の電圧レベルを階調電圧に保持することが可能となる。

【 0 1 4 4 】

以上の特徴を持つことで、ショート期間においてショート動作を行うカラムの出力変動の影響（カップリングの影響）を受けて、ショート動作を行わないカラムの出力ドレイン線が変動する事を抑制する事が可能である。その結果、ショート動作を行わないカラムの出力ドレイン線の変動分の電力供給を抑える事が可能となり、さらなる画質劣化の抑制及び低電力化が可能となる。

【 0 1 4 5 】

さらには、実施形態 1 と同様に、各カラムでは極性が反転する時のみ、ショート動作を実現することが可能となるので、実施形態 1 の液晶表示装置と同様の効果も得られる。

【 0 1 4 6 】

なお、実施形態 4 の液晶表示装置は、ショート回路の入力 X_1 、 X_2 、 $\dots$ 、 X_m （ただし、 m は自然数）と、出力 Y_1 、 Y_2 、 $\dots$ 、 Y_m とを接続する入力 SW_{701} が、出力制御信号 1 で制御される入力 SW_{701} と、出力制御信号 2 で制御される入力 SW_{701} とからなる構成が異なるのみとなる。従って、前述する実施形態 2 の極性反転ライン分散型 1×2 ドット反転駆動、及び実施形態 3 の極性反転ライン分散型 1×8 ドット反転駆動にも適用可能であり、この場合においても、前述する効果を得ることができる。

【 0 1 4 7 】

以上、本発明者によってなされた発明を、前記発明の実施形態に基づき具体的に説明したが、本発明は、前記発明の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

【符号の説明】

【 0 1 4 8 】

101 ... 画素アレイ、102 ... データドライバ、103 ... ゲートドライバ
 104 ... ドレイン線、105 ... ゲート線、106 ... コモン線、107 ... 画素
 108 ... TFT、109 ... 液晶容量、200 ... MPU（マイクロ・プロセッサ・ユニット）
 201 ... システムインターフェースブロック、202 ... 制御レジスタブロック
 203 ... 表示メモリブロック、204 ... 階調電圧生成回路ブロック
 205 ... デコード回路ブロック、206 ... ショート回路ブロック、207 ... 電源回路
 208 ... 入力 SW、209 ... GND ショート SW、210 ... VCC ショート SW
 211 ... - VCC ショート SW、701 ... 入力 SW

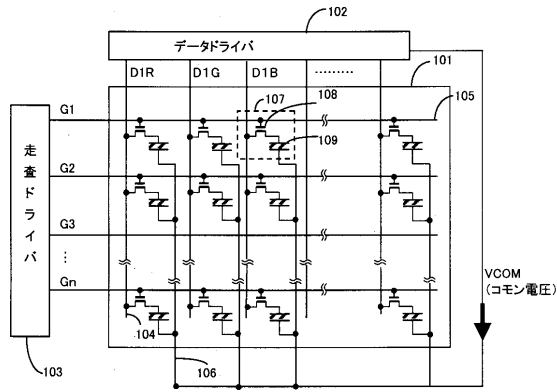
10

20

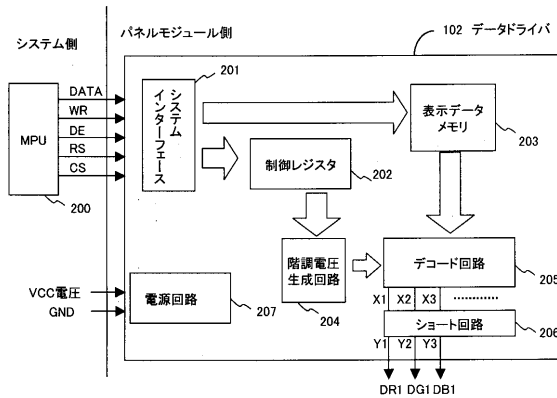
30

40

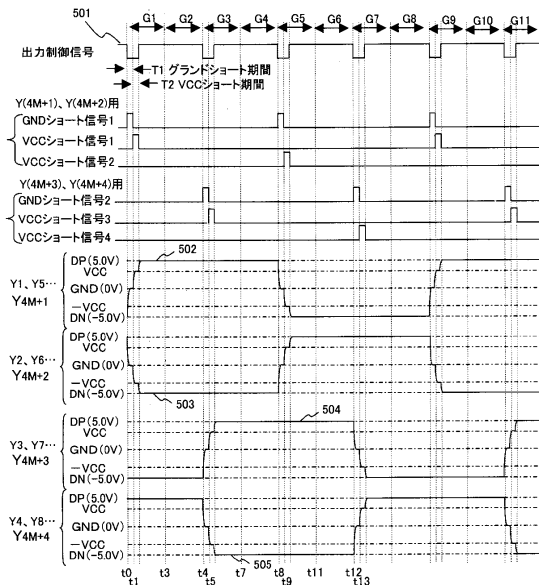
【図 1】



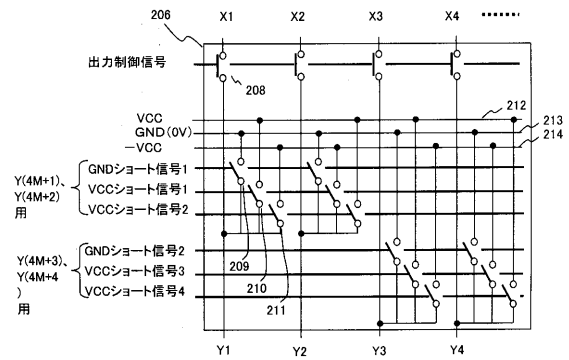
【図 2】



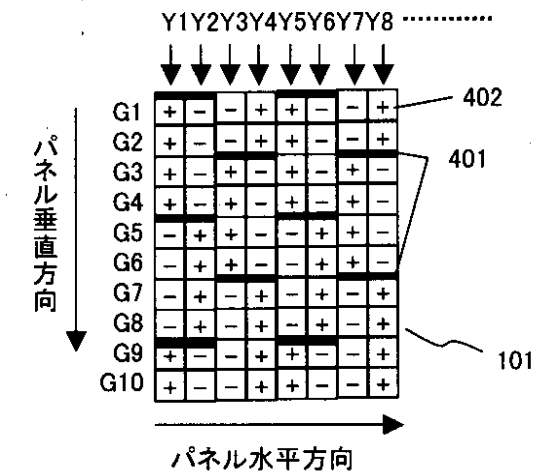
【図 5】



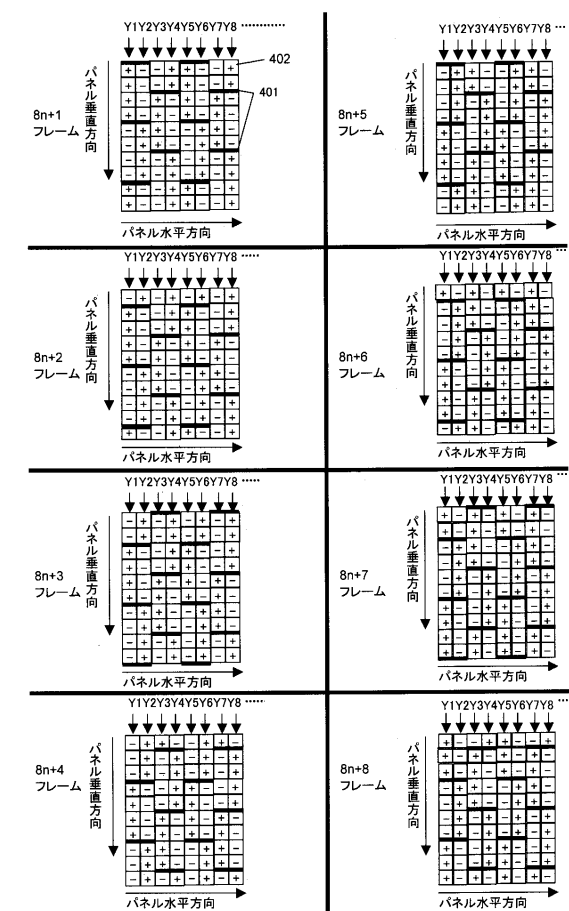
【図 3】



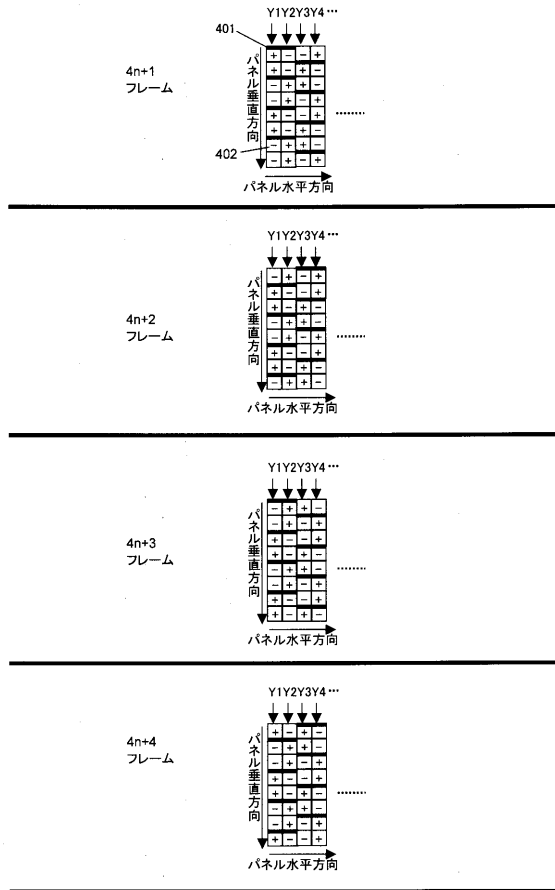
【図 4】



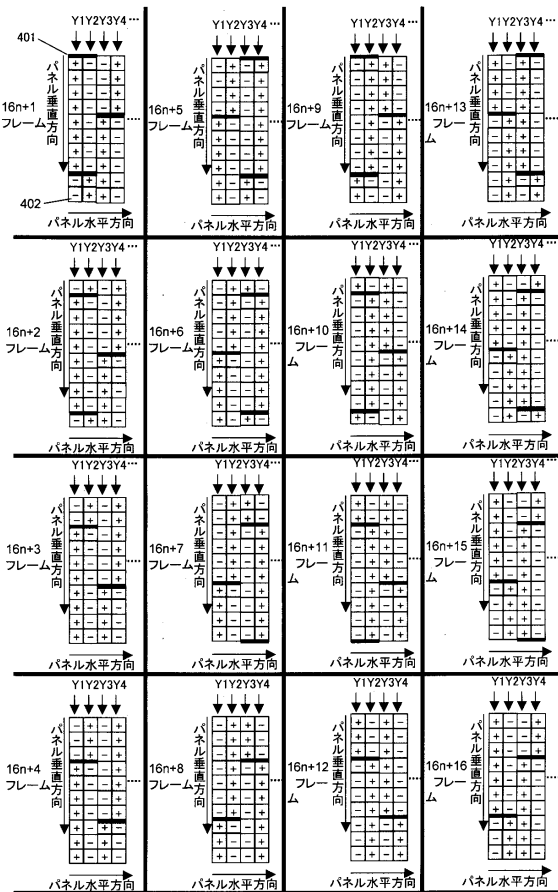
【図 6】



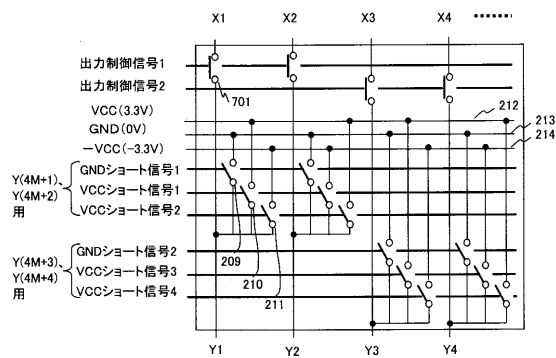
【図 7】



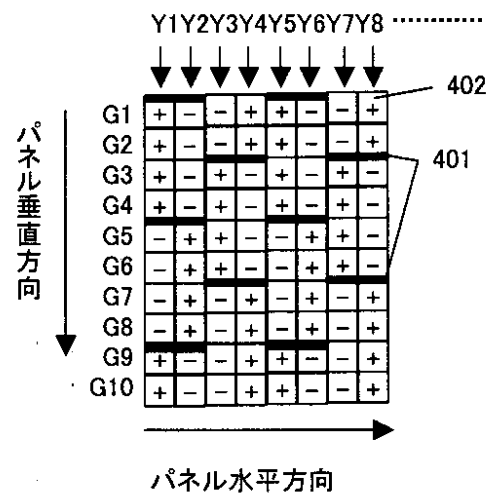
【図 8】



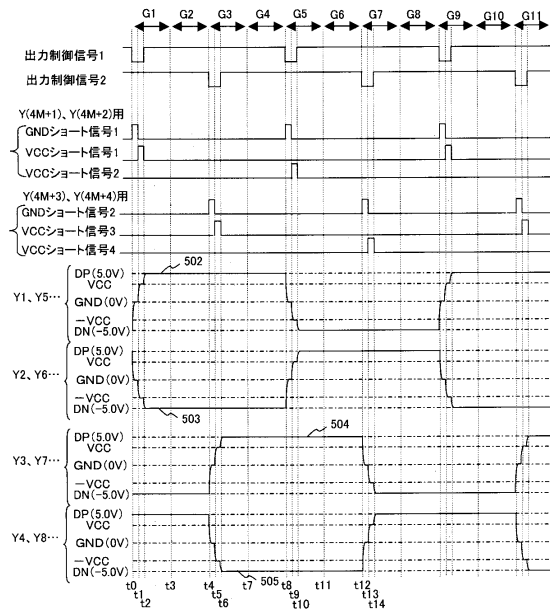
【図 9】



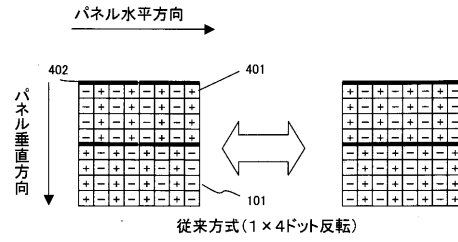
【図 10】



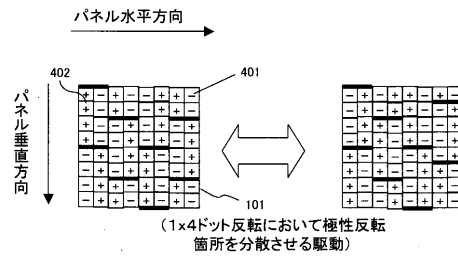
【 図 1 1 】



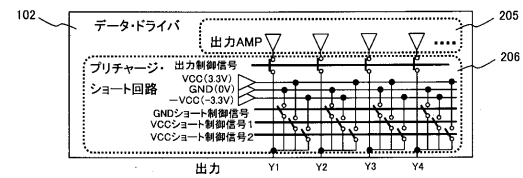
【 図 1 2 】



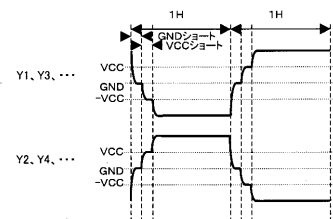
【 図 1 3 】



【 図 1 4 】



【 ㊦ 1 5 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 A
G 0 9 G 3/20 6 1 1 E
G 0 9 G 3/20 6 3 1 A
G 0 2 F 1/133 5 2 5
G 0 2 F 1/133 5 5 0

(72)発明者 笠井 成彦
東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内
(72)発明者 萬場 則夫
東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内
(72)発明者 後藤 充
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内
(72)発明者 松元 秀一郎
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

審査官 田邊 英治

(56)参考文献 特開 2 0 0 5 - 2 1 5 3 1 7 (J P , A)
特開 2 0 0 7 - 0 6 5 4 5 4 (J P , A)
特開 2 0 0 7 - 1 9 9 2 0 3 (J P , A)
特開 2 0 0 8 - 1 1 6 5 5 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5629439B2	公开(公告)日	2014-11-19
申请号	JP2009195289	申请日	2009-08-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	有限公司日本显示器 松下液晶显示器有限公司		
[标]发明人	高田直樹 笠井成彦 萬場則夫 後藤充 松元秀一郎		
发明人	高田 直樹 笠井 成彦 萬場 則夫 後藤 充 松元 秀一郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/0248 G09G2310/0297 G09G2320/0247 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.623.R G09G3/20.621.B G09G3/20.623.C G09G3/20.623.D G09G3/20.611.A G09G3/20.611.E G09G3/20.631.A G02F1/133.525 G02F1/133.550		
F-TERM分类号	2H193/ZB02 2H193/ZB03 2H193/ZC05 2H193/ZC07 2H193/ZC08 2H193/ZC14 2H193/ZC20 2H193/ZD32 2H193/ZF36 5C006/AA22 5C006/AC07 5C006/AC21 5C006/AC27 5C006/AC28 5C006/AF01 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF59 5C006/AF69 5C006/BB15 5C006/BC05 5C006/BC11 5C006/BC16 5C006/BF02 5C006/FA23 5C006/FA36 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD10 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	小林 保		
其他公开文献	JP2011048057A		
外部链接	Espacenet		

摘要(译)

(经修改) 要解决的问题提供一种使用极性反转线分散型点反转驱动方法的液晶显示装置，用于抑制图像质量劣化并具有低功率效果。一种数据驱动电路，用于向像素提供对应于显示数据的灰度电压;数据驱动器，用于驱动数据驱动器为电路的每个输出提供的短路，并具有将每个输出连接到不同于输出电压的预充电电压的开关元件;提供用于选择线上像素的扫描信号的扫描电路 - 电路，其中对于至少两个像素行中的每一个，反转灰度电压的极性。 点域

$$F(u,v,w)=\sum_{t=0}^{15}e^{-j\frac{2\pi}{16}wt}\sum_{y=0}^{15}e^{-j\frac{2\pi}{16}vy}\sum_{x=0}^{15}e^{-j\frac{2\pi}{16}ux}n(x,y,t)$$