

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5562695号
(P5562695)

(45) 発行日 平成26年7月30日 (2014. 7. 30)

(24) 登録日 平成26年6月20日 (2014. 6. 20)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 623D

G09G 3/20 623C

G09G 3/20 622D

G09G 3/20 641P

請求項の数 7 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2010-67062 (P2010-67062)
 (22) 出願日 平成22年3月23日 (2010. 3. 23)
 (65) 公開番号 特開2011-197584 (P2011-197584A)
 (43) 公開日 平成23年10月6日 (2011. 10. 6)
 審査請求日 平成25年2月14日 (2013. 2. 14)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 大石 純久
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 (72) 発明者 大輪 美沙
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

画素電極と該画素電極にソースが接続されている薄膜トランジスタとを含む複数の画素と、

前記複数の画素の各々に含まれる前記薄膜トランジスタのドレインが接続された映像信号線と、

各画素に含まれる前記薄膜トランジスタのゲートへとオン電圧を順次出力することにより、該各画素を所定の順番でオンする出力手段と、

前記画素ごとに、該画素がオンしているオン期間中、該画素の階調値に基づいて定まる該画素の映像信号電圧を、前記映像信号線へと出力する映像信号出力手段と、

を含む液晶表示装置であって、

前記映像信号出力手段は、

前記画素のオン期間のうちの第1期間では、該画素の階調値のみに基づいて定まる電圧を有する信号電圧であって、該画素の階調値が最小階調を表す場合は所定の共通電圧を有し、該画素の階調値が最小階調より高い階調を表す場合は前記共通電圧より高い電圧を有する前記信号電圧である基準映像信号電圧を該画素の映像信号電圧として出力し、

前記液晶表示装置は、

前記画素のオン期間のうちの前記第1期間より前の第2期間において、前記映像信号出力手段に、該画素の階調値と該画素の一つ前にオンされる画素の階調値とに基づいて定まる電圧を有する信号電圧であって、前記画素の階調値が該画素の一つ前にオンされる画素

10

20

の階調値より大きい場合には、該画素の階調値のみに基づいて定まる基準映像信号電圧より高い電圧を有し、小さい場合には、該画素の階調値のみに基づいて定まる基準映像信号より低い電圧を有する前記信号電圧である補正映像信号電圧を、該画素の映像信号電圧として出力させる制御手段と、をさらに含み、
前記出力手段は、

前記画素に含まれる前記薄膜トランジスタをオンするためのオン電圧の出力を、該画素の一つ前にオンされる画素の映像信号電圧を前記映像信号出力手段が出力しているときに、開始し、

前記映像信号出力手段は、

前記画素の階調値が最小階調を表す階調値であり且つ該画素の一つ前にオンされる画素の階調値が最小階調より高い階調を表す階調値である場合、該画素のオン期間のうちの前記第2期間において、該画素の映像信号電圧として、前記共通電圧に対する高低が、該画素の一つ前にオンされる画素の基準映像信号電圧とは反対である電圧を有する前記補正映像信号電圧を出力すること、

を特徴とする液晶表示装置。

【請求項2】

前記映像信号出力手段は、

前記画素の階調値が最大階調を表す場合、該画素のオン期間のうちの前記第2期間において、最大階調に対応する電圧を超える電圧を有する前記補正映像信号電圧を、該画素の映像信号電圧として出力すること、

を特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記制御手段は、

前記画素のオン期間のうちの前記第2期間において前記映像信号出力手段に出力させる補正映像信号電圧を、該画素の階調値と該画素の一つ前にオンされる画素の階調値との組み合わせと、該画素の位置と、に応じて変化させること、

を特徴とする請求項1又は2に記載の液晶表示装置。

【請求項4】

前記画素の位置に応じて、該画素のオン期間のうちの前記第2期間の長さを変化させる手段をさらに含むこと、

を特徴とする請求項1乃至3のいずれかに記載の液晶表示装置。

【請求項5】

温度を検知する温度検知手段をさらに含み、

前記制御手段は、

前記画素のオン期間のうちの前記第2期間において前記映像信号出力手段に出力させる補正映像信号電圧を、該画素の階調値と該画素の一つ前にオンされる画素の階調値との組み合わせと、前記温度検知手段により検知された温度と、に応じて変化させること、

を特徴とする請求項1乃至4のいずれかに記載の液晶表示装置。

【請求項6】

前記制御手段は、

前記複数の画素のうち最初にオンされる画素、のオン期間のうちの前記第2期間において前記映像信号出力手段に出力させる補正映像信号電圧を、該画素の階調値と最小階調を表す階調値との組み合わせに応じて変化させること、

を特徴とする請求項1乃至5のいずれかに記載の液晶表示装置。

【請求項7】

前記映像信号出力手段は、

前記複数の画素のうち最初にオンされる画素、の映像信号電圧を、他の画素の映像信号電圧よりも長い期間、出力すること、

を特徴とする請求項1乃至6のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置を高いリフレッシュレートで駆動させる場合、画素電極に映像信号を入力することができる時間が短いため、画素電極の電位が所望の電位に達せず、その結果として、画質が劣化するという問題が知られている。

【0003】

そこで、下記特許文献1では、以下の対処により、画質の劣化が抑制されるよう図られている。すなわち、一水平期間（あるいは1H期間）において、階調値に相当する階調電圧に予め定められた電圧を付加した電圧が映像信号として画素電極に入力された後、階調電圧自身が映像信号として画素電極に入力されるようになっている。所謂、プリチャージと呼ばれる駆動方法である。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-209890号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0005】

しかしながら、近年では、倍速（120Hz）や4倍速（240Hz）といった、高速で液晶を駆動させる液晶表示装置が登場している。このような液晶表示装置では、1水平期間が短いため、画素電極への書き込み時間が短くなり、より効率よくプリチャージを行う必要がある。

【0006】

本発明の目的は、液晶表示装置を高いリフレッシュレートで駆動させる場合の画質の劣化をより確実に抑制することである。

【課題を解決するための手段】

【0007】

30

上記課題を解決するために本発明に係る液晶表示装置は、画素電極と該画素電極にソースが接続されている薄膜トランジスタとを含む複数の画素と、前記複数の画素の各々に含まれる前記薄膜トランジスタのドレインが接続された映像信号線と、前記画素ごとに、所定の順番で、該画素に含まれる前記薄膜トランジスタをオンするためのオン電圧を、該薄膜トランジスタのゲートへと出力する出力手段と、前記画素ごとに、該画素の映像信号電圧を、前記所定の順番で、前記映像信号線へと出力する映像信号出力手段と、を含む液晶表示装置であって、前記映像信号出力手段は、前記画素の映像信号電圧を出力する期間のうちの第1期間では、該画素の階調値に対応する電圧を有する基準映像信号電圧を該画素の映像信号電圧として出力し、前記期間のうちの前記第1期間より前の第2期間では、前記基準映像信号電圧とは異なる電圧を有する補正映像信号電圧を該画素の映像信号電圧として出力し、前記液晶表示装置は、前記画素の基準映像信号電圧と前記画素の補正映像信号電圧との関係を、該画素の階調値と該画素より前の順番の画素の階調値との組み合わせに応じて変化させる制御手段をさらに含むことを特徴とする。

40

【0008】

本発明の一態様では、前記出力手段は、前記画素に含まれる前記薄膜トランジスタをオンするためのオン電圧の出力を、該画素より前の順番の画素の映像信号電圧を前記映像信号出力手段が出力しているときに、開始してもよい。

【0009】

また、本発明の一態様では、前記画素の階調値を補正することにより、該画素の補正階調値を取得する補正手段をさらに含み、前記映像信号出力手段は、前記画素の補正階調値

50

に対応する電圧を有する前記補正映像信号電圧を、該画素の映像信号電圧として出力し、前記制御手段は、前記補正手段が前記画素の階調値を補正する際の補正量を、該画素の階調値と該画素より前の順番の画素の階調値とに基づいて、制御してもよい。

【0010】

また、本発明の一態様では、前記制御手段は、前記画素の基準映像信号電圧と前記画素の補正映像信号電圧との関係を、該画素の階調値と該画素より前の順番の画素の階調値との組み合わせと、該画素の位置と、に応じて変化させるようにしてもよい。

【0011】

また、本発明の一態様では、前記画素の階調値を補正することにより、該画素の補正階調値を取得する補正手段と、画素ごとに、該画素の階調値に関する条件と、該画素より前の画素の階調値に関する条件と、補正量制御情報とを対応付けてなるテーブルを関連付けて記憶している記憶手段と、をさらに含む。

10

【0012】

前記画素の補正階調値に対応する電圧を有する前記補正映像信号電圧を、該画素の映像信号電圧として出力し、前記制御手段は、前記補正手段が前記画素の階調値を補正する際の補正量を、該画素に対応する前記テーブルにおいて該画素の階調値が満足する条件と該画素より前の順番の画素の階調値が満足する条件とに対応付けられた前記補正量制御情報に基づいて、決定するようにしてもよい。

【0013】

また、本発明の一態様では、前記映像信号出力手段が前記画素の映像信号電圧を出力する場合の前記第2期間の長さを、該画素の位置に応じて変化させてもよい。

20

【0014】

また、本発明の一態様では、前記映像信号出力手段は、前記画素の階調値が所定条件を満足する場合、最大階調に対応する電圧を超える電圧を有する前記補正映像信号電圧を、該画素の映像信号電圧として出力してもよい。

【0015】

また、本発明の一態様では、前記制御手段は、前記画素の階調値を、該画素の階調値と該画素より前の順番の画素の階調値との組み合わせに応じた補正量で補正することにより、該画素の補正階調値を取得する補正手段を含み、前記映像信号出力手段は、前記画素の補正階調値に対応する電圧を有する前記補正映像信号電圧を、該画素の映像信号電圧として出力し、前記補正手段は、前記画素の階調値が前記所定条件を満足する場合に、最大階調よりも高い階調を表す階調値を、該画素の補正階調値として取得してもよい。

30

【0016】

また、本発明の一態様では、前記映像信号出力手段は、前記画素の階調値が所定条件を満足する場合に、該画素の映像信号電圧として、該画素より前の順番の画素の基準映像信号電圧とは異なる極性の電圧を有する前記補正映像信号電圧を出力してもよい。

【0017】

また、本発明の一態様では、前記制御手段は、前記画素の階調値を、該画素の階調値と該画素より前の順番の画素の階調値との組み合わせに応じた補正量で補正することにより、該画素の補正階調値を取得する補正手段を含み、前記映像信号出力手段は、前記画素の補正階調値に対応する電圧を有する前記補正映像信号電圧を、該画素の映像信号電圧として出力し、前記補正手段は、前記画素の階調値が前記所定条件を満足する場合に、該画素より前の順番の画素の階調値と正負が異なる補正階調値を取得してもよい。

40

【0018】

また、本発明の一態様では、温度を検知する温度検知手段をさらに含み、前記制御手段は、前記画素の基準映像信号電圧と前記画素の補正映像信号電圧との関係を、該画素の階調値と該画素より前の順番の画素の階調値との組み合わせと、前記温度検知手段により検知された温度と、に応じて変化させてもよい。

【0019】

また、本発明の一態様では、前記制御手段は、最初の画素の基準映像信号電圧と該画素

50

の補正映像信号電圧との関係を、該画素の階調値と最小階調を表す階調値との組み合わせに応じて変化させてもよい。

【0020】

また、本発明の一態様では、前記映像信号出力手段は、最初の画素の映像信号電圧を、他の画素の映像信号電圧よりも長い期間、出力してもよい。

【図面の簡単な説明】

【0021】

【図1】本発明の実施形態に係る液晶表示装置の構成図である。

【図2】液晶パネルについて説明するための図である。

【図3】画素について説明するための図である。

10

【図4】階調値と階調信号電圧について説明するための図である。

【図5】走査線駆動部の動作とデータ線駆動部の動作とを説明するための図である。

【図6】走査線駆動部の構成を示す図である。

【図7A】映像信号出力期間における映像信号電圧及び画素電極の電位の推移を示す図である。

【図7B】映像信号出力期間における映像信号電圧及び画素電極の電位の推移を示す図である。

【図8】制御部の具体的構成を示す図である。

【図9】LUTの記憶内容の一例を示す図である。

【図10】複数あるLUTの選択方法の具体的構成を示す図である。

20

【図11】最大階調補正部を含む制御部の具体的構成を示す図である。

【図12】最小階調補正部を含む制御部の具体的構成を示す図である。

【図13】最大、最小階調補正を含む階調値と階調信号電圧の関係を示す図である。

【図14】液晶表示装置の構成図である。

【図15】テーブルの一例を示す図である。

【発明を実施するための形態】

【0022】

以下、本発明の実施形態の例について図面に基づき詳細に説明する。

【0023】

[液晶表示装置]

30

図1は、本発明の実施形態に係る液晶表示装置2の構成図である。同図に示すように、液晶表示装置2は、制御部4と、データ線駆動部6と、走査線駆動部8と、データ線駆動部6に接続された複数のデータ線DLと走査線駆動部8に接続された複数の走査線GLとを含む液晶パネル10と、を含む。また、液晶表示装置2は、図1では図示されていないが、バックライトやラインメモリ等の記憶手段も含む。

【0024】

液晶表示装置2は、例えば、表示モードとしてIPS(In-Plane Switching)モードを採用した液晶ディスプレイとして実現される。本実施形態の場合、液晶表示装置2は、複数のリフレッシュレートのうちからユーザにより選択されたリフレッシュレートで映像を表示する。

40

【0025】

[液晶パネル]

図2は、液晶パネル10について説明するための図である。液晶パネル10は、第1基板と、第2の基板と、両基板の間に封入された液晶層と、を含む。

【0026】

第1の基板には、垂直方向に伸びる複数のデータ線DLと、水平方向に伸びる複数の走査線GLと、が配置されている(図2参照)。以下、左から数えてN(N=1, 2, . . .)本目のデータ線DLのことをデータ線DL_Nと記載し、上から数えてN(N=1, 2, . . .)本目の走査線GLのことを走査線GL_Nと記載する。

【0027】

50

また、第1の基板には、薄膜トランジスタ12（以下、TFT12と記載する）、TFT12のソースに接続された画素電極14、及び共通電極16で構成される画素がマトリクス状に配置される。なお、液晶表示装置2の表示モードが例えばVA（Vartical Alignment）モードである場合、各共通電極16は、第2の基板に配置されることになる。

【0028】

[画素]

図3は画素について説明するための図であり、第N列（図2参照）に位置し且つ第N行（図2参照）に位置する画素を示す図である。同図に示すように、この画素は、第N列に位置しているので、TFT12のドレインは、左から数えてN本目のデータ線 DL_N に接続される。また、この画素は、第N行に位置しているので、TFT12のゲートは、上から数えてN本目の走査線 GL_N に接続される。ここで、 V_G は、TFT12のゲートの電位を示す。また、 V_D は、TFT12のドレインの電位を示す。また、 V_S は、TFT12のソースの電位を示す。 V_S は、画素電極14の電位でもある。また、 V_{COM} は共通電極16の電位を示す。

【0029】

[制御部]

制御部4（図1参照）は、例えばマイクロコンピュータやマイクロプロセッサなどの制御回路であり、データ線駆動部6や走査線駆動部8を制御する。具体的には、制御部4は、データ線駆動部6や走査線駆動部8を制御するための制御信号を生成し、データ線駆動部6や走査線駆動部8に出力する。制御部4には、各フレームの映像データが順次入力される。映像データは、各画素の階調値を含むデータである。階調値は階調を表す数値データであり、本実施形態の場合、階調値は、0から255までの整数値になる。階調値が255の場合、当該階調値は最大階調を表す。また、階調値が0である場合、当該階調値は最小階調を表す。

【0030】

[階調信号電圧]

図4は階調値と階調信号電圧について説明するための図である。図4に示されるように、本実施形態では、1つの映像データに対して、2つの階調信号電圧を持つ。1映像データに対する2つの階調信号電圧は、 V_{CEN} を中心として、画素電極14の電位 V_S の極性を反転させるためのものである。具体的には、 V_S は、 V_{CEN} より高い電圧の場合にプラスの極性の電圧となり、 V_{CEN} より低い電圧の場合にマイナスの極性の電圧となる。

【0031】

[走査線駆動部とデータ線駆動部]

走査線駆動部8（出力手段）は、制御信号に従って、各走査線 GL に所定時間ずつオン電圧を出力する。具体的には、走査線駆動部8は、上から順番に（走査線 GL_1 から順番に）オン電圧を出力する。その結果、上方の画素行から順番に、該画素行に含まれる画素（正確には、該画素行に含まれる画素のTFT12のゲート）へのオン電圧の出力が行われる。

【0032】

図5は、走査線駆動部8の動作とデータ線駆動部6の動作とを説明するための図である。時間の経過を示す時間軸の下方に、走査線 GL ごとに該走査線 GL にオン電圧が出力される期間が示されている。同図に示すように、各走査線 GL には、上から順番に、長さ $2 \times T$ の期間（以下、オン電圧出力期間と記載する）、オン電圧が出力される。

【0033】

上述のように、上から順番にオン電圧が出力されるため、上から数えてN本目の走査線 GL_N には、N番目にオン電圧が出力されることになる。

【0034】

本実施形態の場合、走査線駆動部8は、複数の走査線駆動ICを含む。図6は、本実施形態における走査線駆動部8の構成を示す図である。同図に示すように、走査線駆動部8

は、上から順番に、走査線駆動 IC8a と、走査線駆動 IC8a に接続された走査線駆動 IC8b と、走査線駆動 IC8b に接続された走査線駆動 IC8c と、を含む。

【0035】

同図に示すように、走査線駆動 IC8a, 8b, 8c の各々には、複数の走査線 GL が接続されている。各走査線駆動 IC は、自身に接続された走査線 GL にオン電圧を出力することになる。具体的には、走査線駆動 IC8a が、オン電圧を各走査線 GL に出力するとともにこのオン電圧を走査線駆動 IC8b に出力する。また、走査線駆動 IC8b が、走査線駆動 IC8a から出力されたオン電圧を各走査線 GL に出力するとともにこのオン電圧を走査線駆動 IC8c に出力する。また、走査線駆動 IC8c が、走査線駆動 IC8b から出力されたオン電圧を各走査線 GL に出力する。

10

【0036】

[データ線駆動部]

データ線駆動部 6 は、制御部 4 から出力される制御信号に従って、各データ線 DL への映像信号電圧の出力を、所定時間 T ずつ繰り返し実行する。

【0037】

具体的には、データ線駆動部 6 は、データ線 DL_N (映像信号線) に、第 N 列に位置する画素 (正確には、データ線 DL_N に TFT12 のドレインが接続された画素) の階調値に基づく電圧を、該画素の映像信号電圧として出力する。ここにおいて、データ線駆動部 6 は、第 N 行に位置する画素の映像信号電圧を、N 回目にデータ線 DL_N へと出力する。一つのデータ線 DL_N に着目した場合、結果的に、データ線駆動部 6 (映像信号出力手段) は、第 N 列上に位置する画素ごとに、該画素の映像信号電圧を、順次データ線 DL_N へと出力することになる。

20

【0038】

以下、データ線駆動部 6 が一回の映像信号電圧の出力を行う長さ T の期間のことを映像信号出力期間と呼ぶ。

【0039】

映像信号電圧の出力は、走査線駆動部 8 が各走査線 GL にオン電圧を出力するタイミングにあわせて行われる。すなわち、走査線駆動部 8 が走査線 GL_N にオン電圧を出力しているときに、第 N 行に位置する画素 (正確には、走査線 GL_N に TFT12 のゲートが接続された画素) の映像信号電圧の出力が行われる。言い換えれば、第 N 行に位置する画素の映像信号電圧の出力が行われているときに、走査線 GL_N へのオン電圧の出力が行われる。図 5 において時間軸の上方に、行ごとに、該行に位置する画素の映像信号電圧が出力される期間が示されている。ここで、 t_N は、第 N 行に位置する画素の映像信号電圧の出力が開始されたタイミングを示し、 t_{N-1} は、第 N 行に位置する画素の映像信号電圧の出力が終了したタイミングを示す。上述のように、第 N 行に位置する画素の映像信号電圧の出力が行われているときに、走査線 GL_N へのオン電圧の出力が行われている。

30

【0040】

また、図 5 を見てもわかるとおり、走査線 GL_N へのオン電圧の出力が、第 N-1 行に位置する画素の映像信号電圧の出力と同時に開始されるので、走査線 GL_N へのオン電圧の出力が、第 N 行より前の行に位置する画素の映像信号電圧の出力が行われているときにも行われている (図 5 参照)。これは、以下の理由からである。

40

【0041】

走査線駆動部 8 は、図 6 に示す構成を有するので、IC 同士を接続する配線自身の抵抗により、下方に行くにしたがって配線抵抗値が増加する。そのため、下方に行くにしたがって V_G の上昇するスピードが遅くなり、その結果として、下方に行くにしたがって TFT12 がオン状態になるタイミングが遅れてしまう。そこで、リフレッシュレートが高くても第 N 行に位置する画素の映像信号電圧の出力が行われているときに確実に第 N 行に位置する画素の TFT12 がオン状態になるよう、走査線 GL_N へのオン電圧の出力が、第 N 行より前の行に位置する画素の映像信号電圧の出力と同時に開始されるようになっている。

50

【0042】

[リフレッシュレートに関して]

ところで、リフレッシュレートが高い場合（例えば、240ヘルツ）、映像信号出力期間の長さも短くなる。その結果、映像信号電圧がTFT12のドレインに入力される時間も短くなるため、TFT12のドレイン電圧 V_D と画素電極14の電位 V_S が、階調値に対応する電位になる前に映像信号出力期間が終了してしまい、画質が劣化するという問題がある。

【0043】

そこで、この液晶表示装置2には、TFT12のドレイン電圧 V_D がなるべく早期に目標とする電位になり、画素電極14の電位 V_S も目標とする電位に到達するよう、以下の工夫が施されている。

10

【0044】

すなわち、この液晶表示装置2では、データ線駆動部6が、映像信号電圧として階調値に対応する電圧を有する階調信号電圧（基準映像信号電圧）を映像信号出力期間の全期間にわたって出力するのではなく、TFT12のドレイン電圧 V_D が変化するスピードを上げるためにまず階調信号電圧とは異なる電圧を有する補正階調信号電圧を映像信号電圧としてデータ線駆動部6から出力し、その後、階調信号電圧を映像信号電圧として出力するようになっている。

【0045】

図7Aは上記の工夫を説明するための図であり、映像信号出力期間におけるデータ線駆動部6から出力される映像信号電圧 V_K 、TFT12のドレイン電圧 V_D 及び画素電極14の電位 V_S の推移を示す図である。ここでは、第N行に位置し且つ第N列に位置する画素（以下、注目画素と呼ぶ）に注目する。 V_S は、注目画素の画素電極14の電位を示す。また、 V_D は、注目画素のTFT12のドレインに入力された電圧を示す。

20

【0046】

また、 t_N から t_{N-1} までの期間は、データ線駆動部6から注目画素の映像信号電圧 V_K の出力が行われた映像信号出力期間を示す。すなわち、 t_N から t_{N-1} までの期間は、第N行に位置する画素の映像信号電圧 V_K の出力が行われた映像信号出力期間を示す。ここで、 t_N から t_X までの期間は、注目画素の映像信号電圧 V_K として上記補正階調信号電圧がデータ線DL_Nに出力された期間（第2期間）を示し、 t_X から t_{N-1} までの期間は、注目画素の映像信号電圧 V_K として上記階調信号電圧がデータ線DL_Nに出力された期間（第1期間）を示す。

30

【0047】

また、 t_N までの期間は、データ線駆動部6から注目画素の一つ上の画素の映像信号電圧 V_K の出力が行われた映像信号出力期間の一部を示す。すなわち、 t_N までの期間は、第N-1行に位置する画素の映像信号電圧 V_K の出力が行われた映像信号出力期間の一部を示す。

【0048】

結果的に、 t_N から t_X までの期間における V_K の値 $V + \Delta V$ は上記補正階調信号電圧の電位を示し、 t_X から t_{N-1} までの期間における V_K の値 V は上記階調信号電圧の電位を示すことになる。また、 ΔV は、階調信号電圧と補正階調信号電圧との電位差を示すことになる。また、 t_N より前の期間における V_K の値 V_β は、注目画素の一つ上の画素の映像信号電圧 V_K の電位を示すことになる。より正確には、 V_β は、注目画素の一つ上の画素の映像信号電圧 V_K として出力された階調信号電圧の電位を示すことになる。

40

【0049】

また、 V_α は、映像信号出力期間の開始時 t_N における V_S の値を示す。

【0050】

図7Aに示すように、この液晶表示装置2では、 t_N から t_X までの期間は階調信号電圧とは異なる補正階調信号電圧が出力される。そのため、映像信号出力期間が終了する t_{N-1} までに V_D が目標とする階調信号電圧の電位 V に達し、 V_S も目標とする電位 V に

50

達している（図 7 A 参照）。

【0051】

ところで、 ΔV が一定である場合を想定する。この場合、画質の劣化を期待するほど抑制できない場合がある。以下、この点について説明する。

【0052】

注目画素の TFT 12 のドレイン電圧 V_D は、 t_N までは注目画素の一つ上の画素の映像信号電圧の影響を受ける。そのため、映像信号出力期間の開始時 t_N における V_D の値 V_β は、注目画素の一つ上の画素の階調信号電圧によって変わる。図 7 B は、この点について説明するための図であり、図 7 A と同様に映像信号出力期間における映像信号電圧 V_K 、TFT 12 のドレイン電圧 V_D 及び画素電極 14 の電位 V_S の推移を示す図である。10

【0053】

図 7 B では、注目画素の一つ上の画素の映像信号電圧 V_K の電位 V_β が図 7 A よりも低い。そのため、像信号出力期間の開始時 t_N における V_D の値 V_β が図 7 A よりも低くなり、その結果、 V_α も図 7 A よりも低くなる。

【0054】

そうすると、 ΔV が一定である場合、図 7 A の場合に映像信号出力期間が終了する t_{N-1} までに V_D が目標とする電位 V に達し、 V_S も目標に達しても、図 7 B の場合には t_{N-1} までに V_D が電位 V に達せず、 V_S も達しない可能性がある。つまり、 ΔV が一定である場合、注目画素の一つ上の画素の階調信号電圧と注目画素自身の階調信号電圧との組み合わせによっては t_{N-1} までに V_S が目標とする電位 V に達しない可能性がある。20

【0055】

この点、この液晶表示装置 2 では、制御部 4 が以下に説明するように動作することにより、画質の劣化が確実に抑制されるよう図られている。以下、この点について説明する。

【0056】

[制御部の詳細]

図 8 は、制御部 4（制御手段）の具体的構成を示す図である。同図に示すように、制御部 4 は、階調電圧信号生成部 20 と、比較部 22 と、補正部 24 と、補正階調電圧信号生成部 26 と、を含む。30

【0057】

この液晶表示装置 2 では、映像データに含まれる各画素が所定の順序で選択される。本実施形態の場合、各画素が順次走査方式に応じた順序で選択される。そして、画素が選択されるごとに、階調電圧信号生成部 20、比較部 22、補正部 24、及び補正階調電圧信号生成部 26 が、以下に説明するように動作する。なお、以下、選択された画素のことを注目画素と呼び、注目画素の階調値を「 n 」とする。さらに、注目画素の 1 つ上の画素の階調値を「 $n-1$ 」とする。

【0058】

[階調電圧信号生成部]

すなわち、階調電圧信号生成部 20 は、注目画素の階調値 n に基づいて、階調値 n に対応する階調電圧信号 K を生成する。40

【0059】

なお、本実施形態の場合、階調値「0」に対応する階調電圧信号 K に対応する、階調信号電圧が、 V_{CEN} になるよう設定されている（図 4 参照）。

【0060】

そして、階調電圧信号生成部 20 は、階調電圧信号 K をデータ線駆動部 6 へと出力する。データ線駆動部 6 は、制御信号に従い、階調信号電圧 V を注目画素の映像信号電圧として出力することになる。

【0061】

また、注目画素の階調値 n と、ラインメモリに記憶される、注目画素の 1 つ上の画素の 50

階調値 $n-1$ と、に基づいて、比較部 22, 補正部 24、及び補正階調電圧信号生成部 26 により、補正階調電圧信号 $K + \Delta K$ が生成される。

【0062】

[比較部]

すなわち、比較部 22 は、注目画素の階調値 n と、ラインメモリに記憶される、注目画素の一つ上の画素の階調値 $n-1$ と、を比較する。具体的には、比較部 22 は、注目画素の階調値 n と注目画素の一つ上の画素の階調値 $n-1$ と、の大小関係を取得する。すなわち、「注目画素の階調値 n が注目画素の一つ上の画素の階調値 $n-1$ より大きいかな否か」や、「注目画素の階調値 n が注目画素の一つ上の画素の階調値 $n-1$ と同値であるかな否か」を判定する。

10

【0063】

なお、比較部 22 は、注目画素の階調値 n の絶対値 $|n|$ と、注目画素の一つ上の画素の階調値 $n-1$ の絶対値 $|n-1|$ と、を取得することを行う。

【0064】

[1ライン目処理]

なお、注目画素が第1行に位置する画素である場合、注目画素の1つ上の画素の階調値 $n-1$ を「0」と、擬似的に認識するように設定する。その上で、比較部 22 は、注目画素の階調値 n と最小階調を表す階調値「0」との大小関係を取得する。

【0065】

そして、両階調値の大小関係と、両階調値の絶対値と、に基づいて、補正部 24 と、補正階調電圧信号生成部 26 と、により、補正階調電圧信号 $K + \Delta K$ が生成される。

20

【0066】

[補正部]

すなわち、補正部 24 は、両階調値の大小関係と、両階調値の絶対値と、に基づいて注目画素の階調値 n を補正することにより、補正階調電圧信号 $K + \Delta K$ を生成するための基礎となる補正階調値 $n + \Delta n$ を取得する。 Δn は補正量である。本実施形態の場合、補正部 24 は、注目画素の階調値 n に関する条件と、注目画素の一つ上の画素の階調値 $n-1$ に関する条件と、 Δs と、を対応づけてなるルックアップテーブル（以下、LUT）を記憶手段から読み出し、 n が満足する条件と、 $n-1$ が満足する条件と、に対応づけられた Δs を取得する。そして、補正部 24 は、注目画素の階調値 n が注目画素の一つ上の画素の階調値 $n-1$ より大きい場合、 $n + \Delta s$ を、補正階調値 $n + \Delta n$ として算出する。この場合、補正量 Δn は「 Δs 」となる。一方、補正部 24 は、注目画素の階調値 n が注目画素の一つ上の画素の階調値 $n-1$ より小さい場合、 $n - \Delta s$ を、補正階調値 $n + \Delta n$ として算出する。この場合、補正量 Δn は「 $-\Delta s$ 」となる。

30

【0067】

なお、補正部 24 は、注目画素の階調値 n が注目画素の一つ上の画素の階調値 $n-1$ と同値である場合、 Δn を「0」とする。

【0068】

図9にLUTの記憶内容の一例を示す。同図に示すように、LUTは、階調値の大小関係と、階調値の絶対値の関係と、に応じて補正量 Δn が変化するように設定されている。その結果、注目画素の階調値 n と注目画素の一つ上の画素の階調値 $n-1$ との組み合わせに応じて補正量 Δn が変化している。

40

【0069】

[位置補正]

また、データ線DLは、データ線駆動部6から離れれば離れるほど、データ線上の抵抗値が増大する。さらに、基板とデータ線DLとの間に発生する、寄生容量も増大する。そのため、データ線駆動部6からの距離が遠くなるほど、TFT12のドレイン電圧 V_D の上昇するスピードが遅くなる。

【0070】

そこで、データ線駆動部6からの距離によって補正量 Δn を変化させるために、複数の

50

LUTを記憶しておく。そして、走査線GLの駆動する行の位置を垂直位置情報カウンタ27で把握し、垂直位置に対応するLUTを記憶手段から読み出す。

【0071】

図10は、複数あるLUTの選択方法の具体的構成を示す図である。複数あるLUT間の補正量 Δn は、線形的に補間計算することで、参照するLUTの違いによる、急峻な補正量 Δn の変化を緩和する。

【0072】

[補正階調電圧信号生成部]

そして、補正階調電圧信号生成部26は、補正階調値 $n + \Delta n$ に基づいて、補正階調値 $n + \Delta n$ に対応する補正階調電圧信号 $K + \Delta K$ を生成する。

10

【0073】

補正階調電圧信号 $K + \Delta K$ 生成すると、補正階調電圧信号生成部26は、補正階調電圧信号 $K + \Delta K$ をデータ線駆動部6へと出力する。データ線駆動部6は、制御信号に従い、補正階調信号電圧 $V + \Delta V$ を注目画素の映像信号電圧 V_K として出力することになる。

【0074】

以上のように、この液晶表示装置2では、ある画素の映像信号電圧 V_K として出力される補正階調信号電圧 $V + \Delta V$ は、その画素の階調値 n とその画素の1つ上の画素の階調値 $n - 1$ の大小関係と、絶対値の関係と、に応じて変化する。すなわち、階調信号電圧 V と補正階調信号電圧 $V + \Delta V$ との関係（すなわち、 V と $V + \Delta V$ との大小関係や、 V と $V + \Delta V$ との差）が、階調値 n と階調値 $n - 1$ との組み合わせに応じて変化する。そのため、その画素の映像信号電圧 V_K の出力が終了するまでに、その画素のTFT12のドレイン電圧 V_D が目標とする電位 V に早期に達し、画素電極14の電位 V_S が確実に目標に達するよう調整されるようになる。その結果として、画質の劣化が確実に抑制されるようになる。

20

【0075】

[最大階調補正]

なお、図9によれば、例えば、注目画素の階調値 n が「255」であり且つ注目画素の1つ上の画素の階調値 $n - 1$ が「0」である場合、補正量 Δn は正の値になるので、補正階調値 $n + \Delta n$ は最大階調よりも高い階調を表す「285」になる。そのため、この場合、補正階調信号電圧 $V + \Delta V$ は、最大階調を表す階調値「255」に対応する電圧を超える電圧になる。

30

【0076】

そのため、画素の階調値「285」に対応する電圧をデータ線駆動部6から出力するため、補正階調電圧信号は最大階調を「285」とし、階調電圧信号は最大階調を「255」とする。

【0077】

図11は、最大階調補正部28を含む制御部4（制御手段）の具体的構成を示す図である。比較部22で、注目画素の階調値 n と1つ上の画素の階調値 $n - 1$ を比較し、補正部24では、最大階調を「285」として補正階調値 $n + \Delta n$ を出力し、これに対応した補正階調電圧信号 $K + \Delta K$ を出力する。また、階調電圧信号生成部20では、最大階調を「255」として注目画素の階調電圧信号 K を出力する。

40

【0078】

[最小階調補正]

また、図9によれば、例えば、注目画素の階調値 n が、「0」であり且つ注目画素の1つ上の画素階調値 $n - 1$ が、注目画素の階調信号電圧と同じ極性の電圧となる「255」である場合、補正量 Δn は負の値になり、補正階調値 $n + \Delta n$ は、注目画素の階調値「0」と正負が異なる「-30」となり、「0」に対応する電圧を下回る電圧になる。

【0079】

そのため、画素の階調値「-30」に対応する電圧をデータ線駆動部から出力するため、補正階調電圧信号は最小階調を「-30」とし、階調電圧信号は最小階調を「0」とす

50

る。

【0080】

図12は、最小階調補正部29を含む制御部4（制御手段）の具体的構成を示した図である。比較部22で、注目画素の階調値 n と1つ上の画素の階調値 $n-1$ を比較し、補正部24では、最小階調を「-30」として補正階調値 $n+\Delta n$ を出力し、これに対応した補正階調電圧信号 $K+\Delta K$ を出力する。また、階調電圧信号生成部20では、最小階調を「0」として、注目画素の階調電圧信号 K を出力する。

【0081】

図13は、最大階調補正部28と最小階調補正部29を含む駆動を行った際の、階調値と階調信号電圧との関係を示した図である。階調値は「-30」から「285」までとなり、「-30」から「-1」までは、異なる極性の階調信号電圧となり、「256」から「285」までは、注目画素の階調信号電圧「255」を超える電圧となる。

10

【0082】

なお、本発明の実施形態は、上記実施形態だけに限らない。

【0083】

例えば、上記実施形態では、走査線駆動部8は、走査線 GL_N へのオン電圧の出力を、第 N 行より一行前の第 $N-1$ 行に位置する画素の映像信号電圧の出力が行われているときに開始していたが、第 N 行より二行以上前の行に位置する画素の映像信号電圧の出力が行われているときに開始してもよい。

【0084】

また、例えば、比較部22は、注目画素の階調値 n と、注目画素の2つ以上上に位置する画素の階調値と、を比較するようにしてもよい。

20

【0085】

また、例えば、階調信号電圧を補正することにより、階調信号電圧自体が補正階調信号電圧として生成されてもよい。

【0086】

また、例えば、複数ある LUT 間の補正量 Δn の補間を非線形的に行ってもよい。

【0087】

また、例えば、データ線駆動部6は、第1行に位置する画素の映像信号電圧を、他の行に位置する画素の映像信号電圧より長い期間、出力するようにしてもよい。例えば、リフレッシュレートが高い場合に、第1行以外の行に位置する画素の映像信号電圧が出力されるとき映像信号出力期間に対して、第1行に位置する画素の映像信号電圧が出力されるとき映像信号出力期間を2倍以上としてもよい。この場合、他の行に位置する画素の映像信号電圧より長く第1行に位置する画素の映像信号電圧が出力されるよう、制御部4がデータ線駆動部6を制御すればよい。

30

【0088】

[温度補正]

ところで、 $TFT12$ の特性は温度によって変化する。そのため、温度によって画素電極14の電位 V_s が変化するスピードも変わる。そのため、ある温度で設定した、注目画素の階調値 n と1つ上の画素の階調値 $n-1$ の大小関係と、絶対値の関係では、画質の劣化を期待するほど抑制できない可能性がある。

40

【0089】

そこで、制御部4は、補正量 Δn を温度に応じて変化させてもよい。すなわち、制御部4は、すなわち、階調信号電圧 V と補正階調信号電圧 $V+\Delta V$ との関係を、階調値 n と階調値 $n-1$ との組み合わせと、温度と、に応じて変化させてもよい。以下、この態様の一例について説明する。

【0090】

図14は、この一態様での液晶表示装置2の構成図である。同図に示すように、この一態様では、液晶表示装置2に温度センサ17が備えられ、温度センサ17により検知された温度 C が、制御部4に入力される。また、この一態様では、温度 C に関する条件と係数

50

γ とを対応づけてなるテーブルが記憶手段に予め記憶される。図 15 に、このテーブルの一例を示す。

【0091】

そして、この前提の下、補正部 24 では温度 C が満足する条件に対応づけられた係数 γ を図 15 に示すテーブルから読み出し、補正階調値として、 $(n + (\gamma \times \Delta n))$ を算出する。

【0092】

こうすれば、注目画素の階調値 n と注目画素の 1 つ上の画素の階調値 $n - 1$ との組み合わせが同じ場合であっても、補正階調値が温度 C に応じて変化するようになり、結果として、画質の劣化が確実に抑制されるようになる。

10

【0093】

また、制御部 4 は、補正量 Δn を画素の位置に応じて変化させる代わりに、画素電極 14 の電位 V_s の変化のスピードを所期のスピードに調整すべく、補正階調信号電圧を出力する期間の長さ T_1 を画素の位置に応じて変化させてもよい。例えば、制御部 4 が、画素ごとに、当該画素の位置に基づいて T_1 の長さを決定すればよい。例えば、画素の位置に関する条件と T_1 の候補とを対応づけてなるテーブルを用意しておき、画素ごとに、当該画素の位置が満足する条件に対応づけられた T_1 の候補に基づいて、 T_1 を決定すればよい。そして、補正階調信号電圧が長さ T_1 の期間出力されるよう、制御部 4 がデータ線駆動部 6 を制御すればよい。

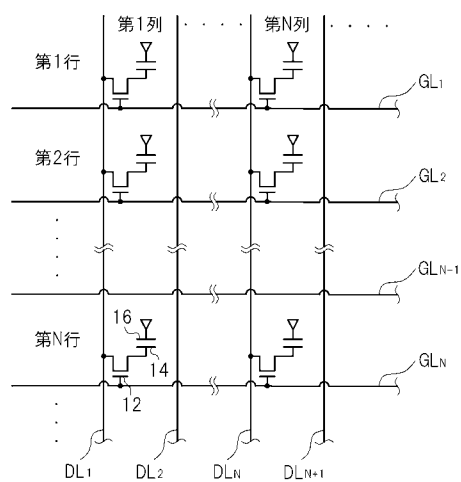
【符号の説明】

20

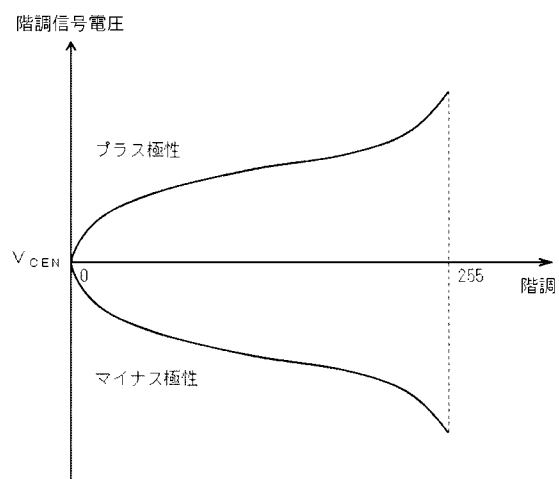
【0094】

2 液晶表示装置、4 制御部、6 データ線駆動部、8 走査線駆動部、8 a, 8 b, 8 c 走査線駆動 IC、10 液晶パネル、12 薄膜トランジスタ、14 画素電極、16 共通電極、17 温度センサ、20 階調電圧信号生成部、22 比較部、24 補正部、26 補正階調電圧信号生成部、27 垂直位置情報カウンタ、28 最大階調補正部、29 最小階調補正部、DL データ線、GL 走査線。

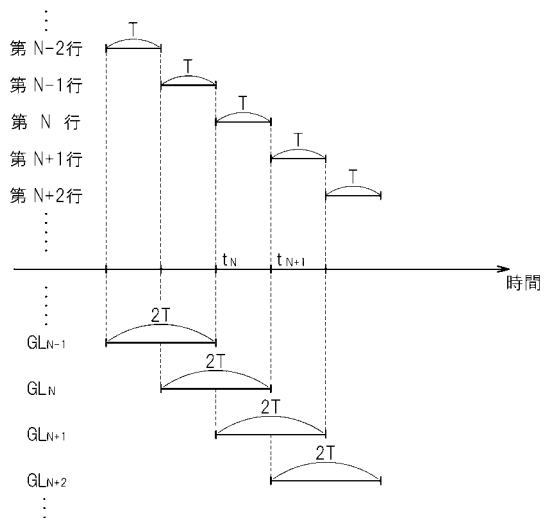
【図 2】



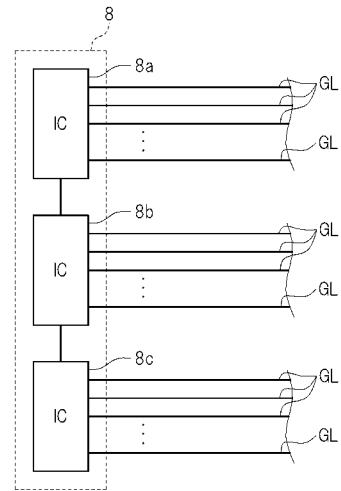
【图 4】



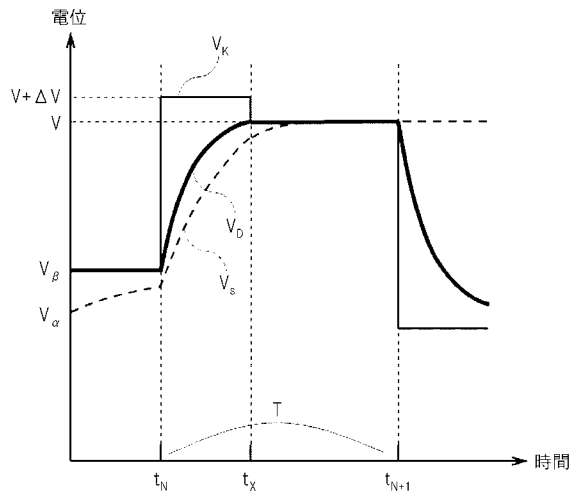
【図 5】



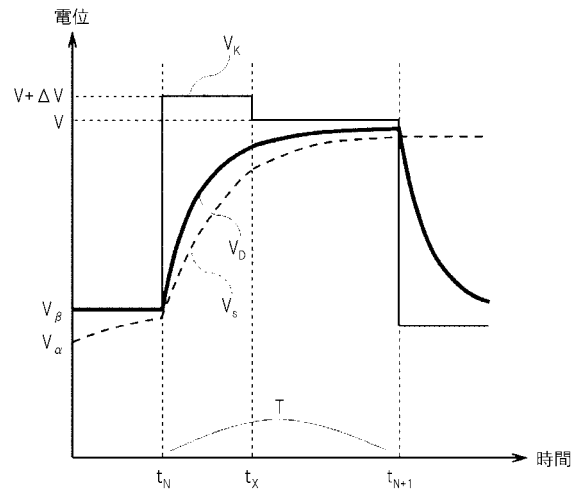
【図 6】



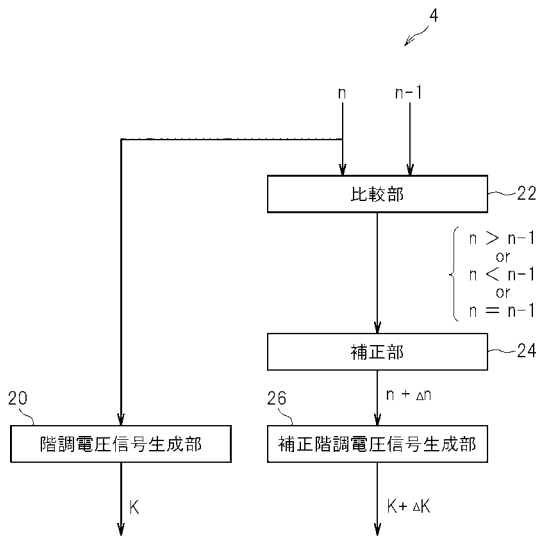
【図 7 A】



【図 7 B】



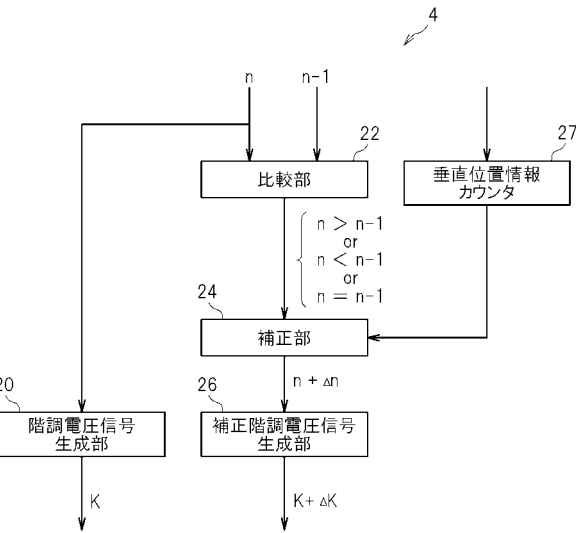
【図 8】



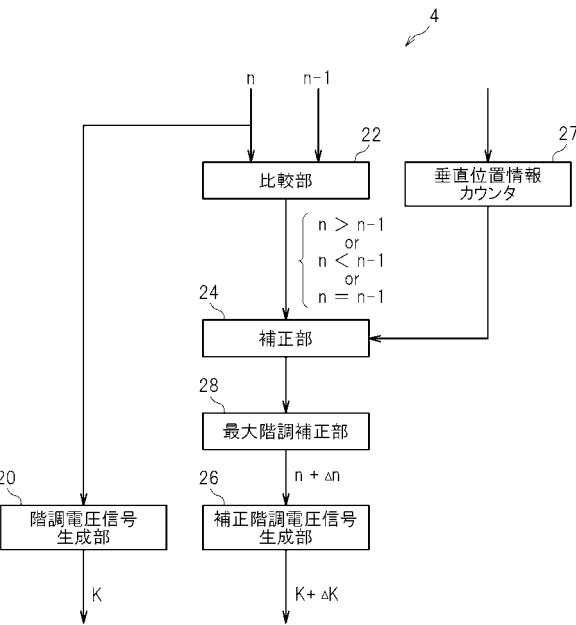
【図 9】

LUT	nに関する条件															
	$ n = 0$	$ n = 16$	$ n = 32$	$ n = 48$	$ n = 64$	...	$ n = 240$	$ n = 255$	$n-1$ に関する条件							
$ n-1 = 0$	$\Delta s = 0$	$\Delta s = 5$	$\Delta s = 7$	$\Delta s = 10$	$\Delta s = 12$	...	$\Delta s = 28$	$\Delta s = 30$	$ n-1 = 16$	$\Delta s = 3$	$\Delta s = 4$	$\Delta s = 5$	$\Delta s = 6$	$\Delta s = 7$	$\Delta s = 8$	$\Delta s = 9$
$ n-1 = 16$	$\Delta s = 3$	$\Delta s = 0$	$\Delta s = 5$	$\Delta s = 8$	$\Delta s = 10$	...	$\Delta s = 26$	$\Delta s = 27$	$ n-1 = 32$	$\Delta s = 6$	$\Delta s = 4$	$\Delta s = 3$	$\Delta s = 2$	$\Delta s = 1$	$\Delta s = 0$	$\Delta s = -1$
$ n-1 = 32$	$\Delta s = 6$	$\Delta s = 4$	$\Delta s = 0$	$\Delta s = 3$	$\Delta s = 5$	...	$\Delta s = 23$	$\Delta s = 25$	$ n-1 = 48$	$\Delta s = 9$	$\Delta s = 6$	$\Delta s = 4$	$\Delta s = 3$	$\Delta s = 2$	$\Delta s = 1$	$\Delta s = 0$
$ n-1 = 48$	$\Delta s = 9$	$\Delta s = 6$	$\Delta s = 4$	$\Delta s = 0$	$\Delta s = 3$	...	$\Delta s = 20$	$\Delta s = 21$	$ n-1 = 64$	$\Delta s = 13$	$\Delta s = 10$	$\Delta s = 8$	$\Delta s = 5$	$\Delta s = 3$	$\Delta s = 1$	$\Delta s = 0$
$ n-1 = 64$	$\Delta s = 13$	$\Delta s = 10$	$\Delta s = 8$	$\Delta s = 5$	$\Delta s = 0$	...	$\Delta s = 18$	$\Delta s = 20$	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	$ n-1 = 240$	$\Delta s = 28$	$\Delta s = 27$	$\Delta s = 26$	$\Delta s = 25$	$\Delta s = 24$	$\Delta s = 23$	$\Delta s = 22$
$ n-1 = 240$	$\Delta s = 28$	$\Delta s = 27$	$\Delta s = 23$	$\Delta s = 20$	$\Delta s = 19$	...	$\Delta s = 0$	$\Delta s = 5$	$ n-1 = 255$	$\Delta s = 30$	$\Delta s = 29$	$\Delta s = 27$	$\Delta s = 25$	$\Delta s = 23$	$\Delta s = 20$	$\Delta s = 0$

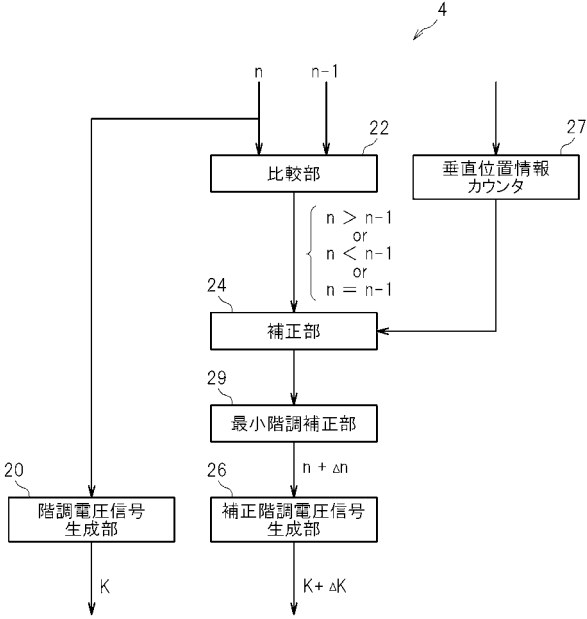
【図 10】



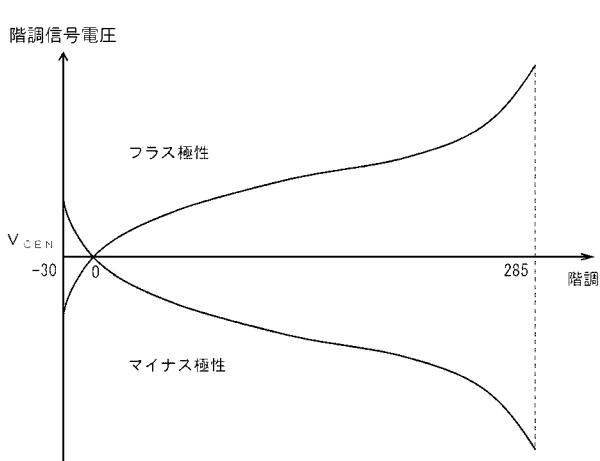
【図 11】



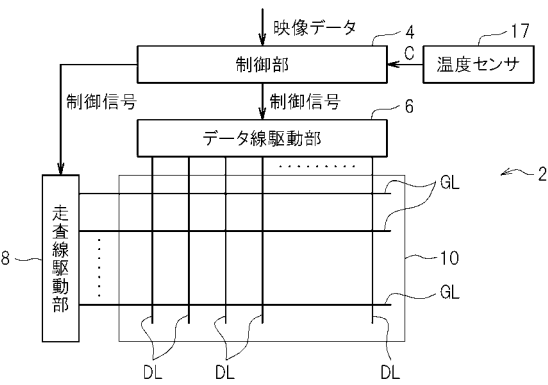
【図 1 2】



【図 1 3】



【図 1 4】



【図 1 5】

条件	γ
$0^{\circ}\text{C} \sim 25^{\circ}\text{C}$	$\gamma 1$
$\sim$	$\gamma 2$

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 2 2 Q
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 8 0
G 0 9 G	3/20	6 2 1 B

(72)発明者 丸山 純一

東京都国分寺市東恋ヶ窪一丁目２８０番地 株式会社日立製作所中央研究所内

(72)発明者 豊島 剛樹

東京都国分寺市東恋ヶ窪一丁目２８０番地 株式会社日立製作所中央研究所内

審査官 田邊 英治

(56)参考文献 特開２００８－２０９８９０（ＪＰ，Ａ）

特開２００５－１４０８８３（ＪＰ，Ａ）

国際公開第２００９／０６０６５６（ＷＯ，Ａ１）

特開２００７－０６５６５７（ＪＰ，Ａ）

特開２００９－０４２２８９（ＪＰ，Ａ）

特開２００７－２９２９００（ＪＰ，Ａ）

特開２００８－１１６５６４（ＪＰ，Ａ）

特開２００７－１２８０３５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5562695B2	公开(公告)日	2014-07-30
申请号	JP2010067062	申请日	2010-03-23
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司 松下液晶显示器有限公司		
当前申请(专利权)人(译)	有限公司日本显示器 松下液晶显示器有限公司		
[标]发明人	大石純久 大輪美沙 丸山純一 豊島剛樹		
发明人	大石 純久 大輪 美沙 丸山 純一 豊島 剛樹		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G3/3648 G09G2310/0205 G09G2310/0251 G09G2310/0275 G09G2320/0285 G09G2320/041		
FI分类号	G09G3/36 G09G3/20.623.D G09G3/20.623.C G09G3/20.622.D G09G3/20.641.P G09G3/20.612.U G09G3/20.631.V G09G3/20.641.C G09G3/20.621.F G09G3/20.611.J G09G3/20.622.Q G02F1/133.550 G02F1/133.575 G02F1/133.580 G09G3/20.621.B		
F-TERM分类号	2H193/ZA04 2H193/ZC04 2H193/ZC25 2H193/ZC34 2H193/ZD23 2H193/ZE01 2H193/ZE03 2H193/ /ZE06 2H193/ZF17 2H193/ZH18 2H193/ZQ11 2H193/ZQ16 5C006/AA16 5C006/AC21 5C006/AC23 5C006/AC24 5C006/AC26 5C006/AF13 5C006/AF42 5C006/AF43 5C006/AF45 5C006/AF46 5C006/ /AF50 5C006/AF51 5C006/AF62 5C006/AF78 5C006/AF83 5C006/BA19 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BC22 5C006/BF01 5C006/BF05 5C006/BF14 5C006/BF15 5C006/BF22 5C006/ /BF38 5C006/BF43 5C006/EB05 5C006/FA12 5C006/FA19 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD20 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/ /JJ03 5C080/JJ04 5C080/JJ05		
其他公开文献	JP2011197584A		
外部链接	Espacenet		

摘要(译)

数据线驱动部分 (6) 按顺序每个预定周期将每个像素的视频信号电压输出到数据线 (DL)。在输出像素的视频信号电压时，数据线驱动部分 (6) 在预定周期的第二部分期间输出具有与像素的灰度值对应的电压的灰度信号电压作为视频信号电压，并输出在预定时段的第一部分期间，作为视频信号电压的与灰度信号电压不同的校正灰度信号电压。控制部分 (4) 基于像素的灰度值和像素之前的像素的灰度值的组合来改变校正灰度信号电压和灰度信号电压之间的关系。

