

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5540020号
(P5540020)

(45) 発行日 平成26年7月2日 (2014.7.2)

(24) 登録日 平成26年5月9日 (2014.5.9)

(51) Int. Cl.

F I

G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
G09G 3/36 (2006.01)
G09G 3/20 (2006.01)

G O 2 F 1/133 5 5 O
 G O 2 F 1/1368
 G O 9 G 3/36
 G O 9 G 3/20 6 2 1 B
 G O 9 G 3/20 6 2 3 C

請求項の数 8 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2011-551896 (P2011-551896)
 (86) (22) 出願日 平成23年1月27日 (2011.1.27)
 (86) 国際出願番号 PCT/JP2011/051586
 (87) 国際公開番号 W02011/093374
 (87) 国際公開日 平成23年8月4日 (2011.8.4)
 審査請求日 平成24年8月6日 (2012.8.6)
 (31) 優先権主張番号 特願2010-19258 (P2010-19258)
 (32) 優先日 平成22年1月29日 (2010.1.29)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100101683
 弁理士 奥田 誠司
 (74) 代理人 100155000
 弁理士 喜多 修市
 (74) 代理人 100139930
 弁理士 山下 亮司
 (74) 代理人 100125922
 弁理士 三宅 章子
 (72) 発明者 北山 雅江
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の行および複数の列を含むマトリクス状に配列された複数の画素を有する液晶表示装置であって、

前記複数の画素のそれぞれに設けられた画素電極、前記画素電極に接続されたスイッチング素子、行方向に延びる複数の走査線および列方向に延びる複数の信号線を有するアクティブマトリクス基板と、

前記アクティブマトリクス基板に対向する対向基板と、

前記アクティブマトリクス基板と前記対向基板との間に設けられた液晶層と、

前記複数の走査線のそれぞれに走査信号を供給する走査線駆動回路と、

前記複数の信号線のそれぞれに正または負の信号電圧を供給する信号線駆動回路と、
 を備え、

前記複数の画素は、複数のカラー表示画素を構成しており、前記複数のカラー表示画素のそれぞれは、2行2列に配列された第1、第2、第3および第4画素であって、前記第1と第2画素および前記第3と第4画素がそれぞれ前記行方向に沿って隣接し、且つ、前記第1と第3画素および前記第2と第4画素がそれぞれ前記列方向に沿って隣接して配列された、第1、第2、第3および第4画素を含み、

前記第1、第2、第3および第4画素の色は、互いに異なり、前記複数のカラー表示画素のそれぞれにおいて、前記第1、第2、第3および第4画素は、同じパターンで配列され、

10

20

前記複数の信号線は、各画素列に対応して配置された第1および第2信号線であって、各垂直走査期間において、前記信号線駆動回路から互いに逆の極性の信号電圧が供給される第1信号線および第2信号線を含み、

任意のカラー表示画素において、前記第1および第3画素の一方の前記スイッチング素子は前記第1信号線に接続されており、他方の前記スイッチング素子は前記第2信号線に接続されており、前記第2および第4画素の一方の前記スイッチング素子は前記第1信号線に接続されており、他方のスイッチング素子は前記第2信号線に接続されており、かつ、前記第1、第2、第3および第4画素のスイッチング素子は全て、共通の走査信号によってオン/オフ制御され、

任意の垂直走査期間において、前記第1および第2信号線に供給される前記信号電圧の極性は一定であり、

任意の垂直走査期間において、任意のカラー表示画素に含まれる前記第1、第2、第3および第4画素のそれぞれに供給される前記信号電圧の極性と、前記任意のカラー表示画素に行方向に隣接するカラー表示画素に含まれる前記第1、第2、第3および第4画素のそれぞれに供給される前記信号電圧の極性とは、互いに逆である、液晶表示装置。

【請求項2】

前記任意のカラー表示画素に列方向に隣接するカラー表示画素において、前記第1および第3画素の前記一方の前記スイッチング素子は前記第2信号線に接続されており、前記他方の前記スイッチング素子は前記第1信号線に接続されており、前記第2および第4画素の前記一方の前記スイッチング素子は前記第2信号線に接続されており、前記他方のス

【請求項3】

任意の垂直走査期間において、任意の第1カラー表示画素に含まれる前記第1、第2、第3および第4画素のそれぞれに供給される前記信号電圧の極性は、前記第1画素と第2画素との間および前記第3画素と第4画素との間で互いに逆になる、請求項1または2に記載の液晶表示装置。

【請求項4】

任意の垂直走査期間において、前記複数の信号線の内の互いに隣接する任意の2本の信号線に供給される前記信号電圧の極性は互いに逆である、請求項1から3のいずれかに記載の液晶表示装置。

【請求項5】

任意のカラー表示画素において、前記第1、第2、第3および第4画素のスイッチング素子は全て、共通の走査線に接続されている、請求項1から4のいずれかに記載の液晶表示装置。

【請求項6】

前記第1、第2、第3および第4画素は、黄画素、シアン画素、マゼンタ画素および白画素のいずれか1つと、赤画素、青画素および緑画素とを含む、請求項1から5のいずれかに記載の液晶表示装置。

【請求項7】

前記複数の画素のそれぞれは、ある中間調を表示するときに、表示すべき中間調よりも高い輝度を呈する明副画素と、表示すべき中間調よりも低い輝度を呈する暗副画素とを有する、請求項1から6のいずれかに記載の液晶表示装置。

【請求項8】

垂直走査期間は1/120秒以下である、請求項1から7のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、互いに異なる色を表示する4種類以上の画素によってカラー表示を行う液晶表示装置に関する。

10

20

30

40

50

【背景技術】

【0002】

現在、液晶表示装置が様々な用途に利用されている。液晶表示装置の各画素は、液晶層に印加された電圧の大きさに応じた輝度を呈する。画素は、電気的には、画素電極／液晶層／対向電極で構成される液晶容量として表現され、画素（液晶層）に印加される電圧の大きさは、対向電極の電位を基準に表される。液晶材料は誘電体であり、直流電圧が長時間にわたって印加されると劣化する。これを防止するために、液晶層に印加される電圧（電界）は、一定時間ごとに極性（方向）が反転させられる（「交流駆動」と呼ばれている）。各画素に印加される電圧の極性（電界の向き）を垂直走査期間毎に反転させるフレーム反転駆動（あるいはフィールド反転駆動）が採用されている。

10

【0003】

しかしながら、量産される液晶表示装置において、電圧の極性を反転させた前後の電圧の絶対値を正確に一致させることは困難であり、極性を反転するごとに電圧の絶対値がわずかに変化する。その結果、静止画を表示すると、極性が反転するごとに輝度が変化し、表示がちらつくというフリッカが発生する。そこで、表示領域内に互いに逆の極性の電圧が印加された画素を隣接して配置することにより、画素の輝度が空間的に平均される効果を利用することによって、フリッカを低減する方法が採用されている。その代表的な方法が隣接する画素に印加される電圧の極性を反転させる「1ドット反転駆動」である。「ドット」は画素を意味している。

【0004】

20

従来の一般的な液晶表示装置では、光の三原色である赤、緑および青を表示する3個の画素によって1つのカラー表示画素が構成されており、各画素の輝度を制御することによってカラー表示を行っている。なお、ここでいうカラー表示画素および画素は、それぞれ画素（ピクセル）およびサブ画素（サブピクセル）と呼ばれることもある（例えば特許文献1）。1つのカラー表示画素が行方向に配列されたR、GおよびB画素によって構成されている液晶表示装置を1ドット反転駆動すると、ある行の画素の極性は、R（+）、G（-）、B（+）、R（-）、G（+）、B（-）となる。すなわち、隣接する画素に印加される電圧の極性を反転させると、隣接する同じ色の画素に印加される電圧の極性も反転することになる。

【0005】

30

近年、液晶表示装置の表示可能な色の範囲（「色再現範囲」と呼ばれる。）を広くするために、表示に用いる原色の数を増やす手法が提案されている。例えば、特許文献1には、赤（R）画素、緑（G）画素および青（B）画素に加えて、少なくとも他の1色の画素（黄（Y）画素、シアン（C）画素、マゼンタ（M）画素または白（W）画素）によって構成されるカラー表示画素を備える液晶表示装置が開示されている。なお、白画素を追加した場合には、色再現範囲を広くすることはできないものの、表示輝度を高くすることができる。

【0006】

特許文献1の図8（a）に記載されているように、行方向に2つの色画素が交互に配列されている液晶表示装置において、1ドット反転駆動を行うと、ある行の画素の極性は、例えばR（+）、Y（-）、R（+）、Y（-）となり、同じ色の画素には同じ極性の電圧が印加されることになり、特定の色の画素だけで表示（例えば全面赤表示）を行うとフリッカが発生することとなる。

40

【0007】

そこで、特許文献1には、少なくとも垂直走査方向（列方向）にN個（Nは2以上の整数）の画素を含む4個以上の画素でカラー表示画素を構成し、水平走査方向（行方向）には2ドット反転駆動（2画素列ごとに極性が反転する駆動）を行い、且つ、垂直走査方向にはN水平ライン反転駆動（N画素行ごとに極性が反転する駆動）を行うことによって、フリッカの発生を防止できると記載されている。

【0008】

50

また、色再現範囲の拡大を目的としたものではないが、特許文献2にも、2行2列の画素によって構成されたカラー表示画素を備える液晶表示装置が開示されている（特許文献2では、カラー表示画素を「絵素」と呼んでいる）。カラー表示画素を構成する4つの画素の組み合わせとして、青画素、赤画素と緑画素×2の組み合わせ、および、青画素、赤画素、緑画素および白画素の組み合わせが例示されている。特許文献2に記載の液晶表示装置は、カラー表示画素を構成する4つの画素に共通の1本の走査線と、列方向に並んだ2つの画素を挟む位置に2本ずつ配置された合計4本の信号線とを有しており、隣接する信号線に供給される電圧の極性は互いに反対で、互いに行方向に隣接するカラー表示画素の同じ位置に配置された画素が接続された信号線の画素に対する位置が互いに異なっている。その結果、ある色の画素に注目すると、互いに行方向に隣接する画素に供給される信号電圧の極性が互いに逆になるので、フリッカの発生を防止することができる。

10

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2008-76416号公報

【特許文献2】特開2001-33757号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

現在、動画表示特性を向上させた、2倍速駆動や4倍速駆動の液晶表示装置が実用化されている。すなわち、従来の液晶表示装置の垂直走査期間が1/60秒（垂直走査周波数が60Hz）であったのに対し、垂直走査期間が1/120秒や1/240秒の液晶表示装置が開発されている。これらはHDTV用の液晶表示装置であり、表示画面の大型化も進んでいる。

20

【0011】

なお、「垂直走査期間」とは、ある走査線（ゲートバスライン）が選択され、次にその走査線が選択されるまでの期間を意味する。従来の倍速駆動を行わない液晶表示装置における1垂直走査期間は、映像信号がノンインターレース駆動用の信号の場合には映像信号の1フレーム期間に対応し、映像信号がインターレース駆動用の信号の場合には映像信号の1フィールド期間に対応する。例えば、NTSC信号の場合、液晶表示装置の1垂直走査期間は、NTSC信号のフィールド周波数（60Hz）の逆数である16.7msである。液晶表示装置はインターレース駆動を行わないので、奇数フィールドおよび偶数フィールドのいずれにおいても全ての画素に信号電圧を書き込むため、NTSC信号のフィールド周波数の逆数が垂直走査期間となる。

30

【0012】

HDTV用の液晶表示装置に代表される、120Hzや240Hzで駆動される、画素の多い液晶表示装置にドット反転駆動を行うと、信号線（ソースバスライン）に信号電圧を供給する信号線駆動回路（ソースドライバ）の負荷は大きくなる。すなわち、信号線駆動回路による消費電力が増大し、発熱量が多くなる。

【0013】

上記特許文献1、2に記載されている技術を採用すると、上述したように、カラー表示画素が2行2列に配列された4つの画素によって構成されている液晶表示装置におけるフリッカの発生を防止できるものの、信号線駆動回路の負荷が大きい。また、垂直走査周波数（単に、駆動周波数と言われることもある）が高いと、フリッカは視認され難くなるので、工業的には、信号線駆動回路の負荷を低減することが重要である。

40

【0014】

本発明は、上記問題に鑑みてなされたものであり、その主な目的は、カラー表示画素が2行2列に配列された4つの画素を有する液晶表示装置における信号線駆動回路の負荷を低減することにある。

【課題を解決するための手段】

50

【0015】

本発明の液晶表示装置は、複数の行および複数の列を含むマトリクス状に配列された複数の画素を有する液晶表示装置であって、前記複数の画素のそれぞれに設けられた画素電極、前記画素電極に接続されたスイッチング素子、行方向に延びる複数の走査線および列方向に延びる複数の信号線を有するアクティブマトリクス基板と、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板と前記対向基板との間に設けられた液晶層と、前記複数の走査線のそれぞれに走査信号を供給する走査線駆動回路と、前記複数の信号線のそれぞれに正または負の信号電圧を供給する信号線駆動回路とを備え、前記複数の画素は、複数のカラー表示画素を構成しており、前記複数のカラー表示画素のそれぞれは、2行2列に配列された第1、第2、第3および第4画素であって、前記第1と第2画素および前記第3と第4画素がそれぞれ前記行方向に沿って隣接し、且つ、前記第1と第3画素および前記第2と第4画素がそれぞれ前記列方向に沿って隣接して配列された、第1、第2、第3および第4画素を含み、前記複数の信号線は、各画素列に対応して配置された第1および第2信号線であって、各垂直走査期間において、前記信号線駆動回路から互いに逆の極性の信号電圧が供給される第1信号線および第2信号線を含み、任意のカラー表示画素において、前記第1および第3画素の一方の前記スイッチング素子は前記第1信号線に接続されており、他方の前記スイッチング素子は前記第2信号線に接続されており、前記第2および第4画素の一方の前記スイッチング素子は前記第1信号線に接続されており、他方のスイッチング素子は前記第2信号線に接続されており、かつ、前記第1、第2、第3および第4画素のスイッチング素子は全て、共通の走査信号によってオン/オフ制御され、任意の垂直走査期間において、前記第1および第2信号線に供給される前記信号電圧の極性は一定である。前記第1および第2信号線に供給される前記信号電圧の極性は、垂直走査期間ごとまたは2以上の垂直走査期間ごとに反転される。カラー表示画素は、2行×偶数列の画素によって構成されていればよい。

10

20

【0016】

ある実施形態において、前記任意のカラー表示画素に列方向に隣接するカラー表示画素において、前記第1および第3画素の前記一方の前記スイッチング素子は前記第2信号線に接続されており、前記他方の前記スイッチング素子は前記第1信号線に接続されており、前記第2および第4画素の前記一方の前記スイッチング素子は前記第2信号線に接続されており、前記他方のスイッチング素子は前記第1信号線に接続されている。

30

【0017】

ある実施形態において、任意の垂直走査期間において、任意のカラー表示画素に含まれる前記第1、第2、第3および第4画素のそれぞれに供給される前記信号電圧の極性と、前記任意のカラー表示画素に行方向に隣接するカラー表示画素に含まれる前記第1、第2、第3および第4画素のそれぞれに供給される前記信号電圧の極性とは、互いに逆である。

【0018】

ある実施形態において、任意の垂直走査期間において、任意の第1カラー表示画素に含まれる前記第1、第2、第3および第4画素のそれぞれに供給される前記信号電圧の極性は、前記第1画素と第2画素との間および前記第3画素と第4画素との間で互いに逆になる。

40

【0019】

ある実施形態において、任意の垂直走査期間において、前記複数の信号線の内の互いに隣接する任意の2本の信号線に供給される前記信号電圧の極性は互いに逆である。

【0020】

ある実施形態において、任意のカラー表示画素において、前記第1、第2、第3および第4画素のスイッチング素子は全て、共通の走査線に接続されている。

【0021】

ある実施形態において、前記第1、第2、第3および第4画素は、黄画素、シアン画素、マゼンタ画素および白画素のいずれか1つと、赤画素、青画素および緑画素とを含む。

50

【 0 0 2 2 】

ある実施形態において、前記複数の画素のそれぞれは、ある中間調を表示するときに、表示すべき中間調よりも高い輝度を呈する明副画素と、表示すべき中間調よりも低い輝度を呈する暗副画素とを有する。

【 0 0 2 3 】

ある実施形態において、垂直走査期間は 1 / 1 2 0 秒以下である。

【 0 0 2 4 】

ある実施形態の液晶表示装置は、V A モードの液晶表示装置であり、例えば、P S A モードの液晶表示装置である。

【 発明の効果 】

10

【 0 0 2 5 】

本発明によると、カラー表示画素が 2 行 2 列に配列された 4 つの画素を有する液晶表示装置における信号線駆動回路の負荷を低減することができる。

【 図面の簡単な説明 】

【 0 0 2 6 】

【 図 1 】 (a) は本発明による実施形態の液晶表示装置 1 0 0 の模式的な平面図であり、(b) は液晶表示パネル 1 0 における画素の電気的な接続関係を示す模式図である。

【 図 2 】 液晶表示パネル 1 0 A における、4 つの画素 $P_1 \sim P_4$ の T F T 1 4 と 2 本の信号線 1 3 との接続関係および画素に印加される信号電圧の極性の分布を示す図である。

【 図 3 】 液晶表示パネル 1 0 B における、4 つの画素 $P_1 \sim P_4$ の T F T 1 4 と 2 本の信号線 1 3 との接続関係および画素に印加される信号電圧の極性の分布を示す図である。

20

【 図 4 】 液晶表示パネル 1 0 C における、4 つの画素 $P_1 \sim P_4$ の T F T 1 4 と 2 本の信号線 1 3 との接続関係および画素に印加される信号電圧の極性の分布を示す図である。

【 図 5 】 液晶表示パネル 1 0 D における、4 つの画素 $P_1 \sim P_4$ の T F T 1 4 と 2 本の信号線 1 3 との接続関係および画素に印加される信号電圧の極性の分布を示す図である。

【 図 6 】 マルチ画素構造を有する液晶表示パネル 1 0 E における画素の T F T と信号線との接続関係およびゲート信号を示す図である。

【 図 7 】 液晶表示パネル 1 0 E の 3 つの画素 (図 6 中の一点鎖線に囲まれた 3 つの画素) の等価回路を示す図である。

【 図 8 】 本発明による実施形態の P S A モードの液晶表示装置に用いられる画素電極 1 1 A の模式的な平面図である。

30

【 発明を実施するための形態 】

【 0 0 2 7 】

以下、図面を参照しながら本発明による実施形態の液晶表示装置を説明する。なお、本発明は以下の例示する実施形態に限定されるものではない。

【 0 0 2 8 】

図 1 (a) および (b) を参照して、本発明による実施形態の液晶表示装置 1 0 0 の構造を説明する。図 1 (a) は液晶表示装置 1 0 0 の模式的な平面図であり、図 1 (b) は液晶表示パネル 1 0 における画素の電気的な接続関係を示す模式図である。

【 0 0 2 9 】

40

図 1 (a) に示すように、液晶表示装置 1 0 0 は、複数の行および複数の列を含むマトリクス状に配列された複数の画素 P を有する液晶表示パネル 1 0 と、液晶表示パネル 1 0 に駆動信号を供給する走査線駆動回路 (ゲートドライバ) 2 0 および信号線駆動回路 (ソースドライバ) 3 0 とを備える。

【 0 0 3 0 】

液晶表示パネル 1 0 の複数の画素 P は、複数のカラー表示画素 P_{CD} を構成しており、カラー表示画素 P_{CD} のそれぞれは、4 つの画素 P を含んでおり、4 つの画素 P は、2 行 2 列に配列された第 1 画素 P_1 、第 2 画素 P_2 、第 3 画素 P_3 および第 4 画素 P_4 である。ここで、第 1 画素 P_1 と第 2 画素 P_2 および第 3 画素 P_3 と第 4 画素 P_4 がそれぞれ行方向に沿って隣接し、且つ、第 1 画素 P_1 と第 3 画素 P_3 および第 2 画素 P_2 と第 4 画素 P_4 がそれぞれ列

50

方向に沿って隣接して配列されている。

【 0 0 3 1 】

ここでは、第 1 画素 P_1 が赤 (R) 画素、第 2 画素 P_2 が黄 (Y) 画素、第 3 画素 P_3 が青 (B) 画素、第 4 画素 P_4 が緑 (G) 画素の例を示している。なお、図 1 (a) ではカラー表示画素の 1 行 1 列分だけを図示し、他を省略しているが、全て同じカラー表示画素がマトリクス状に配列されている。なお、カラー表示画素を構成する 4 つの画素 $P_1 \sim P_4$ の色は、この例に限られない。色再現性の観点から、少なくとも R、G および B 画素を含んでいることが好ましく、他の 1 つの色は、黄 (Y) の他、シアン (C) またはマゼンタ (M) であることが好ましいが、白 (W) であってもよい。

【 0 0 3 2 】

なお、4 つの画素 $P_1 \sim P_4$ の大きさは全て等しい必要はない。色再現性の観点から赤画素および青画素が他の 2 色の画素よりも大きいことが好ましい。このとき、走査線および信号線を直線的に配置できるように、各画素の形状は略矩形で、行方向に配列される第 1 画素 P_1 と第 2 画素 P_2 、および第 3 画素 P_3 と第 4 画素 P_4 の列方向の長さはそれぞれ互いに等しいことが好ましく、列方向に配列される第 1 画素 P_1 と第 3 画素 P_3 、および第 2 画素 P_2 と第 4 画素 P_4 の行方向の長さ (幅) はそれぞれ互いに等しいことが好ましい。また、カラー表示画素 P_{CD} は概ね正方形であることが好ましい。

【 0 0 3 3 】

次に、図 1 (b) を参照して、液晶表示パネル 10 における画素の電気的な接続関係を説明する。図 1 (b) は、液晶表示パネル 10 が有するアクティブマトリクス基板 (T F T 基板) 10 a の平面図を示しており、液晶層および液晶層を介してアクティブマトリクス基板 10 a に対向するように配置される対向基板の図示は省略している。対向基板は、典型的には、対向電極、カラーフィルタ層、遮光層 (ブラックマトリクス) などが形成されている。なお、カラーフィルタ層はアクティブマトリクス基板に形成されてもよい。また、良く知られているように、I P S モードや F F S モードの液晶表示パネルにおいては、対向電極もアクティブマトリクス基板に形成され得る。

【 0 0 3 4 】

図 1 (b) は、アクティブマトリクス基板 10 a の、1 つのカラー表示画素 P_{CD} を構成する 4 個の画素に対応する領域を示している。

【 0 0 3 5 】

図 1 (b) に示すように、アクティブマトリクス基板 10 a は、画素 P のそれぞれに設けられた画素電極 11、画素電極 11 に接続されたスイッチング素子 (ここでは T F T) 14、行方向に延びる複数の走査線 (ゲートバスライン) 12 および列方向に延びる複数の信号線 (ソースバスライン) 13 を有する。図 1 (a) に示した走査線駆動回路 20 は、複数の走査線 12 のそれぞれに走査信号を供給し、信号線駆動回路 30 は、複数の信号線 13 のそれぞれに正または負の信号電圧を供給する。ここでは、スイッチング素子として T F T 14 を備える T F T 型の液晶表示装置について説明するが、スイッチング素子は、T F T 14 と同様の動作を行うものであれば、これに限られない。

【 0 0 3 6 】

複数の信号線 13 は、各画素列に対応して配置された第 1 信号線 13 a および第 2 信号線 13 b を含んでいる。第 1 信号線 13 a および第 2 信号線 13 b は、各垂直走査期間において、信号線駆動回路 30 から互いに逆の極性の信号電圧が供給される。例えば、第 1 信号線 13 a に正の信号電圧が供給されているときには、第 2 信号線 13 b には負の信号電圧が供給されている。ここでは、各画素列に対応して配置された 2 本の信号線 13 a、13 b のうち左側に配置されている信号線を第 1 信号線 13 a、右側の信号線を第 2 信号線 13 b とそれぞれ呼び、第 1 信号線 13 a および第 2 信号線 13 b に供給される信号電圧の極性は、画素列ごとに独立である。すなわち、図 1 (b) において、n 番目の画素列に対応して配置された第 1 信号線 $S_{a(n)}$ に供給される信号電圧の極性と、n + 1 番目の画素列に対応して配置された第 1 信号線 $S_{a(n+1)}$ に供給される信号電圧の極性とは互いに独立であり、同様に、n 番目の画素列に対応して配置された第 2 信号線 $S_{b(n)}$ に供給される

10

20

30

40

50

信号電圧の極性と、 $n + 1$ 番目の画素列に対応して配置された第 2 信号線 $S_{b(n+1)}$ に供給される信号電圧の極性とは互いに独立である。いずれの場合も、第 1 信号線 $S_{a(n)}$ に供給される信号電圧の極性と、第 2 信号線 $S_{b(n)}$ に供給される信号電圧の極性とは互いに逆であり、第 1 信号線 $S_{a(n+1)}$ に供給される信号電圧の極性と、第 2 信号線 $S_{b(n+1)}$ に供給される信号電圧の極性とは互いに逆である。

【0037】

任意のカラー表示画素 P_{CD} において、第 1 画素 P_1 および第 3 画素 P_3 の一方の TFT 14 は第 1 信号線 13a に接続されており、他方の TFT 14 は第 2 信号線 13b に接続されている。また、第 2 画素 P_2 および第 4 画素 P_4 の一方の TFT 14 は第 1 信号線 13a に接続されており、他方の TFT 14 は第 2 信号線 13b に接続されている。ここでは、第 1 画素 P_1 の TFT 14 は第 1 信号線 13a に接続されており、第 3 画素 P_3 の TFT 14 は第 2 信号線 13b に接続されている。また、第 2 画素 P_2 の TFT 14 は第 2 信号線 13b に接続されており、第 4 画素 P_4 の TFT 14 は第 1 信号線 13a に接続されているが、それぞれ逆の信号線 13 に接続されていてもよい。

【0038】

ここで、4 つの画素 $P_1 \sim P_4$ の TFT 14 は全て、共通の走査信号によってオン / オフ制御される。ここでは、4 つの画素 $P_1 \sim P_4$ の TFT 14 は全て、共通の走査線 12 に接続されているが、共通の走査信号によってオン / オフ制御される限り、異なる走査線から走査信号が供給されてもよい。例えば、後述するように、1 つの画素電極を 2 つの副画素電極で構成することによって、1 つの画素を、表示すべき中間調よりも高い輝度を呈する明副画素と、表示すべき中間調よりも低い輝度を呈する暗副画素で構成する場合、2 つの副画素電極に対応して、2 本の走査線を設けて、各走査線に共通の走査信号を供給する。

【0039】

このように構成すると、1 つのカラー表示画素 P_{CD} に含まれる 4 つの画素 $P_1 \sim P_4$ は 1 本の走査線 $G_{(m)}$ と、4 本の信号線 $S_{a(n)}$ 、 $S_{b(n)}$ 、 $S_{a(n+1)}$ および $S_{b(n+1)}$ によって駆動されるので、従来のストライプ配列（各行に 4 つの色画素を配列し、各列はいずれか 1 色の画素が配列される）よりも画素行の数が増えた（2 倍）にも拘わらず、各画素に信号電圧を供給する時間（TFT 14 をオンする時間、「書き込み時間」ということもある）を、従来のストライプ配列のときと同じにできる。従って、走査信号線の駆動に関しては、2 倍速駆動や 4 倍速駆動を行うのに障害はない。

【0040】

さらに、第 1 画素 P_1 に印加される電圧と第 3 画素 P_3 に印加される電圧の極性は互いに逆で、且つ、第 2 画素 P_2 に印加される電圧と第 4 画素 P_4 に印加される電圧の極性は互いに逆であるので、各カラー表示画素 P_{CD} に含まれる 4 つの画素 $P_1 \sim P_4$ の 2 つに正の電圧が印加され、他の 2 つには負の電圧が印加される。

【0041】

さらに、本発明による実施形態の液晶表示装置 100 では、任意の垂直走査期間において、第 1 信号線 13a および第 2 信号線 13b に供給される信号電圧の極性は一定である。もちろん、液晶表示装置 100 においても、交流駆動を行うので、垂直走査期間ごとに、第 1 信号線 13a および第 2 信号線 13b に供給される信号電圧の極性は反転される。すなわち、信号線駆動回路 30 は、画素行の数に拘わらず、垂直走査期間ごとに、各信号線 13 に供給する信号電圧の極性を反転するだけである（すなわち、極性反転の周期は、垂直走査期間の 2 倍となる）。従って、液晶表示装置 100 の信号線駆動回路 30 の負荷は、特許文献 1、2 に記載された液晶表示装置や、従来の一般的なストライプ配列の液晶表示装置における信号線駆動回路の負荷よりも小さい。ここでは、各信号線 13 に供給する信号電圧の極性を垂直走査期間ごとに反転させる例を説明するが、各信号線 13 に供給する信号電圧の極性を 2 以上の垂直走査期間ごとに反転させてもよい。例えば、240 Hz 駆動するときに、同じ画像を 2 垂直走査期間に亘って同じ極性で書き込むと、画素への充電時間を十分に確保できるという利点を得られる。また、極性反転の周期が長いほど、消費電力が低減される。

10

20

30

40

50

【 0 0 4 2 】

液晶表示装置 1 0 0 が有する上記の利点は、2 倍速や 4 倍速駆動を行った場合、すなわち、垂直走査期間が $1 / 120$ 秒以下の場合に顕著であるが、従来の 60 Hz 駆動においても、消費電力を低減できるという利点が見られる。従って、特許文献 1、2 に記載されているように、フリッカの発生を防止するように構成することが好ましい。以下、図 2 ~ 図 5 を参照して、フリッカの発生を防止するための構成を説明する。

【 0 0 4 3 】

図 2 ~ 5 は、液晶表示装置 1 0 0 の液晶表示パネル 1 0 として用いられる液晶表示パネル 1 0 A ~ 1 0 D における、4 つの画素 $P_1 \sim P_4$ の T F T 1 4 と 2 本の信号線 1 3 との接続関係および画素に印加される信号電圧の極性の分布を示す図である。

10

【 0 0 4 4 】

図 2 ~ 5 に示す液晶表示パネル 1 0 A ~ 1 0 D はいずれも、図 1 を参照して説明した液晶表示パネル 1 0 の構成を備えており、各信号線 1 3 に供給される信号電圧の極性は垂直走査期間内には変化せず、垂直走査期間ごとに反転される。図 2 ~ 5 に示す画素に印加されている電圧の極性は、ある垂直走査期間における極性を示しており、次の垂直走査期間で全ての画素の極性が反転する。

【 0 0 4 5 】

図 2 および図 3 に示す液晶表示パネル 1 0 A、1 0 B では、4 本の信号線 $S_{a(n)}$ 、 $S_{b(n)}$ 、 $S_{a(n+1)}$ および $S_{b(n+1)}$ の内、信号線 $S_{a(n)}$ と $S_{a(n+1)}$ とが同極性（ここでは正）で、信号線 $S_{b(n)}$ と $S_{b(n+1)}$ とが同極性（ここでは負）である。一方、図 4 および図 5 に示す液晶表示パネル 1 0 C、1 0 D では、4 本の信号線 $S_{a(n)}$ 、 $S_{b(n)}$ 、 $S_{a(n+1)}$ および $S_{b(n+1)}$ の内、信号線 $S_{a(n)}$ と $S_{b(n+1)}$ とが同極性（ここでは正）で、信号線 $S_{b(n)}$ と $S_{a(n+1)}$ とが同極性（ここでは負）である。

20

【 0 0 4 6 】

図 2 および図 3 に示すように、互いに隣接する任意の 2 本の信号線に供給される信号電圧の極性が逆であると、以下のような利点が見られる。例えば、信号線上に小さな異物があり、異物を介して、2 本の信号線（例えば $S_{b(n)}$ および $S_{a(n+1)}$ ）間に軽微なリーク電流が発生していた場合、近接する信号線に供給される電圧が逆極性であると、これらの信号線の間と比較的高い電圧が印加されることになるので、異物に比較的大きな電流が流れる。そうすると、そのジュール熱によって異物が破壊される結果、リーク不良が修復されることがある。また、隣接する信号線に供給される信号電圧の極性が互いに反対であると、従来の R、G、B ストライプ配列の液晶表示装置のドット反転駆動用の信号線駆動回路をそのまま利用することができる。

30

【 0 0 4 7 】

図 2 に示す液晶表示パネル 1 0 A の、 m 行 n 列の第 1 画素 P_1 を含むカラー表示画素 P_{CD} においては、第 1 画素 P_1 の T F T 1 4 は第 1 信号線 $S_{a(n)}$ に接続されており、第 3 画素 P_3 の T F T 1 4 は第 2 信号線 $S_{b(n)}$ に接続されている。また、第 2 画素 P_2 の T F T 1 4 は第 2 信号線 $S_{b(n+1)}$ に接続されており、第 4 画素 P_4 の T F T 1 4 は第 1 信号線 $S_{a(n+1)}$ に接続されている。従って、4 つの画素 $P_1 \sim P_4$ のそれぞれに供給される信号電圧の極性は、第 1 画素 P_1 と第 2 画素 P_2 との間および第 3 画素 P_3 と第 4 画素 P_4 との間で互いに逆になっている。

40

【 0 0 4 8 】

次に、 $m + 1$ 行、 n 列の第 1 画素 P_1 を含むカラー表示画素 P_{CD} に注目する。このカラー表示画素では、第 1 画素 P_1 の T F T 1 4 は第 2 信号線 $S_{b(n)}$ に接続されており、第 3 画素 P_3 の T F T 1 4 は第 1 信号線 $S_{a(n)}$ に接続されている。また、第 2 画素 P_2 の T F T 1 4 は第 1 信号線 $S_{a(n+1)}$ に接続されており、第 4 画素 P_4 の T F T 1 4 は第 2 信号線 $S_{b(n+1)}$ に接続されている。

【 0 0 4 9 】

すなわち、列方向に隣接する 2 つのカラー表示画素の間で、それぞれ対応する 4 つの画素 $P_1 \sim P_4$ の T F T 1 4 と 2 本の信号線 1 3（例えば、信号線 $S_{a(n)}$ 、 $S_{b(n)}$ および信号

50

線 $S_{a(n+1)}$ 、 $S_{b(n+1)}$) との接続関係は、互いに逆になっている。その結果、列方向に隣接する同じ色の画素に印加される電圧の極性は互いに逆になっている。例えば、 m 行 n 列の第 1 画素 P_1 には正の電圧が印加され、 $m+1$ 行 n 列の第 1 画素 P_1 には負の電圧が印加される。他の第 2 ~ 第 4 画素についても同様に、列方向に隣接する 2 つのカラー表示画素間で、各色の画素に印加される電圧の極性は、互いに逆になっている。

【 0 0 5 0 】

次に、 m 行 $n+2$ 列の第 1 画素 P_1 を含むカラー表示画素 P_{CD} に注目する。このカラー表示画素では、第 1 画素 P_1 の T F T 1 4 は第 2 信号線 $S_{b(n+2)}$ に接続されており、第 3 画素 P_3 の T F T 1 4 は第 1 信号線 $S_{a(n+2)}$ に接続されている。また、第 2 画素 P_2 の T F T 1 4 は第 1 信号線 $S_{a(n+3)}$ に接続されており、第 4 画素 P_4 の T F T 1 4 は第 2 信号線 $S_{b(n+3)}$ に接続されている。

10

【 0 0 5 1 】

すなわち、行方向に隣接する 2 つのカラー表示画素の間で、それぞれ対応する 4 つの画素 $P_1 \sim P_4$ の T F T 1 4 と 2 本の信号線 1 3 (例えば、信号線 $S_{a(n)}$ 、 $S_{b(n)}$ および信号線 $S_{a(n+2)}$ 、 $S_{b(n+2)}$) との接続関係は、互いに逆になっている。その結果、行方向に隣接する同じ色の画素に印加される電圧の極性は互いに逆になっている。例えば、 m 行 n 列の第 1 画素 P_1 には正の電圧が印加され、 m 行 $n+2$ 列の第 1 画素 P_1 には負の電圧が印加される。他の第 2 ~ 第 4 画素についても同様に、行方向に隣接する 2 つのカラー表示画素間で、各色の画素に印加される電圧の極性は、互いに逆になっている。

【 0 0 5 2 】

20

図 2 からわかるように、(ハッチングを付している) 第 1 画素 P_1 に印加される電圧は、列方向に隣接するカラー表示画素間で互いに逆であり、且つ、行方向に隣接するカラー表示画素間で互いに逆である。他の第 2 ~ 第 4 画素についても同様である。従って、液晶表示パネル 10 A を用いても、特許文献 1、2 に記載の液晶表示装置と同様に、フリッカの発生が防止される。

【 0 0 5 3 】

次に図 3 を参照する。図 3 に示す液晶表示パネル 10 B の、 m 行 n 列の第 1 画素 P_1 を含むカラー表示画素 P_{CD} においては、第 1 画素 P_1 の T F T 1 4 は第 1 信号線 $S_{a(n)}$ に接続されており、第 3 画素 P_3 の T F T 1 4 は第 2 信号線 $S_{b(n)}$ に接続されている。また、第 2 画素 P_2 の T F T 1 4 は第 1 信号線 $S_{a(n+1)}$ に接続されており、第 4 画素 P_4 の T F T 1 4 は第 2 信号線 $S_{b(n+1)}$ に接続されている。第 2 画素 P_2 および第 4 画素 P_4 の T F T 1 4 と 2 本の信号線 $S_{a(n+1)}$ および $S_{b(n+1)}$ との接続関係が、図 2 に示した液晶表示パネル 10 A と逆になっている。従って、4 つの画素 $P_1 \sim P_4$ のそれぞれに供給される信号電圧の極性は、第 1 画素 P_1 と第 2 画素 P_2 との間および第 3 画素 P_3 と第 4 画素 P_4 との間で互いに同じである。

30

【 0 0 5 4 】

次に、 $m+1$ 行、 n 列の第 1 画素 P_1 を含むカラー表示画素 P_{CD} に注目する。このカラー表示画素では、第 1 画素 P_1 の T F T 1 4 は第 2 信号線 $S_{b(n)}$ に接続されており、第 3 画素 P_3 の T F T 1 4 は第 1 信号線 $S_{a(n)}$ に接続されている。また、第 2 画素 P_2 の T F T 1 4 は第 2 信号線 $S_{b(n+1)}$ に接続されており、第 4 画素 P_4 の T F T 1 4 は第 1 信号線 $S_{a(n+1)}$ に接続されている。

40

【 0 0 5 5 】

すなわち、列方向に隣接する 2 つのカラー表示画素の間で、それぞれ対応する 4 つの画素 $P_1 \sim P_4$ の T F T 1 4 と 2 本の信号線 1 3 (例えば、信号線 $S_{a(n)}$ 、 $S_{b(n)}$ および信号線 $S_{a(n+1)}$ 、 $S_{b(n+1)}$) との接続関係は、互いに逆になっている。その結果、列方向に隣接する同じ色の画素に印加される電圧の極性は互いに逆になっている。例えば、 m 行 n 列の第 1 画素 P_1 には正の電圧が印加され、 $m+1$ 行 n 列の第 1 画素 P_1 には負の電圧が印加される。他の第 2 ~ 第 4 画素についても同様に、列方向に隣接する 2 つのカラー表示画素間で、各色の画素に印加される電圧の極性は、互いに逆になっている。

【 0 0 5 6 】

50

次に、 m 行 $n+2$ 列の第1画素 P_1 を含むカラー表示画素 P_{CD} に注目する。このカラー表示画素では、第1画素 P_1 のTFT14は第2信号線 $S_{b(n+2)}$ に接続されており、第3画素 P_3 のTFT14は第1信号線 $S_{a(n+2)}$ に接続されている。また、第2画素 P_2 のTFT14は第2信号線 $S_{b(n+3)}$ に接続されており、第4画素 P_4 のTFT14は第1信号線 $S_{a(n+3)}$ に接続されている。

【0057】

すなわち、行方向に隣接する2つのカラー表示画素の間で、それぞれ対応する4つの画素 $P_1 \sim P_4$ のTFT14と2本の信号線13（例えば、信号線 $S_{a(n)}$ 、 $S_{b(n)}$ および信号線 $S_{a(n+2)}$ 、 $S_{b(n+2)}$ ）との接続関係は、互いに逆になっている。その結果、行方向に隣接する同じ色の画素に印加される電圧の極性は互いに逆になっている。例えば、 m 行 n 列の第1画素 P_1 には正の電圧が印加され、 m 行 $n+2$ 列の第1画素 P_1 には負の電圧が印加される。他の第2～第4画素についても同様に、行方向に隣接する2つのカラー表示画素間で、各色の画素に印加される電圧の極性は、互いに逆になっている。

【0058】

図3からわかるように、（ハッチングを付している）第1画素 P_1 に印加される電圧は、列方向に隣接するカラー表示画素間で互いに逆であり、且つ、行方向に隣接するカラー表示画素間で互いに逆である。他の第2～第4画素についても同様である。従って、液晶表示パネル10Bを用いても、特許文献1、2に記載の液晶表示装置と同様に、フリッカの発生が防止される。

【0059】

次に図4を参照する。図4に示す液晶表示パネル10Cの、 m 行 n 列の第1画素 P_1 を含むカラー表示画素 P_{CD} においては、第1画素 P_1 のTFT14は第1信号線 $S_{a(n)}$ に接続されており、第3画素 P_3 のTFT14は第2信号線 $S_{b(n)}$ に接続されている。また、第2画素 P_2 のTFT14は第1信号線 $S_{a(n+1)}$ に接続されており、第4画素 P_4 のTFT14は第2信号線 $S_{b(n+1)}$ に接続されている。

【0060】

液晶表示パネル10Cにおける4つの画素 $P_1 \sim P_4$ のTFT14と2本の信号線13との接続関係は、図3に示した液晶表示パネル10Bと同じである。液晶表示パネル10Cと液晶表示パネル10Bとの違いは、信号線13に供給される信号電圧の極性にある。すなわち、液晶表示パネル10Bにおいて、1つのカラー表示画素に対応する4本の信号線 $S_{a(n)}$ 、 $S_{b(n)}$ 、 $S_{a(n+1)}$ および $S_{b(n+1)}$ の内、信号線 $S_{a(n)}$ と $S_{a(n+1)}$ とが同極性（ここでは正）で、信号線 $S_{b(n)}$ と $S_{b(n+1)}$ とが同極性（ここでは負）であったのに対し、液晶表示パネル10Cでは、4本の信号線 $S_{a(n)}$ 、 $S_{b(n)}$ 、 $S_{a(n+1)}$ および $S_{b(n+1)}$ の内、信号線 $S_{a(n)}$ と $S_{b(n+1)}$ とが同極性（ここでは正）で、信号線 $S_{b(n)}$ と $S_{a(n+1)}$ とが同極性（ここでは負）である。

【0061】

図4と図3とを比較すれば明らかなように、図3における第2画素 P_2 および第4画素 P_4 の極性を逆にすれば、図4の各画素の極性の分布と一致する。液晶表示装置10Cにおいては、4つの画素 $P_1 \sim P_4$ のそれぞれに供給される信号電圧の極性は、第1画素 P_1 と第2画素 P_2 との間および第3画素 P_3 と第4画素 P_4 との間で互いに逆になっている。

【0062】

図4からわかるように、（ハッチングを付している）第1画素 P_1 に印加される電圧は、列方向に隣接するカラー表示画素間で互いに逆であり、且つ、行方向に隣接するカラー表示画素間で互いに逆である。他の第2～第4画素についても同様である。従って、液晶表示パネル10Cを用いても、特許文献1、2に記載の液晶表示装置と同様に、フリッカの発生が防止される。

【0063】

次に図5を参照する。図5に示す液晶表示パネル10Dの、 m 行 n 列の第1画素 P_1 を含むカラー表示画素 P_{CD} においては、第1画素 P_1 のTFT14は第1信号線 $S_{a(n)}$ に接続されており、第3画素 P_3 のTFT14は第2信号線 $S_{b(n)}$ に接続されている。また、

第2画素 P_2 のTFT14は第2信号線 $S_{b(n+1)}$ に接続されており、第4画素 P_4 のTFT14は第1信号線 $S_{a(n+1)}$ に接続されている。

【0064】

液晶表示パネル10Dにおける4つの画素 $P_1 \sim P_4$ のTFT14と2本の信号線13との接続関係は、図2に示した液晶表示パネル10Aと同じである。液晶表示パネル10Dと液晶表示パネル10Aとの違いは、信号線13に供給される信号電圧の極性にある。すなわち、液晶表示パネル10Aにおいて、1つのカラー表示画素に対応する4本の信号線 $S_{a(n)}$ 、 $S_{b(n)}$ 、 $S_{a(n+1)}$ および $S_{b(n+1)}$ の内、信号線 $S_{a(n)}$ と $S_{a(n+1)}$ とが同極性（ここでは正）で、信号線 $S_{b(n)}$ と $S_{b(n+1)}$ とが同極性（ここでは負）であったのに対し、液晶表示パネル10Dでは、4本の信号線 $S_{a(n)}$ 、 $S_{b(n)}$ 、 $S_{a(n+1)}$ および $S_{b(n+1)}$ の内、信号線 $S_{a(n)}$ と $S_{b(n+1)}$ とが同極性（ここでは正）で、信号線 $S_{b(n)}$ と $S_{a(n+1)}$ とが同極性（ここでは負）である。

10

【0065】

図5と図2とを比較すれば明らかなように、図5における第2画素 P_2 および第4画素 P_4 の極性を逆にすれば、図2の各画素の極性の分布と一致する。液晶表示装置10Dにおいては、4つの画素 $P_1 \sim P_4$ のそれぞれに供給される信号電圧の極性は、第1画素 P_1 と第2画素 P_2 との間および第3画素 P_3 と第4画素 P_4 との間で互いに同じである。

【0066】

図5からわかるように、（ハッチングを付している）第1画素 P_1 に印加される電圧は、列方向に隣接するカラー表示画素間で互いに逆であり、且つ、行方向に隣接するカラー表示画素間で互いに逆である。他の第2～第4画素についても同様である。従って、液晶表示パネル10Dを用いても、特許文献1、2に記載の液晶表示装置と同様に、フリッカの発生が防止される。

20

【0067】

次に、図6および図7を参照して、マルチ画素構造を有する液晶表示パネル10Eの構造と動作を説明する。マルチ画素構造とは、個々の画素が、ある中間調を表示するときに、表示すべき中間調よりも高い輝度を呈する明副画素と、表示すべき中間調よりも低い輝度を呈する暗副画素を有する構造を言う。マルチ画素構造を導入することによって、 γ 特性の視角依存性を改善することができる。マルチ画素構造として、例えば特開2006-133577号公報に記載されている構造を採用することができる。参考のために、特開2006-133577号公報の開示内容の全てを本明細書に援用する。

30

【0068】

図6は、液晶表示パネル10Eにおける画素のTFTと信号線との接続関係とともに、走査信号としてのゲート信号がオンとなるタイミングを併せて示している。図7は、図6中の一点鎖線で囲んだ3画素の等価回路を示す図である。

【0069】

図6の液晶表示パネル10Eは、図2の液晶表示パネル10Aにマルチ画素構造を適用したものであり、4つの画素 $P_1 \sim P_4$ のそれぞれが副画素 P_a と副画素 P_b とを有している。ここでは、副画素 P_a が明副画素、副画素 P_b が暗副画素となる例を示す。明副画素 P_a と暗副画素 P_b は、各画素を列方向に2分割して形成されている。ここでは、簡単のために、明副画素 P_a と暗副画素 P_b の面積は互いにほぼ等しく図示しているが、副画素 P_a と副画素 P_b との面積比はこれに限られず、適宜変更され得る。なお、カラー表示画素 P_{CD} を構成する4つの画素 $P_1 \sim P_4$ の明副画素 P_a は、ここで例示するように、カラー表示画素 P_{CD} の列方向の中心に配置されることが好ましい。すなわち、第1画素 P_1 および第2画素 P_2 の下側の副画素および第3画素 P_3 および第4画素 P_4 の上側の副画素を明副画素 P_a とすることが好ましい。

40

【0070】

第1、第2画素の明副画素と、第3、第4画素の明副画素との間に暗副画素が存在すると、色のにじみが発生することがある。例えば、画素行に平行なエッジを有する白い四角形を表示したとき、四角形の上端のエッジでは、エッジに対応する画素行の第1および第

50

2画素の明副画素が目立つ。すなわち、2色の画素の明副画素が目立つので、白い四角形の上端のエッジに色がにじんだ様に見えることになる。上述したように、カラー表示画素 P_{CD} を構成する4つの画素 $P_1 \sim P_4$ の明副画素 P_a をカラー表示画素 P_{CD} の列方向の中心に配置すると、4つの色の明副画素 P_a が近接するので、色のにじみを防止することができる。

【0071】

図6に示すように、4つの画素 $P_1 \sim P_4$ はそれぞれ、明副画素 P_a および暗副画素 P_b を有している。明副画素 P_a はTFT14aに接続されており、暗副画素 P_b はTFT14bに接続されている。TFT14aおよび14bのゲートは共通の走査線12に接続されており、TFT14aおよび14bのソースは共通の信号線13に接続されている。すなわち、副画素 P_a 、 P_b はそれぞれ、図1(b)に示した画素電極11に対応する副画素電極を有し、副画素 P_a 、 P_b の副画素電極は、それぞれ対応するTFT14a、14bのドレインに接続されており、TFT14a、14bを介して共通の信号線(ソースバスライン)13に接続されている。

【0072】

図2に示した液晶表示パネル10Aでは、第1画素 P_1 および第3画素 P_3 と、第2画素 P_2 および第4画素 P_4 の合計4個のTFT14が共通の走査線(ゲートバスライン)12に接続されていたのに対し、液晶表示パネル10Eでは、第1画素 P_1 の明副画素および暗副画素と、第2画素 P_2 の明副画素および暗副画素の合計4個のTFT14a、14bが共通の走査線12(例えば図6中の上側の $G_{(m)}$)に接続されている。また、同様に、第3画素 P_3 の明副画素および暗副画素と、第4画素 P_4 の明副画素および暗副画素の合計4個のTFT14a、14bが共通の他の走査線12(例えば図6中の下側の $G_{(m)}$)に接続されている。図6に示すように、これら2本の走査線12には、共通のゲート信号が供給される。図6に示したゲート信号がハイになる期間に、TFT14a、14bがオン状態になり、対応する信号線13から信号電圧が供給される。従って、液晶表示パネル10Eの4つの画素 $P_1 \sim P_4$ の各副画素(合計8個の副画素)には、対応するTFT14a、14bがオン状態になったときに、(液晶表示パネル10Aの4つの画素 $P_1 \sim P_4$ と同様に、)対応する信号電圧が供給される。TFT14a、14bのゲートは、共通のゲート信号によってオン/オフ制御される。

【0073】

液晶表示パネル10Eの4つの画素 $P_1 \sim P_4$ のそれぞれは、さらに第3のTFT14cを有している。TFT14cは、図7に示すように、暗副画素 P_b の容量 CS_b に対して並列に接続されたバッファ容量 CS_c との間の電気的な接続をスイッチングする。このTFT14cのゲートは、次段の走査線(例えば、($G_{(m+1)}$))に接続されており、次段、すなわち列方向に隣接するカラー表示画素のTFT14a、14bと同じタイミングでオン状態となる。この第3のTFT14cをオン状態とすることによって、副画素 P_b が暗副画素となる。

【0074】

図7を参照して、液晶表示パネル10Eのm行n列の第1画素 P_1 に明副画素 P_a と暗副画素 P_b とが形成される動作を説明する。

【0075】

走査線 $G_{(m)}$ のゲート信号がハイになると、TFT14a、14bがオン状態となり、信号線 $S_{a(n)}$ から、所定の信号電圧($V_{(k)}$ とする。)が副画素 P_a 、 P_b に供給され、副画素 P_a の液晶容量 Cl_{ca} および補助容量 CS_a (副画素容量 C_{pa} ともいう。)、副画素 P_b の液晶容量 Cl_{cb} および補助容量 CS_b (副画素容量 C_{pb} ともいう。)が充電される。液晶容量 Cl_{ca} 、 Cl_{cb} を構成する一方の電極は各副画素の副画素電極であり、他方の電極が対向電極である。対向電極には、共通電圧(対向電圧) COM が供給されている。補助容量 CS_a 、 CS_b を構成する一方の電極は補助容量電極であり、TFT14aまたは14bのドレイン電極に接続されており、それぞれの副画素の副画素電極と同じ電圧が供給される。補助容量 CS_a 、 CS_b を構成する他方の電極は補助容量配線(

C s) 1 5 に接続されており、補助容量電圧が供給される。

【 0 0 7 6 】

このとき、走査線 $G_{(m+1)}$ のゲート信号はローなので、T F T 1 4 c はオフ状態にあり、バッファ容量 $C S c$ は、前の垂直走査期間に書き込まれた信号電圧 ($V_{(k-1)}$) とする。) が保持されている。ここで、液晶表示パネル 1 0 E は、フレーム反転駆動されるので、現垂直走査期間に書き込まれる電圧の極性は、前垂直走査期間に書き込まれた電圧の極性と逆である。

【 0 0 7 7 】

次に、走査線 $G_{(m)}$ のゲート信号がローになり、T F T 1 4 a、1 4 b がオフ状態になると、副画素容量 C_{Pa} および副画素容量 C_{Pb} はそれぞれ、 $V_{(k)}$ を保持した状態になる。

10

【 0 0 7 8 】

続いて、走査線 $G_{(m+1)}$ のゲート信号がハイになると、T F T 1 4 c がオン状態になる。T F T 1 4 c がオン状態になると、副画素容量 C_{Pb} と、バッファ容量 $C S c$ とが並列に接続される。従って、副画素容量 C_{Pb} が保持している電圧 $V_{(k)}$ と、バッファ容量 $C S c$ が保持している電圧 $V_{(k-1)}$ とが等しくなるように、副画素容量 C_{Pb} に蓄えられる電荷とバッファ容量 $C S c$ に蓄えられる電荷が再分配されることになる。このとき、 $V_{(k-1)}$ は $V_{(k)}$ と逆の極性を有しているので、副画素容量 C_{Pb} とバッファ容量 $C S c$ とに蓄積される全体の電荷量は減少し、副画素容量 C_{Pb} の電圧は $V_{(k)}$ よりも小さくなる (絶対値が小さくなる)。その結果、副画素 $P b$ の輝度は、電圧 $V_{(k)}$ が保持されて状態を維持している副画素 $P a$ の輝度よりも低くなる。

20

【 0 0 7 9 】

なお、各信号線に供給する信号電圧の極性を 2 以上の垂直走査期間ごとに反転させる場合でも、上記の動作によって、副画素 $P b$ を暗副画素にすることができる。例えば、負の信号電圧を印加した後、極性を反転させて正の信号電圧を書き込むと、上述のように副画素 $P b$ の輝度は副画素 $P a$ の輝度よりも低くなる。この後、さらに続けて正の同じ信号電圧を供給すると、このときの副画素 $P b$ の輝度は変化しない。しかしながら、正の信号電圧を供給する 2 垂直走査期間の平均の輝度を考えると、副画素 $P b$ の平均輝度は、副画素 $P a$ の輝度よりも低い。従って、各信号線に供給する信号電圧の極性を 2 以上の垂直走査期間ごとに反転させても、マルチ画素構造による効果を得ることができる。

【 0 0 8 0 】

30

特開 2 0 0 6 - 1 3 3 5 7 7 号公報に記載のマルチ画素構造は、1 つの画素に複数の液晶ドメイン (典型的には少なくとも液晶層に電圧を印加したときに、液晶ドメインのディレクタの方位角 (右方向、時計の文字盤の 3 時方向を 0° とし、反時計回りを正とする) が、 45° 、 135° 、 225° 、 315° となる 4 つの液晶ドメインを含む) が形成される、ノーマリーブラックモードで表示を行う垂直配向型の液晶表示装置に好適に用いられる。

【 0 0 8 1 】

本発明の液晶表示装置に適用できる他のマルチ画素構造として、本出願人による特開 2 0 0 4 - 6 2 1 4 6 号公報 (米国特許第 6 9 5 8 7 9 1 号明細書) に開示されているものを挙げることができる。このマルチ画素構造は、1 つの画素内の複数の副画素ごとに補助容量を設け、補助容量を構成する補助容量対向電極 ($C S$ バスラインに接続されている) を副画素ごとに電気的に独立とし、補助容量対向電極に供給する電圧 (補助容量対向電圧という。) を変化させることによって、容量分割を利用して、複数の副画素の液晶層に印加される実効電圧を異ならせる液晶表示装置が開示されている。特開 2 0 0 4 - 6 2 1 4 6 号公報 (米国特許第 6 9 5 8 7 9 1 号明細書) の開示内容の全てを参考のために本明細書に援用する。

40

【 0 0 8 2 】

特開 2 0 0 6 - 1 3 3 5 7 7 号公報には、垂直配向型の表示装置として、いわゆる M V A モードの液晶表示装置が記載されている。M V A モードの液晶表示装置は、電極に形成された直線状のスリットや電極の液晶層側に形成された直線状の誘電体突起 (リブ) を、

50

液晶層を介して対向する一対の基板に、基板の法線方向から見たときに、平行且つ交互になるように配置することによって、電圧印加時に形成される液晶ドメインのディレクタの方位を規制する。液晶ドメインの方位は、直線状のスリット又は誘電体突起（これらを総称して「直線状構造体」ということにする。）の延びる方位に直交する方向になる。

【0083】

MVAモードの液晶表示装置は、現在液晶テレビに広く用いられている。しかしながら、MVAモードの液晶表示装置においては、直線状構造体からの配向規制力で、液晶ドメインのディレクタの方位を規制するので、直線状構造体の近傍の液晶分子の応答は速く（配向方向の変化が速く）、直線状構造体から離れた位置の液晶分子の応答が遅いという問題がある。

10

【0084】

MVAモードの液晶表示装置よりも応答特性に優れた垂直配向型の液晶表示装置として、PSAモードの液晶表示装置が知られている。Polymer Sustained Alignment Technology（以下、「PSA技術」という）は、例えば、特開2002-357830号公報、特開2003-177418号公報、特開2006-78968号公報、K. Hanaoka et al. "A New MVA-LCD by Polymer Sustained Alignment Technology", SID 04 DIGEST p.1200-1203(2004)、に開示されている。これら4つの文献の開示内容の全てを参考のために本明細書に援用する。

【0085】

PSA技術は、液晶材料中に少量の重合性化合物（例えば光重合性モノマまたはオリゴマ）を混入しておき、液晶セルを組み立てた後、液晶層に所定の電圧を印加した状態で重合性材料に活性エネルギー線（例えば紫外線）を照射し、生成される重合体によって、液晶分子のプレチルト方向を制御する技術である。重合体が生成されるとき液晶分子の配向状態が、電圧を取り去った後（電圧を印加しない状態）においても維持（記憶）される。重合体で形成される層を、ここでは配向維持層ということにする。配向維持層は、配向膜の表面（液晶層側）に形成されるが、配向膜の表面を覆う膜の形態をとる必要は必ずしも無く、重合体の粒子が離散的に存在する形態もある。

20

【0086】

PSA技術は、液晶層に形成される電界等を制御することによって、液晶分子のプレチルト方位およびプレチルト角度を調整することができるという利点を有している。また、配向維持層によって、液晶層に接するほぼ全ての面で配向規制力を発現するので、MVAモードの液晶表示装置よりも応答特性に優れるという特徴を有している。本発明は、特に2倍速駆動等を行う場合、PSAモードの液晶表示装置に適用することが好ましい。

30

【0087】

本発明による実施形態のPSAモードの液晶表示装置は、例えば、液晶表示パネル10の画素電極11として、図8に示す画素電極11Aを用い、上述のPSA技術を適用することによって得られる。

【0088】

画素電極11Aは、一対の偏光板の偏光軸と重なるように配置された十字形状の幹部11t1、11t2と、十字形状の幹部11t1、11t2から略45°方向に延びる複数の枝部11b1、11b2、11b3、および11b4とを有している。

40

【0089】

幹部は、行方向（水平方向）に延びる幹部11t1と、列方向（垂直方向）に延びる幹部11t2とを有している。複数の枝部は、表示面の右方向（時計の文字盤の3時方向）の方位角を0°とすると、幹部から45°方位に延びる第1群（枝部11b1）と、135°方位に延びる第2群（枝部11b2）と、225°方位に延びる第3群（枝部11b3）と、315°方位に延びる第4群（枝部11b4）とを有している。垂直配向型の液晶層の液晶分子（誘電異方性が負）は、幹部および枝部からの斜め電界により、それぞれの枝部が延びる方位に傾斜する。これは、互いに平行に延びる枝部からの斜め電界は枝部が延びる方向に垂直な方位に液晶分子を傾斜させるように作用し、幹部からの斜め電界は

50

それぞれの枝部の延びる方位に液晶分子を傾斜させるように作用するからである。P S A 技術を用いると、液晶層に電圧を印加した際に形成される、液晶分子の上記の配向を安定化させることができる。

【 0 0 9 0 】

もちろん、本発明は、例示した実施形態の液晶表示装置に限られず、例えば、R T N (V A T Nともいう)モード、I P SモードやF S Sモードの液晶表示装置に広く適用できる。

【 0 0 9 1 】

なお、上記の説明では、行方向を表示面の水平方向、列方向を垂直方向としたが、これは逆になってもよい。すなわち、ゲートバスラインを垂直方向に延びるように配置し、ソースバスラインを水平方向に延びるように配置してもよい。言い換えると、上記の説明における行方向と列方向とを入れ替えてもよい。

10

【産業上の利用可能性】

【 0 0 9 2 】

本発明は、H D T V用の液晶表示装置をはじめ、液晶表示装置に広く用いられる。

【符号の説明】

【 0 0 9 3 】

1 0、1 0 A、1 0 B、1 0 C、1 0 D、1 0 E 液晶表示パネル

1 0 a アクティブマトリクス基板

1 1 画素電極

20

1 2 走査線

1 3 信号線

1 3 a 第1信号線

1 3 b 第2信号線

1 4 薄膜トランジスタ(T F T)

1 5 補助容量配線

2 0 走査線駆動回路(ゲートドライバ)

3 0 信号線駆動回路(ソースドライバ)

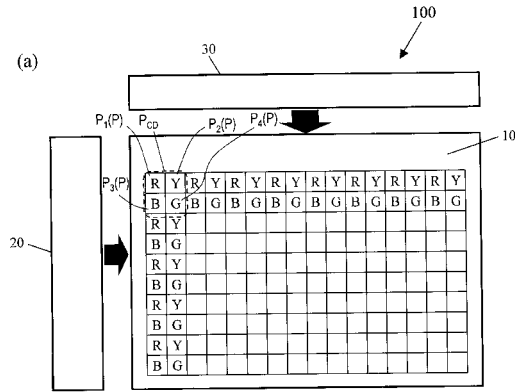
1 0 0 液晶表示装置

P、P₁、P₂、P₃、P₄ 画素

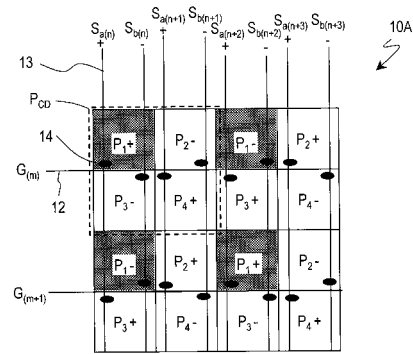
30

P_{CD} カラー表示画素

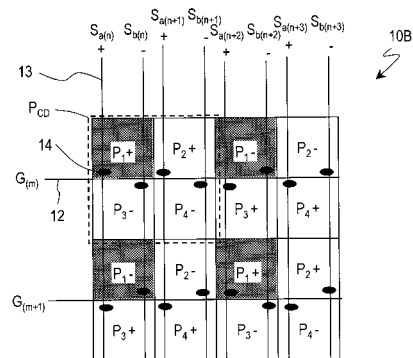
【図 1】



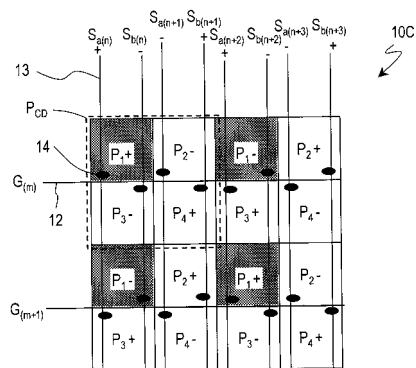
【図 2】



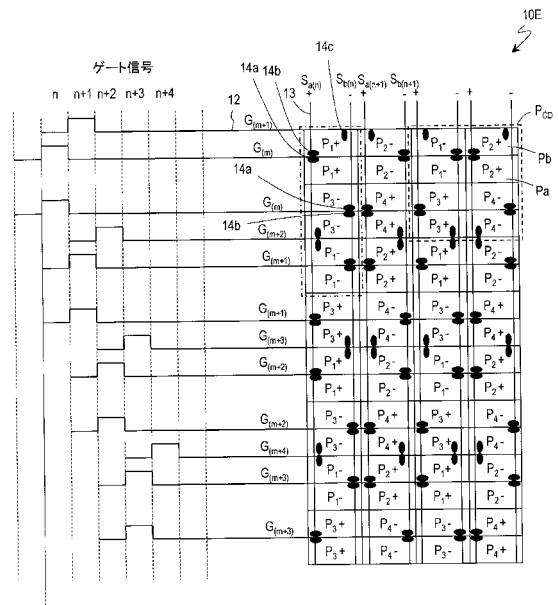
【図 3】



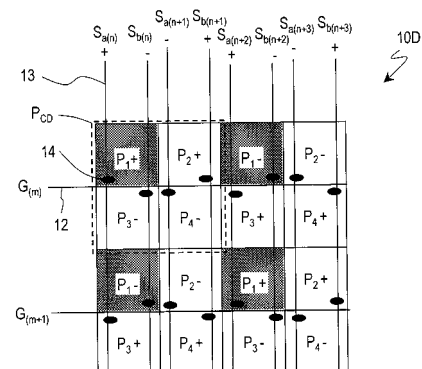
【図 4】



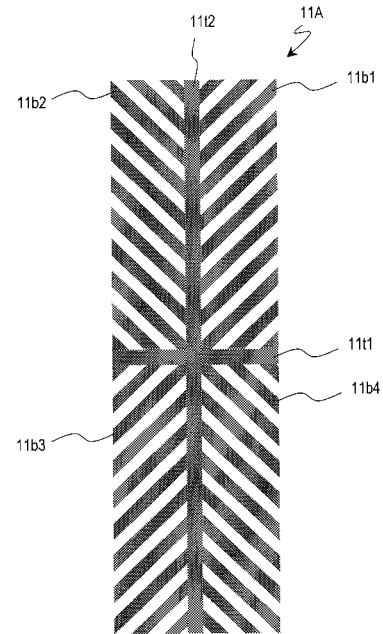
【図 6】



【図 5】



【 図 8 】



フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 2 2 P
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 4 2 K
G 0 9 G	3/20	6 2 3 Q
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 2 2 D
G 0 2 F	1/133	5 2 5
G 0 2 F	1/133	5 1 0

(72)発明者 平田 貢祥
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 下敷領 文一
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 兵頭 賢一
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 逸見 郁未
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 山下 祐樹
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 杉坂 茜
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 鈴木 俊光

(56)参考文献 特開 2 0 0 1 - 0 3 3 7 5 7 (J P , A)
特開 2 0 0 9 - 1 7 5 4 6 8 (J P , A)
国際公開第 2 0 0 9 / 0 8 4 3 3 1 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 3
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP5540020B2	公开(公告)日	2014-07-02
申请号	JP2011551896	申请日	2011-01-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	北山雅江 平田貢祥 下敷領文一 兵頭賢一 逸見郁未 山下祐樹 杉坂茜		
发明人	北山 雅江 平田 貢祥 下敷領 文一 兵頭 賢一 逸見 郁未 山下 祐樹 杉坂 茜		
IPC分类号	G02F1/133 G02F1/1368 G09G3/36 G09G3/20		
CPC分类号	G09G3/36 G02F1/133707 G02F1/13624 G02F2201/52 G09G2300/0452 G09G2310/0205 G09G2320/0247 G09G2330/045		
FI分类号	G02F1/133.550 G02F1/1368 G09G3/36 G09G3/20.621.B G09G3/20.623.C G09G3/20.622.P G09G3/20.623.U G09G3/20.621.M G09G3/20.642.K G09G3/20.623.Q G09G3/20.611.E G09G3/20.622.D G02F1/133.525 G02F1/133.510		
代理人(译)	奥田诚治 三宅明子		
审查员(译)	铃木俊光		
优先权	2010019258 2010-01-29 JP		
其他公开文献	JPWO2011093374A1		
外部链接	Espacenet		

摘要(译)

液晶显示装置 (100) 中的彩色显示像素P CD包括排列成两行两列的第一至第四像素P 1至P 4 , 以及与之对应的第一和第二信号线 (13a , 13b) 。在每个垂直扫描周期中, 从信号线驱动电路 (30) 向每列像素提供相互相反的极性信号电压。第一和第三像素P 1和P 3中的一个的TFT (14) 连接到第一信号线 (13a) , 另一个像素的TFT (14) 连接到第二信号线 (13b)) 。第二和第四像素P 2和P 4之一的TFT (14) 连接到第一信号线 (13a) , 另一个像素的TFT (14) 连接到第二信号线 (13b)) 。第一至第四像素P 1至P 4的TFT (14) 通过共同的扫描信号被控制为导通/截止, 并且提供给第一和第二信号线 (13a , 13b) 的信号电压的极性是在任意垂直扫描期间恒定。由此, 减小了信号线驱动电路上的负载。

図 3

