

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5350495号
(P5350495)

(45) 発行日 平成25年11月27日 (2013.11.27)

(24) 登録日 平成25年8月30日 (2013.8.30)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 G09F 9/00 (2006.01)
 G09F 9/30 (2006.01)
 G02F 1/1345 (2006.01)

G09G 3/36
 G09G 3/20 670A
 G09G 3/20 623V
 G09G 3/20 623X
 G09G 3/20 623A

請求項の数 12 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2011-552663 (P2011-552663)
 (86) (22) 出願日 平成22年11月26日 (2010.11.26)
 (86) 国際出願番号 PCT/JP2010/071162
 (87) 国際公開番号 W02011/096125
 (87) 国際公開日 平成23年8月11日 (2011.8.11)
 審査請求日 平成24年7月11日 (2012.7.11)
 (31) 優先権主張番号 特願2010-25220 (P2010-25220)
 (32) 優先日 平成22年2月8日 (2010.2.8)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 田中 信也
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内
 (72) 発明者 菊池 哲郎
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内
 (72) 発明者 嶋田 純也
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に配された各画素と上記各画素毎に設けられた画素 T F T 素子とが設けられている表示領域と、

上記画素 T F T 素子とモノリシックに形成された複数の駆動 T F T 素子を備えている駆動回路が設けられている上記表示領域の周辺領域とを有する表示装置であって、

上記駆動 T F T 素子は、半導体層とゲート電極とソース電極とドレイン電極とを備えており、

上記半導体層の一方の面には上記ゲート電極が、上記半導体層の一方の面と対向する他方の面には上記ソース電極および上記ドレイン電極が、それぞれ設けられ、

上記ソース電極または上記ドレイン電極の何れか一方の電極は、他方の電極の一部を取り囲むように形成されており、

上記一方の電極が、上記他方の電極の一部を取り囲むように形成されている領域においては、上記一方の電極と上記他方の電極とは一定間隔離されており、

上記駆動回路には、上記駆動 T F T 素子と同じチャネル幅を有するように形成された冗長 T F T 素子と第 1 の冗長配線と第 2 の冗長配線と第 3 の冗長配線とが備えられており、

上記第 1 の冗長配線は、上記第 1 の冗長配線と上記複数の駆動 T F T 素子のゲート電極に異なる第 1 の信号を入力するために設けられた複数の配線中の何れか 1 本とを電氣的に接続することにより、上記冗長 T F T 素子のゲート電極に、上記第 1 の冗長配線と電氣的に接続された配線における上記第 1 の信号が入力されるように形成されており、

10

20

上記第2の冗長配線は、上記第2の冗長配線と上記複数の駆動TFT素子の上記ソース電極に異なる第2の信号を入力するために設けられた複数の配線中の何れか1本とを電氣的に接続することにより、上記冗長TFT素子のソース電極に、上記第2の冗長配線と電氣的に接続された配線における上記第2の信号が入力されるように形成されており、

上記第3の冗長配線は、上記冗長TFT素子のドレイン電極に電氣的に接続されており、上記第3の冗長配線と上記複数の駆動TFT素子の上記ドレイン電極から上記異なる第2の信号を出力するために設けられた複数の配線中の何れか1本とを電氣的に接続することにより、上記冗長TFT素子のドレイン電極から出力される上記第2の信号が、上記第3の冗長配線と電氣的に接続された配線から出力されるように形成されていることを特徴とする表示装置。

10

【請求項2】

上記駆動回路には、さらに、第4の冗長配線が備えられており、

上記第4の冗長配線は、上記第4の冗長配線と上記複数の駆動TFT素子のゲート電極に異なる第1の信号を入力するために設けられた複数の配線中の何れか1本とを、所定の間隔を有する複数の箇所で電氣的に接続することにより、上記第4の冗長配線と電氣的に接続された配線における上記第1の信号が、上記第4の冗長配線を介して上記配線に入力されるように形成されていることを特徴とする請求項1に記載の表示装置。

【請求項3】

上記駆動回路は、上記表示領域に表示する画像信号を出力するデータ信号線駆動回路の各出力端子を複数の経路に分枝させた配線と、上記分枝させた各配線に設けられた上記駆動TFT素子と、上記データ信号線駆動回路の各出力端子に電氣的に接続された上記各駆動TFT素子を水平期間の時分割で導通できるように駆動させるため、上記各駆動TFT素子のゲート電極に制御信号を入力するための制御信号線とを備えた信号分配回路であることを特徴とする請求項1または2に記載の表示装置。

20

【請求項4】

上記データ信号線駆動回路の各出力端子は、第1の配線、第2の配線および第3の配線に分枝されており、

上記第1の配線、上記第2の配線および上記第3の配線のそれぞれには、上記駆動TFT素子が設けられており、

上記各駆動TFT素子のゲート電極には、上記制御信号を入力するための第1の制御信号線、第2の制御信号線および第3の制御信号線が設けられており、

30

上記信号分配回路には、上記各制御信号線に対応した3組の上記冗長TFT素子と上記第1の冗長配線と上記第2の冗長配線と上記第3の冗長配線とが備えられていることを特徴とする請求項3に記載の表示装置。

【請求項5】

上記駆動TFT素子は、上記データ信号線駆動回路と上記冗長TFT素子との間に挟まれるように形成され、

上記駆動TFT素子の長手方向は、上記データ信号線駆動回路の各出力端子が配列される方向に対して直交するように配置され、

上記冗長TFT素子の長手方向は、上記データ信号線駆動回路の各出力端子が配列される方向と平行に配置されていることを特徴とする請求項3または4に記載の表示装置。

40

【請求項6】

上記駆動TFT素子は、上記データ信号線駆動回路と上記表示領域との間に挟まれるように形成され、

上記駆動TFT素子および上記冗長TFT素子の長手方向は、上記データ信号線駆動回路の各出力端子が配列される方向に対して直交するように配置され、

上記冗長TFT素子は、上記駆動TFT素子の間に挟まれるように形成されていることを特徴とする請求項3または4に記載の表示装置。

【請求項7】

上記画素TFT素子および上記駆動TFT素子における半導体層は、非晶質シリコンで

50

形成されていることを特徴とする請求項 1 から 6 の何れか 1 項に記載の表示装置。

【請求項 8】

上記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、酸化物で形成されていることを特徴とする請求項 1 から 6 の何れか 1 項に記載の表示装置。

【請求項 9】

上記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、微結晶シリコンで形成されていることを特徴とする請求項 1 から 6 の何れか 1 項に記載の表示装置。

【請求項 10】

上記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、多結晶シリコンで形成されていることを特徴とする請求項 1 から 6 の何れか 1 項に記載の表示装置。

10

【請求項 11】

上記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、連続粒界結晶シリコンで形成されていることを特徴とする請求項 1 から 6 の何れか 1 項に記載の表示装置。

【請求項 12】

上記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、微結晶シリコンと非晶質シリコンとが積層されて形成されていることを特徴とする請求項 1 から 6 の何れか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、表示パネルにモノリシックに形成され、従来の T F T に比べ、T F T におけるチャネル幅が大きい T F T を用いた駆動回路を備えた表示装置に関するものである。

【背景技術】

【0002】

従来から、表示装置、特に、液晶表示装置の分野においては、信頼性の向上、額縁領域の狭小化および製造コストの削減などを実現するため、p - S i (P o l y S i l i c o n : 多結晶シリコン) や C G - S i (C o n t i n u o u s G r a i n S i l i c o n : 連続粒界結晶シリコン) や微結晶 S i (μ c - S i : マイクロクリスタルシリコン) のように、比較的の高い移動度を有する半導体膜を用いて、液晶表示装置の表示領域に形成される画素 T F T と、上記表示領域の周辺領域に形成される走査信号線駆動回路およびデータ信号線駆動回路に備えられる駆動 T F T とをモノリシックに形成していた。

30

【0003】

また、近年では、製造コストを削減する他の方法として、上記 p - S i、上記 C G シリコンおよび上記微結晶シリコンからなる半導体膜より移動度は低い、結晶化プロセスを省くことができ、より安価に形成することができる a - S i (A m o r p h o u s S i l i c o n : 非晶質シリコン) 半導体膜を用いて、上記画素 T F T と上記走査線駆動回路に備えられる駆動 T F T とをモノリシックに形成する、いわゆる、a - S i 半導体膜を用いた走査線駆動回路の G D M 化 (ゲートドライバモノリシック化) が提案されている。

【0004】

一方、液晶表示装置の高精細化に伴い、データ信号線の本数が増加しているため、図 1 8 に示すように、データ信号線駆動回路は、複数のデータ信号線駆動回路 1 1 6 a ・ 1 1 6 b ・ 1 1 6 c で構成されることが多い。

40

【0005】

図 1 8 は、複数のデータ信号線駆動回路 1 1 6 a ・ 1 1 6 b ・ 1 1 6 c を備えた従来の液晶表示装置 1 4 1 の構成を示す。

【0006】

液晶表示装置 1 4 1 は、表示パネル 1 1 2、フレキシブルプリント基板 1 1 3 およびコントロール基板 1 1 4 を備えている。

【0007】

液晶表示装置 1 4 1 に備えられた表示パネル 1 1 2 には、ガラス基板上に形成された a

50

- S i を用いて、表示領域 1 1 2 a の各画素毎に形成された画素 T F T 1 2 1 と走査信号線駆動回路 1 1 5 に備えられた駆動 T F T とが作り込まれている。

【 0 0 0 8 】

表示領域 1 1 2 a は、複数の画素 P I X がマトリクス状に配置された領域であり、画素 P I X には、画素 T F T 1 2 1 と液晶容量 C L と補助容量 C s とが備えられている。

【 0 0 0 9 】

画素 T F T 1 2 1 のゲート電極は走査線 G L に接続されており、画素 T F T 1 2 1 のソース電極はデータ信号線 S L に接続されている。また、液晶容量 C L および補助容量 C s は、画素 T F T 1 2 1 のドレイン電極に接続されている。

【 0 0 1 0 】

複数の走査線は走査線 G L 1 ・ G L 2 ・ G L 3 ・ ・ ・ G L n からなり、それぞれ走査信号線駆動回路 1 1 5 の出力に接続されており、一方、複数のデータ信号線はデータ信号線 S L 1 ・ S L 2 ・ S L 3 ・ ・ ・ S L m からなり、それぞれ複数のデータ信号線駆動回路 1 1 6 a ・ 1 1 6 b ・ 1 1 6 c の出力に接続されている。

【 0 0 1 1 】

さらには、図示されてないが、各画素 P I X 毎に備えられている補助容量 C s の一方の電極に補助容量電圧を与える補助容量配線が形成されている。

【 0 0 1 2 】

図示されているように、走査信号線駆動回路 1 1 5 は、表示パネル 1 1 2 の表示領域 1 1 2 a において、走査線 G L 1 ・ G L 2 ・ G L 3 ・ ・ ・ G L n の延びる方向の一方側に隣接する領域に設けられており、各走査線 G L 1 ・ G L 2 ・ G L 3 ・ ・ ・ G L n に順次走査パルス（ゲートパルス）を供給するようになっている。

【 0 0 1 3 】

走査信号線駆動回路 1 1 5 は、表示パネル 1 1 2 に、 p - S i 膜や C G - S i 膜や微結晶 S i 膜や a - S i 膜を用いて、表示領域 1 1 2 a とモノリシックに作り込むことができる。

【 0 0 1 4 】

一方、フレキシブルプリント基板 1 1 3 は、複数のデータ信号線駆動回路 1 1 6 a ・ 1 1 6 b ・ 1 1 6 c を備えている。データ信号線駆動回路 1 1 6 a ・ 1 1 6 b ・ 1 1 6 c は、データ信号線 S L 1 ・ S L 2 ・ S L 3 ・ ・ ・ S L m のそれぞれにデータ信号を供給する。

【 0 0 1 5 】

また、コントロール基板 1 1 4 は、フレキシブルプリント基板 1 1 3 に接続されており、走査信号線駆動回路 1 1 5 およびデータ信号線駆動回路 1 1 6 a ・ 1 1 6 b ・ 1 1 6 c に必要な信号や電源を供給する。すなわち、コントロール基板 1 1 4 から出力され、走査信号線駆動回路 1 1 5 へ供給される信号および電源は、フレキシブルプリント基板 1 1 3 を介して表示パネル 1 1 2 の走査信号線駆動回路 1 1 5 へ供給される。

【 0 0 1 6 】

図 1 8 の液晶表示装置 1 4 1 に示すように、データ信号線駆動回路が複数のデータ信号線駆動回路 1 1 6 a ・ 1 1 6 b ・ 1 1 6 c で構成される場合においては、製造単価のアップや実装面積の増加を招いてしまうという問題がある。

【 0 0 1 7 】

そこで、データ信号線駆動回路の出力数を減らして R G B の各データ信号線を時分割で駆動させる S S D (S o u r c e S h a r e d D r i v i n g) 方式の駆動を行う液晶表示装置が提案されている。

【 0 0 1 8 】

図 1 9 は、 S S D 方式の液晶表示装置 1 5 1 の一例を示す。

【 0 0 1 9 】

なお、図 1 9 に示すマトリクス状に配置された複数の画素 P I X の構造は、図 1 8 と同様であるため、その説明は省略する。

10

20

30

40

50

【 0 0 2 0 】

図示されているように、液晶表示装置 1 5 1 は、表示パネル 1 1 2 およびフレキシブルプリント基板 1 1 3 を備えており、表示パネル 1 1 2 には、画素 P I X、走査信号線駆動回路（ゲートドライバ）1 5 3 および S S D 回路 1 5 5 が設けられており、フレキシブルプリント基板 1 1 3 には、チップ状のデータ信号線駆動回路（ソースドライバ）1 5 2 が実装されている。

【 0 0 2 1 】

R（赤色）の画素 P I X が接続されたデータ信号線 R S L と、G（緑色）の画素 P I X が接続されたデータ信号線 G S L と、B（青色）の画素 P I X が接続されたデータ信号線 B S L とが組になって、各組が隣接配置されている。

10

【 0 0 2 2 】

図 1 9 では $n - 1$ 番目の組のデータ信号線 $S L n - 1$ （ $R S L n - 1$ 、 $G S L n - 1$ 、 $B S L n - 1$ ）、 n 番目の組のデータ信号線 $S L n$ （ $R S L n$ 、 $G S L n$ 、 $B S L n$ ）、 $n + 1$ 番目の組のデータ信号線 $S L n + 1$ （ $R S L n + 1$ 、 $G S L n + 1$ 、 $B S L n + 1$ ）が示されている。

【 0 0 2 3 】

S S D 回路 1 5 5 は、各データ信号線 R S L のデータ信号供給側の一端に接続されたトランジスタ（T F T）A S W R（図 1 9 中の A S W R $n - 1$ 、A S W R n 、A S W R $n + 1$ ）と、各データ信号線 G S L のデータ信号供給側の一端に接続されたトランジスタ A S W G（図 1 9 中の A S W G $n - 1$ 、A S W G n 、A S W G $n + 1$ ）と、各データ信号線 B S L のデータ信号供給側の一端に接続されたトランジスタ A S W B（図 1 9 中の A S W B $n - 1$ 、A S W B n 、A S W B $n + 1$ ）とを備えている。

20

【 0 0 2 4 】

そして、図示されているように、例えば、一端が同じ組のデータ信号線 R S L n ・G S L n ・B S L n に接続されたトランジスタ A S W R n ・A S W G n ・A S W B n は、それぞれ他端側で互いに接続されて、データ信号線駆動回路 1 5 2 の出力 D A T A（図 1 9 の D A T A n ）に接続されている。

【 0 0 2 5 】

このように S S D 回路 1 5 5 を備えた構成においては、データ信号線駆動回路 1 5 2 における出力 D A T A 線の本数を、図 1 8 に示す液晶表示装置 1 4 1 に備えられた複数のチップからなるデータ信号線駆動回路 1 1 6 a・1 1 6 b・1 1 6 c における出力 D A T A 線の合計本数の 3 分の 1 とすることができ、データ信号線駆動回路の個数を 3 分の 1 とすることができるので、製造単価のアップや実装面積の増加を抑制することができる。

30

【 0 0 2 6 】

以下、図 1 9 に基づいて、S S D 回路 1 5 5 の構成についてさらに詳しく説明する。

【 0 0 2 7 】

トランジスタ A S W R・A S W G・A S W B は、ゲート電極に入力される O N 信号 R o n・G o n・B o n によって、1 水平期間のほぼ 3 分の 1 ずつ時分割で順次 O N 状態となる。O N 信号 R o n が H i g h であるときにはトランジスタ A S W R が O N 状態となり、そのときにデータ信号線駆動回路 1 5 2 から出力される R の出力 D A T A がデータ信号線 R S L に供給される。また、O N 信号 G o n が H i g h であるときには、トランジスタ A S W G が O N 状態となり、そのときにデータ信号線駆動回路 1 5 2 から出力される G の出力 D A T A がデータ信号線 G S L に供給される。さらに、O N 信号 B o n が H i g h であるときには、トランジスタ A S W B が O N 状態となり、そのときにデータ信号線駆動回路 1 5 2 から出力される B の出力 D A T A がデータ信号線 B S L に供給される。

40

【 0 0 2 8 】

すなわち、図示されているように、各トランジスタ A S W R・A S W G・A S W B のソース電極およびドレイン電極中の一方は、各データ信号線 R S L・G S L・B S L に接続されており、他方はデータ信号線駆動回路 1 5 2 の出力 D A T A に接続されている。

【 0 0 2 9 】

50

なお、走査信号線駆動回路153とSSD回路155とは、表示パネル112に、p-Si膜やCG-Si膜や微結晶Si膜や酸化物半導体膜やa-Si膜を用いて、表示パネル112の表示領域における画素TF T121とモノリシックに作り込むことができる。

【0030】

以上のように、p-Si膜やCG-Si膜や微結晶Si膜や酸化物半導体膜やa-Si膜を用いて、液晶表示装置の表示領域に形成される画素TF Tとモノリシックに作り込むことができる走査線駆動回路やデータ信号線駆動回路やSSD回路における駆動TF Tが、回路の駆動に要求される所定の移動度を満たさない場合、特に、a-Si膜を用いて駆動TF Tが形成されている場合には、上記駆動TF Tとして、従来のTF Tに比べ、チャネル幅が大きいTF Tを用いる必要がある。

10

【0031】

図20は、チャネル幅が大きいTF Tの一例を示す図である。

【0032】

図20の(a)は、連続したU字(櫛歯)形状の電極を備えたチャネル幅の大きいTF Tの一部領域を示す図である。

【0033】

図20の(a)は、上記TF Tにおいて繰り返される一部領域200を示し、一部領域200は、ゲート電極ライン210とソース電極ライン230とドレイン電極ライン240とからなり、ドレイン電極ライン240におけるI字形状部分をソース電極ライン230におけるU字形状部分に取り囲み、両者の間にチャネルが形成されている。

20

【0034】

また、図示されていないが、上記TF Tは、並列に接続された図20の(a)に示す一部領域200を多数備えた構成となっている。

【0035】

また、図20の(a)に図示されているように、上記TF Tの一部領域200におけるチャネル幅は、 $2 \times DL1 + DL2$ を含む距離Wで表すことができ、チャネル長は、ソース電極ライン230のチャネル領域との境界線と、ドレイン電極ライン240のチャネル領域との境界線との間の距離Lで表すことができる。

【0036】

以上のように上記TF Tは、並列に接続された図20の(a)に示す一部領域200を多数備えた構成であるため、チャネル幅が非常に大きいTF Tを実現することができる。

30

【0037】

しかしながら、図20の(a)に示す構造を有するTF Tでは、ソース電極ライン230とドレイン電極ライン240との間にいずれか1箇所でもリークが発生すると、TF T全体の特性に異常が生じてしまうという問題がある。

【0038】

したがって、ソース電極ライン230のU字形状部分とドレイン電極ライン240のI字形状部分とが工程不良などによりショートしてしまった場合には、ドレイン電極ライン240におけるI字形状部分の上部をレーザー溶断により分離し、TF T全体を正常に使用することができるようにしている。

40

【0039】

しかし、図20の(a)に示す構造を有するTF Tは、ドレイン電極ライン240の本体からゲート電極ライン210の上方の領域までの距離が小さいために、ドレイン電極ライン240のI字形状部分をレーザー溶断しようとする、レーザー・スポットの範囲が、ゲート電極ライン210の上方の領域に設けられた半導体層と n^+ 層との積層体にまで及んでしまう。

【0040】

上記積層体が、レーザー照射により損傷すると、上記積層体はTF T全体に繋がっているため、損傷熱を隣接領域へとさらに伝達してしまい、その結果、レーザー照射により損傷された積層体の隣接する部分を含めた広範囲が損傷してしまう。

50

【先行技術文献】

【特許文献】

【0041】

【特許文献1】国際公開特許公報「WO2009/104302号公報(2009年8月27日公開)」

【発明の概要】

【発明が解決しようとする課題】

【0042】

そこで、特許文献1に記載の図20の(b)に示す構造を有するTFTを用いることが考えられている。

10

【0043】

TFT300は、ゲート電極302、第1ソース・ドレイン電極303および第2ソース・ドレイン電極304を備えている。第1ソース・ドレイン電極303および第2ソース・ドレイン電極304は、それぞれ、一方がソース電極として用いられるときは他方がドレイン電極として用いられるものである。

【0044】

ゲート電極302はコの字状に形成されており、ガラス基板上に、第1ソース・ドレイン電極303および第2ソース・ドレイン電極304よりも下層側に形成されている。

【0045】

ゲート電極302の上層には、ゲート絶縁膜を隔てて半導体層と n^+ 層との積層体が設けられており、半導体層が設けられている領域をハッチングで示す第1の領域Rとすると、上記積層体の領域は、第1の領域R内にあり、第1ソース・ドレイン電極303は、第1の領域R内の n^+ 層上に設けられている。なお、第1の領域Rにおいて、第1ソース・ドレイン電極303以外の領域305は、上方に n^+ 層が設けられていない半導体層の領域である。

20

【0046】

一方、第2ソース・ドレイン電極304は、1本の電極ライン304aと、複数の枝電極304bとを備えている。

【0047】

電極ライン304aは、ゲート電極302のコの字状領域の中央の間隙領域に設けられたライン状電極であり、枝電極304b...は、電極ライン304aから両側の第1ソース・ドレイン電極303に向かって分岐して延びる電極群である。各枝電極304bは、第1の領域R内の n^+ 層上まで延びており、第1ソース・ドレイン電極303は、各枝電極304bを所定の距離だけ離して囲むように配置されている。

30

【0048】

したがって、第1ソース・ドレイン電極303は、第1の領域R内にある枝電極304b...との間に、上記積層体において n^+ 層が存在しないように形成された半導体層のパターンをパネル面内方向に挟んでおり、この半導体層のパターンがTFT300のチャネル形成領域305aとなっている。

【0049】

第2ソース・ドレイン電極304の枝電極304bが、図中ハッチングを施した第1の領域Rと交差開始する箇所Dでは、第1の領域Rの外縁は、ゲート電極302のコの字の内側にある境界ラインeよりも電極ライン304a側となるラインfの位置にあり、半導体層と n^+ 層との積層体が、境界ラインeからラインfまでせり出している領域306が設けられている。

40

【0050】

また、隣接する領域306同士の間には、第1の領域Rの外縁は、境界ラインeよりも電極ライン304aから離れた箇所にあるラインgまで後退している。

【0051】

そして、上記箇所Dから電極ライン304aまでの距離d1は、5 μ m以上となるよう

50

に設定されている。

【0052】

このような構成においては、距離 d_1 が $5\ \mu\text{m}$ 以上で設定されていることにより、第1ソース・ドレイン電極303と第2ソース・ドレイン電極304の枝電極304bとが互いにリークした場合、図20の(b)に図示するように、例えば箇所Sでショートした場合に、枝電極304b上の点Qにおいて、レーザー・スポットを容易に箇所Dおよび電極ライン304aから離れるように当てることができる。

【0053】

したがって、上記構成によれば、ソース電極とドレイン電極間とのリークを容易に修復することのできるチャンネル幅の大きいTF Tを実現することができると記載されている。

10

【0054】

しかしながら、上記TF Tの構成においては、図20の(b)に示すように、チャンネル幅が大きいため、リーク部(欠陥部)を探し出し、レーザー・スポットで切断する過程に時間が掛かってしまうため、生産性の向上を図れないという問題がある。

【0055】

また、上記TF Tの構成においては、リーク部(欠陥部)のみをレーザー・スポットで切断するようになっていたため、レーザー・スポットで切断した箇所を有するTF Tとレーザー・スポットで切断した箇所を有さないTF Tとでは、チャンネル幅が異なってしまうため、これらのTF Tを用いた駆動回路を備えた表示装置においては、表示品位の低下が生じてしまうという問題がある。

20

【0056】

本発明は、上記の問題点に鑑みてなされたものであり、駆動回路に備えられたTF Tにリーク部(欠陥部)が生じた場合であっても、リーク部(欠陥部)の修復に時間が掛からず、生産性の向上が図れるとともに、修復後にも、異なるチャンネル幅となるTF Tを有さない駆動回路を備えた表示装置を提供することを目的とする。

【課題を解決するための手段】

【0057】

本発明の表示装置は、上記の課題を解決するために、マトリクス状に配された各画素と上記各画素毎に設けられた画素TF T素子とが設けられている表示領域と、上記画素TF T素子とモノリシックに形成された複数の駆動TF T素子を備えている駆動回路が設けられている上記表示領域の周辺領域とを有する表示装置であって、上記駆動TF T素子は、半導体層とゲート電極とソース電極とドレイン電極とを備えており、上記半導体層の一方の面には上記ゲート電極が、上記半導体層の一方の面と対向する他方の面には上記ソース電極および上記ドレイン電極が、それぞれ設けられ、上記ソース電極または上記ドレイン電極の何れか一方の電極は、他方の電極の一部を取り囲むように形成されており、上記一方の電極が、上記他方の電極の一部を取り囲むように形成されている領域においては、上記一方の電極と上記他方の電極とは一定間隔離されており、上記駆動回路には、上記駆動TF T素子と同じチャンネル幅を有するように形成された冗長TF T素子と第1の冗長配線と第2の冗長配線と第3の冗長配線とが備えられており、上記第1の冗長配線は、上記第1の冗長配線と上記複数の駆動TF T素子のゲート電極に異なる第1の信号を入力するために設けられた複数の配線中の何れか1本とを電氣的に接続することにより、上記冗長TF T素子のゲート電極に、上記第1の冗長配線と電氣的に接続された配線における上記第1の信号が入力されるように形成されており、上記第2の冗長配線は、上記第2の冗長配線と上記複数の駆動TF T素子の上記ソース電極に異なる第2の信号を入力するために設けられた複数の配線中の何れか1本とを電氣的に接続することにより、上記冗長TF T素子のソース電極に、上記第2の冗長配線と電氣的に接続された配線における上記第2の信号が入力されるように形成されており、上記第3の冗長配線は、上記冗長TF T素子のドレイン電極に電氣的に接続されており、上記第3の冗長配線と上記複数の駆動TF T素子の上記ドレイン電極から上記異なる第2の信号を出力するために設けられた複数の配線中の何れか1本とを電氣的に接続することにより、上記冗長TF T素子のドレイン電極から

30

40

50

出力される上記第2の信号が、上記第3の冗長配線と電氣的に接続された配線から出力されるように形成されていることを特徴としている。

【0058】

上記構成によれば、上記駆動TF T素子および上記冗長TF T素子における上記ソース電極または上記ドレイン電極の何れか一方の電極は、他方の電極の一部を取り囲むように形成されており、上記一方の電極が、上記他方の電極の一部を取り囲むように形成されている領域においては、上記一方の電極と上記他方の電極とは一定間隔離されている、いわゆる、U形状の電極または櫛歯形状の電極を備えたチャンネル幅の大きい駆動TF T素子を用いている。

【0059】

従来においては、上記一方の電極と上記他方の電極との間にリーク部（欠陥部）が生じた場合、上記チャンネル幅の大きい駆動TF T素子内をレーザー・スポットなどで切断して修復していたが、上記構成によれば、上記駆動TF T素子とは、別途に設けられた冗長TF T素子と第1の冗長配線と第2の冗長配線と第3の冗長配線とを用いて修復を行う構成となっている。

【0060】

したがって、上記構成によれば、従来のように上記駆動TF T素子のチャンネル幅が大きいため、リーク部（欠陥部）を探し出し、レーザー・スポットで切断する過程に時間が掛かってしまい、生産性が落ちるという問題は生じない。

【0061】

また、従来においては、上記チャンネル幅の大きい駆動TF T素子内におけるリーク部（欠陥部）のみをレーザー・スポットで切断するようになっていたため、レーザー・スポットで切断した箇所を有する駆動TF T素子とレーザー・スポットで切断した箇所を有さない駆動TF T素子とでは、チャンネル幅が異なってしまうため、これらの駆動TF T素子を用いた駆動回路を備えた表示装置においては、表示品位の低下が生じてしまうという問題があった。

【0062】

一方、上記構成によれば、リーク部（欠陥部）が生じた駆動TF T素子を用いることなく、上記駆動TF T素子と同じチャンネル幅を有するように形成された上記冗長TF T素子と第1の冗長配線と第2の冗長配線と第3の冗長配線とを用いて修復を行う構成となっているため、上記表示品位の低下を抑制することができる表示装置を実現することができる。

【発明の効果】

【0063】

本発明の表示装置は、以上のように、上記駆動TF T素子は、半導体層とゲート電極とソース電極とドレイン電極とを備えており、上記半導体層の一方の面には上記ゲート電極が、上記半導体層の一方の面と対向する他方の面には上記ソース電極および上記ドレイン電極が、それぞれ設けられ、上記ソース電極または上記ドレイン電極の何れか一方の電極は、他方の電極の一部を取り囲むように形成されており、上記一方の電極が、上記他方の電極の一部を取り囲むように形成されている領域においては、上記一方の電極と上記他方の電極とは一定間隔離されており、上記駆動回路には、上記駆動TF T素子と同じチャンネル幅を有するように形成された冗長TF T素子と第1の冗長配線と第2の冗長配線と第3の冗長配線とが備えられており、上記第1の冗長配線は、上記第1の冗長配線と上記複数の駆動TF T素子のゲート電極に異なる第1の信号を入力するために設けられた複数の配線中の何れか1本とを電氣的に接続することにより、上記冗長TF T素子のゲート電極に、上記第1の冗長配線と電氣的に接続された配線における上記第1の信号が入力されるように形成されており、上記第2の冗長配線は、上記第2の冗長配線と上記複数の駆動TF T素子の上記ソース電極に異なる第2の信号を入力するために設けられた複数の配線中の何れか1本とを電氣的に接続することにより、上記冗長TF T素子のソース電極に、上記第2の冗長配線と電氣的に接続された配線における上記第2の信号が入力されるように形

10

20

30

40

50

成されており、上記第3の冗長配線は、上記冗長TFT素子のドレイン電極に電氣的に接続されており、上記第3の冗長配線と上記複数の駆動TFT素子の上記ドレイン電極から上記異なる第2の信号を出力するために設けられた複数の配線中の何れか1本とを電氣的に接続することにより、上記冗長TFT素子のドレイン電極から出力される上記第2の信号が、上記第3の冗長配線と電氣的に接続された配線から出力されるように形成されている構成である。

【0064】

それゆえ、駆動回路に備えられた駆動TFTにリーク部（欠陥部）が生じた場合であっても、リーク部（欠陥部）の修復に時間が掛からず、生産性の向上が図れるとともに、修復後にも、異なるチャネル幅となるTFTを有さない駆動回路を備えた表示装置を実現することができる。

10

【図面の簡単な説明】

【0065】

【図1】本発明の一実施の形態の液晶表示装置に備えられた信号分配回路の一部を概略的に示す図である。

【図2】本発明の一実施の形態の液晶表示装置の概略構成を示す図である。

【図3】本発明の一実施の形態の液晶表示装置に備えられた信号分配回路において、ある駆動TFT素子にリーク（欠陥）が生じた場合の一例を示す図である。

【図4】図3に示す信号分配回路を冗長TFT素子と第1の冗長配線と第2の冗長配線と第3の冗長配線とを用いて修復する場合を説明するための図である。

20

【図5】図4に示すように修復した場合における、データ信号線駆動回路の出力端子から出力された出力DATAの流れを示す図である。

【図6】本発明の一実施の形態の液晶表示装置に備えられた信号分配回路において、ある制御信号線SELGに断線が生じた場合の一例を示す図である。

【図7】図6に示す信号分配回路における断線を第4の冗長配線を用いて修復する場合を説明するための図である。

【図8】図7に示すように修復した場合における、制御信号線SELGを介して供給される制御信号の流れを示す図である。

【図9】本発明の一実施の形態の液晶表示装置に備えられた信号分配回路のレイアウトを示す図である。

30

【図10】本発明の一実施の形態の液晶表示装置に備えることができる他の信号分配回路のレイアウトを示す図である。

【図11】本発明の他の実施の形態の液晶表示装置に備えられた信号分配回路の一部を概略的に示す図である。

【図12】本発明の他の実施の形態の液晶表示装置に備えられた信号分配回路において、ある駆動TFT素子にリーク（欠陥）が生じた場合の一例を示す図である。

【図13】図12に示す信号分配回路を冗長TFT素子と第1の冗長配線と第2の冗長配線と第3の冗長配線とを用いて修復する場合を説明するための図である。

【図14】図13に示すように修復した場合における、データ信号線駆動回路の出力端子から出力された出力DATAの流れを示す図である。

40

【図15】本発明の他の実施の形態の液晶表示装置に備えられた信号分配回路において、ある制御信号線SELGに断線が生じた場合の一例を示す図である。

【図16】図15に示す信号分配回路における断線を第4の冗長配線を用いて修復する場合を説明するための図である。

【図17】図16に示すように修復した場合における、制御信号線SELG介して供給される制御信号の流れを示す図である。

【図18】複数のデータ信号線駆動回路を備えた従来の液晶表示装置の構成を示す。

【図19】SSD方式の液晶表示装置の一例を示す。

【図20】チャネル幅が大きいTFTの一例を示す図である。

【発明を実施するための形態】

50

【 0 0 6 6 】

以下、図面に基づいて本発明の実施の形態について詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などはあくまで一実施形態に過ぎず、これらによってこの発明の範囲が限定解釈されるべきではない。

【 0 0 6 7 】

〔 実施の形態 1 〕

以下、図 1 ～ 図 1 0 に基づいて、本発明のチャネル幅の大きい駆動 T F T 素子を用いた駆動回路を備えた表示装置として、チャネル幅の大きい駆動 T F T 素子を用いた信号分配回路 (S S D 回路) を備えた液晶表示装置を例に挙げて説明をするが、上記駆動回路としては、上記信号分配回路に限定されることなく、チャネル幅の大きい駆動 T F T 素子を用いた構成であれば、例えば、走査信号線駆動回路やデータ信号線駆動回路などであってもよい。

10

【 0 0 6 8 】

また、本実施の形態においては、液晶表示装置を表示装置の一例として挙げているが、これに限定されることはなく、 E L 表示装置などであってもよい。

【 0 0 6 9 】

図 2 は、本実施の形態の液晶表示装置 1 の概略構成を示す図である。

【 0 0 7 0 】

図 2 に図示されているように、液晶表示装置 1 は、表示領域 R 1 と信号分配回路 3 と走査信号線駆動回路 4 とを備えた液晶表示パネル 2 と、フレキシブルプリント基板 5 上に実装されたデータ信号線駆動回路 6 とを備えている。

20

【 0 0 7 1 】

図示されていないが、表示領域 R 1 には、マトリクス状に配された各画素と、上記各画素毎に設けられた画素 T F T 素子と、上記各画素 T F T 素子のゲート電極に接続された走査信号線と、上記各画素 T F T 素子のソース電極に接続されたデータ信号線とが設けられている。

【 0 0 7 2 】

一方、表示領域 R 1 の周辺領域には、信号分配回路 3 と走査信号線駆動回路 4 とが上記画素 T F T 素子とモノリシックに形成されている。

【 0 0 7 3 】

本実施の形態においては、液晶表示装置 1 の製造単価の向上を抑制するため、信号分配回路 3 と走査信号線駆動回路 4 とに備えられた駆動 T F T 素子および上記画素 T F T 素子における半導体層を、非晶質シリコンで形成しているが、これに限定されることはなく、上記半導体層として、例えば、酸化物層、微結晶シリコン層、微結晶シリコンと非晶質シリコンとが積層された層、多結晶シリコン層、連続粒界結晶シリコン層などを用いることもできる。

30

【 0 0 7 4 】

さらには、非晶質ゲルマニウム、多結晶ゲルマニウム、非晶質シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウム、非晶質シリコン・カーバイド、多結晶シリコン・カーバイドなども用いることができる。

40

【 0 0 7 5 】

なお、上記酸化物層は、例えば、 I n 、 G a 、 Z n から選択される少なくとも一つの元素を含む非晶質酸化物から形成することができるが、これに限定されることはない。

【 0 0 7 6 】

さらに、本実施の形態においては、上記半導体層として、移動度が比較的低い非晶質シリコンを用いているため、データ信号線駆動回路 6 をフレキシブルプリント基板 5 上に別途の工程で設けているが、移動度が比較的高い半導体層を用いる場合には、データ信号線駆動回路 6 も上記画素 T F T 素子とモノリシックに形成することができる。

【 0 0 7 7 】

なお、液晶表示装置 1 に備えられた信号分配回路 3 は、冗長 T F T 素子と第 1 の冗長配

50

線と第2の冗長配線と第3の冗長配線と第4の冗長配線とが備えられている点以外は、図19に示す従来の液晶表示装置151に備えられたSSD回路155と同様である。

【0078】

図1は、本実施の形態の液晶表示装置1に備えられた信号分配回路3の一部を概略的に示す図である。

【0079】

図示されているように、R（赤色）の画素PIXが接続されたデータ信号線SRnと、G（緑色）の画素PIXが接続されたデータ信号線SGnと、B（青色）の画素PIXが接続されたデータ信号線SBnとが組になって、各組が隣接配置されている。

【0080】

図1ではn番目の組のデータ信号線SRn・SGn・SBnとn+1番目の組のデータ信号線SRn+1・SGn+1・SBn+1とが示されている。

【0081】

信号分配回路3においては、各データ信号線SRn・SGn・SBn・・・のデータ信号供給側の一端には、駆動TF T素子7がそれぞれ設けられている。

【0082】

駆動TF T素子7の半導体層は、非晶質シリコンで形成されており、移動度が低いので、図20に示すようにチャネル幅が大きいTF Tとするため、駆動TF T素子7におけるソース電極またはドレイン電極の何れか一方の電極は、他方の電極の一部を取り囲むように形成されており、上記一方の電極が、上記他方の電極の一部を取り囲むように形成されている領域においては、上記一方の電極と上記他方の電極とは一定間隔離されている、いわゆる、U形状の電極または櫛歯形状の電極を備えている。

【0083】

そして、図示されているように、同じ組のデータ信号線SRn・SGn・SBnは、駆動TF T素子7の一方端側で互いに接続されて、データ信号線駆動回路6の出力端子SINNに接続されており、一方、他の同じ組のデータ信号SRn+1・SGn+1・SBn+1は、データ信号線駆動回路6の他の出力端子SINN+1に接続されている。

【0084】

また、駆動TF T素子7のゲート電極に入力される制御信号（第1の信号）は、第1の制御信号線SEL R、第2の制御信号線SEL Gおよび第3の制御信号線SEL Bを介して入力されるようになっており、同じ組のデータ信号線SRn・SGn・SBnに接続されている駆動TF T素子7は、1水平期間のほぼ3分の1ずつ時分割で順次ON状態となる。

【0085】

第1の制御信号線SEL Rに入力される制御信号がHighであるときには、データ信号線SRn・SRn+1・・・に接続された駆動TF T素子7がON状態となり、そのときにデータ信号線駆動回路6の出力端子SINN・SINN+1・・・から出力されるRの出力DATA（第2の信号・画像信号）がデータ信号線SRn・SRn+1・・・に供給される。

【0086】

第2の制御信号線SEL Gに入力される制御信号がHighであるときには、データ信号線SGn・SGn+1・・・に接続された駆動TF T素子7がON状態となり、そのときにデータ信号線駆動回路6の出力端子SINN・SINN+1・・・から出力されるGの出力DATAがデータ信号線SGn・SGn+1・・・に供給される。

【0087】

また、第3の制御信号線SEL Bに入力される制御信号がHighであるときには、データ信号線SBn・SBn+1・・・に接続された駆動TF T素子7がON状態となり、そのときにデータ信号線駆動回路6の出力端子SINN・SINN+1・・・から出力されるBの出力DATAがデータ信号線SBn・SBn+1・・・に供給される。

【0088】

10

20

30

40

50

すなわち、図示されているように、駆動TFT素子7のドレイン電極は、各データ信号線 $S R n \cdot S G n \cdot S B n \cdots$ に接続されており、駆動TFT素子7のソース電極はデータ信号線駆動回路6の出力端子 $S I N n \cdot S I N n + 1 \cdots$ に接続されている。

【0089】

図示されているように、信号分配回路3には、駆動TFT素子7と同じチャネル幅を有するように形成された冗長TFT素子8と第1の冗長配線9a・9bと第2の冗長配線10と第3の冗長配線11と第4の冗長配線12a・12bが備えられている。

【0090】

図3は、本実施の形態の液晶表示装置1に備えられた信号分配回路3において、ある駆動TFT素子7にリーク（欠陥）が生じた場合の一例を示す図である。

10

【0091】

図3においては、データ信号線 $S G n$ に接続されている駆動TFT素子7にリーク（欠陥）が生じた場合の一例を示している。

【0092】

図4は、図3に示す信号分配回路3を冗長TFT素子8と第1の冗長配線9a・9bと第2の冗長配線10と第3の冗長配線11とを用いて修復する場合を説明するための図である。

【0093】

図4において○箇所は、レーザーを用いて電氣的に接続する箇所を示し、X箇所は、レーザーを用いて電氣的に切断する箇所を示し、V箇所は、周辺の負荷（抵抗・容量）に合わせて適宜レーザーを用いて電氣的に切断する箇所を示す。

20

【0094】

図示されているように、データ信号線 $S G n$ に接続されている駆動TFT素子7にリーク（欠陥）が生じた場合には、データ信号線 $S G n$ と接続されている駆動TFT素子7の両端を電氣的に切断し、駆動TFT素子7をデータ信号線 $S G n$ から電氣的に分離させる。

【0095】

そして、各駆動TFT素子7のゲート電極と電氣的に接続された制御信号線 $S E L R \cdot S E L G \cdot S E L B$ と交差するように第1の冗長配線9aが形成され、制御信号線 $S E L R \cdot S E L G \cdot S E L B$ と平行に第1の冗長配線9bが形成されている。

30

【0096】

それから、第1の冗長配線9aと第2の制御信号線 $S E L G$ とが交差する箇所と、第1の冗長配線9a・9b同士が交差する箇所とを電氣的に接続し、第2の制御信号線 $S E L G$ を介して供給される制御信号を冗長TFT素子8のゲート電極に供給することができる。

【0097】

また、図示されているように、第2の冗長配線10は、データ信号線駆動回路6の出力端子 $S I N n \cdot S I N n + 1 \cdots$ のいずれか1つに接続されている。

【0098】

本実施の形態においては、冗長TFT素子8をデータ信号線駆動回路6の出力端子 $S I N n \cdot S I N n + 1$ に対して1つ（すなわち、データ信号線駆動回路6の出力端子2つに対して、冗長TFT素子8を1つ）設けているため、第2の冗長配線10をデータ信号線駆動回路6の出力端子 $S I N n \cdot S I N n + 1$ に予め接続させているが、これに限定されることはなく、冗長TFT素子8をデータ信号線駆動回路6の出力端子の数分設けでもよく、第2の冗長配線10を後述する実施の形態2のように設けることもできる。

40

【0099】

そして、第3の冗長配線11は、各データ信号線 $S R n \cdot S G n \cdot S B n \cdots$ と交差するように形成されており、冗長TFT素子8のドレイン電極およびデータ信号線 $S G n$ に接続されている。

【0100】

50

図5は、図4に示すように修復した場合における、データ信号線駆動回路6の出力端子から出力された出力DATAの流れを示す図である。

【0101】

図示されているように、上記構成によれば、リーク（欠陥）が生じた駆動TFE素子7の代わりに冗長TFE素子8を介して、データ信号線駆動回路6の出力端子SINNから出力された出力DATAをデータ信号線SGNに供給することができる。

【0102】

上記構成によれば、従来のように、駆動TFE素子7内のリーク部（欠陥部）をレーザーを用いて電氣的に切断する必要がなく、信号分配回路3に備えられた冗長TFE素子8と第1の冗長配線9a・9bと第2の冗長配線10と第3の冗長配線11とを用いて修復

10

【0103】

したがって、従来のように駆動TFE素子7のチャネル幅が大きいため、リーク部（欠陥部）を探し出し、レーザーで切断する過程に時間が掛かってしまい、生産性が落ちるとい問題は生じない。

【0104】

また、従来の構成においては、チャネル幅の大きい駆動TFE素子7内におけるリーク部（欠陥部）のみをレーザーで切断する必要があるため、レーザーで切断した箇所を有する駆動TFE素子7とレーザーで切断した箇所を有さない他の駆動TFE素子7とでは、チャネル幅が異なってしまうため、これらの駆動TFE素子7を用いた信号分配回路3を

20

【0105】

一方、上記構成によれば、リーク部（欠陥部）が生じた駆動TFE素子7を用いることなく、駆動TFE素子7と同じチャネル幅を有するように形成された冗長TFE素子8と第1の冗長配線9a・9bと第2の冗長配線10と第3の冗長配線11とを用いて修復を行う構成となっているため、上記表示品位の低下を抑制することができる液晶表示装置1を実現することができる。

【0106】

なお、本実施の形態の液晶表示装置1においては、RGBという3分割数で時分割駆動を行う構成を例示的に挙げたが、これに限定されることなく、2分割や4分割以上などの

30

任意の分割数で時分割駆動を行うことができるのは勿論である。分割数が増せば、それだけデータ信号線駆動回路6の出力端子SINN・SINN+1・・・の数やデータ信号線駆動回路6の個数をより大きく減少させることができる。

【0107】

以下、図6～図8に基づいて、駆動TFE素子7のゲート電極にそれぞれ異なる制御信号を入力するための制御信号線SEL_R・SEL_G・SEL_Bに、断線が生じた場合、第4の冗長配線12a・12bを用いて修復を行う構成について説明する。

【0108】

図6は、本実施の形態の液晶表示装置1に備えられた信号分配回路3において、ある制御信号線SEL_Gに断線が生じた場合の一例を示す図である。

40

【0109】

図示されているように、制御信号線SEL_Gにおける制御信号線SEL_Gと接続されている駆動TFE素子7・7間で断線が生じている。

【0110】

図7は、図6に示す信号分配回路3における断線を第4の冗長配線12a・12bを用いて修復する場合を説明するための図である。

【0111】

本実施の形態においては、信号分配回路3の形成面積を縮小するため、第1の冗長配線9aを第4の冗長配線12aとして共用しているが、これに限定されることはなく、第1の冗長配線9aに該当する配線を第4の冗長配線12aとして別途に設けることもできる

50

。

【 0 1 1 2 】

図 7 において、○箇所は、レーザーを用いて電氣的に接続する箇所を示し、V箇所は、周辺の負荷（抵抗・容量）に合わせて適宜レーザーを用いて電氣的に切断する箇所を示す。

【 0 1 1 3 】

図示されているように、第 4 の冗長配線 1 2 b は、2 つの第 1 の冗長配線 9 a ・ 9 a と交差するように形成されており、制御信号線 S E L G と 2 つの第 1 の冗長配線 9 a ・ 9 a とが交差する箇所と、第 4 の冗長配線 1 2 b と 2 つの第 1 の冗長配線 9 a ・ 9 a とが交差する箇所を電氣的に接続することによって、図 6 に示す信号分配回路 3 における断線を修復することができる。

10

【 0 1 1 4 】

図 8 は、図 7 に示すように修復した場合における、制御信号線 S E L G を介して供給される制御信号の流れを示す図である。

【 0 1 1 5 】

図示されているように、上記構成によれば、制御信号線 S E L G において断線が生じた領域の代わりに第 4 の冗長配線 1 2 a ・ 1 2 b を介して、制御信号が制御信号線 S E L G に接続された次の駆動 T F T 素子 7 に供給されるようになっている。

【 0 1 1 6 】

図 9 は、本実施の形態の液晶表示装置 1 に備えられた信号分配回路 3 のレイアウトの一例を示す図である。

20

【 0 1 1 7 】

図示されているように、信号分配回路 3 に備えられた駆動 T F T 素子 7 および冗長 T F T 素子 8 は、櫛歯形状の電極を備えた構成となっている。

【 0 1 1 8 】

なお、駆動 T F T 素子 7 と冗長 T F T 素子 8 とは、その電極形状は異なるがチャンネル幅は同じになるように設計されている。

【 0 1 1 9 】

図示されているように、駆動 T F T 素子 7 は、データ信号線駆動回路 6 と上記冗長 T F T 素子 8 との間に挟まれるように形成され、駆動 T F T 素子 7 の長手方向は、データ信号線駆動回路 6 の各出力端子が配列される方向に対して直交するように配置され、冗長 T F T 素子 8 の長手方向は、データ信号線駆動回路 6 の各出力端子が配列される方向と平行に配置されている。

30

【 0 1 2 0 】

上記構成によれば、信号分配回路 3 の形成面積を小さくすることができるので、上記液晶表示装置 1 における非表示領域となる額縁領域の狭小化を実現することができる。

【 0 1 2 1 】

図 10 は、後述する実施の形態 2 の液晶表示装置 1 に備えられた信号分配回路 3 a のレイアウトの一例を示す図である。

【 0 1 2 2 】

図示されているように、信号分配回路 3 a に備えられた駆動 T F T 素子 7 と冗長 T F T 素子 8 とは、何れも櫛歯形状の電極を備えた構成であり、冗長 T F T 素子 8 は、上記図 9 とは異なり、駆動 T F T 素子 7 が形成されている領域内に形成されている。

40

【 0 1 2 3 】

なお、図 10 においても上記図 9 と同様に駆動 T F T 素子 7 と冗長 T F T 素子 8 とは、そのチャンネル幅は同じになるように設計されている。

【 0 1 2 4 】

上記構成によれば、信号分配回路 3 a を備えた構成であっても、データ信号線駆動回路 6 の各出力端子が配列される方向に対して直交する方向の幅、すなわち、データ信号線駆動回路 6 の一端と表示領域の一端との間の距離を縮めることができるので、上記液晶表示装置 1 における非表示領域となる額縁領域の狭小化を実現することができる。

50

【 0 1 2 5 】

以下、例えば、図 1 におけるデータ信号線 $S G n + 1$ に接続されている駆動 T F T 素子 7 にリーク（欠陥）が生じた場合の修復方法の一例について説明する。

【 0 1 2 6 】

図示は省略するが、図 1 におけるデータ信号線 $S G n + 1$ に接続されている駆動 T F T 素子 7 にリーク（欠陥）が生じた場合には、データ信号線 $S G n + 1$ と接続されている駆動 T F T 素子 7 の両端を電氣的に切断し、駆動 T F T 素子 7 をデータ信号線 $S G n + 1$ から電氣的に分離させる。

【 0 1 2 7 】

そして、第 1 の冗長配線 9 a と第 2 の制御信号線 $S E L G$ とが交差する箇所と、第 1 の冗長配線 9 a ・ 9 b 同士が交差する箇所とを電氣的に接続し、第 2 の制御信号線 $S E L G$ を介して供給される制御信号を冗長 T F T 素子 8 のゲート電極に供給することができる。

10

【 0 1 2 8 】

それから、データ信号線駆動回路 6 の出力端子 $S I N n + 1$ に接続されている第 2 の冗長配線 1 0 と第 4 の冗長配線 1 2 b とが交差する箇所と、第 4 の冗長配線 1 2 b とデータ信号線駆動回路 6 の出力端子 $S I N n$ に接続されている第 2 の冗長配線 1 0 とが交差する箇所とを接続させる。

【 0 1 2 9 】

そして、データ信号線駆動回路 6 の出力端子 $S I N n$ と接続されている第 2 の冗長配線 1 0 を電氣的に切断し、冗長 T F T 素子 8 のソース電極にデータ信号線駆動回路 6 の出力端子 $S I N n$ から出力された出力 D A T A が供給されないようにする。

20

【 0 1 3 0 】

最後に、第 3 の冗長配線 1 1 は、冗長 T F T 素子 8 のドレイン電極およびデータ信号線 $S G n + 1$ に接続させる。

【 0 1 3 1 】

以上のようにすることにより、従来のように、駆動 T F T 素子 7 内のリーク部（欠陥部）をレーザーを用いて電氣的に切断する必要がなく、信号分配回路 3 に備えられた冗長 T F T 素子 8 と第 1 の冗長配線 9 a ・ 9 b と第 2 の冗長配線 1 0 と第 3 の冗長配線 1 1 と第 4 の冗長配線 1 2 b とを用いて修復を行うことができる。

30

【 0 1 3 2 】

〔実施の形態 2〕

次に、図 1 1 ~ 図 1 7 に基づいて、本発明の第 2 の実施形態について説明する。本実施の形態は、第 2 の冗長配線 1 0 a ・ 1 0 b の配置位置および形状とが実施の形態 1 とは異なっており、冗長 T F T 素子 8 の数をデータ信号線駆動回路 6 の出力端子 $S I N n \cdot S I N n + 1 \cdots$ の数よりさらに少なく設けることができるという点以外については実施の形態 1 において説明したとおりである。説明の便宜上、上記の実施の形態 1 の図面に示した部材と同じ機能を有する部材については、同じ符号を付し、その説明を省略する。

【 0 1 3 3 】

図 1 1 は、本実施の形態の液晶表示装置 1 に備えられた信号分配回路 3 a の一部を概略的に示す図である。

40

【 0 1 3 4 】

図示されているように、第 2 の冗長配線 1 0 a は、冗長 T F T 素子 8 のソース電極に接続されており、一方、第 2 の冗長配線 1 0 b は、第 2 の冗長配線 1 0 a およびデータ信号線駆動回路 6 の出力端子 $S I N n \cdot S I N n + 1 \cdots$ と交差するように、データ信号線駆動回路 6 の出力端子 $S I N n \cdot S I N n + 1 \cdots$ 近傍に形成されている。

【 0 1 3 5 】

図 1 2 は、本実施の形態の液晶表示装置 1 に備えられた信号分配回路 3 a において、ある駆動 T F T 素子 7 にリーク（欠陥）が生じた場合の一例を示す図である。

【 0 1 3 6 】

50

図 1 2 においては、データ信号線 $S R n + 1$ に接続されている駆動 T F T 素子 7 にリーク（欠陥）が生じた場合の一例を示している。

【 0 1 3 7 】

図 1 3 は、図 1 2 に示す信号分配回路 3 a を冗長 T F T 素子 8 と第 1 の冗長配線 9 a ・ 9 b と第 2 の冗長配線 1 0 a ・ 1 0 b と第 3 の冗長配線 1 1 とを用いて修復する場合を説明するための図である。

【 0 1 3 8 】

図 1 3 において ○ 箇所は、レーザーを用いて電氣的に接続する箇所を示し、X 箇所は、レーザーを用いて電氣的に切断する箇所を示し、V 箇所は、周辺の負荷（抵抗・容量）に合わせて適宜レーザーを用いて電氣的に切断する箇所を示す。

10

【 0 1 3 9 】

図示されているように、データ信号線 $S R n + 1$ に接続されている駆動 T F T 素子 7 にリーク（欠陥）が生じた場合には、データ信号線 $S R n + 1$ と接続されている駆動 T F T 素子 7 の両端を電氣的に切断し、駆動 T F T 素子 7 をデータ信号線 $S R n + 1$ から電氣的に分離させる。

【 0 1 4 0 】

そして、第 2 の冗長配線 1 0 b が、データ信号線駆動回路 6 の出力端子 $S I N n + 1$ および第 2 の冗長配線 1 0 a と交差する箇所を電氣的に接続し、冗長 T F T 素子 8 のソース電極にデータ信号線駆動回路 6 の出力端子 $S I N n + 1$ から出力される出力 D A T A を供給することができる。

20

【 0 1 4 1 】

それから、第 1 の冗長配線 9 a が、制御信号線 $S E L \quad R$ および第 1 の冗長配線 9 b と交差する箇所を電氣的に接続し、冗長 T F T 素子 8 のゲート電極に制御信号線 $S E L \quad R$ を介して供給される制御信号を供給することができる。

【 0 1 4 2 】

そして、第 3 の冗長配線 1 1 がデータ信号線 $S R n + 1$ と交差する箇所を電氣的に接続し、冗長 T F T 素子 8 のドレイン電極から出力される出力 D A T A をデータ信号線 $S R n + 1$ に出力させることができる。

【 0 1 4 3 】

図 1 4 は、図 1 3 に示すように修復した場合における、データ信号線駆動回路 6 の出力端子 $S I N n + 1$ から出力された出力 D A T A の流れを示す図である。

30

【 0 1 4 4 】

図示されているように、上記構成によれば、リーク（欠陥）が生じた駆動 T F T 素子 7 の代わりに冗長 T F T 素子 8 を介して、データ信号線駆動回路 6 の出力端子 $S I N n + 1$ から出力された出力 D A T A をデータ信号線 $S R n + 1$ に供給することができる。

【 0 1 4 5 】

上記構成によれば、冗長 T F T 素子 8 の数をデータ信号線駆動回路 6 の出力端子 $S I N n \cdot S I N n + 1 \cdots$ の数より少なく設けることができ、上記液晶表示装置 1 における非表示領域となる額縁領域の狭小化を実現することができる。

【 0 1 4 6 】

40

以下、図 1 5 ~ 図 1 7 に基づいて、駆動 T F T 素子 7 のゲート電極にそれぞれ異なる制御信号を入力するための制御信号線 $S E L \quad R \cdot S E L \quad G \cdot S E L \quad B$ に、断線が生じた場合、第 4 の冗長配線 1 2 a ・ 1 2 b を用いて修復を行う構成について説明する。

【 0 1 4 7 】

なお、本実施の形態においては、信号分配回路 3 a の形成面積を縮小するため、第 2 の冗長配線 1 0 b を第 4 の冗長配線 1 2 b と共用しているが、これに限定されることなく、第 2 の冗長配線 1 0 b に該当する配線を第 4 の冗長配線 1 2 b として別途に設けることもできる。

【 0 1 4 8 】

図 1 5 は、本実施の形態の液晶表示装置 1 に備えられた信号分配回路 3 a において、あ

50

る制御信号線 S E L G に断線が生じた場合の一例を示す図である。

【 0 1 4 9 】

図示されているように、制御信号線 S E L G における制御信号線 S E L G と接続されている駆動 T F T 素子 7・7 間で断線が生じている。

【 0 1 5 0 】

図 1 6 は、図 1 5 に示す信号分配回路 3 a における断線を第 4 の冗長配線 1 2 a・1 2 b を用いて修復する場合を説明するための図である。

【 0 1 5 1 】

図 1 6 において○箇所は、レーザーを用いて電氣的に接続する箇所を示し、V 箇所は、周辺の負荷（抵抗・容量）に合わせて適宜レーザーを用いて電氣的に切断する箇所を示す。

10

【 0 1 5 2 】

図示されているように、第 4 の冗長配線 1 2 a は、制御信号線 S E L R・S E L G・S E L B および第 4 の冗長配線 1 2 b と交差するように形成されており、第 4 の冗長配線 1 2 b は、複数の第 4 の冗長配線 1 2 a と交差するように形成されている。

【 0 1 5 3 】

第 4 の冗長配線 1 2 a が、制御信号線 S E L G および第 4 の冗長配線 1 2 b と交差する箇所を電氣的に接続することによって、データ信号線 S G n + 1 に接続されている駆動 T F T 素子 7 のゲート電極に、第 4 の冗長配線 1 2 a・1 2 b を介して制御信号線 S E L G に供給される制御信号を供給することができる。

20

【 0 1 5 4 】

図 1 7 は、図 1 6 に示すように修復した場合における、制御信号線 S E L G 介して供給される制御信号の流れを示す図である。

【 0 1 5 5 】

図示されているように、上記構成によれば、制御信号線 S E L G において断線が生じた領域の代わりに第 4 の冗長配線 1 2 a・1 2 b を介して、制御信号が制御信号線 S E L G に接続された次の駆動 T F T 素子 7 に供給されるようになっている。

【 0 1 5 6 】

また、図示は省略するが、信号分配回路 3 a には、制御信号線 S E L R、制御信号線 S E L G および制御信号線 S E L B のそれぞれに対応した 3 組（3 つ）の冗長 T F T 素子 8 が備えられ、各冗長 T F T 素子 8 のゲート電極に対応する制御信号を供給するための第 1 の冗長配線と、各冗長 T F T 素子 8 のソース電極に対応するデータ信号線駆動回路 6 の出力端子から出力される出力 D A T A を供給する第 2 の冗長配線と、各冗長 T F T 素子 8 のドレイン電極から出力される出力 D A T A を対応するデータ信号線に出力させる第 3 の冗長配線とを備えた構成とすることもできる。

30

【 0 1 5 7 】

上記構成によれば、生産時における修復時間の短縮化を実現することができる。

【 0 1 5 8 】

本発明の表示装置において、上記駆動回路には、さらに、第 4 の冗長配線が備えられており、上記第 4 の冗長配線は、上記第 4 の冗長配線と上記複数の駆動 T F T 素子のゲート電極に異なる第 1 の信号を入力するために設けられた複数の配線中の何れか 1 本とを、所定の間隔を有する複数の箇所で電氣的に接続することにより、上記第 4 の冗長配線と電氣的に接続された配線における上記第 1 の信号が、上記第 4 の冗長配線を介して上記配線に

40

入力されるように形成されていることが好ましい。

【 0 1 5 9 】

上記構成によれば、上記複数の駆動 T F T 素子のゲート電極に異なる第 1 の信号を入力するために設けられた複数の配線において、欠陥部が生じた場合、上記第 4 の冗長配線を用いて修復を行う構成となっている。

【 0 1 6 0 】

本発明の表示装置において、上記駆動回路は、上記表示領域に表示する画像信号を出力

50

するデータ信号線駆動回路の各出力端子を複数の経路に分枝させた配線と、上記分枝させた各配線に設けられた上記駆動ＴＦＴ素子と、上記データ信号線駆動回路の各出力端子に電氣的に接続された上記各駆動ＴＦＴ素子を水平期間の時分割で導通できるように駆動させるため、上記各駆動ＴＦＴ素子のゲート電極に制御信号を入力するための制御信号線とを備えた信号分配回路であることが好ましい。

【０１６１】

上記構成によれば、チャネル幅の大きい駆動ＴＦＴ素子が備えられた信号分配回路（ＳＳＤ回路）において、上記駆動ＴＦＴ素子や上記複数の駆動ＴＦＴ素子のゲート電極に異なる第１の信号を入力するために設けられた複数の配線において、欠陥部が生じた場合でも、リーク部（欠陥部）の修復に時間が掛からず、生産性の向上が図れるとともに、修復後にも、異なるチャネル幅となるＴＦＴを有さない信号分配回路を備えた表示装置を実現することができる。

10

【０１６２】

本発明の表示装置において、上記データ信号線駆動回路の各出力端子は、第１の配線、第２の配線および第３の配線に分枝されており、上記第１の配線、上記第２の配線および上記第３の配線のそれぞれには、上記駆動ＴＦＴ素子が設けられており、上記各駆動ＴＦＴ素子のゲート電極には、上記制御信号を入力するための第１の制御信号線、第２の制御信号線および第３の制御信号線が設けられており、上記信号分配回路には、上記各制御信号線に対応した３組の上記冗長ＴＦＴ素子と上記第１の冗長配線と上記第２の冗長配線と上記第３の冗長配線とが備えられていることが好ましい。

20

【０１６３】

上記構成によれば、上記各制御信号線毎に、上記冗長ＴＦＴ素子と上記第１の冗長配線と上記第２の冗長配線と上記第３の冗長配線とを備えた構成となっており、例えば、第１の制御信号線に電氣的に接続された駆動ＴＦＴ素子や第１の制御信号線に欠陥部が生じた場合には、上記第１の制御信号線に対応した上記冗長ＴＦＴ素子と上記第１の冗長配線と上記第２の冗長配線と上記第３の冗長配線とを用いて修復を行うことができるようになっている。

【０１６４】

したがって、生産時における修復時間の短縮化を実現することができる。

【０１６５】

30

本発明の表示装置において、上記駆動ＴＦＴ素子は、上記データ信号線駆動回路と上記冗長ＴＦＴ素子との間に挟まれるように形成され、上記駆動ＴＦＴ素子の長手方向は、上記データ信号線駆動回路の各出力端子が配列される方向に対して直交するように配置され、上記冗長ＴＦＴ素子の長手方向は、上記データ信号線駆動回路の各出力端子が配列される方向と平行に配置されていることが好ましい。

【０１６６】

本発明の表示装置において、上記駆動ＴＦＴ素子は、上記データ信号線駆動回路と上記表示領域との間に挟まれるように形成され、上記駆動ＴＦＴ素子および上記冗長ＴＦＴ素子の長手方向は、上記データ信号線駆動回路の各出力端子が配列される方向に対して直交するように配置され、上記冗長ＴＦＴ素子は、上記駆動ＴＦＴ素子の間に挟まれるように形成されていることが好ましい。

40

【０１６７】

上記構成によれば、信号分配回路（ＳＳＤ回路）の形成面積を小さくすることができるので、上記表示装置における非表示領域となる額縁領域の狭小化を実現することができる。

【０１６８】

本発明の表示装置において、上記画素ＴＦＴ素子および上記駆動ＴＦＴ素子における半導体層は、非晶質シリコンで形成されていることが好ましい。

【０１６９】

上記構成によれば、上記表示装置の製造単価の向上を抑制することができる。

50

【 0 1 7 0 】

本発明の表示装置において、上記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、酸化物で形成されていることが好ましい。

【 0 1 7 1 】

上記半導体層は、例えば、I n、G a、Z nから選択される少なくとも一つの元素を含む非晶質酸化物から形成することができるが、これに限定されることはない。

【 0 1 7 2 】

本発明の表示装置において、記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、微結晶シリコンで形成されていることが好ましい。

【 0 1 7 3 】

本発明の表示装置において、上記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、微結晶シリコンと非晶質シリコンとが積層されて形成されていることが好ましい。

【 0 1 7 4 】

上記構成によれば、上記駆動 T F T 素子における半導体層は、微結晶シリコンまたは、微結晶シリコンと非晶質シリコンとが積層されて形成されているため、比較的安価に上記表示装置を製作することができる。

【 0 1 7 5 】

本発明の表示装置において、上記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、多結晶シリコンで形成されていることが好ましい。

【 0 1 7 6 】

本発明の表示装置において、上記画素 T F T 素子および上記駆動 T F T 素子における半導体層は、連続粒界結晶シリコンで形成されていることが好ましい。

【 0 1 7 7 】

上記構成によれば、上記駆動 T F T 素子における半導体層は、多結晶シリコンまたは、連続粒界結晶シリコンで形成されているため、走査線駆動回路および信号分配回路（S S D回路）以外にデータ信号線駆動回路も上記画素 T F T 素子とモノリシックに形成することができるので、信頼性が高く、非表示領域となる額縁領域を狭小化させた表示装置を実現することができる。

【 0 1 7 8 】

本発明は上記した各実施の形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施の形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施の形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【 0 1 7 9 】

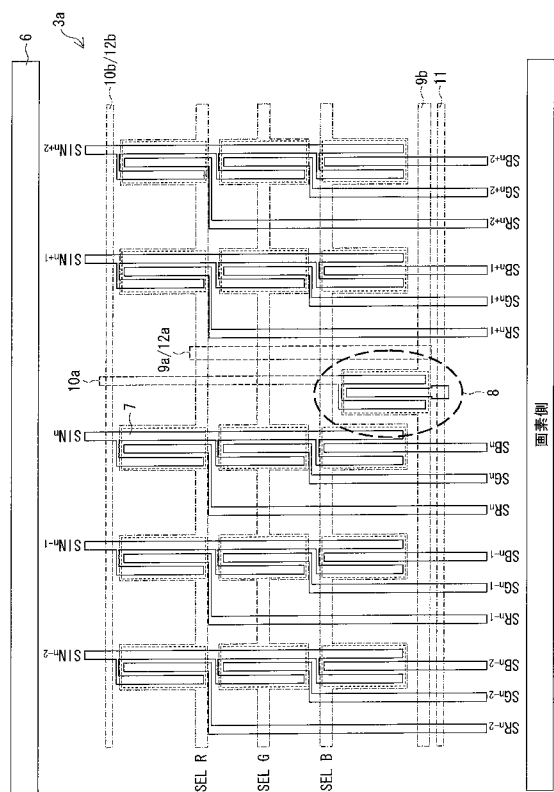
本発明は、半導体装置や、表示装置に適用することができる。

【符号の説明】

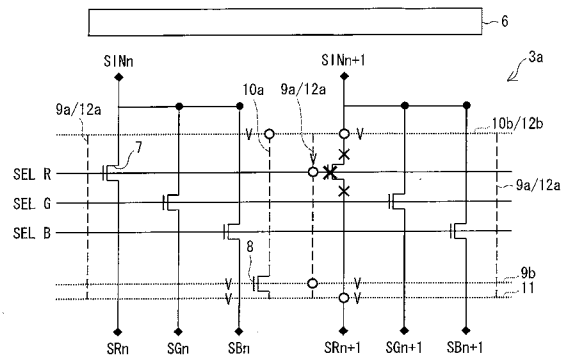
【 0 1 8 0 】

1	液晶表示装置（表示装置）	
3、3 a	信号分配回路（駆動回路）	40
4	走査線駆動回路（駆動回路）	
6	データ信号線駆動回路（駆動回路）	
7	駆動 T F T 素子	
8	冗長 T F T 素子	
9 a、9 b	第 1 の冗長配線	
1 0 a、1 0 b	第 2 の冗長配線	
1 1	第 3 の冗長配線	
1 2 a、1 2 b	第 4 の冗長配線	
S E L R、S E L G、S E L B	制御信号線	
R 1	表示領域	50

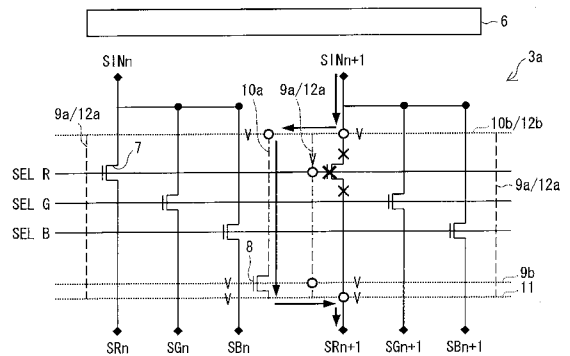
【 図 1 0 】



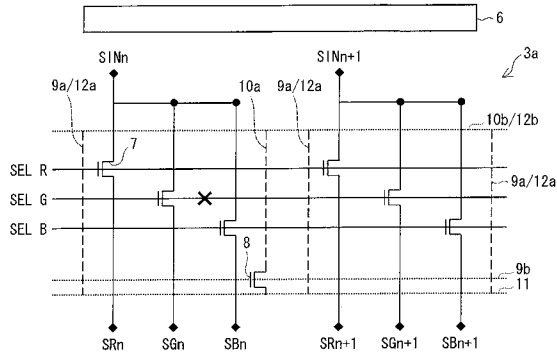
【 図 1 3 】



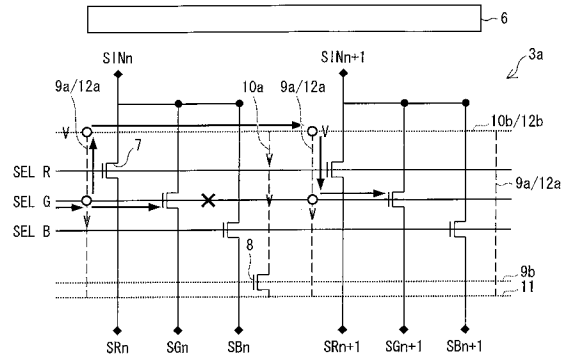
【圖 14】



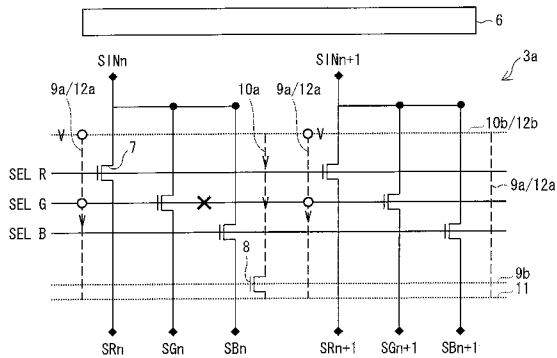
【図 15】



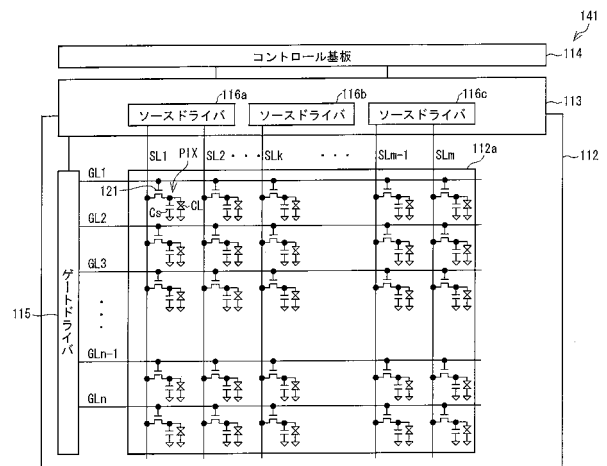
【図 17】



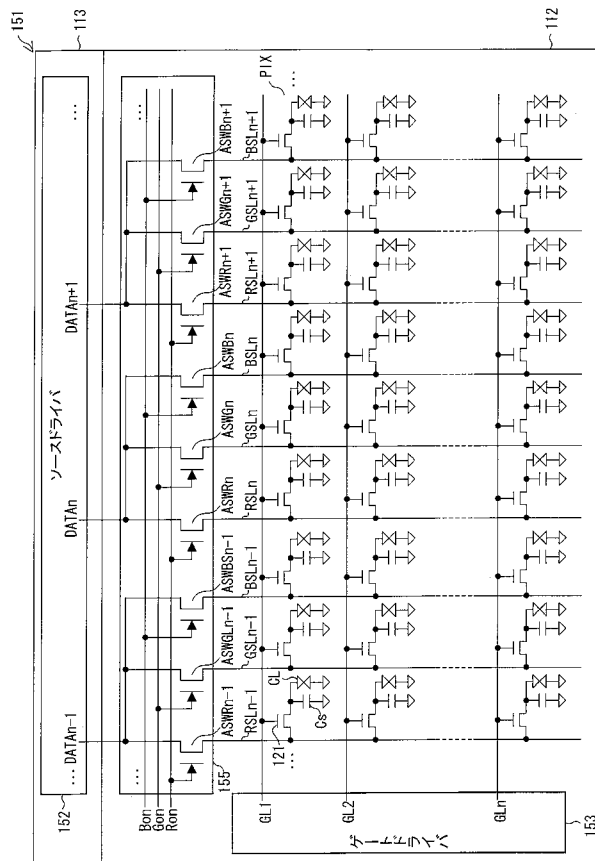
【図 16】



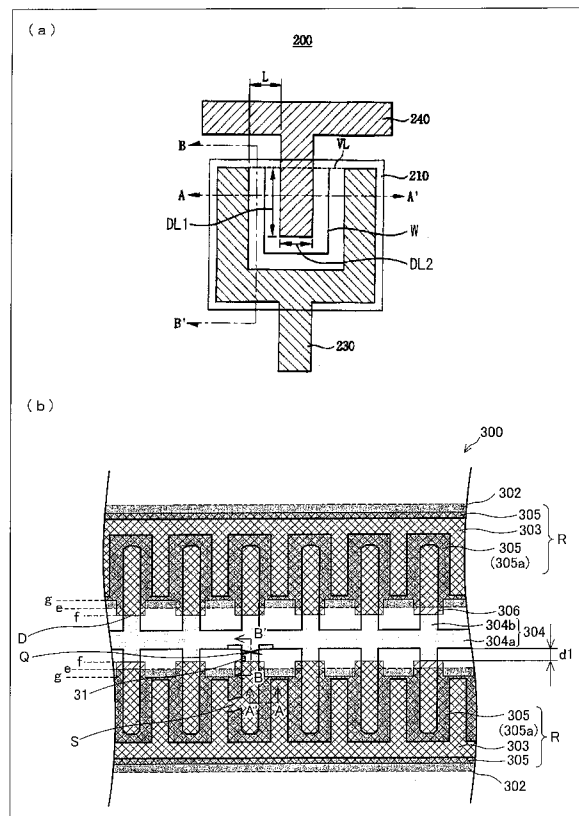
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/1368 (2006.01) G 0 9 G 3/20 6 2 1 M
 G 0 9 G 3/20 6 2 1 J
 G 0 9 F 9/00 3 5 2
 G 0 9 F 9/30 3 3 8
 G 0 2 F 1/1345
 G 0 2 F 1/1368

(72)発明者 吉田 昌弘
 日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 (72)発明者 小笠原 功
 日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
 (72)発明者 堀内 智
 日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 0 - 2 7 5 6 6 9 (J P , A)
 特開 2 0 0 5 - 0 3 1 1 3 5 (J P , A)
 特開平 1 1 - 2 9 5 6 7 9 (J P , A)
 特開平 0 1 - 2 2 5 9 9 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 4 5
 G 0 2 F 1 / 1 3 6 8
 G 0 9 F 9 / 0 0 - 9 / 4 6

专利名称(译)	表示装置		
公开(公告)号	JP5350495B2	公开(公告)日	2013-11-27
申请号	JP2011552663	申请日	2010-11-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	田中信也 菊池哲郎 嶋田純也 吉田昌弘 小笠原功 堀内智		
发明人	田中 信也 菊池 哲郎 嶋田 純也 吉田 昌弘 小笠原 功 堀内 智		
IPC分类号	G09G3/36 G09G3/20 G09F9/00 G09F9/30 G02F1/1345 G02F1/1368		
CPC分类号	G09G3/3688 G09G2300/0413 G09G2310/0297 G09G2330/08 H01L27/12 H01L27/124 H01L29/41733		
FI分类号	G09G3/36 G09G3/20.670.A G09G3/20.623.V G09G3/20.623.X G09G3/20.623.A G09G3/20.621.M G09G3/20.621.J G09F9/00.352 G09F9/30.338 G02F1/1345 G02F1/1368		
优先权	2010025220 2010-02-08 JP		
其他公开文献	JPWO2011096125A1		
外部链接	Espacenet		

摘要(译)

形成的冗余TFT元件(8)具有与驱动TFT元件(7)，第一冗余布线(9a, 9b)，第二冗余布线相同的沟道宽度10)提供第三冗余布线(11)。因此，即使在设置在信号分配电路(3)中的驱动TFT(7)中产生泄漏部分(缺陷部分)，也需要较少的时间来修复泄漏部分(缺陷部分)。可以实现具有信号分配电路(3)的液晶显示装置，该信号分配电路(3)即使在修复之后也具有不同沟道宽度的TFT，同时改进。

【图16】

