

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5005108号
(P5005108)

(45) 発行日 平成24年8月22日(2012.8.22)

(24) 登録日 平成24年6月1日(2012.6.1)

(51) Int.Cl.

F I

G O 2 F 1/1339 (2006.01)

G O 2 F 1/1339 5 0 0

G O 2 F 1/1341 (2006.01)

G O 2 F 1/1341

G O 2 F 1/1345 (2006.01)

G O 2 F 1/1345

請求項の数 12 (全 29 頁)

(21) 出願番号	特願2011-249768 (P2011-249768)	(73) 特許権者	000153878
(22) 出願日	平成23年11月15日(2011.11.15)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-369 (P2011-369) の分割		神奈川県厚木市長谷398番地
原出願日	平成9年5月26日(1997.5.26)	(72) 発明者	平形 吉晴
(65) 公開番号	特開2012-68668 (P2012-68668A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成24年4月5日(2012.4.5)		半導体エネルギー研究所内
審査請求日	平成23年12月14日(2011.12.14)	(72) 発明者	西 毅
早期審査対象出願			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	山口 裕之
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶と、

液晶注入口を封止する封止材と、

シール材と、

画素領域と、駆動回路領域と、を有する第1の基板と、

第1及び第2の複数のギャップ保持部材を有する第2の基板と、を有し、

前記液晶と前記第1及び第2の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、

前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記画素領域と、の間に配置されており、

前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記画素領域と、の間に配置されており、

前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、

前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、

前記第1の辺は前記第2の辺と対向し、

前記第1の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、

10

20

前記第 2 の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材の密度 (個 / mm^2) は、前記第 2 の複数のギャップ保持部材の密度 (個 / mm^2) よりも小さいことを特徴とする液晶表示装置。

【請求項 2】

液晶と、

液晶注入口を封止する封止材と、

シール材と、

画素領域と、駆動回路領域と、を有する第 1 の基板と、

第 1 及び第 2 の複数のギャップ保持部材を有する第 2 の基板と、を有し、

前記液晶と前記第 1 及び第 2 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記画素領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記画素領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、

前記第 1 の辺は前記第 2 の辺と対向し、

前記第 1 の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材の 1mm^2 当たりの個数は、前記第 2 の複数のギャップ保持部材の 1mm^2 当たりの個数よりも少ないことを特徴とする液晶表示装置。

【請求項 3】

液晶と、

液晶注入口を封止する封止材と、

シール材と、

画素領域と、駆動回路領域と、を有する第 1 の基板と、

第 1 及び第 2 の複数のギャップ保持部材を有する第 2 の基板と、を有し、

前記液晶と前記第 1 及び第 2 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記画素領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記画素領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、

前記第 1 の辺は前記第 2 の辺と対向し、

前記第 1 の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材における隣接するギャップ保持部材の間隔は、前記第 2 の複数のギャップ保持部材における隣接するギャップ保持部材の間隔よりも大きいこ

10

20

30

40

50

とを特徴とする液晶表示装置。

【請求項 4】

液晶と、
 液晶注入口を封止する封止材と、
 シール材と、
 画素領域と、駆動回路領域と、を有する第 1 の基板と、
 第 1 乃至第 4 の複数のギャップ保持部材を有する第 2 の基板と、を有し、
 前記液晶と前記第 1 乃至第 4 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、
 前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記画素領域と、の間に配置されており、
 前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記画素領域と、の間に配置されており、
 前記第 3 の複数のギャップ保持部材は、前記第 1 の基板の有する第 3 の辺と、前記画素領域と、の間に配置されており、
 前記第 4 の複数のギャップ保持部材は、前記第 1 の基板の有する第 4 の辺と、前記画素領域と、の間に配置されており、
 前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、
 前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、
 前記第 3 の複数のギャップ保持部材は、前記第 3 の辺と平行方向に沿うように並んで配置されており、
 前記第 4 の複数のギャップ保持部材は、前記第 4 の辺と平行方向に沿うように並んで配置されており、
 前記第 1 の辺は前記第 2 の辺と対向し、
 前記第 3 の辺は前記第 4 の辺と対向し、
 前記第 1 の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、
 前記第 2 の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、
 前記第 1 の複数のギャップ保持部材の密度 (個 / mm^2) は、前記第 2 乃至第 4 の複数のギャップ保持部材の密度 (個 / mm^2) よりも小さいことを特徴とする液晶表示装置。

【請求項 5】

液晶と、
 液晶注入口を封止する封止材と、
 シール材と、
 画素領域と、駆動回路領域と、を有する第 1 の基板と、
 第 1 乃至第 4 の複数のギャップ保持部材を有する第 2 の基板と、を有し、
 前記液晶と前記第 1 乃至第 4 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、
 前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記画素領域と、の間に配置されており、
 前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記画素領域と、の間に配置されており、
 前記第 3 の複数のギャップ保持部材は、前記第 1 の基板の有する第 3 の辺と、前記画素領域と、の間に配置されており、
 前記第 4 の複数のギャップ保持部材は、前記第 1 の基板の有する第 4 の辺と、前記画素領域と、の間に配置されており、
 前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配

置されており、

前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、

前記第 3 の複数のギャップ保持部材は、前記第 3 の辺と平行方向に沿うように並んで配置されており、

前記第 4 の複数のギャップ保持部材は、前記第 4 の辺と平行方向に沿うように並んで配置されており、

前記第 1 の辺は前記第 2 の辺と対向し、

前記第 3 の辺は前記第 4 の辺と対向し、

前記第 1 の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、

10

前記第 2 の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材の 1 mm^2 当たりの個数は、前記第 2 乃至第 4 の複数のギャップ保持部材の 1 mm^2 当たりの個数よりも少ないことを特徴とする液晶表示装置。

【請求項 6】

液晶と、

液晶注入口を封止する封止材と、

シール材と、

20

画素領域と、駆動回路領域と、を有する第 1 の基板と、

第 1 乃至第 4 の複数のギャップ保持部材を有する第 2 の基板と、を有し、

前記液晶と前記第 1 乃至第 4 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記画素領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記画素領域と、の間に配置されており、

前記第 3 の複数のギャップ保持部材は、前記第 1 の基板の有する第 3 の辺と、前記画素領域と、の間に配置されており、

30

前記第 4 の複数のギャップ保持部材は、前記第 1 の基板の有する第 4 の辺と、前記画素領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、

前記第 3 の複数のギャップ保持部材は、前記第 3 の辺と平行方向に沿うように並んで配置されており、

前記第 4 の複数のギャップ保持部材は、前記第 4 の辺と平行方向に沿うように並んで配置されており、

40

前記第 1 の辺は前記第 2 の辺と対向し、

前記第 3 の辺は前記第 4 の辺と対向し、

前記第 1 の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材における隣接するギャップ保持部材の間隔は、前記第 2 乃至第 4 の複数のギャップ保持部材における隣接するギャップ保持部材の間隔よりも大きいことを特徴とする液晶表示装置。

【請求項 7】

50

液晶と、

液晶注入口を封止する封止材と、

シール材と、

表示に寄与する画素電極と、前記表示に寄与する画素電極と電氣的に接続する画素 T F T とが設けられた第 1 の領域と、駆動回路 T F T が設けられた第 2 の領域と、を有する第 1 の基板と、

第 1 及び第 2 の複数のギャップ保持部材を有する第 2 の基板と、を有し、

前記液晶と前記第 1 及び第 2 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記第 1 の領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記第 1 の領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、

前記第 1 の辺は前記第 2 の辺と対向し、

前記第 1 の複数のギャップ保持部材は、前記封止材と、前記第 1 の領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の領域と、前記第 2 の領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材の密度 (個 / mm^2) は、前記第 2 の複数のギャップ保持部材の密度 (個 / mm^2) よりも小さいことを特徴とする液晶表示装置。

【請求項 8】

液晶と、

液晶注入口を封止する封止材と、

シール材と、

表示に寄与する画素電極と、前記表示に寄与する画素電極と電氣的に接続する画素 T F T とが設けられた第 1 の領域と、駆動回路 T F T が設けられた第 2 の領域と、を有する第 1 の基板と、

第 1 及び第 2 の複数のギャップ保持部材を有する第 2 の基板と、を有し、

前記液晶と前記第 1 及び第 2 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記第 1 の領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記第 1 の領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、

前記第 1 の辺は前記第 2 の辺と対向し、

前記第 1 の複数のギャップ保持部材は、前記封止材と、前記第 1 の領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の領域と、前記第 2 の領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材の 1 mm^2 当たりの個数は、前記第 2 の複数のギャップ保持部材の 1 mm^2 当たりの個数よりも少ないことを特徴とする液晶表示装置。

【請求項 9】

液晶と、
液晶注入口を封止する封止材と、
シール材と、
表示に寄与する画素電極と、前記表示に寄与する画素電極と電氣的に接続する画素 T F T とが設けられた第 1 の領域と、駆動回路 T F T が設けられた第 2 の領域と、を有する第 1 の基板と、
第 1 及び第 2 の複数のギャップ保持部材を有する第 2 の基板と、を有し、
前記液晶と前記第 1 及び第 2 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、
前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記第 1 の領域と、の間に配置されており、
前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記第 1 の領域と、の間に配置されており、
前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、
前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、
前記第 1 の辺は前記第 2 の辺と対向し、
前記第 1 の複数のギャップ保持部材は、前記封止材と、前記第 1 の領域と、の間に配置されており、
前記第 2 の複数のギャップ保持部材は、前記第 1 の領域と、前記第 2 の領域と、の間に配置されており、
前記第 1 の複数のギャップ保持部材における隣接するギャップ保持部材の間隔は、前記第 2 の複数のギャップ保持部材における隣接するギャップ保持部材の間隔よりも大きいことを特徴とする液晶表示装置。

【請求項 10】

液晶と、
液晶注入口を封止する封止材と、
シール材と、
表示に寄与する画素電極と、前記表示に寄与する画素電極と電氣的に接続する画素 T F T とが設けられた第 1 の領域と、駆動回路 T F T が設けられた第 2 の領域と、を有する第 1 の基板と、
第 1 乃至第 4 の複数のギャップ保持部材を有する第 2 の基板と、を有し、
前記液晶と前記第 1 乃至第 4 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、
前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記第 1 の領域と、の間に配置されており、
前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記第 1 の領域と、の間に配置されており、
前記第 3 の複数のギャップ保持部材は、前記第 1 の基板の有する第 3 の辺と、前記第 1 の領域と、の間に配置されており、
前記第 4 の複数のギャップ保持部材は、前記第 1 の基板の有する第 4 の辺と、前記第 1 の領域と、の間に配置されており、
前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、
前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、
前記第 3 の複数のギャップ保持部材は、前記第 3 の辺と平行方向に沿うように並んで配置されており、
前記第 4 の複数のギャップ保持部材は、前記第 4 の辺と平行方向に沿うように並んで配

置されており、

前記第 1 の辺は前記第 2 の辺と対向し、

前記第 3 の辺は前記第 4 の辺と対向し、

前記第 1 の複数のギャップ保持部材は、前記封止材と、前記第 1 の領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の領域と、前記第 2 の領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材の密度 (個 / mm^2) は、前記第 2 乃至第 4 の複数のギャップ保持部材の密度 (個 / mm^2) よりも小さいことを特徴とする液晶表示装置。

【請求項 11】

液晶と、

液晶注入口を封止する封止材と、

シール材と、

表示に寄与する画素電極と、前記表示に寄与する画素電極と電氣的に接続する画素 T F T とが設けられた第 1 の領域と、駆動回路 T F T が設けられた第 2 の領域と、を有する第 1 の基板と、

第 1 乃至第 4 の複数のギャップ保持部材を有する第 2 の基板と、を有し、

前記液晶と前記第 1 乃至第 4 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記第 1 の領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記第 1 の領域と、の間に配置されており、

前記第 3 の複数のギャップ保持部材は、前記第 1 の基板の有する第 3 の辺と、前記第 1 の領域と、の間に配置されており、

前記第 4 の複数のギャップ保持部材は、前記第 1 の基板の有する第 4 の辺と、前記第 1 の領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、

前記第 3 の複数のギャップ保持部材は、前記第 3 の辺と平行方向に沿うように並んで配置されており、

前記第 4 の複数のギャップ保持部材は、前記第 4 の辺と平行方向に沿うように並んで配置されており、

前記第 1 の辺は前記第 2 の辺と対向し、

前記第 3 の辺は前記第 4 の辺と対向し、

前記第 1 の複数のギャップ保持部材は、前記封止材と、前記第 1 の領域と、の間に配置されており、

前記第 2 の複数のギャップ保持部材は、前記第 1 の領域と、前記第 2 の領域と、の間に配置されており、

前記第 1 の複数のギャップ保持部材の 1mm^2 当たりの個数は、前記第 2 乃至第 4 の複数のギャップ保持部材の 1mm^2 当たりの個数よりも少ないことを特徴とする液晶表示装置。

【請求項 12】

液晶と、

液晶注入口を封止する封止材と、

シール材と、

表示に寄与する画素電極と、前記表示に寄与する画素電極と電氣的に接続する画素 T F T とが設けられた第 1 の領域と、駆動回路 T F T が設けられた第 2 の領域と、を有する第

10

20

30

40

50

1の基板と、

第1乃至第4の複数のギャップ保持部材を有する第2の基板と、を有し、

前記液晶と前記第1乃至第4の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、

前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記第1の領域と、の間に配置されており、

前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記第1の領域と、の間に配置されており、

前記第3の複数のギャップ保持部材は、前記第1の基板の有する第3の辺と、前記第1の領域と、の間に配置されており、

前記第4の複数のギャップ保持部材は、前記第1の基板の有する第4の辺と、前記第1の領域と、の間に配置されており、

前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、

前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、

前記第3の複数のギャップ保持部材は、前記第3の辺と平行方向に沿うように並んで配置されており、

前記第4の複数のギャップ保持部材は、前記第4の辺と平行方向に沿うように並んで配置されており、

前記第1の辺は前記第2の辺と対向し、

前記第3の辺は前記第4の辺と対向し、

前記第1の複数のギャップ保持部材は、前記封止材と、前記第1の領域と、の間に配置されており、

前記第2の複数のギャップ保持部材は、前記第1の領域と、前記第2の領域と、の間に配置されており、

前記第1の複数のギャップ保持部材における隣接するギャップ保持部材の間隔は、前記第2乃至第4の複数のギャップ保持部材における隣接するギャップ保持部材の間隔よりも大きいことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する発明は、一对の対向する基板を有する表示装置に関するものであり、対向する基板間隔の維持手段に関するものである。

【背景技術】

【0002】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【0003】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれTFTが配置され、各画素電極に出入りする電荷をTFTのスイッチング機能により制御するものである。

【0004】

アクティブマトリクス型液晶表示装置の基本的な構成は、2つの対向する基板からなり、一方は画素領域を有するTFT基板と呼ばれ、他方は対向基板と呼ばれている。TFT基板は数十～数百万個の画素スイッチングTFT(画素TFTと呼ぶ)を含む画素領域と、それらを駆動する複数のTFTを含む周辺駆動回路領域とによって構成される。

【0005】

他方、対向基板はTFT基板の画素領域と対向する透明導電性膜から成る対向電極と、

10

20

30

40

50

配向膜とが形成された透明基板で構成されている。

【 0 0 0 6 】

T F T 基板および対向基板には、液晶材料の配向性を整えるためのラビングなどの配向処理が行われる。その後、T F T 基板と対向基板との基板間隔（セルギャップ）を維持するために、T F T 基板又は対向基板のいずれか一方に粒形のスペーサが均一に散布される。次に、シール剤によって2つの基板が貼り合され、T F T 基板と対向基板との間に液晶材料が充填され、液晶注入口が封止材で封止される。こうしてアクティブマトリクス型液晶表示装置が作製される。

【 0 0 0 7 】

しかし、上記のような構成を有する液晶表示装置や反強誘電性液晶表示には以下のような問題点がある。

10

【 0 0 0 8 】

最近注目されてきている強誘電性液晶を用いた液晶表示装置や、反射型液晶表示装置には、その特性上、小さいセルギャップが求められている。しかし、従来のような粒形のスペーサを用いて小さく均一なセルギャップを有するセルを作製することは、一般的に困難である。

【 0 0 0 9 】

更に、従来 of 粒形のスペーサは、液晶材料注入時に、液晶材料の流動によって粒状のスペーサ自体も流れてしまい、結果として均一なスペーサ散布密度を得ることができず、セル厚ムラの原因となっている。また、粒状のスペーサは流動して複数個凝集すると、スペーサが点欠陥として視認されてしまう。

20

【 0 0 1 0 】

また、一般的に製造または試作されている液晶表示装置は画素ピッチに関係なく、透過型であれば4～6 μm程度、反射型であれば2～3 μmのセルギャップを確保しているようであるが、今後は、液晶パネルの高精細化が求められ、画素ピッチを更に微細化する傾向が強まってきている。

【 0 0 1 1 】

例えば、投射型液晶表示装置（プロジェクション）は、画像をスクリーンに拡大投射することを考えて可能な限り高精細な画像を表示できることが望ましい。またコストの面からも光学系を小型化する必要があり、パネルサイズを小さくすることが必要である。このため、今後は画素ピッチが40 μm以下、好ましくは30 μm以下の液晶表示装置を作製する必要がある。

30

【 0 0 1 2 】

画素ピッチが微細化するに従って、1つの画素面積に対してスペーサの占有面積との相対比が大きくなるため、スペーサが点欠陥となってしまうおそれが生ずる。

【 0 0 1 3 】

更に、高精細な画像を必要とする液晶表示装置において、粒形のスペーサが画素領域に存在する場合、スペーサの近傍は液晶材料の配向性が乱れるため、画像表示の乱れ（ディスクリーネーション）が観測される場合がある。

40

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 4 】

上述したように、従来 of 粒形のスペーサを用いてセルギャップを制御する場合は、さまざまな要因により良好な表示を得ることができないことがある。

【 0 0 1 5 】

本発明は、従来使用された粒状のスペーサを用いなくて、セルギャップが保持された表示装置を提供することを課題とする。

【 0 0 1 6 】

更に、本発明は、T F T 基板のT F T にダメージを与えないように、セルギャップを保持する手段を提供することを課題とする。

50

【課題を解決するための手段】

【0017】

上記の課題を解決するために、請求項1に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、画素領域と、駆動回路領域と、を有する第1の基板と、第1及び第2の複数のギャップ保持部材を有する第2の基板と、を有し、前記液晶と前記第1及び第2の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記画素領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、前記第1の複数のギャップ保持部材の密度（個/mm²）は、前記第2の複数のギャップ保持部材の密度（個/mm²）よりも小さいことを特徴とする液晶表示装置である。請求項2に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、画素領域と、駆動回路領域と、を有する第1の基板と、第1及び第2の複数のギャップ保持部材を有する第2の基板と、を有し、前記液晶と前記第1及び第2の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記画素領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、前記第1の複数のギャップ保持部材の1mm²当たりの個数は、前記第2の複数のギャップ保持部材の1mm²当たりの個数よりも少ないことを特徴とする液晶表示装置である。請求項3に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、画素領域と、駆動回路領域と、を有する第1の基板と、第1及び第2の複数のギャップ保持部材を有する第2の基板と、を有し、前記液晶と前記第1及び第2の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記画素領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、前記第1の複数のギャップ保持部材における隣接するギャップ保持部材の間隔は、前記第2の複数のギャップ保持部材における隣接するギャップ保持部材の間隔よりも大きいことを特徴とする液晶表示装置である。請求項4に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、画素領域と、駆動回路領域と、を有する第1の基板と、第1乃至第4の複数のギャップ保持部材を有する第2の基板と、を有し、前記液晶と前記第1乃至第4の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の基板の

10

20

30

40

50

有する第2の辺と、前記画素領域と、の間に配置されており、前記第3の複数のギャップ保持部材は、前記第1の基板の有する第3の辺と、前記画素領域と、の間に配置されており、前記第4の複数のギャップ保持部材は、前記第1の基板の有する第4の辺と、前記画素領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第3の複数のギャップ保持部材は、前記第3の辺と平行方向に沿うように並んで配置されており、前記第4の複数のギャップ保持部材は、前記第4の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第3の辺は前記第4の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、前記第1の複数のギャップ保持部材の密度(個/mm²)は、前記第2乃至第4の複数のギャップ保持部材の密度(個/mm²)よりも小さいことを特徴とする液晶表示装置である。請求項5に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、画素領域と、駆動回路領域と、を有する第1の基板と、第1乃至第4の複数のギャップ保持部材を有する第2の基板と、を有し、前記液晶と前記第1乃至第4の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記画素領域と、の間に配置されており、前記第3の複数のギャップ保持部材は、前記第1の基板の有する第3の辺と、前記画素領域と、の間に配置されており、前記第4の複数のギャップ保持部材は、前記第1の基板の有する第4の辺と、前記画素領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第3の複数のギャップ保持部材は、前記第3の辺と平行方向に沿うように並んで配置されており、前記第4の複数のギャップ保持部材は、前記第4の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第3の辺は前記第4の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、前記第1の複数のギャップ保持部材の1mm²当たりの個数は、前記第2乃至第4の複数のギャップ保持部材の1mm²当たりの個数よりも少ないことを特徴とする液晶表示装置である。請求項6に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、画素領域と、駆動回路領域と、を有する第1の基板と、第1乃至第4の複数のギャップ保持部材を有する第2の基板と、を有し、前記液晶と前記第1乃至第4の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記画素領域と、の間に配置されており、前記第3の複数のギャップ保持部材は、前記第1の基板の有する第3の辺と、前記画素領域と、の間に配置されており、前記第4の複数のギャップ保持部材は、前記第1の基板の有する第4の辺と、前記画素領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第3の複数のギャップ保持部材は、前記第3の辺と平行方向に沿うように並んで配置されており、前記第4の複数のギャップ保持部材は、前記第4の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第3の辺は前記第4の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記画素領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記画素領域と、前記駆動回路領域と、の間に配置されており、前記第1の複数のギャッ

10

20

30

40

50

プ保持部材における隣接するギャップ保持部材の間隔は、前記第2乃至第4の複数のギャップ保持部材における隣接するギャップ保持部材の間隔よりも大きいことを特徴とする液晶表示装置である。請求項7に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、表示に寄与する画素電極と、前記表示に寄与する画素電極と電気的に接続する画素TFTとが設けられた第1の領域と、駆動回路TFTが設けられた第2の領域と、を有する第1の基板と、第1及び第2の複数のギャップ保持部材を有する第2の基板と、を有し、前記液晶と前記第1及び第2の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記第1の領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記第1の領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記第1の領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の領域と、前記第2の領域と、の間に配置されており、前記第1の複数のギャップ保持部材の密度(個/mm²)は、前記第2の複数のギャップ保持部材の密度(個/mm²)よりも小さいことを特徴とする液晶表示装置である。請求項8に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、表示に寄与する画素電極と、前記表示に寄与する画素電極と電気的に接続する画素TFTとが設けられた第1の領域と、駆動回路TFTが設けられた第2の領域と、を有する第1の基板と、第1及び第2の複数のギャップ保持部材を有する第2の基板と、を有し、前記液晶と前記第1及び第2の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記第1の領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記第1の領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記第1の領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の領域と、前記第2の領域と、の間に配置されており、前記第1の複数のギャップ保持部材の1mm²当たりの個数は、前記第2の複数のギャップ保持部材の1mm²当たりの個数よりも少ないことを特徴とする液晶表示装置である。請求項9に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、表示に寄与する画素電極と、前記表示に寄与する画素電極と電気的に接続する画素TFTとが設けられた第1の領域と、駆動回路TFTが設けられた第2の領域と、を有する第1の基板と、第1及び第2の複数のギャップ保持部材を有する第2の基板と、を有し、前記液晶と前記第1及び第2の複数のギャップ保持部材とは、前記第1の基板と前記第2の基板と前記封止材と前記シール材とにより囲まれており、前記第1の複数のギャップ保持部材は、前記第1の基板の有する第1の辺と、前記第1の領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の基板の有する第2の辺と、前記第1の領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記第1の領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の領域と、前記第2の領域と、の間に配置されており、前記第1の複数のギャップ保持部材における隣接するギャップ保持部材の間隔は、前記第2の複数のギャップ保持部材における隣接するギャップ保持部材の間隔よりも大きいことを特徴とする液晶表示装置である。請求項10に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、表示に寄与する画素電極と、前記

10

20

30

40

50

表示に寄与する画素電極と電氣的に接続する画素 T F T とが設けられた第 1 の領域と、駆動回路 T F T が設けられた第 2 の領域と、を有する第 1 の基板と、第 1 乃至第 4 の複数のギャップ保持部材を有する第 2 の基板と、を有し、前記液晶と前記第 1 乃至第 4 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記第 1 の領域と、の間に配置されており、前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記第 1 の領域と、の間に配置されており、前記第 3 の複数のギャップ保持部材は、前記第 1 の基板の有する第 3 の辺と、前記第 1 の領域と、の間に配置されており、前記第 4 の複数のギャップ保持部材は、前記第 1 の基板の有する第 4 の辺と、前記第 1 の領域と、の間に配置されており、前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、前記第 3 の複数のギャップ保持部材は、前記第 3 の辺と平行方向に沿うように並んで配置されており、前記第 4 の複数のギャップ保持部材は、前記第 4 の辺と平行方向に沿うように並んで配置されており、前記第 1 の辺は前記第 2 の辺と対向し、前記第 3 の辺は前記第 4 の辺と対向し、前記第 1 の複数のギャップ保持部材は、前記封止材と、前記第 1 の領域と、の間に配置されており、前記第 2 の複数のギャップ保持部材は、前記第 1 の領域と、前記第 2 の領域と、の間に配置されており、前記第 1 の複数のギャップ保持部材の密度 (個 / mm^2) は、前記第 2 乃至第 4 の複数のギャップ保持部材の密度 (個 / mm^2) よりも小さいことを特徴とする液晶表示装置である。請求項 1 1 に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、表示に寄与する画素電極と、前記表示に寄与する画素電極と電氣的に接続する画素 T F T とが設けられた第 1 の領域と、駆動回路 T F T が設けられた第 2 の領域と、を有する第 1 の基板と、第 1 乃至第 4 の複数のギャップ保持部材を有する第 2 の基板と、を有し、前記液晶と前記第 1 乃至第 4 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記第 1 の領域と、の間に配置されており、前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記第 1 の領域と、の間に配置されており、前記第 3 の複数のギャップ保持部材は、前記第 1 の基板の有する第 3 の辺と、前記第 1 の領域と、の間に配置されており、前記第 4 の複数のギャップ保持部材は、前記第 1 の基板の有する第 4 の辺と、前記第 1 の領域と、の間に配置されており、前記第 1 の複数のギャップ保持部材は、前記第 1 の辺と平行方向に沿うように並んで配置されており、前記第 2 の複数のギャップ保持部材は、前記第 2 の辺と平行方向に沿うように並んで配置されており、前記第 3 の複数のギャップ保持部材は、前記第 3 の辺と平行方向に沿うように並んで配置されており、前記第 4 の複数のギャップ保持部材は、前記第 4 の辺と平行方向に沿うように並んで配置されており、前記第 1 の辺は前記第 2 の辺と対向し、前記第 3 の辺は前記第 4 の辺と対向し、前記第 1 の複数のギャップ保持部材は、前記封止材と、前記第 1 の領域と、の間に配置されており、前記第 2 の複数のギャップ保持部材は、前記第 1 の領域と、前記第 2 の領域と、の間に配置されており、前記第 1 の複数のギャップ保持部材の 1 mm^2 当たりの個数は、前記第 2 乃至第 4 の複数のギャップ保持部材の 1 mm^2 当たりの個数よりも少ないことを特徴とする液晶表示装置である。請求項 1 2 に係る発明は、液晶と、液晶注入口を封止する封止材と、シール材と、表示に寄与する画素電極と、前記表示に寄与する画素電極と電氣的に接続する画素 T F T とが設けられた第 1 の領域と、駆動回路 T F T が設けられた第 2 の領域と、を有する第 1 の基板と、第 1 乃至第 4 の複数のギャップ保持部材を有する第 2 の基板と、を有し、前記液晶と前記第 1 乃至第 4 の複数のギャップ保持部材とは、前記第 1 の基板と前記第 2 の基板と前記封止材と前記シール材とにより囲まれており、前記第 1 の複数のギャップ保持部材は、前記第 1 の基板の有する第 1 の辺と、前記第 1 の領域と、の間に配置されており、前記第 2 の複数のギャップ保持部材は、前記第 1 の基板の有する第 2 の辺と、前記第 1 の領域と、の間に配置されており、前記第 3 の複数のギャップ保持部材は、前記第 1 の基板の有する第 3 の辺と、前記第 1 の領域と、の間

10

20

30

40

50

に配置されており、前記第4の複数のギャップ保持部材は、前記第1の基板の有する第4の辺と、前記第1の領域と、の間に配置されており、前記第1の複数のギャップ保持部材は、前記第1の辺と平行方向に沿うように並んで配置されており、前記第2の複数のギャップ保持部材は、前記第2の辺と平行方向に沿うように並んで配置されており、前記第3の複数のギャップ保持部材は、前記第3の辺と平行方向に沿うように並んで配置されており、前記第4の複数のギャップ保持部材は、前記第4の辺と平行方向に沿うように並んで配置されており、前記第1の辺は前記第2の辺と対向し、前記第3の辺は前記第4の辺と対向し、前記第1の複数のギャップ保持部材は、前記封止材と、前記第1の領域と、の間に配置されており、前記第2の複数のギャップ保持部材は、前記第1の領域と、前記第2の領域と、の間に配置されており、前記第1の複数のギャップ保持部材における隣接するギャップ保持部材の間隔は、前記第2乃至第4の複数のギャップ保持部材における隣接するギャップ保持部材の間隔よりも大きいことを特徴とする液晶表示装置である。

10

【0018】

本発明に係る液晶表示装置の作製方法の第1の構成（参考発明）は、第1の基板と、前記第1の基板に対向する第2の基板とを有し、前記第1の基板には、薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とが設けられた液晶表示装置の作製方法であって、前記第1の基板上に第1の配向膜を形成し、前記第2の基板に感光性樹脂膜を形成し、光を照射することにより前記感光性樹脂膜を感光させ、前記感光性樹脂膜から複数のギャップ保持部材を形成し、前記複数のギャップ保持部材を形成した後、前記第2の基板上に第2の配向膜を形成し、前記第1の配向膜と前記第2の配向膜にはラビング処理を行わないことを特徴とする。また、本発明に係る液晶表示装置の作製方法の第2の構成（参考発明）は、第1の基板と、前記第1の基板に対向する第2の基板とを有し、前記第1の基板には、薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とが設けられた液晶表示装置の作製方法であって、前記第1の基板上に第1の垂直配向膜を形成し、前記第2の基板に感光性樹脂膜を形成し、光を照射することにより前記感光性樹脂膜を感光させ、前記感光性樹脂膜から複数のギャップ保持部材を形成し、前記複数のギャップ保持部材を形成した後、前記第2の基板上に第2の垂直配向膜を形成し、前記第1の垂直配向膜と前記第2の垂直配向膜にはラビング処理を行わないことを特徴とする。

20

30

【0019】

上記の第1又は第2の構成において、ギャップ保持部材を設けたため、第1に、スペーサが不要になる。第2に、ギャップ保持部材の高さを任意に設定できるので、基板間距離を任意に決定することができる。第3に、ギャップ保持部材が固定されているので、従来のスペーサのようにダマ状に凝集することが無く、点欠陥となることがない。

【0020】

また、上記第1の構成および第2の構成では、ギャップ保持部材の位置を適宜に設定できる。例えば、ギャップ保持部材が、前記画素領域と概略対向する領域に設けることができる。この場合には、ギャップ保持部材をカラーフィルタのブラックマトリクス上や、画素領域のバスライン上等の表示に使用されない箇所に設けると良い。あるいは、ギャップ保持部材を画素領域と対向しない領域に設けることによって、表示に影響を与えないで基板間隔を保持することができる。

40

【0021】

また、本発明を、第1の基板（TFT基板）に、画素領域と、画素領域に配置されたスイッチング素子を駆動する駆動回路が配置された駆動回路領域と、を設けた表示装置に適用した場合、ギャップ保持部材を第2の基板（対向基板）のうち、第1の基板に設けられた駆動回路領域と対向しない領域に設けるとよい。この場合、ギャップ保持部材による応力によって、駆動回路を損傷・破壊することを回避できる。

【0022】

50

更に本発明では、ギャップ保持部材を第2の基板に設けたため、ギャップ保持部材の形成工程によって生ずる影響（溶剤やエッチェントによる影響、機械的な衝撃等）を第1の基板に与えずに済む。第1の基板には画素領域や駆動回路が配置されるため、第2の基板と比較して非常に集積度が高い。そのため、本発明では、第1の基板に対する処理をできるだけ少なくするために、第2の基板にギャップ保持部材を設けるようにしたものである。

【0023】

更に、本発明のギャップ保持部材は第2の基板に設けることによって、材料を選択する際の条件が、第1の基板に設けた場合よりも緩やかになる。例えば、本発明を、TFTを有する液晶表示装置に用いた場合、第1の基板（TFT基板）には画素TFTや駆動回路TFTが形成されているため、ギャップ保持部材の材料としては、これらTFTを構成する材料に対して、エッチング選択比をとれるような材料を選択しなければならない。

10

【0024】

他方、第2の基板（対向基板）には、対向電極、カラーフィルタが形成される程度であり、TFT基板と比較して使用される材料は少ないので、対向基板にギャップ保持部材を形成する場合には、材料を選択する条件が少なくなる。更に、ギャップ保持部材の作製に必要なエッチング液やエッチングガス等の材料や、作製手段の選択幅も広がる。

【0025】

また、基板の隙間を均一に維持できるようにするため、本発明のギャップ保持部材は下地の凹凸を相殺できる平坦化材料で形成するのが好ましい。例えば、ポリイミド、アクリル、ポリアミド、またはポリイミドアミドから選ばれた樹脂材料や、紫外線硬化性樹脂、エポキシ樹脂を代表とする熱硬化性樹脂を用いることができる。

20

【0026】

上記の樹脂材料はTFT基板（第1の基板）の層間絶縁膜として使用されることが多く、このような場合、TFT基板に、樹脂材料でなるギャップ保持部材を設けると、エッチングの選択比をとることが困難である。そこで、本発明では、ギャップ保持部材を対向基板（第2の基板）に形成するようにしたものである。

【発明の効果】

【0027】

本発明では、ギャップ保持部材を設けたため、スペーサが不要になる。また、ギャップ保持部材の高さを任意に設定できるので、基板間距離を任意に決定することができる。そのため、特に、基板間隔が2～3μm程度の反射型の液晶表示装置や、2μm以下とする強誘電性液晶表示装置のような、狭い基板間隔を保持する表示装置に本発明は特に好適である。また、微細な画素配置を有する投射型液晶パネルにも好適である。

30

【0028】

また、ギャップ保持部材は第2の基板（対向基板）に固定されており、ギャップ保持部材が凝集することによる点欠陥の発生を防止することができる。

【0029】

また、ギャップ保持部材の形成位置を制御できるため、その形成位置を画素領域外部や、バスライン上やブラックマトリクス上等の表示に寄与しない箇所に設けることで、表示不良の原因を減らすことができる。

40

【0030】

また、本発明では、ギャップ保持部材を第2の基板に設けたため、ギャップ保持部材の形成工程によって生ずる影響（エッチェントによる影響、機械的な衝撃等）を第1の基板に形成された素子に与えずに済むため、歩留まりを向上させることができる。

【0031】

また、ギャップ保持部材を第2の基板に設けたことにより、TFT等のスイッチング素子が設けられた第1の基板（TFT基板）に設けるよりも、ギャップ保持部材に使用できる材料の選択が容易になる。また、ギャップ保持部材の作製に必要なエッチング材等の材料や、手段の選択幅も広い。

50

【図面の簡単な説明】

【 0 0 3 2 】

【図 1】実施例 1 の液晶表示装置の断面構成の概略図である。

【図 2】実施例 1 の T F T 基板、対向基板の正面図である。

【図 3】実施例 1 の T F T 基板の作製工程を示す図である。

【図 4】実施例 1 の T F T 基板の作製工程を示す図である。

【図 5】実施例 1 の対向基板の作製工程を示す図である。

【図 6】実施例 1 の対向基板の正面図および斜視図である。

【図 7】実施例 5 の対向基板の正面図である。

【図 8】実施例 4 の対向基板の正面図である。

10

【図 9】実施例 6 の対向基板の正面図である。

【図 1 0】実施例 7 の対向基板の正面図である。

【図 1 1】実施例 7 の対向基板の正面図である。

【図 1 2】実施例 8 の対向基板の正面図である。

【実施例 1】

【 0 0 3 3 】

図 1 ～ 図 6 を用いて本実施例を説明する。本実施例は、本発明をアクティブマトリクス型液晶表示装置へ応用した例を説明する。図 1 は液晶表示装置の断面構成の概略図であり、図 2 (A) は T F T 基板の正面図であり、図 2 (B) は対向基板の正面図である。

【 0 0 3 4 】

20

図 2 (A) に示すように、T F T 基板 1 0 0 は、基板 1 0 1 上に、画素電極や画素電極に接続された T F T 等が配置された画素領域 1 0 2 と、画素領域 1 0 2 の T F T を駆動するための駆動回路が配置された駆動回路領域 1 0 3、1 0 4 からなる。

【 0 0 3 5 】

また、図 2 (B) に示すように、対向基板 2 0 0 は、基板 2 0 1 と、2 0 2 で示される T F T 基板 1 0 0 の画素領域 1 0 2 と対向する領域と、2 0 3、2 0 4 で示される駆動回路領域 1 0 3、1 0 4 と対向する領域とでなる。図 1 に示すように、基板 2 0 1 周辺に設けられたシール材 2 0 5 により、T F T 基板 1 0 0 と対向基板 2 0 0 が貼り合わされる。

【 0 0 3 6 】

更に、図 1 に示すように、対向基板 2 0 0 には、画素領域 1 0 2 に対向する対向電極 2 1 0 と、T F T 基板 1 0 0 と対向基板 2 0 0 との隙間を保持するためのギャップ保持部材 2 2 0 が設けられている。

30

【 0 0 3 7 】

T F T 基板 1 0 0 と対向基板 2 0 0 の隙間には、液晶注入口 2 0 6 から液晶 3 0 0 が注入され、シール材 2 0 5 により液晶 3 0 0 が封止される。また、T F T 基板 1 0 0、対向基板 2 0 0 には、それぞれ液晶 3 0 0 を配向するための配向膜 1 1 0、2 3 0 を有する。

【 0 0 3 8 】

次に、図 3、4 を用いて T F T 基板 1 0 0 の作製方法について説明する。図 3、4 の右側に画素領域 1 0 2 に配置される T F T の作製工程を示し、左側に駆動回路領域 1 0 3、1 0 4 に配置される T F T の作製工程を示す。

40

【 0 0 3 9 】

まず、図 3 (A) を参照する。ガラス基板 1 0 1 上に、ガラス基板からの不純物拡散防止用の下地絶縁膜 1 2 1 として酸化珪素膜を 1 0 0 ～ 3 0 0 n m の厚さに形成する。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマ C V D 法を用いればよい。本実施例では、T E O S ガスを原料にしてプラズマ C V D 法によって、酸化珪素膜を 2 0 0 n m の厚さに形成した。なお、基板 1 0 1 に石英基板を用いた場合には、下地絶縁膜 1 2 1 は不要である。

【 0 0 4 0 】

次に、プラズマ C V D 法や L P C V D 法によってアモルファスもしくは多結晶のシリコン膜を 3 0 ～ 1 5 0 n m、好ましくは 5 0 ～ 1 0 0 n m の厚さに形成する。そして、熱ア

50

ニールを行い、シリコン膜を結晶化させる。熱アニールは500以上、好ましくは800~900の温度で行う。熱アニールによってシリコン膜を結晶化させた後、光アニールを行うことによって更に結晶性を高めてもよい。また、熱アニールによってシリコン膜を結晶化させる際に、特開平6-244104号公報に開示されているように、ニッケル等の元素（触媒元素）を添加することによって、シリコンの結晶化を促進させてもよい。

【0041】

本実施例では、プラズマCVD法によって、アモルファスシリコン膜を50nmの厚さに形成した後、450で1時間加熱して水素出しを行い、エキシマレーザ光を照射し多結晶化した。そして、多結晶化したシリコン膜をパターニングして、島状の周辺駆動回路TFETの活性層（Pチャネル型TFET活性層122、Nチャネル型TFET活性層123）、および画素TFETの活性層124を形成する。図3では便宜上、3つのTFETだけを図示したが、実際は、数百万個のTFETを同時に形成する。

10

【0042】

次にゲイト絶縁膜125を形成する。本実施例では、プラズマCVD法によって、一酸化二窒素（ N_2O ）とモノシラン（ SiH_4 ）との混合ガスを原料ガスにして、厚さ120nmの絶縁膜を形成した。

【0043】

その後、スパッタ法でアルミニウム膜を300nmの厚さに形成し、パターニングして、ゲイト電極126、127、128をそれぞれ形成する。

【0044】

20

次に、図3（B）に示すように、イオンドーピング法によって全ての島状活性層122~124にゲイト電極126~128をマスクにして、リンイオンを自己整合的にドーピングをする。ドーピングガスはフォスフィン（ PH_3 ）を用いる。この時の、ドーピング量は $1 \times 10^{12} \sim 5 \times 10^{13}$ 原子/cm²とする。この結果、弱いN型領域（N⁻領域）129、130、131が形成される。

【0045】

次に、図3（C）に示すように、Pチャネル型TFETの活性層122全てを覆うフォトレジストのマスク132と、画素TFETの活性層124の一部を覆うフォトレジストのマスク134を形成する。マスク134は、ゲイト電極128と平行に、ゲイト電極128の端から3μm離れた部分までを覆う。

30

【0046】

そして、再びイオンドーピング法によって燐イオンを注入する。ドーピングガスは、フォスフィンを用いる。ドーピング量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm²とする。この結果、強いN型領域（N⁺領域）のソース/ドレイン135、136が形成される。画素TFETの活性層124の弱いN型領域（N⁻領域）131のうちマスク134で覆われていた領域137は、今回のドーピングでは燐イオンは注入されない。したがって、領域137は弱いN型領域のままである。なお、低濃度不純物領域137の幅xは約3μmとした。

【0047】

次に、図3（D）に示すように、Nチャネル型TFETの活性層123、124をフォトレジストのマスク138で覆う。そして、ジボラン（ B_2H_6 ）をドーピングガスとしてイオンドーピングを行い、島状領域122に硼素を注入する。ドーピング量は $5 \times 10^{14} \sim 8 \times 10^{15}$ 原子/cm²とする。今回のドーピングでは、硼素のドーピング量が前述の図3（C）で示される工程においてドーピングされた燐のドーピング量を上回るため、先に形成されていた弱いN型領域129は、強いP型領域139に反転する。

40

【0048】

その後、450~850で、0.5~3時間熱アニールを施すことにより、ドーピング不純物を活性化させ、かつシリコンの結晶性を回復させる。この熱アニール処理により、ドーピングによるシリコン膜のダメージを回復する。

【0049】

50

以上のドーピングにより、駆動回路領域 103 (104) には、強い N 型領域 135 となるソース/ドレインを有する N 型 TFT と、強い P 型領域 139 となるソース/ドレインを有する P 型 TFT が形成される。また、画素領域 102 には、強い N 型領域 136 となるソース/ドレインと、弱い N 型領域となる低濃度不純物領域 137 を有する N 型 TFT が形成される (図 3 (D))。

【0050】

次に、図 3 (E) 示すように第 1 層間絶縁膜 140 を形成する。本実施例では、プラズマ CVD 法によって窒化珪素膜を 500 nm の厚さに形成した。第 1 層間絶縁膜 140 は酸化珪素膜や酸化窒化珪素膜の単層膜、あるいは窒化珪素膜と酸化珪素膜との多層膜や、窒化珪素膜と酸化窒化珪素膜の多層膜であってもよい。次に、第 1 層間絶縁膜 140 をエッチングしてコンタクトホールを形成する。

10

【0051】

その後、スパッタ法によって、チタン/アルミニウム/チタンとなる多層膜を形成し、これをエッチングして駆動回路の電極・配線 141、142、143、および画素 TFT の電極・配線 144、145 を形成する。本実施例では、チタンの膜厚をそれぞれ 100 nm とし、アルミニウムの膜厚を 300 nm とした。

【0052】

次に、図 4 (A) に示すように、厚さ 1.0 ~ 2.0 μm の厚さに有機樹脂膜となる第 2 層間絶縁膜 146 を形成する。有機樹脂膜として、ポリイミド、ポリアミド、ポリイミドアミド、ポリアクリル等を用いることができる。本実施例では、第 2 層間絶縁膜 146 としてポリイミド膜を 1.5 μm の厚さに形成した。

20

【0053】

そして、フォトリソグラフィ法によって画素 TFT の電極 145 に達するコンタクトホールを形成する。そして、1 wt % のチタンを添加したアルミニウム膜を 300 nm の厚さに形成しパターニングして、図 4 (B) に示すように、画素電極 147 を形成した。

【0054】

図 1 (A) に示す TFT 基板 100 の画素領域 102 においては、それぞれの画素電極に少なくとも 1 つ以上の TFT が配置され、電気的に接続されている。駆動回路領域 103、104 には駆動回路としては、シフトレジスタやアドレスデコーダなどが用いられる。また、その他の回路が必要に応じて構成される。

30

【0055】

このようにして、複数の駆動回路 TFT (駆動回路領域 103、104) と複数の画素 TFT (画素領域 102) とが同一基板 101 上に一体形成された TFT 基板 100 が作製される。なお本実施例では、画素数は、縦 1024 $\times$ 横 768 とした。なお、本明細書では、最端部の画素 TFT を含む画素 TFT が存在する領域を画素領域と呼び、最端部の駆動回路 TFT を含む駆動回路 TFT が存在する領域を駆動回路領域と呼ぶことにする。

【0056】

そして、図 4 (C) に示すように、TFT 基板 100 を良く洗浄し、TFT 形成時の表面処理に用いられたエッチング液、レジスト剥離液等の各種薬品を十分に洗浄した後、配向膜 110 を TFT 基板 100 上に形成する。配向膜 110 の形成方法は後述する。

40

【0057】

次に、対向基板 200 の作製工程を、図 5 を用いて説明する。先ず図 5 (A) を参照する。基板 201 として、透光性を有するガラス基板や石英基板を用いる。本実施例では、ガラス基板を用いた。ガラス基板 201 上に、透明導電膜を形成しパターニングして、画素領域 102 に対向する領域 202 に対向電極 210 を形成した。本実施例では、透明導電膜として、ITO 膜を 150 nm の厚さに形成した (図 5 (A))。

【0058】

なお、必要であれば、対向電極 210 を形成する前に、カラーフィルタ、ブラックマトリクスを、染色法や印刷法等の公知の方法で作製する。カラーフィルタには、厚さが均一で平坦であること、耐熱性および耐薬品性に優れていること等が要求される。

50

【 0 0 5 9 】

次に、ギャップ保持部材 2 2 0 の形成工程を説明する。本実施例では、ギャップ保持部材 2 2 0 を感光性の樹脂材料の 1 つであるポリイミドで形成する。

【 0 0 6 0 】

まず、図 5 (B) に示すように、スピンコート法によって感光性ポリイミド膜 2 1 1 を厚さ 3 . 2 μm に形成した。その後、感光性ポリイミド膜 2 1 1 の表面を対向基板 2 0 0 全面に渡って平坦にするために、3 0 分間、常温で放置した (レベリング) 。そして、上面に感光性ポリイミド膜 2 1 1 が形成された対向基板 2 0 0 を 1 2 0 で 3 分間プリベークした。

【 0 0 6 1 】

なお、感光性ポリイミド膜 2 1 1 の膜厚で、セルギャップ (基板間隔) が決定されるので、セルギャップに合わせて感光性ポリイミド膜 2 1 1 の膜厚を適宜に設定すればよい。例えば、透過型液晶表示装置であればセルギャップが 4 ~ 6 μm 程度、反射型液晶表示装置であればセルギャップが 2 ~ 3 μm 程度、強誘電性液晶表示装置であれば 2 μm 以下となるように、感光性ポリイミド膜 2 1 1 の膜厚を決めればよい。本実施例の液晶表示装置は反射型であるので、感光性ポリイミド膜 2 1 1 の膜厚を 3 . 2 μm となるように形成した。

【 0 0 6 2 】

次に、感光性ポリイミド膜 2 1 1 をパターンニングする。図 5 (C) に示すように、感光性ポリイミド膜 2 1 1 をフォトマスク 2 1 2 で覆い、マスク 2 1 2 側から紫外線を照射した。その後、現像処理を行い、2 8 0 で 1 時間ポストベークを施した。こうして、図 5 (D) に示すように、パターンニングされたセルギャップ保持部材 2 2 0 が形成された。

【 0 0 6 3 】

図 6 (A) は、図 5 (D) に示す状態の対向基板 2 0 0 の正面図であり、図 6 (B) は対向基板 2 0 0 の斜視図を示す。図 6 (A) および (B) に示されるようにギャップ保持部材 2 2 0 は円柱形状であり、従来用いられた球状のスペーサに代わるものである。そのため、ギャップ保持部材 2 2 0 の円柱の直径は 1 . 5 ~ 2 . 5 μm 、高さは 2 . 0 ~ 5 . 0 μm とすればよい。本実施例では、円柱の直径を 3 . 0 μm とし、セルギャップを 3 . 0 μm とするため、画素対向領域 2 0 2 においてその高さを 3 . 2 μm とした。駆動回路対向領域 2 0 3、2 0 4 でのギャップ保持部材 2 2 0 の高さは対向電極 2 1 0、カラーフ

【 0 0 6 4 】

また、本実施例では、複数のギャップ保持部材 2 2 0 をランダムに配置して、従来の球状スペーサと同様の機能を奏するようにした。このため、ギャップ保持部材 2 2 0 の密度は、従来の球状スペーサと同程度の 4 0 ~ 1 6 0 個 / mm^2 程度の密度に形成すればよい。本実施例では、5 0 個 / mm^2 の密度で、ギャップ保持部材 2 2 0 をランダムに形成した。ギャップ保持部材 2 2 0 を対向基板 2 0 0 全体にランダムに配置するため、ギャップ保持部材 2 2 0 の位置の精度はそれほど重要ではない。よって、製造マージンを大きくすることができる。

【 0 0 6 5 】

その次に、配向膜 1 1 0、2 3 0 を T F T 基板 1 0 0 上および対向基板 2 0 0 上に形成する (図 4 (C)、図 5 (E) 参照)。配向膜 1 1 0、2 3 0 の材料には、垂直配向型のポリイミド膜を用いた。配向膜 1 1 0、2 3 0 の膜厚は、6 0 nm ~ 1 0 0 nm 程度とすればよい。

【 0 0 6 6 】

まず、T F T 基板 1 0 0、対向基板 2 0 0 をそれぞれ洗浄した後、ポリイミド系の垂直配向膜をスピンコート法、フレキソ印刷法、あるいはスクリーン印刷法のいずれかによって T F T 基板 1 0 0 上および対向基板 2 0 0 上にコートする。本実施例では、スピンコート法によってポリイミド膜を塗布した。その後、8 0 で 5 分間仮焼成し、1 8 0 の熱風を送り込むことによって加熱 (本焼成) し、ポリイミドを硬化させて、配向膜 1 1 0、

10

20

30

40

50

230をそれぞれ形成した。配向膜110、230の厚さは80nmとした。

【0067】

なお、図5(E)では、配向膜230は、ギャップ保持部材220の側面や表面を覆っていないが、本実施例では、ポリイミド被膜をスピンコート法で形成したため、ギャップ保持部材220の側面や表面をこのポリイミド被膜が若干覆っている場合もあるが、ギャップ保持部材220の高さが数 μ mであるのに対し、ポリイミド被膜の厚さは数十~百nmと極薄いため、また側面のような直立した部分では完全な膜を成していない場合もあるので、図5(E)では、基板201の水平面に形成された配向膜230のみを図示した。

【0068】

配向膜110、230にはポリイミドを用いたが、アクリル、ポリアミド、またはポリイミドアミド等の樹脂を用いてもよい。また、ギャップ保持部材に熱硬化樹脂を用いてもよい。

【0069】

次に、TFT基板100の配向膜110の表面、と対向基板200の配向膜230の表面双方を、毛足の長さ2~3mmのパフ布(レイヨン、ナイロン等の繊維)で一定方向に擦るラビング処理を行った。なお、TFT基板100と対向基板200のラビング向きは互いに直交するように行って、TNモード型の配向処理を行った。

【0070】

TFT基板100をラビング処理する際は、イオンブロー装置や加湿装置を用いて静電気防止処置を施して、TFT基板100上に形成されたTFTの静電気破壊を防止した。

【0071】

他方、対向基板200をラビング処理する際は、ギャップ保持部材220を破壊しないように、パフ布の種類、植毛密度あるいは、ローラーの回転数等のラビング条件を設定した。

【0072】

次に、対向基板200の周辺部に、液晶注入口206を残して、紫外線硬化型樹脂でなるシール材205を塗布した(図2(B)参照)。そして、TFT基板100と対向基板200とを対向し、画素領域102のセルギャップがギャップ保持部材220の高さとなるようにプレスし、この状態でシール材205を硬化させた。なおシール材はTFT基板100に塗布しても良い。

【0073】

次に、表示媒体としての液晶材料を液晶注入口より注入し、TFT基板100と対向基板200との間に液晶300が挟持された状態となる。液晶材料注入口206に封止剤を塗布し、紫外線を照射することによって封止剤を硬化させ、液晶300をセル内に完全に封止した。以上の工程を経て、図1に示す構成を得る。

【0074】

本実施例では、ギャップ保持部材の形状は、円柱状としたが、ギャップ保持部材の形状は、楕円形、流線形、あるいは、三角形、四角形などの多角形状であってもよく、TFT基板(第1の基板)と対向基板(第2の基板)とのギャップを制御できる形状であれば、いかなる形状を有することも許される。

【0075】

本実施例では、画素電極を金属材料で形成し、反射型の液晶表示装置としたが、TNモード型の配向処理を行いるため、透過型の液晶表示装置としてもよい。この場合、画素電極を、ITOや、 SnO_2 等の透明導電膜で形成すればよい。また、本実施例ではTNモード型としたが、他のモードでも良く、モードに合わせてラビング処理を行えばよい。

【0076】

実施例1ではプレーナ型TFTを例にとって説明してきたが、本発明は当然の如くTFTの構造には何ら影響されない、したがって、画素領域および駆動回路領域の個々のTFTが逆スタガ型TFTであっても、あるいはマルチゲイト型TFTであってもよい。また、対向電極もTFT基板に形成されるIPS型の液晶パネルにも応用できる。

10

20

30

40

50

【0077】

本実施例では、ギャップ保持部材を感光性樹脂材料で形成したため、その高さを任意に設定することが可能であり、例えば2 μ m以下とすることも可能であるため、液晶表示装置のセルギャップを2 μ m以下とすることも可能である。よって、本実施例のギャップ保持部材は強誘電性液晶表示装置の液晶パネルや、投射型液晶表示装置の液晶パネルに好適である。

【0078】

また、本実施例では、対向基板200にギャップ保持部材が固定したため、従来のスペーサのように液晶の流入によって、凝集されることがないので、スペーサの凝集による点欠陥をなくすることができる。

【実施例2】

【0079】

実施例1では、TFT基板100、対向基板200双方にラビング処理を施したが、本実施例では、TFT基板100の配向膜110のみにラビング処理を施す。ラビング処理以外の作製工程は実施例1と同様である。

【0080】

ラビング工程で使用するバフ布は静電気や塵の発生源であるので、ラビング処理は液晶表示装置の歩留まりを大きく左右する。本実施例では、できるだけラビング処理を少なくするため、TFT基板100一方にラビング処理を施す。

【0081】

対向基板200には、ギャップ保持部材220の高さは数 μ m程度であり、配向膜230の厚さは数十～百nm程度であり、ギャップ保持部材220は液晶側に突出して形成されているので、バフ布によってギャップ保持部材220が損傷したり、剥離するおそれがある。このため、ギャップ保持部材220の高さがばらついて、セルギャップを基板全体、あるいは基板毎で均一に保つことが困難となる。また、ギャップ保持部材220の損傷・剥離は新たな塵の発生源となってしまう。

【0082】

また、ギャップ保持部材220が液晶側に突出していることで、配向膜230に十分に溝を形成することが困難であり、液晶を配向させることができないおそれが生ずる。液晶を配向できないと表示できないため、液晶を配向させることは製造歩留まりを上げるための重要な要素である。

【0083】

このような問題点を回避するため、本実施例では、TFT基板100の配向膜110のみにラビング処理を施すようにする。

【0084】

本実施例でも、実施例1と同様に、配向膜110、230を垂直配向性を有するポリイミド膜で形成する。そして、TFT基板100の配向膜110の表面を、毛足の長さ2～3mmのバフ布（レイヨン、ナイロン等の繊維）で所定方向に擦るラビング処理を行う。この場合、TFT基板100の製造歩留まりを下げないようにするため、TFT基板100のラビング処理では静電気防止対策を行うことが重要である。

【実施例3】

【0085】

実施例2ではTFT基板100に一方にラビング処理を施したが、本実施例では、対向基板200の配向膜230のみにラビング処理を施す。ラビング処理以外の作製工程は実施例1と同様である（図1～6参照）。

【0086】

ラビング工程で使用するバフ布は、静電気や塵の発生源となっており、ラビング処理は液晶表示装置の歩留まりを左右する。このため、できるだけラビング処理を少なくするため、本実施例では、対向基板200一方にラビング処理を施す。

【0087】

ラビング工程で使用されるパフ布は、静電気や塵の発生源となるものであり、これらはすべてＴＦＴ基板１００に形成されるＴＦＴの破壊の原因となるものである。そして、ＴＦＴ基板１００は対向基板２００に比べて多くの工程が必要である。ＴＦＴ基板１００の不良は液晶表示装置の製造コストを上げてしまう。そこで本実施例では、ＴＦＴ基板１００にラビング処理を施さないようにすることで、ＴＦＴ基板の製造歩留まりを向上させることを目的とする。

【００８８】

本実施例でも、実施例１と同様に、配向膜１１０、２３０を垂直配向性を有するポリイミド膜で形成する。そして、対向基板２００の配向膜２３０の表面を、毛足の長さ２～３ｍｍのパフ布（レイヨン、ナイロン等の繊維）で一定方向に擦るラビング処理を行う。この際に、対向基板２００に形成されたギャップ保持部材２２０を損傷・剥離しないように、ラビング条件を設定した。

10

【００８９】

実施例２、３では、ラビング処理を一方の基板に施すことを説明したが、それぞれ異なる効果を奏する実施例であり、ラビング処理を施す基板の選択は、製造コスト、歩留まり等を考慮して実施者が適宜に選択すればよい。

【００９０】

また、本実施例２、３のように、片方の配向膜をラビング処理する場合には、液晶の駆動モードは限定されてしまうが、複屈折（ＥＣＢ）モードが使用できることを確認している。

20

【００９１】

他方、実施例１のように両方の配向膜をラビング処理する場合は、ラビング処理が１回多いが、液晶の駆動モードが限定されない、また液晶を確実に配向できるという効果を奏する。また、本発明を高分子分散型の液晶表示装置に用いた場合には、配向膜のラビング工程は不要である。

【実施例４】

【００９２】

本実施例（実施例４）は参考例である。本実施例では、セルギャップ保持部材の配置の変形例であり、他は、実施例１と同じである。本実施例の対向基板の正面図を図８に示す。なお、図８において図６と同じ符号は同じ部材を示す。

30

【００９３】

図６に示すように実施例１ではギャップ保持部材２２０を対向基板２００全体にランダムに配置したが、本実施例では、図８に示すようにギャップ保持部材４１０をマトリクス状規則的に配置した。ギャップ保持部材４１０の形状は実施例１と同様とし、直径２．０μｍ、高さ３．２μｍの円柱形とした。また、ギャップ保持部材４１０は、実施例１と同じく５０個／ｍｍ^２の密度に形成した。

【００９４】

本実施例のギャップ保持部材４１０も、実施例１のギャップ保持部材２２０と同様の効果を得ることができる。

40

【実施例５】

【００９５】

本実施例（実施例５）は参考例である。本実施例では、セルギャップ保持部材の配置の変形例であり、他は、実施例１と同じである。本実施例の対向基板の正面図を図７に示す。なお、図７において、図６と同じ符号は、同じ部材を示す。

【００９６】

図６に示すように実施例１ではギャップ保持部材２２０を対向基板２００全体にランダムに配置したが、本実施例では、図７に示すようにギャップ保持部材４００を駆動回路対向領域２０３、２０４に形成しないようにし、画素対向領域２０２内にランダムに設けた

50

。ギャップ保持部材 400 の形状は実施例 1 と同様とし、直径 $2.0\ \mu\text{m}$ 、高さ $3.2\ \mu\text{m}$ の円柱形とした。また、ギャップ保持部材 400 は $60\ \text{個}/\text{mm}^2$ の密度に形成した。

【0097】

駆動回路の T F T の集積度は、画素領域の集積度よりも大きいので、スペーサによる応力によって破壊されやすい。そこで、本実施例では、駆動回路対向領域 203、204 に形成しないようにすることにより、基板を貼り合わせた際に、ギャップ保持部材 400 が T F T 基板 100 に形成された駆動回路に応力を与えないため、駆動回路の歩留まりを向上できる。

【0098】

なお、図 7 では、ギャップ保持部材 400 は画素対向領域 202 の外側にはみ出ているが、本実施例ではギャップ保持部材 400 によって、画素領域でセルギャップを保持できれば良く、かつギャップ保持部材 400 が駆動回路対向領域 203、204 に形成されていなければならない。

【0099】

上記の実施例 1、4 では、画素対向領域 202 にギャップ保持部材 220、410 を形成しているが、ギャップ保持部材 220、410 の周囲はディスクリネーションが発生しやすい。そこで、画素対向領域 202 にギャップ保持部材 220、410 を形成する場合には、表示不良を防止するために、ギャップ保持部材 220、410 をブラックマトリクスや、T F T 基板 100 のバス配線等の表示に寄与しない箇所に重なるように設けるとよい。

【実施例 6】

【0100】

本実施例では、セルギャップ保持部材の配置の変形例であり、他は、実施例 1 と同じである。本実施例の対向基板の正面図を図 9 に示す。なお、図 9 において図 6 と同じ符号は同じ部材を示す。

【0101】

実施例 5 では、セルギャップ保持部材を駆動回路対向領域 203、204 に形成しないようにしたが、本実施例ではセルギャップ保持部材を駆動回路対向領域 203、204 および画素対向領域 202 双方に形成しないようにしたものである。

【0102】

T F T 基板 100 の画素領域 102 と駆動回路領域 103、104 には、高低差があり、一般に、画素領域 102 の方が高くなる。しかしながら、実施例 1 のギャップ保持部材 220 は、基板 201 からギャップ保持部材 220 の上底までの高さは、基板全体で均一としたため、画素領域 102 と駆動回路領域 103、104 の高低差が大きくなると、この高低差を補償することが困難となり、基板を貼り合わせた際に、セルギャップのムラが生ずるおそれがある。

【0103】

また、実施例 1、実施例 4 では、対向基板 200 全体にギャップ保持部材を形成したため、このギャップ保持部材によって、画素領域 102 や、駆動回路領域 103、104 に配置された T F T にダメージを与えるおそれがある。

【0104】

本実施例は、上記の問題点を解消し、セルギャップを無くし、かつ T F T 基板に形成される T F T に損傷を与えないような、ギャップ保持部材の配置方法に関する。

【0105】

本実施例の対向基板の正面図を図 9 に示す。なお、図 9 において、図 6 と同じ符号は、同じ部材を示す。また、対向基板 200 の作製方法は、実施例 1 と同じである。

【0106】

本実施例では、図 9 (A) に示すように、円柱状のギャップ保持部材 420 を画素対向領域 202 を取り囲むように配置した。ギャップ保持部材 420 のサイズは、直径 $10\ \mu\text{m}$ 、高さ $3.2\ \mu\text{m}$ の円柱状とした。また、ギャップ保持部材 420 の位置は、基板を貼

10

20

30

40

50

り合わせた状態で、T F T基板100の画素領域102の端部から70 μ m離れるように形成し、ギャップ保持部材420の間隔は30 μ mとした。なお、液晶注入口206付近のギャップ保持部材420の密度は他の部分より小さくし、液晶を流動しやすくする。

【0107】

画素対向領域202と駆動回路対向領域203、204との間隔は数百 μ m程度あり、ギャップ保持部材420の直径と比較して十分大きいので、ギャップ保持部材420の位置に対する製造マージンは $\pm$ 10 μ m程度と大きなものとなる。他方、ギャップ保持部材420の高さの精度は、セルギャップを決定するため重要であり、本実施例では、 $\pm$ 0.1 μ m程度とした。

【0108】

10

また、図9(A)では、画素対向領域202の周囲にのみ、ギャップ保持部材420を形成したが、図9(B)に示すように、駆動回路対向領域203、204の周囲にも、ギャップ保持部材420と同様に、ギャップ保持部材421、422を形成してもよい。

【0109】

本実施例では、ギャップ保持部材420は、基板を貼り合わせた際に、画素領域102、駆動回路領域103、104に重ならない場所に形成した。このため、セルギャップはギャップ保持部材420、および421、422の高さだけで決定することができるため、画素領域102、駆動回路領域103、104の高さに差が生じて、そのセルギャップを基板全体、あるいは他の基板同士でも均一にすることができる。

【0110】

20

さらに、ギャップ保持部材420によって、T F T基板100に形成された画素T F Tや駆動回路T F Tを押圧することが無いため、歩留まりを向上させることができる。

【0111】

本実施例では、ギャップ保持部材を、画素対向領域202、駆動回路対向領域203、204の周囲に形成したが、ギャップ保持部材に位置は、図9に限定されるものではなく、セルギャップを維持でき、かつ画素対向領域202、駆動回路対向領域203、204以外なら任意に設定できる。

【実施例7】

【0112】

本実施例(実施例7)は参考例である。本実施例は実施例6の変形例であり、図10(A)は対向基板の正面図であり、図10(B)は対向基板の斜視図である。対向基板の作製方法は、実施例1と同様であり、図10において図6と同じ符号は同じ部材を示す。

30

【0113】

本実施例では、ギャップ保持部材430を基板201に対して概略直立した壁状に形成した。ギャップ保持部材430は、画素対向領域202を取り囲んで形成し、かつ液晶注入口206に連結される。ギャップ保持部材430は幅20 μ mとし、その高さを3.2 μ mとし、画素対向領域202の端部から50 μ m離間した。

【0114】

本実施例では、ギャップ保持部材430は、基板を貼り合わせた際に、画素領域102、駆動回路領域103、104に重ならない場所に形成した。このため、セルギャップはギャップ保持部材430の高さだけで決定することができるため、画素領域102、駆動回路領域103、104の高さに差が生じて、そのセルギャップを基板全体、あるいは他の基板同士でも均一にすることができる。

40

【0115】

さらに、ギャップ保持部材430によって、T F T基板100に形成されたT F Tを押圧することが無いため、歩留まりを向上させることができる。

【0116】

さらに図10(A)に示すように、本実施例のギャップ保持部材430は画素領域に液晶を封止できる構造であることを特徴する。ギャップ保持部材430によって、液晶は画

50

素領域のみに注入され、駆動回路領域 103、104 には、液晶 300 が注入されないため、駆動回路の負荷容量を小さくすることができ、クロストークの発生を抑制することができる。

【0117】

なお、図 10 (A) では、画素対向領域 202 の周囲にのみギャップ保持部材 430 を形成したが、図 11 に示すように、駆動回路対向領域 203、204 の周囲にも、ギャップ保持部材 430 と同様な、壁状のギャップ保持部材 431、432 をそれぞれ形成してもよい。

【0118】

また、本実施例ではギャップ保持部材 430 によって画素領域に液晶を封止できる構造であればよく、他のギャップ保持部材 431、432 の形状は、壁状に限定されず、円柱状、楕円柱状、矩形柱状、多角柱状としてもよい。また形成される位置は、駆動回路対向領域 203、204 の周囲に限定されるものではなく、セルギャップを維持でき、かつ画素対向領域 202、駆動回路対向領域 203、204 以外なら任意に設定できる。

【実施例 8】

【0119】

本実施例（実施例 8）は参考例である。本実施例は実施例 7 の変形例であり、ギャップ保持部材 440 によって、液晶は画素領域のみに注入され、駆動回路領域 103、104 には、液晶 300 が注入されないことを特徴とする。図 12 に本実施例の対向基板の正面図を示す。図 12 において、図 6 を同じ符号は同じ部材を示し、また TFT 基板の作製工程は、実施例 1 と同様である。

【0120】

図 12 に示すように、本実施例では、駆動回路対向領域 203 と 204 を壁状のギャップ保持部材 441 で取り囲み、基板を貼り合わせた状態で駆動回路領域 103、104 に液晶 300 が侵入しないようにした。

【0121】

本実施例では、ギャップ保持部材 441 を基板 201 に対して概略直立した壁状に形成した。その幅 20 μm とし、その高さを 3.2 μm とし、駆動回路対向領域 203 と 204 の端部から 50 μm 離間した。

【0122】

他方、画素対向領域の周囲には、矩形柱状のギャップ保持部材 440 を画素対向領域 202 を取り囲むように配置し、液晶が画素領域に流入するようにした。ギャップ保持部材 440 のサイズは長辺 30 μm 、短辺 15 μm 、高さ、3.2 μm の矩形柱とした。また、ギャップ保持部材 440 の位置は、画素対向領域 202 の端部から 70 μm 離れるように形成し、ギャップ保持部材 440 の間隔は 30 μm とした。なお、液晶注入口 206 付近のギャップ保持部材 440 の密度は他の部分より小さくし、液晶を注入しやすくした。

【0123】

なお、上記実施例 1～8 では、表示媒体として液晶材料を用いる場合について説明してきたが、本発明は、液晶材料と高分子との混合層、いわゆる高分子分散型液晶表示装置にも用いることができる。

【0124】

また、本発明の表示装置の表示媒体は、対向する基板を有する表示装置に応用可能である。例えば、エレクトロルミネッセンス表示装置に適用することができる。

【符号の説明】

【0125】

100 TFT 基板
101 基板
102 画素領域
103、104 駆動回路領域
110 配向膜

10

20

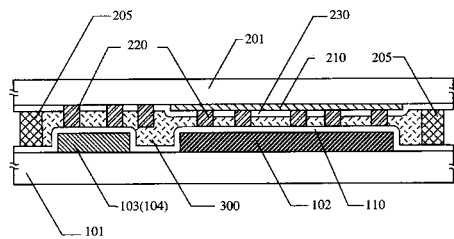
30

40

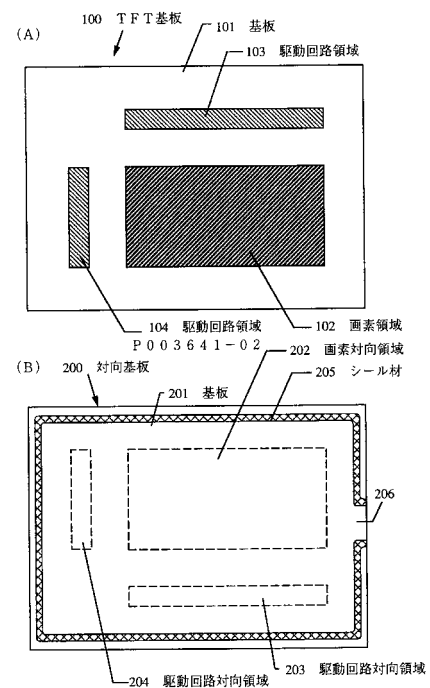
50

- | | |
|-------------|----------|
| 2 0 0 | 対向基板 |
| 2 0 1 | 基板 |
| 2 0 2 | 画素対向領域 |
| 2 0 3、2 0 4 | 駆動回路対向領域 |
| 2 0 5 | シール材 |
| 2 0 6 | 液晶注入口 |
| 2 1 0 | 対向電極 |
| 2 2 0 | ギャップ保持部材 |
| 2 3 0 | 配向膜 |

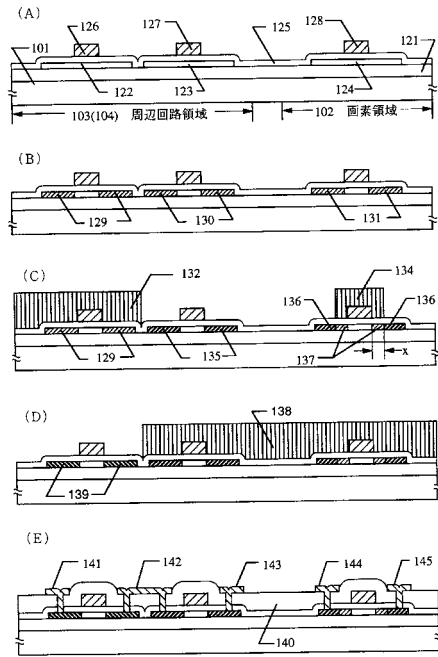
【 図 1 】



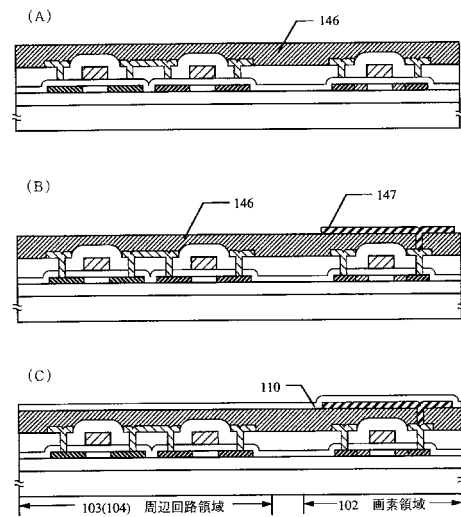
【圖 2】



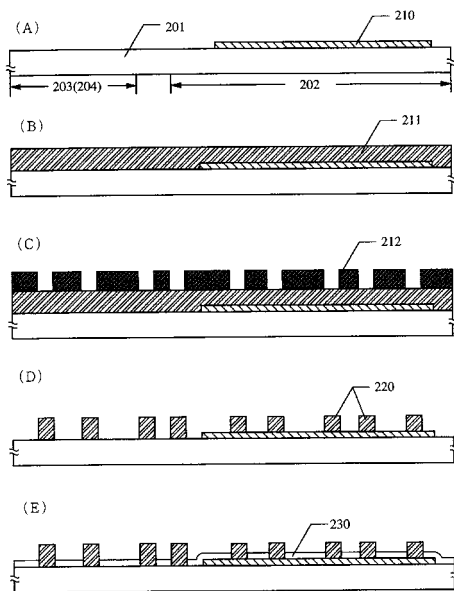
【図 3】



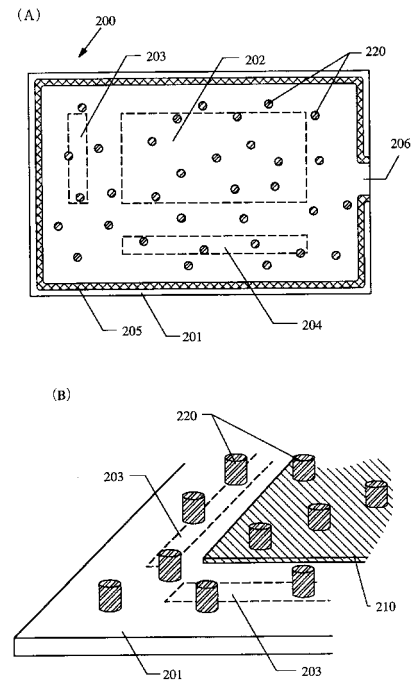
【図 4】



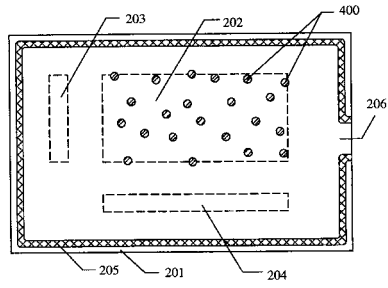
【図 5】



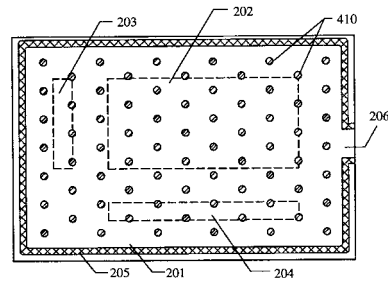
【図 6】



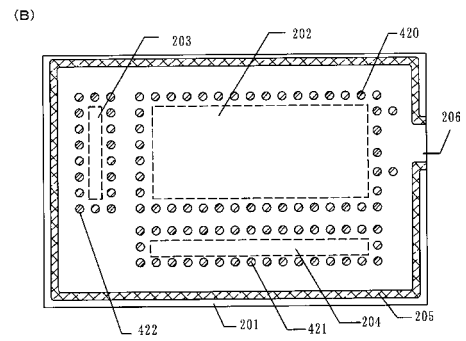
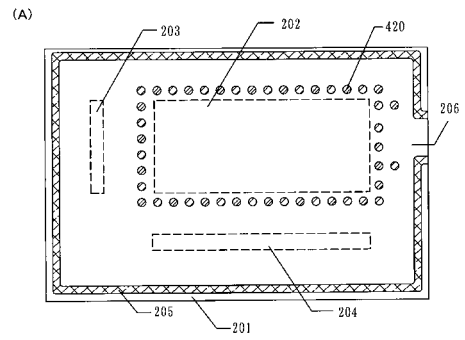
【図 7】



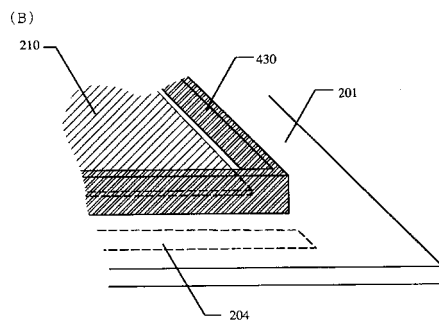
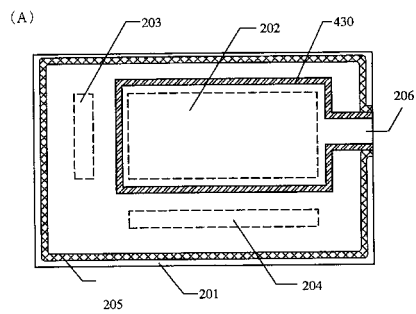
【図 8】



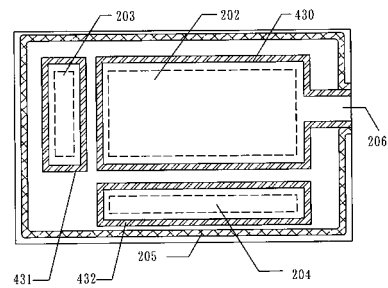
【図 9】



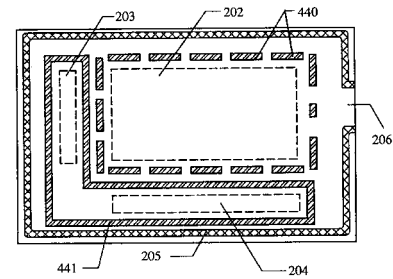
【図 10】



【図 11】



【図 12】



フロントページの続き

(56)参考文献 特開平04-116624(JP,A)
特開平06-331994(JP,A)
特開平10-153797(JP,A)
特開平05-107545(JP,A)
特開平08-248427(JP,A)
特開平10-319440(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 3 9
G 0 2 F	1 / 1 3 4 1
G 0 2 F	1 / 1 3 4 5

专利名称(译)	液晶表示装置		
公开(公告)号	JP5005108B2	公开(公告)日	2012-08-22
申请号	JP2011249768	申请日	2011-11-15
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	平形吉晴 西毅 山崎舜平		
发明人	平形 吉晴 西 毅 山崎 舜平		
IPC分类号	G02F1/1339 G02F1/1341 G02F1/1345		
FI分类号	G02F1/1339.500 G02F1/1341 G02F1/1345 G02F1/1368		
F-TERM分类号	2H092/GA59 2H092/HA04 2H092/JA25 2H092/JA26 2H092/JA33 2H092/JA35 2H092/JA39 2H092/JA46 2H092/JB56 2H092/JB58 2H092/KA04 2H092/KA05 2H092/KA10 2H092/KA12 2H092/KB22 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA29 2H092/MA30 2H092/MA41 2H092/NA04 2H092/NA29 2H092/PA02 2H092/PA03 2H092/PA04 2H092/PA06 2H092/PA08 2H092/PA09 2H092/QA07 2H189/DA07 2H189/DA08 2H189/DA18 2H189/DA31 2H189/DA32 2H189/DA45 2H189/DA48 2H189/DA49 2H189/DA72 2H189/DA85 2H189/EA06X 2H189/FA16 2H189/FA25 2H189/FA28 2H189/FA52 2H189/GA05 2H189/GA51 2H189/HA12 2H189/HA15 2H189/JA05 2H189/LA05 2H189/LA08 2H189/LA10 2H189/LA14 2H192/AA24 2H192/CB02 2H192/EA22 2H192/EA43 2H192/FB03 2H192/FB05 2H192/GD23 2H192/HA33 2H192/HA35 2H192/JA13 2H192/JA23 2H192/JB02		
审查员(译)	山口博之		
其他公开文献	JP2012068668A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在不使用球形间隔物的情况下保持单元间隙。解决方案：液晶显示装置包括第一基板和面对第一基板的第二基板201。第一基板包括像素电极，薄膜晶体管和设置在像素电极上的第一配向膜。第二基板201包括选择性设置的滤色器，多个间隙保持构件220和设置为覆盖多个间隙保持构件220的第二配向膜230。间隙保持构件220由光敏树脂制成。间隙保持构件220设置在设置有滤色器的区域和没有设置滤色器的区域中。设置在未设置滤色器的区域中的间隙保持构件220高于设置在设置有滤色器的区域中的间隙保持构件220。

【图1】

