

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-215463

(P2019-215463A)

(43) 公開日 令和1年12月19日(2019.12.19)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G02F 1/1343 (2006.01)	G02F 1/1343	5C094
G09F 9/30 (2006.01)	G09F 9/30 338	
審査請求 未請求 請求項の数 10 O L (全 28 頁) 最終頁に続く		

(21) 出願番号 特願2018-113221 (P2018-113221)
 (22) 出願日 平成30年6月14日 (2018.6.14)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 橋口 隆史
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 平田 直也
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

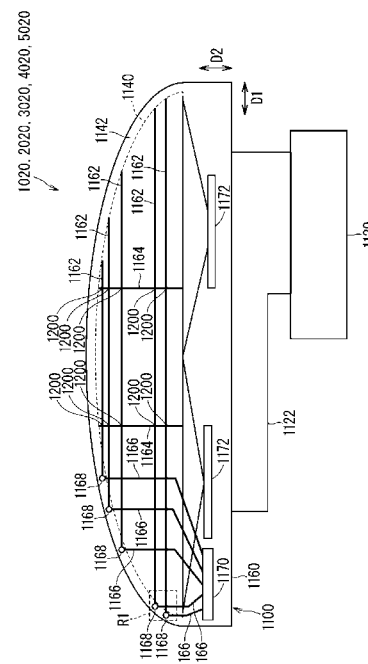
(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】表示領域を囲む4辺のうちの3辺に沿って配置される額縁領域を狭くし、表示異常を抑制する。

【解決手段】第1のゲート配線が表示領域において第1の方向に延び、第2のゲート配線が表示領域において第2の方向に延びる。第2のゲート配線は、第1のゲート配線に電氣的に接続され、表示領域内において第2の方向に延びる。第2のゲート配線は、表示領域外において第1のゲート配線に電氣的に接続される。第2のゲート配線とソース配線との間に導電層が配置され、第2のゲート配線が表示領域内において第1のゲート配線に電氣的に接続されてもよい。導電層には、コモン電位と同じ電位又は接地電位が与えられる。ソース配線に2本以上の第2のゲート配線が重なる配置が採用されてもよい。ゲート信号の電位のオン電位からオフ電位への遷移が2段階以上で行われてもよい。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

アレイ基板と、
液晶層と、
前記液晶層を挟んで前記アレイ基板に対向する対向基板と、
を備え、
前記アレイ基板は、
絶縁性基板と、
前記絶縁性基板上に配置され、画像が表示される表示領域内において前記絶縁性基板と平行をなす第 1 の方向に延び、複数のゲート信号をそれぞれ伝送する複数の第 1 のゲート配線と、
前記絶縁性基板上に配置され、前記表示領域内において前記絶縁性基板と平行をなし前記第 1 の方向と垂直をなす第 2 の方向に延び、前記絶縁性基板の厚さ方向から平面視された場合に前記複数の第 1 のゲート配線と複数の交差を形成し、複数のソース信号をそれぞれ伝送する複数のソース配線と、
前記絶縁性基板上に配置され、前記複数の交差を形成するゲート配線により伝送されるゲート信号にしたがって前記複数の交差を形成するソース配線により伝送されるソース信号をそれぞれスイッチングし、複数の画素電位をそれぞれ生成する複数のスイッチング素子と、
前記絶縁性基板上に配置され、前記表示領域内に配置され、前記複数の画素電位がそれぞれ与えられる複数の透明画素電極と、
前記絶縁性基板上に配置され、前記表示領域内において前記第 2 の方向に延び、前記絶縁性基板の厚さ方向について前記複数の第 1 のゲート配線が配置される位置と異なる位置に配置され、前記表示領域外において前記複数の第 1 のゲート配線にそれぞれ電氣的に接続され、前記複数のゲート信号を前記複数の第 1 のゲート配線に向けてそれぞれ伝送する複数の第 2 のゲート配線と、
前記複数の画素電位に応じた電界を前記複数の透明画素電極との間にそれぞれ発生させるコモン電極と、
を備える液晶表示パネル。

【請求項 2】

前記複数の第 2 のゲート配線は、前記絶縁性基板の厚さ方向から平面視された場合に前記表示領域内において前記複数のソース配線と重なる
請求項 1 の液晶表示パネル。

【請求項 3】

前記アレイ基板は、前記表示領域外に配置されるダミー画素に備えられる複数のコンタクト部をさらに備え、
前記複数の第 2 のゲート配線は、前記複数のコンタクト部を介して前記複数の第 1 のゲート配線にそれぞれ電氣的に接続される
請求項 1 又は 2 の液晶表示パネル。

【請求項 4】

前記対向基板は、ブラックマトリックスを備え、
前記複数の第 2 のゲート配線は、前記絶縁性基板の厚さ方向から平面視された場合に前記ブラックマトリックスと重なる位置において前記複数の第 1 のゲート配線にそれぞれ電氣的に接続される
請求項 1 から 3 までのいずれかの液晶表示パネル。

【請求項 5】

前記アレイ基板は、
前記複数の第 1 のゲート配線と前記透明コモン電極との間に配置される第 1 の絶縁膜と、
前記複数の第 2 のゲート配線と前記透明コモン電極との間に配置される第 2 の絶縁膜と

、

前記第 1 の絶縁膜を貫通する複数の第 1 のコンタクトホール部と、

前記第 2 の絶縁膜を貫通する複数の第 2 のコンタクトホール部と、

をさらに備え、

前記複数の第 1 のゲート配線は、前記複数の第 1 のコンタクトホール部を介して前記透明コモン電極にそれぞれ電氣的に接続され、

前記複数の第 2 のゲート配線は、前記複数の第 2 のコンタクトホール部を介して前記透明コモン電極にそれぞれ電氣的に接続される

請求項 1 から 4 までのいずれかの液晶表示パネル。

【請求項 6】

10

前記アレイ基板は、

前記複数の第 1 のゲート配線と前記複数の第 2 のゲート配線との間に配置される絶縁膜と、

前記絶縁膜を貫通する複数のコンタクトホール部と、

をさらに備え、

前記複数の第 2 のゲート配線は、前記複数のコンタクトホール部を介して前記複数の第 1 のゲート配線にそれぞれ電氣的に接続される

請求項 1 から 4 までのいずれかの液晶表示パネル。

【請求項 7】

20

アレイ基板と、

液晶層と、

前記液晶層を挟んで前記アレイ基板に対向する対向基板と、

を備え、

前記アレイ基板は、

絶縁性基板と、

前記絶縁性基板上に配置され、画像が表示される表示領域内において前記絶縁性基板と平行をなす第 1 の方向に延び、複数のゲート信号をそれぞれ伝送する複数の第 1 のゲート配線と、

前記絶縁性基板上に配置され、前記表示領域内において前記絶縁性基板と平行をなし前記第 1 の方向と垂直をなす第 2 の方向に延び、前記絶縁性基板の厚さ方向から平面視された場合に前記複数の第 1 のゲート配線と複数の交差を形成し、複数のソース信号をそれぞれ伝送する複数のソース配線と、

30

前記絶縁性基板上に配置され、前記複数の交差を形成するゲート配線により伝送されるゲート信号にしたがって前記複数の交差を形成するソース配線により伝送されるソース信号をそれぞれスイッチングし、複数の画素電位をそれぞれ生成する複数のスイッチング素子と、

前記絶縁性基板上に配置され、前記表示領域内に配置され、前記複数の画素電位がそれぞれ与えられる複数の透明画素電極と、

前記絶縁性基板上に配置され、前記表示領域内において前記第 2 の方向に延び、前記絶縁性基板の厚さ方向について前記複数の第 1 のゲート配線が配置される位置と異なる位置に配置され、前記表示領域内において前記複数の第 1 のゲート配線にそれぞれ電氣的に接続され、前記複数のゲート信号を前記複数の第 1 のゲート配線に向けてそれぞれ伝送する複数の第 2 のゲート配線と、

40

前記絶縁性基板上に配置され、前記複数の画素電位に応じたフリンジ電界を前記複数の透明画素電極との間にそれぞれ発生させる透明コモン電極と、

前記複数のソース配線と前記複数の第 2 のゲート配線との間にそれぞれ配置され、前記透明コモン電極に与えられるコモン電位と同じ電位、又は接地電位が与えられる複数の導電層と、

を備える液晶表示パネル。

【請求項 8】

50

前記複数の導電層に、前記接地電位が与えられ、

前記複数の第2のゲート配線は、前記複数の透明画素電極が配置される層と同じ層に配置される

請求項7の液晶表示パネル。

【請求項9】

アレイ基板と、

液晶層と、

前記液晶層を挟んで前記アレイ基板に対向する対向基板と、
を備え、

前記アレイ基板は、

絶縁性基板と、

前記絶縁性基板上に配置され、画像が表示される表示領域内において前記絶縁性基板と平行をなす第1の方向に延び、複数のゲート信号をそれぞれ伝送する複数の第1のゲート配線と、

前記絶縁性基板上に配置され、前記表示領域内において前記絶縁性基板と平行をなし前記第1の方向と垂直をなす第2の方向に延び、前記絶縁性基板の厚さ方向から平面視された場合に前記複数の第1のゲート配線と複数の交差を形成し、複数のソース信号をそれぞれ伝送する複数のソース配線と、

前記絶縁性基板上に配置され、前記複数の交差を形成するゲート配線により伝送されるゲート信号にしたがって前記複数の交差を形成するソース配線により伝送されるソース信号をそれぞれスイッチングし、複数の画素電位をそれぞれ生成する複数のスイッチング素子と、

前記絶縁性基板上に配置され、前記表示領域内に配置され、前記複数の画素電位がそれぞれ与えられる複数の透明画素電極と、

前記絶縁性基板上に配置され、前記表示領域内において前記第2の方向に延び、前記絶縁性基板の厚さ方向について前記複数の第1のゲート配線が配置される位置と異なる位置に配置され、前記複数の第1のゲート配線にそれぞれ電氣的に接続され、前記複数のゲート信号を前記複数の第1のゲート配線に向けてそれぞれ伝送し、前記絶縁性基板の厚さ方向から平面視された場合に前記表示領域において前記複数のソース配線の各ソース配線に2本以上の第2のゲート配線が重なる配置を有する複数の第2のゲート配線と、

前記複数の画素電位に応じた電界を前記複数の透明画素電極との間にそれぞれ発生させるコモン電極と、

を備える液晶表示パネル。

【請求項10】

アレイ基板と、

液晶層と、

前記液晶層を挟んで前記アレイ基板に対向する対向基板と、
を備え、

前記アレイ基板は、

絶縁性基板と、

前記絶縁性基板上に配置され、画像が表示される表示領域内において前記絶縁性基板と平行をなす第1の方向に延び、複数のゲート信号をそれぞれ伝送する複数の第1のゲート配線と、

前記絶縁性基板上に配置され、前記表示領域内において前記絶縁性基板と平行をなし前記第1の方向と垂直をなす第2の方向に延び、前記絶縁性基板の厚さ方向から平面視された場合に前記複数の第1のゲート配線と複数の交差を形成し、複数のソース信号をそれぞれ伝送する複数のソース配線と、

前記絶縁性基板上に配置され、前記複数の交差を形成するゲート配線により伝送されるゲート信号にしたがって前記複数の交差を形成するソース配線により伝送されるソース信号をそれぞれスイッチングし、複数の画素電位をそれぞれ生成する複数のスイッチング素

10

20

30

40

50

子と、

前記絶縁性基板上に配置され、前記表示領域内に配置され、前記複数の画素電位がそれぞれ与えられる複数の透明画素電極と、

前記絶縁性基板上に配置され、前記表示領域内において前記第2の方向に延び、前記絶縁性基板の厚さ方向について前記複数の第1のゲート配線が配置される位置と異なる位置に配置され、前記複数の第1のゲート配線にそれぞれ電氣的に接続され、前記複数のゲート信号を前記複数の第1のゲート配線に向けてそれぞれ伝送する複数の第2のゲート配線と、

前記複数のゲート信号を出力し、前記複数のゲート信号の電位のオン電位からオフ電位への遷移を2段階以上で行うゲート信号源と、

を備える液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネルに関する。

【背景技術】

【0002】

過去においては、ブラウン管表示装置が広く用いられていたが、現在においては、ブラウン管表示装置に代わる新たな表示装置が広く用いられている。新たな表示装置の多くは、軽量かつ平坦なフラット表示パネルを備え、軽量かつ薄型であるという特徴を有する。

【0003】

新たな表示装置には、液晶表示装置、エレクトロルミネッセンス表示装置等がある。液晶表示装置は、液晶の物性を利用して画像を表示する。エレクトロルミネッセンス表示装置は、エレクトロルミネッセンスの原理を用いて画像を表示する。新たな表示装置の代表である液晶表示装置は、軽量かつ薄型であるという特徴に加えて、低電圧で駆動することができるという特徴を有する。

【0004】

液晶表示装置は、アレイ基板、液晶層及び対向基板を備える。アレイ基板及び対向基板は、液晶層を挟んで互いに対向する。アレイ基板は、複数の画素を備える。複数の画素は、マトリクス状に配列され、画像が表示される表示領域を構成する。

【0005】

液晶表示装置には、薄膜トランジスタ（TFT）型液晶表示装置がある。TFT型液晶表示装置においては、各画素が、スイッチング素子となるTFTを備え、液晶層を駆動する電圧を他の画素から独立して保持する。このため、TFT型液晶表示装置は、大きなクロストークを有さず高い画質で画像を表示することができるという特徴を有する。

【0006】

TFT型液晶表示装置は、多数のゲート配線及び多数のソース配線を備える。ゲート配線は、走査配線とも呼ばれ、ゲート信号をTFTまで伝送する。ソース配線は、信号配線とも呼ばれ、ソース信号をTFTまで伝送する。ゲート信号により、TFTの状態をオン状態とオフ状態との間で切り替える制御が行われる。ソース信号により、画像データがTFTに供給される。各画素は、通常は、隣接する2本のゲート配線及び隣接する2本のソース配線に囲まれる領域に配置される。

【0007】

最近では、優れた視野角特性を有し高い光透過率を有するTFT型液晶表示装置を実現することができるフリンジ電界スイッチング（FFS）方式が提案されている。以下、FFS方式を例にして説明を行う。

【0008】

FFS方式の液晶表示装置においては、画像が表示される際に、横電界成分及び縦電界成分の両成分を含む斜め電界からなるフリンジ電界が液晶層に印加される。FFS方式の液晶表示装置においては、フリンジ電界を液晶層に印加するために、アレイ基板が、画素

10

20

30

40

50

電極、コモン電極及び絶縁膜を備える。画素電極及びコモン電極は、絶縁膜を挟んで互いに対向し、アレイ基板の厚さ方向に互いに離して配置される。通常は、絶縁膜より下側に配置される下層電極は、板状の形状を有し、絶縁膜より上に配置される上層電極は、複数の隙間部を備える。各隙間部は、スリットを有する。複数の隙間部は、アレイ基板の厚さ方向から平面視された場合に上層電極と重なる。下層電極が、枝状の形状を有する複数の枝形状体を備える場合もある。F F S方式の液晶表示装置においては、下層電極からスリットを経由して上層電極に至る電界により、液晶層に含まれる液晶分子の配向方向が制御される。F F S方式の液晶表示装置においては、画素電極及びコモン電極が透明導電膜により構成されてそれぞれ透明画素電極及び透明コモン電極とされることにより、高い光透過率を実現することができる。

10

【0009】

優れた視野角特性を有し高い光透過率を有するF F S方式の液晶表示装置は、様々な用途に用いられる。このため、F F S方式の液晶表示装置においては、製品デザインが重視され、表示領域の周辺にある額縁領域を狭くする狭額縁化が強く求められる。

【0010】

一方、ゲート配線及びソース配線は、表示領域内に配置され、表示領域内において互いに直交する。また、アレイ基板は、ゲート信号及びソース信号を出力するドライバ集積回路（IC）が実装される領域を表示領域の周辺に有し、ドライバICが出力したゲート信号及びソース信号をゲート配線及びソース配線までそれぞれ伝送する引き回し配線が形成される領域を表示領域の周辺に有する。これらのことから、アレイ基板は、表示領域を囲む4辺のうちの少なくとも2辺に沿ってドライバICが実装される領域を有する。したがって、F F S方式の液晶表示装置においては、表示領域を囲む4辺のうちの3辺に沿って配置される額縁領域を狭くすることが困難である。

20

【0011】

そこで、表示領域内においてソース配線が延びる方向と平行をなす方向に延びゲート信号をゲート配線まで伝送する引き回し配線を表示領域内に配置し、表示領域を囲む4辺のうちの1辺のみに沿ってドライバICが実装される領域を設けることにより、当該1辺以外の3辺に沿って配置される額縁領域を狭くすることが提案されている。特許文献1に記載された技術は、その例である。

【先行技術文献】

30

【特許文献】

【0012】

【特許文献1】国際公開第2014/155458号

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかし、ゲート信号をゲート配線まで伝送する引き回し配線が表示領域内に配置された場合は、当該引き回し配線がソース配線に沿って配置されソース配線に容量カップリングする。このため、当該引き回し配線により伝送されるゲート信号により、ソース配線により伝送されるソース信号の電位が変動する。例えば、T F Tの状態がオン状態からオフ状態に切り替えられる際には、ゲート信号の電位が高電位から低電位に変動するため、ソース信号の電位もゲート信号の電位が変動するのに連動して変動する。

40

【0014】

画素電極が選択されておらず当該画素電極までソース信号が伝送されない非選択時間内においては、ソース信号の電位が変動した場合でも、表示異常は発生しない。しかし、画素電極が選択され当該画素電極までソース信号が伝送される選択時間内においては、ソース信号の電位が変動した場合は、当該画素電極に書き込まれるソース信号の電位が変動し、当該画素電極に与えられる画素電位が変動し、表示異常が発生する。特に、引き回し配線がスルーホール部を介してゲート配線に電氣的に接続される場合は、スルーホール部に近接する画素がソース信号の電位の変動の影響を受けやすく、当該画素に点欠陥不良が発

50

生する場合がある。

【0015】

本発明は、これらの問題点に鑑みてなされた。本発明が解決しようとする課題は、表示領域を囲む4辺のうちの3辺に沿って配置される額縁領域を狭くことができ、表示異常を抑制することができる液晶表示パネルを提供することである。

【課題を解決するための手段】

【0016】

本発明の第1から第4までの態様は、液晶表示パネルに関する。

【0017】

液晶表示パネルは、アレイ基板、液晶層及び対向基板を備える。対向基板は、液晶層を挟んでアレイ基板に対向する。

10

【0018】

アレイ基板は、絶縁性基板、複数の第1のゲート配線、複数のソース配線、複数のスイッチング素子、複数の透明画素電極及び複数の第2のゲート配線を備える。複数の第1のゲート配線、複数のソース配線、複数のスイッチング素子、複数の透明画素電極及び複数の第2のゲート配線は、絶縁性基板上に配置される。

【0019】

複数の第1のゲート配線は、画像が表示される表示領域内において絶縁性基板と平行をなす第1の方向に延び、複数のゲート信号をそれぞれ伝送する。

【0020】

複数のソース配線は、表示領域内において絶縁性基板と平行をなし第1の方向と垂直をなす第2の方向に延び、絶縁性基板の厚さ方向から平面視された場合に複数の第1のゲート配線と複数の交差を形成し、複数のソース信号をそれぞれ伝送する。

20

【0021】

複数のスイッチング素子は、複数の交差を形成するゲート配線により伝送されるゲート信号にしたがって複数の交差を形成するソース配線により伝送されるソース信号をそれぞれスイッチングし、複数の画素電位をそれぞれ生成する。

【0022】

複数の透明画素電極は、表示領域内に配置される。複数の透明画素電極には、複数の画素電位がそれぞれ与えられる。

30

【0023】

複数の第2のゲート配線は、表示領域内において第2の方向に延び、絶縁性基板の厚さ方向について複数の第1のゲート配線が配置される位置と異なる位置に配置され、複数の第1のゲート配線にそれぞれ電氣的に接続され、複数のゲート信号を複数の第1のゲート配線に向けてそれぞれ伝送する。

【0024】

本発明の第1の態様においては、アレイ基板がコモン電極をさらに備える。コモン電極は、複数の画素電位に応じた電界を複数の透明画素電極との間にそれぞれ発生させる。また、複数の第2のゲート配線が、表示領域外において複数の第1のゲート配線にそれぞれ電氣的に接続される。

40

【0025】

本発明の第2の態様においては、複数の第2のゲート配線が、表示領域内において複数の第1のゲート配線にそれぞれ電氣的に接続される。また、アレイ基板が、透明コモン電極及び複数の導電層をさらに備える。透明コモン電極は、絶縁性基板上に配置され、複数の画素電位に応じたフリンジ電界を複数の透明画素電極との間にそれぞれ発生させる。複数の導電層は、複数のソース配線と複数の第2のゲート配線との間にそれぞれ配置される。複数の導電層には、透明コモン電極に与えられるコモン電位と同じ電位、又は接地電位が与えられる複数の導電層をさらに備える。

【0026】

本発明の第3の態様においては、アレイ基板がコモン電極をさらに備える。コモン電極

50

は、複数の画素電位に応じた電界を複数の透明画素電極との間にそれぞれ発生させる。また、複数の第2のゲート配線が、絶縁性基板の厚さ方向から平面視された場合に表示領域において複数のソース配線の各ソース配線に2本以上の第2のゲート配線が重なる配置を有する。

【0027】

本発明の第4の態様においては、液晶表示パネルが、ゲート信号源をさらに備える。ゲート信号源は、複数のゲート信号を出力し、複数のゲート信号の電位のオン電位からオフ電位への遷移を2段階以上で行う。

【発明の効果】

【0028】

本発明の第1の態様においては、複数のゲート信号及び複数のソース信号を表示領域からみて第2の方向の一方の側から供給することができる。また、表示領域から見て第1の方向の一方の側、第1の方向の他方の側及び第2の方向の他方の側に複数の第2のゲート配線が配置されることを回避することができる。このため、表示領域を囲む4辺のうちの3辺に沿って配置される額縁領域を狭くすることができる。

【0029】

また、本発明の第1の態様においては、ゲート信号のソース信号への影響を顕著にする第2ゲート配線の第1のゲート配線への電気的な接続が表示領域外において行われる。このため、表示異常を抑制することができる。

【0030】

本発明の第2の態様においては、本発明の第1の態様と同様に、表示領域を囲む4辺のうちの3辺に沿って配置される額縁領域を狭くすることができる。

【0031】

また、本発明の第2の態様においては、ソース配線と第2のゲート配線との間に形成される浮遊容量が小さくなり、ゲート信号のソース信号への影響を抑制することができる。このため、表示異常を抑制することができる。

【0032】

本発明の第3の態様においては、本発明の第1の態様と同様に、表示領域を囲む4辺のうちの3辺に沿って配置される額縁領域を狭くすることができる。

【0033】

また、本発明の第3の態様においては、2本以上の第2のゲート配線が1本のソース配線に容量カップリングし、1本の第2のゲート配線と1本のソース配線との間に形成される浮遊容量が小さくなり、ゲート信号のソース信号への影響を抑制することができる。このため、表示異常を抑制することができる。

【0034】

本発明の第4の態様においては、本発明の第1の態様と同様に、表示領域を囲む4辺のうちの3辺に沿って配置される額縁領域を狭くすることができる。

【0035】

本発明の第4の態様においては、ゲート信号のオン電位からオフ電位への遷移が緩やかに行われ、ゲート信号のソース信号への影響を抑制することができる。このため、表示異常を抑制することができる。

【0036】

この発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

【図面の簡単な説明】

【0037】

【図1】実施の形態1、2、3、4及び5の液晶表示パネルを備える液晶表示装置を模式的に図示する断面図である。

【図2】実施の形態1、2、4及び5の液晶表示パネルを模式的に図示する平面図である。

10

20

30

40

50

【図 3】実施の形態 1 及び 5 の液晶表示パネルに備えられるアレイ基板上のパターンを模式的に図示する拡大平面図である。

【図 4】実施の形態 1、2、3、4 及び 5 の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図である。

【図 5】実施の形態 1、3、4 及び 5 の液晶表示パネルに備えられるアレイ基板及び対向基板を模式的に図示する拡大断面図である。

【図 6】実施の形態 2 の液晶表示パネルに備えられるアレイ基板上のパターンを模式的に図示する拡大平面図である。

【図 7】実施の形態 2 の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図である。

【図 8】実施の形態 3 の液晶表示パネルを模式的に図示する平面図である。

【図 9】実施の形態 3 の液晶表示パネルに備えられるアレイ基板上のパターンを模式的に図示する拡大平面図である。

【図 10】実施の形態 3 の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図である。

【図 11】実施の形態 4 の液晶表示パネルに備えられる複数の第 1 のゲート配線、複数のソース配線、複数の第 2 のゲート配線及び複数のコンタクト部の配置を模式的に図示する平面図である。

【図 12】実施の形態 4 の液晶表示パネルに備えられる複数の第 1 のゲート配線、複数のソース配線、複数の第 2 のゲート配線及び複数のコンタクト部の間の電氣的接続を簡略化して図示する簡易回路図である。

【図 13】実施の形態 4 の変形例の液晶表示パネルに備えられる複数の第 1 のゲート配線、複数のソース配線、複数の第 2 のゲート配線及び複数のコンタクト部の間の電氣的接続を簡略化して図示する簡易回路図である。

【図 14】実施の形態 5 の液晶表示パネルにおけるゲート信号及びソース信号の波形を図示する簡易波形図である。

【図 15】参考例の液晶表示パネルにおけるゲート信号及びソース信号の波形を図示する簡易波形図である。

【図 16】参考例の液晶表示パネルを模式的に図示する平面図である。

【発明を実施するための形態】

【0038】

1 実施の形態 1

1. 1 液晶表示装置の断面構造

図 1 は、実施の形態 1 の液晶表示パネルを備える液晶表示装置を模式的に図示する断面図である。

【0039】

図 1 に図示される液晶表示装置 1000 は、液晶表示パネル 1020 及びバックライト 1022 を備える。液晶表示装置 1000 がこれらの要素以外の要素を備えてもよい。

【0040】

液晶表示装置 1000 は、透過型の液晶表示装置である。反射型又は半透過型の液晶表示装置において下述する技術が採用されてもよい。

【0041】

バックライト 1022 は、光を発し、発した光を液晶表示パネル 1020 の背面側の主面 1040 に入射させる。

【0042】

液晶表示パネル 1020 は、液晶表示パネル 1020 の背面側の主面 1040 に入射した光を透過させ、透過させた光を液晶表示パネル 1020 の表示面側の主面 1042 から出射させる。液晶表示パネル 1020 は、光を透過させる際に、液晶表示パネル 1020 に入力された電気信号により各画素に与えられる画素電位を制御し、各画素に与えられる画素電位により各画素の光透過率を制御する。

10

20

30

40

50

【0043】

これらにより、液晶表示パネル1020に入力された電気信号に応じた画像が液晶表示パネル1020の表示面側の主面1042に表示される。

【0044】

1. 2 液晶表示パネルの断面構造

図1に示される液晶表示パネル1020は、フリンジ電界スイッチング（FFS）方式の液晶表示パネルである。

【0045】

液晶表示パネル1020は、図1に図示されるように、第1の偏光板1060、液晶セル1062及び第2の偏光板1064を備える。液晶表示パネル1020がこれらの要素以外の要素を備えてもよい。

【0046】

第1の偏光板1060は、液晶表示パネル1020の背面側の主面1040に入射した光に含まれる第1の偏光方向を有する光を選択的に透過させ、透過させた光を液晶セル1062の背面側の主面1080に入射させる。

【0047】

液晶セル1062は、液晶セル1062の背面側の主面1080に入射した光を透過させ、透過させた光を液晶セル1062の表示面側の主面1082から出射させる。液晶セル1062は、光を透過させる際に、各画素に与えられる画素電位により各画素における偏光方向の変化量を制御する。

【0048】

第2の偏光板1064は、液晶セル1062の表示面側の主面1082から出射した光に含まれる第2の偏光方向を有する光を選択的に透過させ、透過させた光を液晶表示パネル1020の表示面側の主面1042から出射させる。

【0049】

これらにより、各画素に与えられる画素電位により各画素の光透過率が制御される。

【0050】

1. 3 液晶セルの断面構造

液晶セル1062は、図1に図示されるように、アレイ基板1100、液晶層1102及び対向基板1104を備える。液晶セル1062がこれらの要素以外の要素を備えてもよい。

【0051】

対向基板1104は、液晶層1102を挟んでアレイ基板1100に対向する。液晶層1102は、アレイ基板1100と対向基板1104との間に封止される。対向基板1104にはカラーフィルタが形成されていてもよい。

【0052】

液晶セル1062は、各画素に与えられる画素電位により各画素において液晶層1102に印加される電界を制御し、印加される電界により各画素において液晶層1102に含まれる液晶分子の配向方向を制御し、液晶分子の配向方向により各画素における偏光方向の変化量を制御する。これらにより、各画素に与えられる画素電位により各画素における偏光方向の変化量が制御される。

【0053】

1. 4 アレイ基板の平面構造

図2は、実施の形態1の液晶表示パネルを模式的に図示する平面図である。

【0054】

液晶表示パネル1020は、図2に図示されるように、上述したアレイ基板1100を備え、回路基板1120及びフレキシブル回路基板1122をさらに備える。

【0055】

液晶表示パネル1020は、異形状の平面形状を有する。液晶表示パネル1020が矩形形状の平面形状を有してもよい。

【0056】

液晶表示パネル1020は、画像が表示される表示領域1140を有する。また、液晶表示パネル1020は、表示領域1140を囲む4辺のうちの3辺に沿って配置される額縁領域1142を有する。

【0057】

アレイ基板1100は、薄膜トランジスタ(TFT)アレイ基板である。アレイ基板1100は、絶縁性基板1160、複数の第1のゲート配線1162、複数のソース配線1164、複数の第2のゲート配線1166、複数のコンタクト部1168、ゲートドライバ集積回路(IC)1170及びソースドライバIC1172を備える。

【0058】

第1の方向D1は、絶縁性基板1160と平行をなす方向であり、水平方向となっている。第2の方向D2は、絶縁性基板1160と平行をなす方向であり、垂直方向となっている。したがって、第2の方向D2は、第1の方向D1と垂直をなす。

【0059】

複数の第1のゲート配線1162、複数のソース配線1164、複数の第2のゲート配線1166、複数のコンタクト部1168、ゲートドライバIC1170及びソースドライバIC1172は、絶縁性基板1160上に配置される。

【0060】

複数の第1のゲート配線1162の主要部は、表示領域1140内に配置される。複数の第1のゲート配線1162は、表示領域1140内において第1の方向D1に延び、第2の方向D2に配列される。

【0061】

複数のソース配線1164の主要部は、表示領域1140内に配置される。複数のソース配線1164は、表示領域1140内において第2の方向D2に延び、第1の方向D1に配列される。このため、複数のソース配線1164は、絶縁性基板1160の厚さ方向から平面視された場合に複数の第1のゲート配線1162と複数の交差1200を形成する。

【0062】

複数の第2のゲート配線1166の主要部は、表示領域1140内に配置される。複数の第2のゲート配線1166は、表示領域1140内において第2の方向D2に延び、第1の方向D1に配列される。複数の第2のゲート配線1166は、複数のコンタクト部1168を介して複数の第1のゲート配線1162にそれぞれ電氣的に接続される。複数のコンタクト部1168は、表示領域1140外に配置される。このため、複数の第2のゲート配線1166は、表示領域1140外において複数の第1のゲート配線1162にそれぞれ電氣的に接続される。

【0063】

ゲートドライバIC1170は、複数のゲート信号を出力するゲート信号源である。複数の第2のゲート配線1166は、出力された複数のゲート信号を複数の第1のゲート配線1162に向けてそれぞれ伝送する。複数の第1のゲート配線1162は、伝送されてきた複数のゲート信号をそれぞれ伝送する。

【0064】

ソースドライバIC1172は、複数のソース信号を出力するソース信号源である。複数のソース配線1164は、出力された複数のソース信号をそれぞれ伝送する。

【0065】

回路基板1120は、フレキシブル回路基板1122を介してアレイ基板1100に電氣的に接続される。

【0066】

実施の形態1においては、複数のゲート信号及び複数のソース信号を表示領域1140からみて第2の方向D2の一方の側から供給することができる。このため、ゲートドライバIC1170及びソースドライバIC1172を表示領域1140からみて第2の方向

10

20

30

40

50

D 2 の一方の側に集中して配置することができる。また、表示領域 1 1 4 0 から見て第 1 の方向 D 1 の一方の側、第 1 の方向 D 1 の他方の側及び第 2 の方向 D 2 の他方の側に複数の第 2 のゲート配線 1 1 6 6 が配置されることを回避することができる。これらにより、表示領域 1 1 4 0 を囲む 4 辺のうちの 3 辺に沿って配置される額縁領域 1 1 4 2 を狭くすることができる。

【0067】

また、実施の形態 1 においては、液晶表示パネル 1 0 2 0 の解像度が高くなり複数の第 1 のゲート配線 1 1 6 2 の数及び複数の第 2 のゲート配線 1 1 6 6 の数が増加した場合にも、額縁領域 1 1 4 2 を狭くすることができる。

【0068】

また、実施の形態 1 においては、第 2 のゲート配線 1 1 6 6 とソース配線 1 1 6 4 との間に形成される寄生容量に起因するゲート信号のソース信号への影響を顕著にする第 2 のゲート配線 1 1 6 6 の第 1 のゲート配線 1 1 6 2 への電気的な接続が表示領域 1 1 4 0 外において行われる。このため、表示異常を抑制することができ、点欠陥不良を抑制することができる。

【0069】

また、実施の形態 1 においては、表示領域 1 1 4 0 を囲む 4 辺のうちの 3 辺の形状の自由度が向上する。このため、異形の平面形状を有し高いデザイン性を有する液晶表示パネル 1 0 2 0 を容易に設計することができる。

【0070】

1. 5 アレイ基板上のパターン

図 3 は、実施の形態 1 の液晶表示パネルに備えられるアレイ基板上のパターンを模式的に図示する拡大平面図である。図 3 は、図 2 に図示される領域 R 1 に配置されるパターンを拡大して図示する。

【0071】

アレイ基板 1 1 0 0 は、図 3 に図示されるように、上述した複数の第 1 のゲート配線 1 1 6 2、複数のソース配線 1 1 6 4 及び複数の第 2 のゲート配線 1 1 6 6 を備え、透明コモン電極 1 2 2 0 及び複数の補助容量 (C S) 配線 1 2 2 2 をさらに備える。

【0072】

複数の第 2 のゲート配線 1 1 6 6 は、絶縁性基板 1 1 6 0 の厚さ方向から平面視された場合に、表示領域 1 1 4 0 内において複数のソース配線 1 1 6 4 に沿って延び、表示領域 1 1 4 0 内において複数のソース配線 1 1 6 4 に重なる。

【0073】

透明コモン電極 1 2 2 0 は、絶縁性基板 1 1 6 0 上に配置され、表示領域 1 1 4 0 内に配置される。

【0074】

アレイ基板 1 1 0 0 は、複数の画素 1 2 4 0 を備える。複数の画素 1 2 4 0 は、画像の表示に寄与し、表示領域 1 1 4 0 内に配置され、マトリクス状に配列される。複数の画素 1 2 4 0 の各画素は、透明画素電極 1 2 6 0 を備え、透明コモン電極 1 2 2 0 が有するスリット群 1 2 8 0 を有する。このため、アレイ基板 1 1 0 0 は、複数の画素 1 2 4 0 がそれぞれ備える複数の透明画素電極 1 2 6 0 を備え、複数の画素 1 2 4 0 がそれぞれ有する複数のスリット群 1 2 8 0 を有する。複数の画素 1 2 4 0 の各画素に備えられる透明画素電極 1 2 6 0 は、絶縁性基板 1 1 6 0 上に配置され、表示領域 1 1 4 0 内に配置される。スリット群 1 2 8 0 は、3 個のスリットからなる。3 個のスリットからなるスリット群 1 2 8 0 が 2 個以下又は 4 個以上のスリットからなるスリット群に置き換えられてもよい。

【0075】

アレイ基板 1 1 0 0 は、複数のダミー画素 1 3 0 0 をさらに備える。複数のダミー画素 1 3 0 0 は、画像の表示に寄与せず、表示領域 1 1 4 0 外に配置される。複数のダミー画素 1 3 0 0 の各ダミー画素は、複数の画素 1 2 4 0 の各画素と同様に、透明画素電極 1 2 6 0 を備え、透明コモン電極 1 2 2 0 が有するスリット群 1 2 8 0 を有する。複数のダミ

10

20

30

40

50

一画素 1300 の各ダミー画素に備えられる透明画素電極 1260 は、絶縁性基板 1160 上に配置され、表示領域 1140 外に配置される。

【0076】

複数のコンタクト部 1168 は、複数のダミー画素 1300 に備えられる。このため、複数の第 2 のゲート配線 1166 は、複数のダミー画素 1300 において複数の第 1 のゲート配線 1162 にそれぞれ電氣的に接続される。

【0077】

実施の形態 1 においては、光を透過させずスリット群 1280 と重ならない複数のソース配線 1164 に複数の第 2 のゲート配線 1166 が重ねられる。このため、複数の第 2 のゲート配線 1166 が表示領域 1140 内に配置されていても、スリット群 1280 を構成するスリットの数を減らす必要がなく、複数の第 2 のゲート配線 1166 が光透過率の低下の原因となることが抑制され、複数の第 2 のゲート配線 1166 が表示性能の低下の原因となることが抑制される。

【0078】

1. 6 アレイ基板の断面構造

図 4 は、実施の形態 1 の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図である。図 4 は、図 3 の切断線 A-A の位置における断面を図示する。

【0079】

アレイ基板 1100 は、図 4 に図示されるように、上述した絶縁性基板 1160、第 1 のゲート配線 1162、ソース配線 1164、第 2 のゲート配線 1166、透明画素電極 1260 及び透明コモン電極 1220 を備え、ゲート絶縁膜 1320、チャンネル層 1322、ソース電極 1324、ドレイン電極 1326、第 1 の層間絶縁膜 1328 及び第 2 の層間絶縁膜 1330 をさらに備える。第 1 のゲート配線 1162 は、対向部 1360 を備える。チャンネル層 1322、対向部 1360、ソース電極 1324 及びドレイン電極 1326 は、TFT 1380 を構成する。アレイ基板 1100 がこれらの要素以外の要素を備えてもよい。TFT 1380 からなるスイッチング素子が他の種類のスイッチング素子に置き換えられてもよい。

【0080】

絶縁性基板 1160 は、絶縁性及び光透過性を有し、ガラス基板、石英基板等からなる。

【0081】

第 1 のゲート配線 1162、ゲート絶縁膜 1320、チャンネル層 1322、ソース配線 1164、ソース電極 1324、ドレイン電極 1326、透明画素電極 1260、第 1 の層間絶縁膜 1328、第 2 のゲート配線 1166、第 2 の層間絶縁膜 1330 及び透明コモン電極 1220 は、絶縁性基板 1160 上に配置される。したがって、チャンネル層 1322、対向部 1360、ソース電極 1324 及びドレイン電極 1326 からなる TFT 1380 も、絶縁性基板 1160 上に配置される。

【0082】

第 1 のゲート配線 1162 は、絶縁性基板 1160 上に配置される。

【0083】

ゲート絶縁膜 1320 は、第 1 のゲート配線 1162 に重ねて絶縁性基板 1160 上に配置される。ゲート絶縁膜 1320 により、第 1 のゲート配線 1162 が、ゲート絶縁膜 1320 上に配置されるチャンネル層 1322、ソース電極 1324 及びドレイン電極 1326 から絶縁性基板 1160 の厚さ方向に隔てられ、チャンネル層 1322、ソース電極 1324 及びドレイン電極 1326 から電氣的に絶縁される。

【0084】

チャンネル層 1322 は、ゲート絶縁膜 1320 上に配置される。チャンネル層 1322 は、ゲート絶縁膜 1320 を挟んで対向部 1360 上に配置され、ゲート絶縁膜 1320 を挟んで対向部 1360 に対向する。これにより、対向部 1360 は、TFT 1380 のゲート電極として機能する。対向部 1360 には、第 1 のゲート配線 1162 により伝送さ

10

20

30

40

50

れるゲート信号が供給される。

【0085】

ソース配線1164は、ゲート絶縁膜1320上に配置される。

【0086】

ソース電極1324は、ソース配線1164から分岐し、ゲート絶縁膜1320上及びチャンネル層1322上に跨って配置される。ソース電極1324には、ソース配線1164により伝送されるソース信号が供給される。

【0087】

ドレイン電極1326は、ゲート絶縁膜1320上及びチャンネル層1322上に跨って配置される。

【0088】

TFT1380は、対向部1360に供給されたゲート信号にしたがってソース電極1324に供給されたソース信号をスイッチングし、画素電位を生成し、生成した画素電位をドレイン電極1326に供給する。また、TFT1380は、複数の交差1200の各交差に沿って配置される。したがって、アレイ基板1100は、複数の交差1200に沿ってそれぞれ配置される複数のTFT1380を備える。複数のTFT1380は、複数の交差1200を形成する第1のゲート配線1162により伝送されるゲート信号にしたがって複数の交差1200を形成するソース配線1164により伝送されるソース信号をそれぞれスイッチングし、複数の画素電位をそれぞれ生成する。

【0089】

透明画素電極1260は、ゲート絶縁膜1320上に配置される。透明画素電極1260は、ドレイン電極1326に接触する。これにより、透明画素電極1260は、ドレイン電極1326に電氣的に接続され、TFT1380に電氣的に接続される。また、複数の透明画素電極1260には、生成された複数の画素電位がそれぞれ与えられる。複数の透明画素電極1260は、マトリクス状に配列される。

【0090】

第1の層間絶縁膜1328は、ソース配線1164、チャンネル層1322、ソース電極1324、ドレイン電極1326及び透明画素電極1260に重ねてゲート絶縁膜1320上に配置される。第1の層間絶縁膜1328により、ソース配線1164が、第1の層間絶縁膜1328上に配置される第2のゲート配線1166から絶縁性基板1160の厚さ方向に隔てられ、第2のゲート配線1166から電氣的に絶縁される。

【0091】

第2のゲート配線1166は、第1の層間絶縁膜1328上に配置される。第2のゲート配線1166は、ソース配線1164と透明コモン電極1220との間に配置される。

【0092】

第2の層間絶縁膜1330は、第2のゲート配線1166に重ねて第1の層間絶縁膜1328上に配置される。第2の層間絶縁膜1330により、第2のゲート配線1166が、第2の層間絶縁膜1330上に配置される透明コモン電極1220から絶縁性基板1160の厚さ方向に隔てられ、透明コモン電極1220から電氣的に絶縁される。また、第1の層間絶縁膜1328及び第2の層間絶縁膜1330からなる絶縁膜1400により、透明画素電極1260が、絶縁膜1400上に配置される透明コモン電極1220から絶縁性基板1160の厚さ方向に隔てられ、透明コモン電極1220から電氣的に絶縁される。

【0093】

透明コモン電極1220は、第2の層間絶縁膜1330上に配置される。透明コモン電極1220には、コモン電位が与えられる。透明コモン電極1220は、対向部1420を備える。対向部1420は、スリット群1280を有し、絶縁膜1400を挟んで透明画素電極1260に対向する。これにより、透明コモン電極1220は、複数の画素電位に応じたフリンジ電界を複数の透明画素電極1260との間にそれぞれ発生させる。発生したフリンジ電界は、スリット群1280を通る。また、透明画素電極1260と透明コ

10

20

30

40

50

モン電極 1 2 2 0 との間には、画素電位を安定させるストレージ容量が形成される。

【0094】

1. 7 コンタクト部の断面構造

図 5 は、実施の形態 1 の液晶表示パネルに備えられるアレイ基板及び対向基板を模式的に図示する拡大断面図である。図 5 は、図 3 の切断線 B-B の位置における断面を図示する。

【0095】

アレイ基板 1 1 0 0 においては、図 5 に図示されるように、ゲート絶縁膜 1 3 2 0、第 1 の層間絶縁膜 1 3 2 8 及び第 2 の層間絶縁膜 1 3 3 0 からなる第 1 の絶縁膜 1 4 6 0 が、複数の第 1 のゲート配線 1 1 6 2 と透明コモン電極 1 2 2 0 との間に配置される。また、第 2 の層間絶縁膜 1 3 3 0 からなる第 2 の絶縁膜 1 4 6 2 が、複数の第 2 のゲート配線 1 1 6 6 と透明コモン電極 1 2 2 0 との間に配置される。

10

【0096】

複数の第 2 のゲート配線 1 1 6 6 は、ゲート絶縁膜 1 3 2 0 及び第 1 の層間絶縁膜 1 3 2 8 からなる絶縁膜 1 4 8 0 により複数の第 1 のゲート配線 1 1 6 2 から絶縁性基板 1 1 6 0 の厚さ方向に隔てられている。このため、複数の第 2 のゲート配線 1 1 6 6 は、複数の第 1 のゲート配線 1 1 6 2 が配置される層と異なる層に配置され、絶縁性基板 1 1 6 0 の厚さ方向について複数の第 1 のゲート配線 1 1 6 2 が配置される位置と異なる位置に配置される。

【0097】

アレイ基板 1 1 0 0 は、複数の第 1 のコンタクトホール部 1 5 0 0 及び複数の第 2 のコンタクトホール部 1 5 0 2 をさらに備える。

20

【0098】

複数の第 1 のコンタクトホール部 1 5 0 0 は、第 1 の絶縁膜 1 4 6 0 を貫通する。複数の第 1 のコンタクトホール部 1 5 0 0 の上端は、透明コモン電極 1 2 2 0 に接触する。複数の第 1 のコンタクトホール部 1 5 0 0 の下端は、複数の第 1 のゲート配線 1 1 6 2 にそれぞれ接触する。これにより、複数の第 1 のゲート配線 1 1 6 2 は、複数の第 1 のコンタクトホール部 1 5 0 0 を介して透明コモン電極 1 2 2 0 にそれぞれ電氣的に接続される。

【0099】

複数の第 2 のコンタクトホール部 1 5 0 2 は、第 2 の絶縁膜 1 4 6 2 を貫通する。複数の第 2 のコンタクトホール部 1 5 0 2 の上端は、透明コモン電極 1 2 2 0 に接触する。複数の第 2 のコンタクトホール部 1 5 0 2 の下端は、複数の第 2 のゲート配線 1 1 6 6 にそれぞれ接触する。これにより、複数の第 2 のゲート配線 1 1 6 6 は、複数の第 2 のコンタクトホール部 1 5 0 2 を介して透明コモン電極 1 2 2 0 にそれぞれ電氣的に接続される。

30

【0100】

これらにより、複数の第 2 のゲート配線 1 1 6 6 は、複数の第 2 のコンタクトホール部 1 5 0 2、透明コモン電極 1 2 2 0 及び複数の第 1 のコンタクトホール部 1 5 0 0 を介して複数の第 1 のゲート配線 1 1 6 2 にそれぞれ電氣的に接続される。

【0101】

複数の第 1 のコンタクトホール部 1 5 0 0 及び複数の第 2 のコンタクトホール部 1 5 0 2 は、表示領域 1 1 4 0 外に配置される複数のダミー画素 1 3 0 0 に備えられる。このため、点欠陥不良が発生しやすい画素は、表示領域 1 1 4 0 外に配置されるダミー画素 1 3 0 0 となる。これにより、表示領域 1 1 4 0 内に点欠陥不良が発生することを抑制することができ、高い表示品位を有する液晶表示パネル 1 0 2 0 を提供することができる。

40

【0102】

対向基板 1 1 0 4 は、ブラックマトリックス 1 5 2 0 を備える。

【0103】

複数の第 1 のコンタクトホール部 1 5 0 0 及び複数の第 2 のコンタクトホール部 1 5 0 2 は、絶縁性基板 1 1 6 0 の厚さ方向から平面視された場合にブラックマトリックス 1 5 2 0 に重なる。このため、複数の第 2 のゲート配線 1 1 6 6 は、絶縁性基板 1 1 6 0 の厚

50

さ方向から平面視された場合にブラックマトリックス1520と重なる位置において複数の第1のゲート配線1162にそれぞれ電氣的に接続される。このため、点欠陥不良が発生しやすい画素は、ブラックマトリックス1520に遮蔽され、視認されない。これにより、点欠陥不良が視認されることを抑制することができ、高い表示品位を有する液晶表示パネル1020を提供することができる。

【0104】

1. 8 アレイ基板の製造方法

以下では、アレイ基板1100の製造方法が説明される。以下で説明される製造方法とは異なる製造方法によりアレイ基板1100が製造されてもよい。

【0105】

まず、絶縁性基板1160上に、第1のメタル膜が形成される。第1のメタル膜は、直流(DC)マグネトロンを用いたスパッタリング法により形成される。第1のメタル膜は、Mo、Cr、W、Al又はTaからなる金属膜であってもよいし、Mo、Cr、W、Al又はTaを主成分とする合金からなる合金膜であってもよい。また、形成された第1のメタル膜に対してパターニングが行われ、第1のゲート配線1162が形成される。

【0106】

第1のゲート配線1162が形成された後に、ゲート絶縁膜1320が形成される。ゲート絶縁膜1320は、プラズマ化学気相成長(CVD)法により形成される。ゲート絶縁膜1320は、一般的にはシリコン窒化膜であるが、シリコン酸化膜、シリコン酸化窒化膜等であってもよい。

【0107】

ゲート絶縁膜1320が形成された後に、アモルファスシリコン(a-Si)膜が形成される。a-Si膜は、プラズマCVD法により形成される。a-Si膜は、一般的には、真性半導体層、及びリン等を含む不純物半導体層を備える積層膜である。真性半導体層は、チャンネル層1322を構成する。不純物半導体層は、ソース電極1324及びドレイン電極1326とのオーミックコンタクトを確保するために設けられる。また、形成されたa-Si膜に対してパターニングが行われ、島状に配置されたチャンネル層1322が形成される。チャンネル層1322は、a-Si等の代わりにIn-Ga-Zn-O等の酸化物半導体であってもよい。

【0108】

チャンネル層1322が形成された後に、第2のメタル膜が形成される。第2のメタル膜は、DCマグネトロンを用いたスパッタリング法により形成される。第2のメタル膜は、Mo、Cr、W、Al又はTaからなる金属膜であってもよいし、Mo、Cr、W、Al又はTaを主成分とする合金からなる合金膜であってもよい。また、形成された第2のメタル膜に対してパターニングが行われ、ソース配線1164、ソース電極1324及びドレイン電極1326が形成される。ソース配線1164、ソース電極1324及びドレイン電極1326をマスクとして上述した不純物半導体層がエッチングされてもよい。これにより、マスク工数を削減することができる。

【0109】

ソース配線1164、ソース電極1324及びドレイン電極1326が形成された後に、第1の透明性導電膜が形成される。第1の透明性導電膜は、DCマグネトロンを用いたスパッタリング法により形成される。第1の透明性導電膜は、酸化インジウムスズ(ITO)、酸化亜鉛スズ(IZO)等からなる。また、第1の透明性導電膜に対してパターニングが行われ、透明画素電極1260が形成される。

【0110】

透明画素電極1260が形成された後に、第1の層間絶縁膜1328が形成される。第1の層間絶縁膜1328は、プラズマCVD法により形成される。第1の層間絶縁膜1328は、シリコン窒化膜、シリコン酸化膜、シリコン酸化窒化膜等である。第1の層間絶縁膜1328が、アクリル系又はイミド系の樹脂からなる有機樹脂膜であってもよい。有機樹脂膜は、流動体を塗布して塗布膜を形成し、形成された塗布膜を硬化させることによ

10

20

30

40

50

り形成される。第1の層間絶縁膜1328が有機樹脂膜である場合は、第1の層間絶縁膜1328を容易に厚膜化することができ、第1の層間絶縁膜1328の絶縁性を容易に確保することができる。第1の層間絶縁膜1328が、シリコン窒化膜、シリコン酸化膜、シリコン酸化窒化膜等の無機膜、及び有機樹脂膜を備える積層膜であってもよい。

【0111】

第1の層間絶縁膜1328が形成された後に、第3のメタル膜が形成される。第3のメタル膜は、DCマグネトロンを用いたスパッタリング法により形成される。第3のメタル膜は、Mo、Cr、W、Al又はTaからなる金属膜であってもよいし、Mo、Cr、W、Al又はTaを主成分とする合金からなる合金膜であってもよい。また、形成された第3のメタル膜に対してパターニングが行われ、第2のゲート配線1166が形成される。

10

【0112】

第2のゲート配線1166が形成された後に、第2の層間絶縁膜1330が形成される。第2の層間絶縁膜1330は、プラズマCVD法により形成される。第2の層間絶縁膜1330は、シリコン窒化膜、シリコン酸化膜、シリコン酸化窒化膜等である。第2の層間絶縁膜1330が、アクリル系又はイミド系の樹脂からなる有機樹脂膜であってもよい。有機樹脂膜は、流動体を塗布して塗布膜を形成し、形成された塗布膜を硬化させることにより形成される。第2の層間絶縁膜1330が有機樹脂膜である場合は、第2の層間絶縁膜1330を容易に厚膜化することができ、第2の層間絶縁膜1330の絶縁性を容易に確保することができる。第2の層間絶縁膜1330が、シリコン窒化膜、シリコン酸化膜、シリコン酸化窒化膜等の無機膜、及び有機樹脂膜を備える積層膜であってもよい。

20

【0113】

第2の層間絶縁膜1330が形成された後に、第2の層間絶縁膜1330の上面から第1のゲート配線1162に至る第1のコンタクトホールが形成され、第2の層間絶縁膜1330の上面から第2のゲート配線1166に至る第2のコンタクトホールが形成される。

【0114】

第1のコンタクトホール及び第2のコンタクトホールが形成された後に、第2の透明性導電膜が形成される。第2の透明性導電膜は、DCマグネトロンを用いたスパッタリング法により形成される。第2の透明性導電膜は、ITO、IZO等からなる。また、第2の透明性導電膜に対してパターニングが行われ、透明共通電極1220が形成される。第2の透明性導電膜が形成される際には、第1のコンタクトホール及び第2のコンタクトホールの内面に透明性導電膜が付着し、第1のコンタクトホール部1500及び第2のコンタクトホール部1502が形成される。第2の透明性導電膜に対してパターニングが行われる際には、透明画素電極1260上にスリット群1280が形成される。

30

【0115】

1. 9 参考例との対比

図16は、参考例の液晶表示パネルを模式的に図示する平面図である。

【0116】

図16に図示される液晶表示パネル9020においては、複数の第2のゲート配線9166の主要部が、表示領域9140外に配置され、表示領域9140から見て第1の方向D1の一方の側に配置される。この場合は、図16に図示されるように、表示領域9140を囲む4辺のうちの第1の方向D1の一方の側にある辺に沿って配置される額縁領域9142を狭くすることができない。図16を図2と対比すれば、実施の形態1において表示領域1140を囲む4辺のうちの3辺に沿って配置される額縁領域1142を狭くすることができる理由を理解することができる。

40

【0117】

2 実施の形態2

実施の形態2は、実施の形態1と主に下記の点で相違する：実施の形態1においては、複数の第2のゲート配線1166が、複数の第2のコンタクトホール部1502、透明共通電極1220及び複数の第1のコンタクトホール部1500を介して複数の第1のゲ

50

ート配線 1 1 6 2 にそれぞれ電氣的に接続される。これに対して、実施の形態 2 においては、複数の第 2 のゲート配線 1 1 6 6 が、下述する複数のコンタクトホール部のみを介して複数の第 1 のゲート配線 1 1 6 2 にそれぞれ電氣的に接続される。

【0118】

以下では、上記の相違に関連する実施の形態 2 の液晶表示パネルの構成が説明される。説明されない構成については、実施の形態 1 の液晶表示パネル 1 0 2 0 において採用された構成がそのまま又は変形されてから実施の形態 2 の液晶表示パネルにおいても採用される。

【0119】

図 1 は、実施の形態 2 の液晶表示パネルを備える液晶表示装置を模式的に図示する断面図でもある。図 2 は、実施の形態 2 の液晶表示パネルを模式的に図示する平面図でもある。図 4 は、実施の形態 2 の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図でもある。

【0120】

図 6 は、実施の形態 2 の液晶表示パネルに備えられるアレイ基板上のパターンを模式的に図示する拡大平面図である。図 6 は、図 2 に図示される領域 R 1 に配置されるパターンを拡大して図示する。

【0121】

図 7 は、実施の形態 2 の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図である。図 7 は、図 6 の切断線 C-C の位置における断面を図示する。

【0122】

実施の形態 2 の液晶表示パネル 2 0 2 0 においては、図 7 に図示されるように、ゲート絶縁膜 1 3 2 0 及び第 1 の層間絶縁膜 1 3 2 8 からなる絶縁膜 1 4 8 0 が、複数の第 1 のゲート配線 1 1 6 2 と複数の第 2 のゲート配線 1 1 6 6 との間に配置される。

【0123】

アレイ基板 1 1 0 0 は、図 6 及び図 7 に図示されるように、複数のコンタクトホール部 2 5 0 4 を備える。

【0124】

複数のコンタクトホール部 2 5 0 4 は、絶縁膜 1 4 8 0 を貫通する。複数のコンタクトホール部 2 5 0 4 の上端は、複数の第 2 のゲート配線 1 1 6 6 にそれぞれ接触する。複数のコンタクトホール部 2 5 0 4 の下端は、複数の第 1 のゲート配線 1 1 6 2 にそれぞれ接触する。これにより、複数の第 2 のゲート配線 1 1 6 6 は、複数のコンタクトホール部 2 5 0 4 を介して複数の第 1 のゲート配線 1 1 6 2 にそれぞれ電氣的に接続される。

【0125】

複数のコンタクトホール部 2 5 0 4 は、表示領域 1 1 4 0 外に配置される複数のダミー画素 1 3 0 0 に備えられる。

【0126】

実施の形態 2 においても、実施の形態 1 と同様に、表示領域 1 1 4 0 を囲む 4 辺のうちの 3 辺に沿って配置される額縁領域 1 1 4 2 を狭くすることができる。また、表示異常を抑制することができ、点欠陥不良を抑制することができる。また、異形の平面形状を有し高いデザイン性を有する液晶表示パネル 2 0 2 0 を容易に設計することができる。また、複数の第 2 のゲート配線 1 1 6 6 が表示性能の低下の原因となることが抑制される。

【0127】

実施の形態 1 においては、複数のゲート信号が印加される透明コモン電極 1 2 2 0 が液晶層 1 1 0 2 に近接している。このため、複数のゲート信号が印加される透明コモン電極 1 2 2 0 の近傍において液晶分子の配向方向が乱れ、光漏れ等の表示品位の低下が生じる可能性がある。これに対して、実施の形態 2 においては、複数のゲート信号がそれぞれ印加される複数の第 2 のゲート配線 1 1 6 6 が第 2 の層間絶縁膜 1 3 3 0 により液晶層 1 1 0 2 から離されている。このため、高い表示品位を有する液晶表示パネル 2 0 2 0 を提供することができる。

10

20

30

40

50

【0128】

3 実施の形態3

実施の形態3は、実施の形態1と主に下記の点で相違する：実施の形態1においては、複数の第2のゲート配線1166が、表示領域1140外において複数の第1のゲート配線1162にそれぞれ電氣的に接続される。これに対して、実施の形態3においては、複数の第2のゲート配線1166が、表示領域1140内において複数の第1のゲート配線1162にそれぞれ電氣的に接続される。また、複数のソース配線1164と複数の第2のゲート配線1166との間に下述する複数の導電層がそれぞれ配置され、配置された複数の導電層にコモン電位と同じ電位又は接地電位が与えられる。

【0129】

以下では、上記の相違に関連する実施の形態3の液晶表示パネルの構成が説明される。説明されない構成については、実施の形態1の液晶表示パネル1020において採用された構成がそのまま又は変形されてから実施の形態3の液晶表示パネルにおいても採用される。

【0130】

図1は、実施の形態3の液晶表示パネルを備える液晶表示装置を模式的に図示する断面図でもある。図4は、実施の形態3の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図でもある。図5は、実施の形態3の液晶表示パネルに備えられるアレイ基板及び対向基板を模式的に図示する拡大断面図でもある。

【0131】

図8は、実施の形態3の液晶表示パネルを模式的に図示する平面図である。

【0132】

図9は、実施の形態3の液晶表示パネルに備えられるアレイ基板上のパターンを模式的に図示する拡大平面図である。図9は、図8に図示される領域R2に配置されるパターンを拡大して図示する。

【0133】

図10は、実施の形態3の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図である。図10は、図9の切断線D-Dの位置における断面を図示する。

【0134】

実施の形態3の液晶表示パネル3020においては、図8及び図9に図示されるように、複数の第2のゲート配線1166は、複数のコンタクト部1168を介して複数の第1のゲート配線1162にそれぞれ電氣的に接続される。複数のコンタクト部1168は、表示領域1140内に配置される。このため、複数の第2のゲート配線1166は、表示領域1140内において複数の第1のゲート配線1162にそれぞれ電氣的に接続される。

【0135】

複数のコンタクト部1168は、複数の画素1240に備えられる。このため、複数の第2のゲート配線1166は、複数の画素1240において複数の第1のゲート配線1162にそれぞれ電氣的に接続される。

【0136】

アレイ基板1100は、図10に図示されるように、複数の導電層3600を備える。

【0137】

複数の導電層3600は、複数のソース配線1164と複数の第2のゲート配線1166との間にそれぞれ配置される。複数の導電層3600には、コモン電位と同じ電位、又は接地電位が与えられる。複数の導電層3600は、第1の層間絶縁膜1328に埋設され、第1の層間絶縁膜1328により複数のソース配線1164及び複数の第2のゲート配線1166から絶縁性基板1160の厚さ方向に隔てられ、第1の層間絶縁膜1328により複数のソース配線1164及び複数の第2のゲート配線1166から電氣的に絶縁される。

【0138】

望ましくは、複数の導電層 3600 には、接地電位が与えられる。また、複数の第 2 のゲート配線 1166 は、複数の透明画素電極 1260 が配置される層と同じ層に配置される。

【0139】

実施の形態 3 においても、実施の形態 1 と同様に、表示領域 1140 を囲む 4 辺のうちの 3 辺に沿って配置される額縁領域 1142 を狭くすることができる。また、異形の平面形状を有し高いデザイン性を有する液晶表示パネル 3020 を容易に設計することができる。また、複数の第 2 のゲート配線 1166 が表示性能の低下の原因となることが抑制される。

【0140】

また、実施の形態 3 においては、ソース配線 1164 と第 2 のゲート配線 1166 との間に形成される浮遊容量が小さくなり、ゲート信号のソース信号への影響を抑制することができる。このため、表示異常を抑制することができる。

【0141】

加えて、実施の形態 3 においては、第 2 のゲート配線 1166 が表示領域 1140 内において第 1 のゲート配線 1162 に電氣的に接続される場合であっても、表示異常を抑制することができる。このため、額縁領域 1142 をさらに狭くすることができる。

【0142】

4 実施の形態 4

実施の形態 4 は、実施の形態 1 と主に下記の点で相違する：実施の形態 1 においては、1 本のソース配線 1164 に 1 本の第 2 のゲート配線 1166 が重なる。これに対して、実施の形態 4 においては、1 本のソース配線 1164 に 2 本の第 2 のゲート配線 1166 が重なる。

【0143】

以下では、上記の相違に関連する実施の形態 4 の液晶表示パネルの構成が説明される。説明されない構成については、実施の形態 1 の液晶表示パネル 1020 において採用された構成がそのまま又は変形されてから実施の形態 4 の液晶表示パネルにおいても採用される。

【0144】

図 1 は、実施の形態 4 の液晶表示パネルを備える液晶表示装置を模式的に図示する断面図でもある。図 2 は、実施の形態 4 の液晶表示パネルを模式的に図示する平面図でもある。図 4 は、実施の形態 4 の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図でもある。図 5 は、実施の形態 4 の液晶表示パネルに備えられるアレイ基板及び対向基板を模式的に図示する拡大断面図でもある。

【0145】

図 11 は、実施の形態 4 の液晶表示パネルに備えられる複数の第 1 のゲート配線、複数のソース配線、複数の第 2 のゲート配線及び複数のコンタクト部の配置を模式的に図示する平面図である。

【0146】

実施の形態 4 の液晶表示パネル 4020 においては、図 11 に図示されるように、複数の第 1 のゲート配線 1162 が第 2 の方向 D2 に配列され、第 2 の方向 D2 がゲート信号スキャン方向となっている。

【0147】

複数の第 2 のゲート配線 1166 に含まれる第 n 番目の第 2 のゲート配線 GV_n は、複数のコンタクト部 1168 に含まれる第 n 番目のコンタクト部 CN_n を介して、複数の第 1 のゲート配線 1162 に含まれる第 n 番目の第 1 のゲート配線 GH_n に電氣的に接続される。 n は、自然数である。第 n 番目のコンタクト部 CN_n は、表示領域 1140 外に配置されるが、表示領域 1140 内に配置されてもよい。

【0148】

第 n 番目の第 2 のゲート配線 GV_n は、表示領域 1140 内において、複数のソース配

10

20

30

40

50

線 1 1 6 4 に含まれる第 n 番目のソース配線 S_n 上を第 2 の方向 D_2 に延び、続いて第 $n + 4$ 番目の第 1 のゲート配線 GH_{n+4} 上を第 1 の方向 D_1 に延び、さらに続いて第 $n - 1$ 番目のソース配線 S_{n-1} 上を第 2 の方向 D_2 に延びる。これにより、複数の第 2 のゲート配線 1 1 6 6 は、絶縁性基板 1 1 6 0 の厚さ方向から平面視された場合に表示領域 1 1 4 0 内において複数のソース配線 1 1 6 4 の各ソース配線に 2 本の第 2 のゲート配線 1 1 6 6 が重なる配置を有する。

【0149】

第 n 番目の第 2 のゲート配線 GV_n は、第 n 番目のソース配線 S_n 上を第 2 の方向 D_2 についての画素ピッチの 4 倍の距離に渡って延び、第 $n + 4$ 番目の第 1 のゲート配線 GH_{n+4} 上を第 1 の方向 D_1 についての画素ピッチの 1 倍の距離に渡って延び、 $n - 1$ 番目のソース配線 S_{n-1} 上を第 2 の方向 D_2 についての画素ピッチの 4 倍の距離に渡って延びる。第 2 の方向 D_2 についての画素ピッチの 4 倍の距離が、他の距離に変更されてもよい。ただし、当該他の距離は、第 2 の方向 D_2 についての画素ピッチの自然数倍の距離である。第 1 の方向 D_1 についての画素ピッチの 1 倍の距離が、他の距離に変更されてもよい。ただし、当該他の距離は、第 1 の方向 D_1 についての画素ピッチの自然数倍の距離である。

【0150】

図 1 2 は、実施の形態 4 の液晶表示パネルに備えられる複数の第 1 のゲート配線、複数のソース配線、複数の第 2 のゲート配線及び複数のコンタクト部の間の電氣的接続を簡略化して図示する簡易回路図である。

【0151】

以下では、第 n 番目のソース配線 S_n が選択されているとし、第 n 番目の第 1 のゲート配線 GH_n を自段ゲート配線といい、第 n 番目の第 1 のゲート配線 GH_n の次にスキャンされる第 $n + 1$ 番目の第 1 のゲート配線 GH_{n+1} を次段ゲート配線といい、第 n 番目のソース配線 S_n を選択ソース配線という。

【0152】

選択ソース配線 S_n 上には、図 1 1 に図示されるように、自段ゲート配線 GH_n に電氣的に接続される第 2 のゲート配線 GV_n 、及び次段ゲート配線 GH_{n+1} に電氣的に接続される第 2 のゲート配線 GV_{n+1} が配置される。このため、選択ソース配線 S_n は、図 1 2 に図示されるように、第 2 のゲート配線 GV_n 及び第 2 のゲート配線 GV_{n+1} と容量カップリングする。これにより、選択ソース配線 S_n は、第 2 のゲート配線 GV_n との間に浮遊容量 C_n を形成し、第 2 のゲート配線 GV_{n+1} との間に浮遊容量 C_{n+1} を形成する。浮遊容量 C_n は、選択ソース配線 S_n が第 2 のゲート配線 GV_n のみと容量カップリングする場合に形成される浮遊容量より小さい。望ましくは、浮遊容量 C_{n+1} は、浮遊容量 C_n と同じ容量である。

【0153】

図 1 3 は、実施の形態 4 の変形例の液晶表示パネルに備えられる複数の第 1 のゲート配線、複数のソース配線、複数の第 2 のゲート配線及び複数のコンタクト部の間の電氣的接続を簡略化して図示する簡易回路図である。

【0154】

以下では、第 n 番目のソース配線 S_n が選択されているとし、第 n 番目の第 1 のゲート配線 GH_n を自段ゲート配線といい、第 n 番目の第 1 のゲート配線 GH_n の次の次にスキャンされる第 $n + 2$ 番目のゲート配線 GH_{n+2} を次々段ゲート配線といい、第 n 番目のソース配線 S_n を選択ソース配線という。

【0155】

変形例においては、選択ソース配線 S_n 上には、自段ゲート配線 GH_n に電氣的に接続される第 2 のゲート配線 GV_n 、及び次々段ゲート配線 GH_{n+2} に電氣的に接続される第 2 のゲート配線 GV_{n+2} が配置される。このため、選択ソース配線 S_n は、第 2 のゲート配線 GV_n 及び第 2 のゲート配線 GV_{n+2} と容量カップリングする。これにより、図 1 3 に図示されるように、選択ソース配線 S_n は、第 2 のゲート配線 GV_n との間に浮

遊容量 C_n を形成し、第 2 のゲート配線 GV_{n+2} との間に浮遊容量 C_{n+2} を形成する。浮遊容量 C_n は、選択ソース配線 S_n が第 2 のゲート配線 GV_n のみと容量カップリングする場合に形成される浮遊容量より小さい。望ましくは、浮遊容量 C_{n+2} は、浮遊容量 C_n と同じ容量である。

【0156】

複数のソース配線 1164 の各ソース配線に 2 本の第 2 のゲート配線 1166 が重なる配置に代えて、複数のソース配線 1164 の各ソース配線に 3 本以上の第 2 のゲート配線 1166 が重なる配置が採用されてもよい。

【0157】

実施の形態 4 においても、実施の形態 1 と同様に、表示領域 1140 を囲む 4 辺のうちの 3 辺に沿って配置される額縁領域 1142 を狭くすることができる。また、表示異常を抑制することができ、点欠陥不良を抑制することができる。また、異形の平面形状を有し高いデザイン性を有する液晶表示パネル 4020 を容易に設計することができる。また、複数の第 2 のゲート配線 1166 が表示性能の低下の原因となることが抑制される。

【0158】

また、実施の形態 4 においては、2 本以上の第 2 のゲート配線 1166 が 1 本のソース配線 1164 に容量カップリングし、1 本の第 2 のゲート配線 1166 と 1 本のソース配線 1164 との間に形成される浮遊容量が小さくなり、ゲート信号のソース信号への影響を抑制することができる。このため、表示異常を抑制することができる。

【0159】

5 実施の形態 5

実施の形態 5 は、実施の形態 1 と主に下記の点で相違する：実施の形態 1 においては、複数のゲート信号の電位のオン電位からオフ電位への遷移が 1 段階で行われる。これに対して、実施の形態 5 においては、複数のゲート信号の電位のオン電位からオフ電位への遷移が 2 段階で行われる。

【0160】

以下では、上記の相違に関連する実施の形態 5 の液晶表示パネルの構成が説明される。説明されない構成については、実施の形態 1 の液晶表示パネル 1020 において採用された構成がそのまま又は変形されてから実施の形態 5 の液晶表示パネルにおいても採用される。

【0161】

図 1 は、実施の形態 5 の液晶表示パネルを備える液晶表示装置を模式的に図示する断面図でもある。図 2 は、実施の形態 5 の液晶表示パネルを模式的に図示する平面図でもある。図 3 は、実施の形態 5 の液晶表示パネルに備えられるアレイ基板上のパターンを模式的に図示する拡大平面図でもある。図 4 は、実施の形態 5 の液晶表示パネルに備えられるアレイ基板を模式的に図示する拡大断面図でもある。図 5 は、実施の形態 5 の液晶表示パネルに備えられるアレイ基板及び対向基板を模式的に図示する拡大断面図でもある。

【0162】

図 14 は、実施の形態 5 の液晶表示パネルにおけるゲート信号及びソース信号の波形を図示する簡易波形図である。図 14 (a) は、ゲート信号の電位の時間変化を示す。図 14 (b) は、ソース信号の電位の時間変化を示す。図 14 においては、縦軸に電位がとられており、横軸に時間がとられている。

【0163】

図 15 は、参考例の液晶表示パネルにおけるゲート信号及びソース信号の波形を図示する簡易波形図である。図 15 (a) は、ゲート信号の電位の時間変化を示す。図 15 (b) は、ソース信号の電位の時間変化を示す。図 15 においては、縦軸に電位がとられており、横軸に時間がとられている。

【0164】

実施の形態 5 の液晶表示パネル 5020 においては、複数の第 2 のゲート配線 1166 は、表示領域 1140 外において複数の第 1 のゲート配線 1162 にそれぞれ電氣的に接

10

20

30

40

50

続されるが、表示領域 1 1 4 0 内において複数の第 1 のゲート配線 1 1 6 2 にそれぞれ電氣的に接続されてもよい。

【0 1 6 5】

実施の形態 5 の液晶表示パネル 5 0 2 0 においては、図 1 4 (a) に図示されるように、ゲート信号が立ち下げられる際に、ゲート信号の電位のオン電位 V_{ON} からオフ電位 V_{OFF} への遷移が、オン電位 V_{ON} から中間電位 V_I までゲート信号の電位が下げられる第 1 の段階、及び中間電位 V_I からオフ電位 V_{OFF} までゲート信号の電位が下げられる第 2 の段階を含む 2 段階で行われる。第 1 の段階の終了から第 2 の段階の開始までの期間においては、ゲート信号の電位が設定された時間にわたって中間電位 V_I に維持される。ゲート信号の電位のオン電位 V_{ON} からオフ電位 V_{OFF} への遷移が、3 段階以上で行われてもよい。このようにゲート信号の電位のオン電位 V_{ON} からオフ電位 V_{OFF} への遷移が 2 段階以上で行われた場合は、ゲート信号の電位のオン電位 V_{ON} からオフ電位 V_{OFF} への遷移が緩やかに行われ、図 1 4 (b) に図示されるように、容量カップリングによるゲート信号のソース信号への影響 5 0 2 0 を抑制することができる。このため、表示異常を抑制することができる。

10

【0 1 6 6】

これに対して、図 1 5 (a) に図示されるようにゲート信号の電位のオン電位 V_{ON} からオフ電位 V_{OFF} への遷移が 1 段階で行われた場合は、容量カップリングによるゲート信号のソース信号への影響 5 0 2 2 が大きくなる。

【0 1 6 7】

実施の形態 5 においても、実施の形態 1 と同様に、表示領域 1 1 4 0 を囲む 4 辺のうちの 3 辺に沿って配置される額縁領域 1 1 4 2 を狭くすることができる。また、表示異常を抑制することができ、点欠陥不良を抑制することができる。また、異形の平面形状を有し高いデザイン性を有する液晶表示パネル 5 0 2 0 を容易に設計することができる。また、複数の第 2 のゲート配線 1 1 6 6 が表示性能の低下の原因となることが抑制される。

20

【0 1 6 8】

なお、本発明は、その発明の範囲内において、実施の形態を適宜、変形、省略することが可能である。

【0 1 6 9】

この発明は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

30

【0 1 7 0】

本実施の形態 1 から 5 においては、カラーフィルタは対向基板 1 1 0 4 に形成した例について説明したが、カラーフィルタはアレイ基板 1 1 0 0 上に形成されてもよい。

【0 1 7 1】

また、コモン電極 1 2 2 0 をアレイ基板 1 1 0 0 上に形成する形態について説明したが、TN 型のようにコモン電極 1 2 2 0 を対向基板 1 1 0 4 上に形成しても良い。この場合においても、複数の画素電位に応じた電界を複数の透明画素電極とコモン電極との間の液晶層 1 1 0 2 にそれぞれ発生させることにより表示が行われる。

40

【符号の説明】

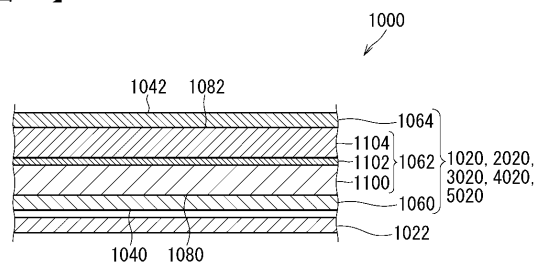
【0 1 7 2】

1 0 0 0 液晶表示装置、1 0 2 0, 2 0 2 0, 3 0 2 0, 4 0 2 0, 5 0 2 0 液晶表示パネル、1 0 2 2 バックライト、1 0 6 0 第 1 の偏光板、1 0 6 2 液晶セル、1 0 6 4 第 2 の偏光板、1 1 0 0 アレイ基板、1 1 0 2 液晶層、1 1 0 4 対向基板、1 1 4 0 表示領域、1 1 4 2 額縁領域、1 1 6 0 絶縁性基板、1 1 6 2 第 1 のゲート配線、1 1 6 4 ソース配線、1 1 6 6 第 2 のゲート配線、1 1 6 8 コンタクト部、1 1 7 0 ゲートドライバ集積回路 (IC)、1 1 7 2 ソースドライバ集積回路 (IC)、1 2 2 0 透明コモン電極、1 2 4 0 画素、1 2 6 0 透明画素電極、1 3 0 0 ダミー画素、1 3 2 0 ゲート絶縁膜、1 3 2 2 チャンネル層、1 3 2 4 ソー

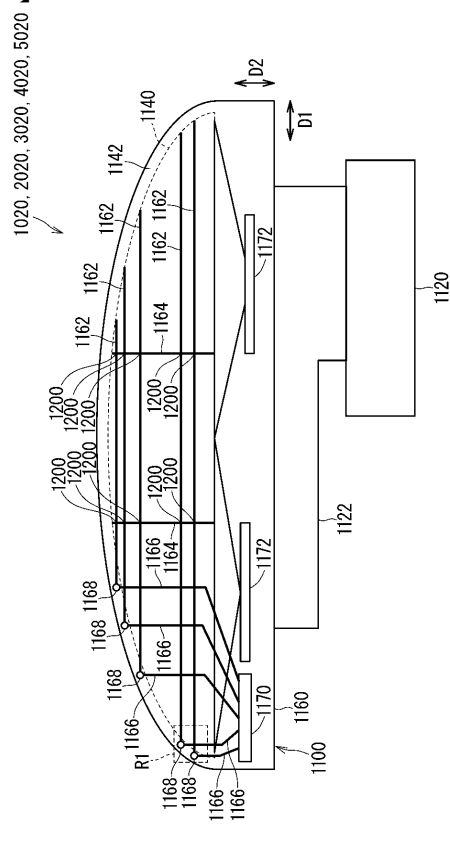
50

ス電極、１３２６ ドレイン電極、１３２８ 第１の層間絶縁膜、１３３０ 第２の層間絶縁膜、１３８０ 薄膜トランジスタ（ＴＦＴ）、１５００ 第１のコンタクトホール部、１５０２ 第２のコンタクトホール部、１５２０ ブラックマトリックス、２５０４ コンタクトホール部、３６００ 複数の導電層。

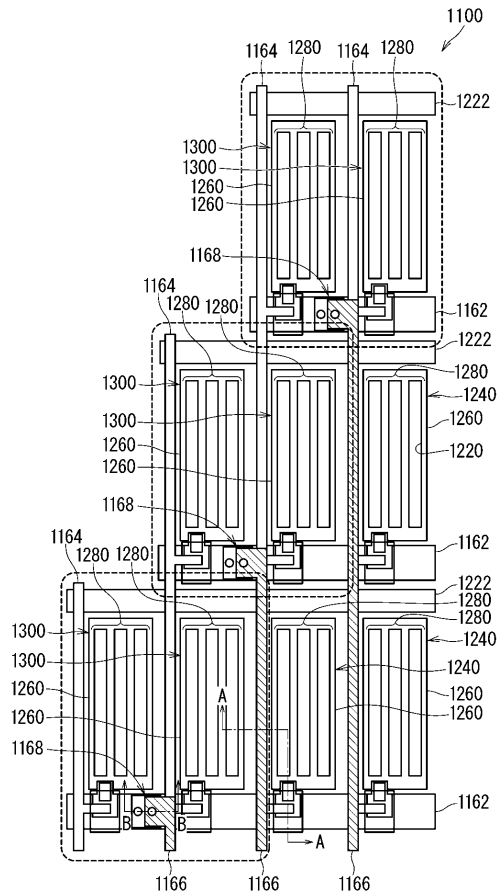
【图 1】



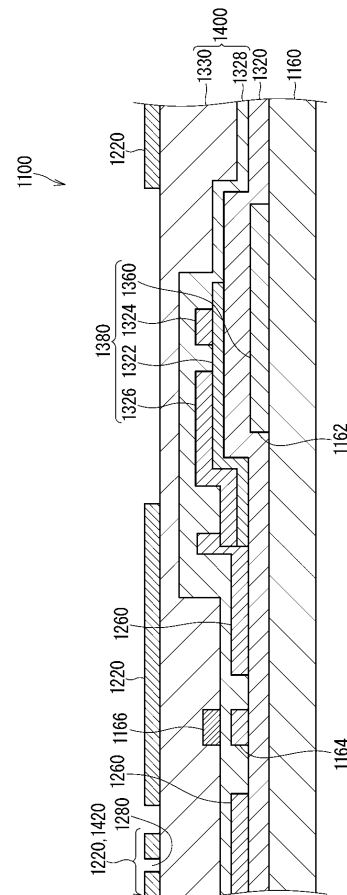
【图 2】



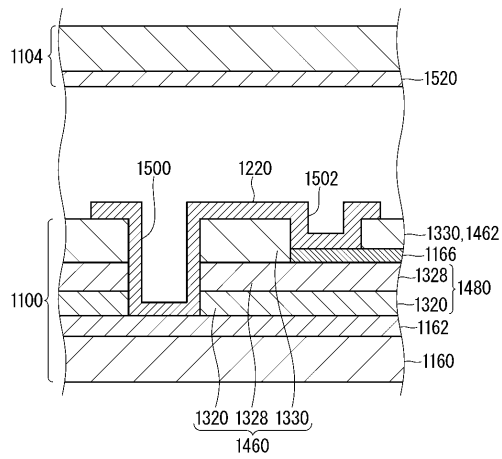
【 図 3 】



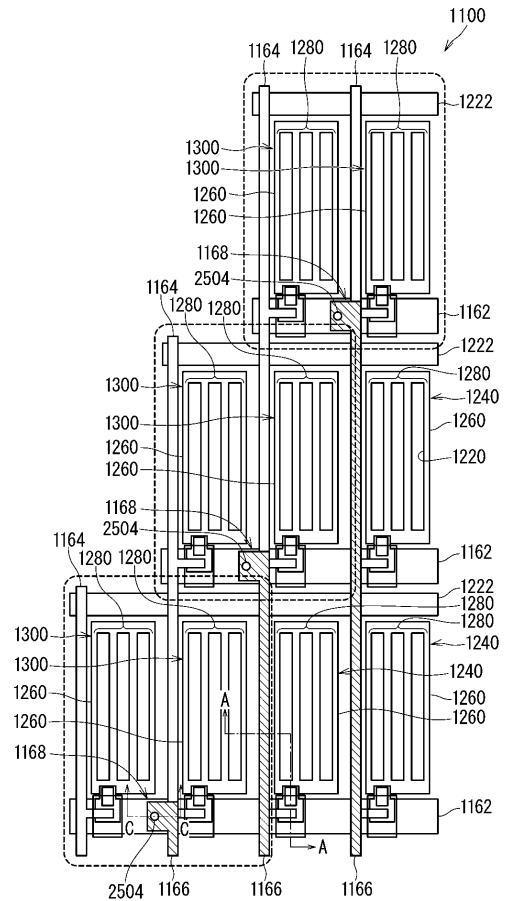
【図 4】



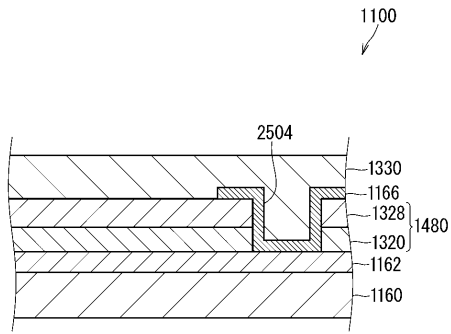
【図 5】



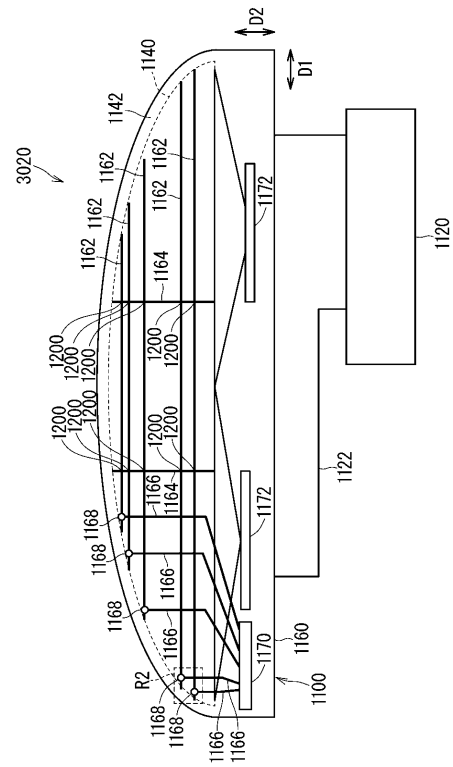
【図 6】



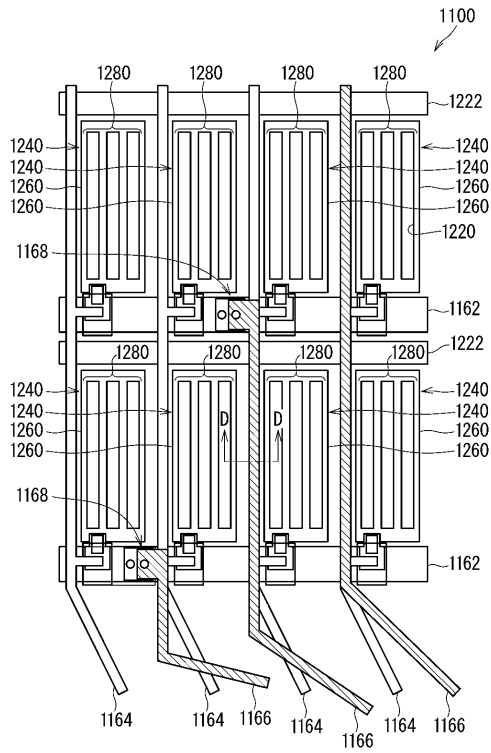
【图 7】



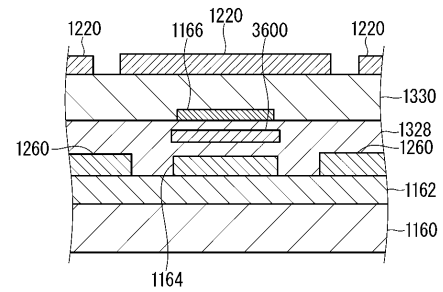
【图 8】



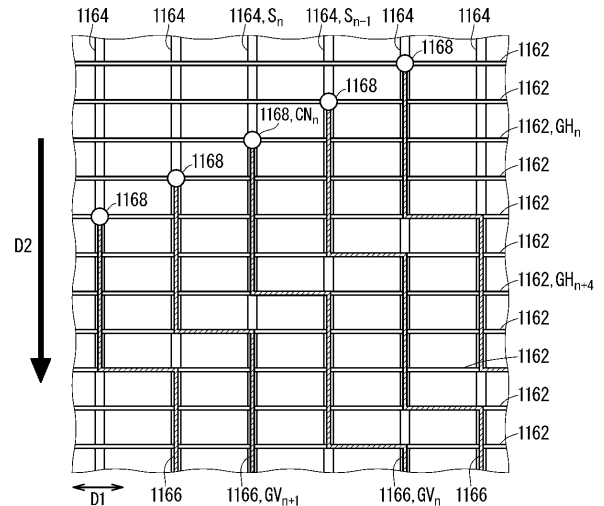
【图 9】



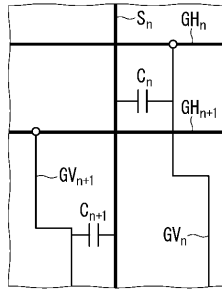
【 図 1 0 】



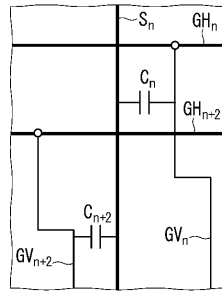
【图 1 1】



【図 1 2】

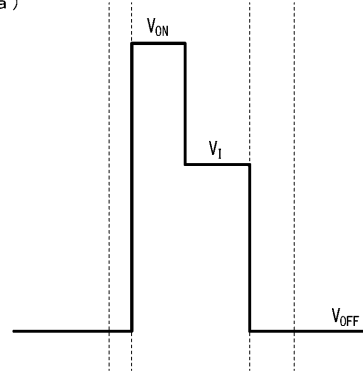


【図 1 3】

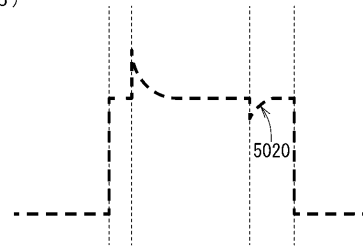


【図 1 4】

(a)

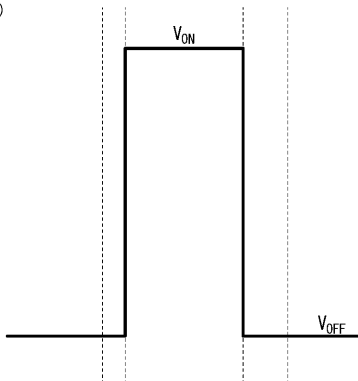


(b)

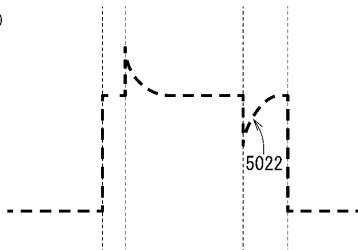


【図 1 5】

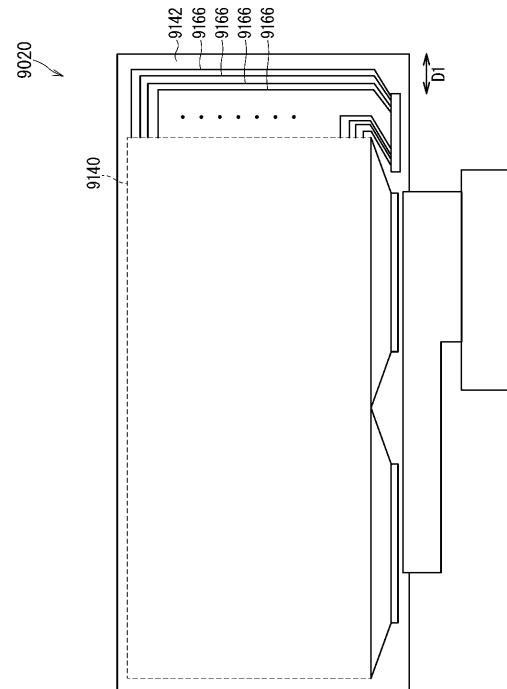
(a)



(b)



【図 1 6】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 0 9 F 9/30 3 4 8 A

(72)発明者 馬場 達也
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 棚原 学
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 外 徳仁
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 2H092 GA14 GA35 GA60 JA26 JA46 JB05 JB24 NA23 PA06 PA09
QA06
2H192 AA24 BB12 BB73 BC31 CB05 CC15 CC33 DA32 DA72 EA22
FA02 FA35 FA42 FA73 GD61 JA32
2H193 ZA04 ZA07 ZA08 ZB02 ZC25 ZP13 ZQ16
5C094 AA15 BA03 BA43 CA19 DA15 DB01 EA01 EA04 EA07 ED15

专利名称(译)	液晶面板		
公开(公告)号	JP2019215463A	公开(公告)日	2019-12-19
申请号	JP2018113221	申请日	2018-06-14
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	橋口隆史 平田直也 馬場達也 棚原学 外德仁		
发明人	橋口 隆史 平田 直也 馬場 達也 棚原 学 外 德仁		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/133 G02F1/1343 G09F9/30		
CPC分类号	G02F1/136227 G02F1/136286 G02F1/1368 G09G3/3648 G09G2300/0426 G02F1/1345 G02F2001/134372 G02F2001/13456 G02F2001/13606 G02F2201/56 G02F1/133345 G02F1/133512 G02F1/1343		
FI分类号	G02F1/1345 G02F1/1368 G02F1/133.550 G02F1/1343 G09F9/30.338 G09F9/30.348.A		
F-TERM分类号	2H092/GA14 2H092/GA35 2H092/GA60 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB24 2H092/NA23 2H092/PA06 2H092/PA09 2H092/QA06 2H192/AA24 2H192/BB12 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC15 2H192/CC33 2H192/DA32 2H192/DA72 2H192/EA22 2H192/FA02 2H192/FA35 2H192/FA42 2H192/FA73 2H192/GD61 2H192/JA32 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB02 2H193/ZC25 2H193/ZP13 2H193/ZQ16 5C094/AA15 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA15 5C094/DB01 5C094/EA01 5C094/EA04 5C094/EA07 5C094/ED15		
外部链接	Espacenet		

摘要(译)

为了使包围显示区域的四个侧面中沿三个侧面排列的边框区域变窄并抑制显示异常。区域。第二栅极布线电连接至第一栅极布线并且在显示区域内沿第二方向延伸。第二栅极布线电连接到显示区域外部的第一栅极布线。导电层可以布置在第二栅极布线和源极布线之间，并且在显示区域内电连接到第一栅极布线。导电层被赋予与公共电位或接地电位相同的电位。可以采用第二栅极布线的两个或更多个长度与源极布线重叠的布置。选通信号的栅极电位从导通电位到截止电位的转移可以分两个步骤进行，也可以分两步进行。

