

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-516384

(P2018-516384A)

(43) 公表日 平成30年6月21日(2018.6.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5B074
G09G 3/20 (2006.01)	G09G 3/20	622E 5C006
G11C 19/28 (2006.01)	G09G 3/20	621M 5C080
	G09G 3/20	680G
	G09G 3/20	611A
審査請求 有 予備審査請求 未請求 (全 27 頁) 最終頁に続く		

(21) 出願番号	特願2017-551664 (P2017-551664)	(71) 出願人	515203228
(86) (22) 出願日	平成27年4月30日 (2015.4.30)		深▲せん▼市華星光電技術有限公司
(85) 翻訳文提出日	平成29年10月13日 (2017.10.13)		中華人民共和國廣東省深▲せん▼市光明新
(86) 国際出願番号	PCT/CN2015/077999		區塘明大道9-2號518132
(87) 国際公開番号	W02016/161679	(71) 出願人	517264292
(87) 国際公開日	平成28年10月13日 (2016.10.13)		武漢華星光電技術有限公司
(31) 優先権主張番号	201510160697.3		中華人民共和國湖北省武漢市東湖開發區高
(32) 優先日	平成27年4月7日 (2015.4.7)		新大道666號生物城C5棟430070
(33) 優先権主張国	中国 (CN)	(74) 代理人	100143720
			弁理士 米田 耕一郎
		(74) 代理人	100080252
			弁理士 鈴木 征四郎
		(72) 発明者	肖軍城
			中華人民共和國廣東省深▲せん▼市光明新
			區塘明大道9-2號518132
			最終頁に続く

(54) 【発明の名称】 GOA回路及び液晶表示装置

(57) 【要約】

【課題】 液晶表示装置におけるGOA回路のパワーの消費を低減させるGOA回路及び液晶表示装置を提供する。

【解決手段】 複数のGOAユニットを含むGOA回路のそれぞれの該GOAユニットが表示領域の第N段水平線G(N)と第N+1段水平走査線G(N+1)に対して順に充電し、該GOAユニットが、N段プルアップコントロール回路と、N+1段プルアップコントロール回路と、N段プルアップ回路と、N+1段プルアップ回路と、N段プルダウン回路と、N+1段プルダウン回路と、プルダウンホールディング回路とを含み、該プルダウンホールディング回路が第N段水平走査線G(N)に充電した後、第N段ゲート電極信号点Q(N)と第N段水平走査線G(N)の電位を低電位に維持し、第N+1段水平走査線G(N+1)に充電した後、第N+1段ゲート電極信号点Q(N+1)と第N段水平走査線G(N+1)の電位を低電位に維持する。

【選択図】 図1

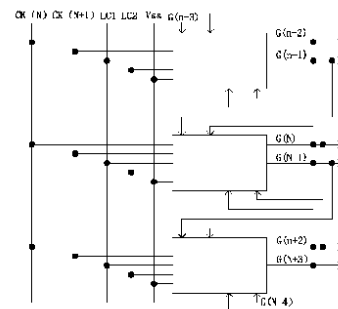


図 1

【特許請求の範囲】

【請求項 1】

複数の G O A ユニットを含む G O A 回路において、それぞれの該 G O A ユニットが表示領域の第 N 段水平線 (G (N)) と第 N + 1 段水平走査線 (G (N + 1)) に対して順に充電し、

該 G O A ユニットが、N 段プルアップコントロール回路と、N + 1 段プルアップコントロール回路と、N 段プルアップ回路と、N + 1 段プルアップ回路と、N 段プルダウン回路と、N + 1 段プルダウン回路と、プルダウンホールディング回路とを含み、

該 N 段プルアップ回路と該プルダウンホールディング回路とが、それぞれ第 N 段ゲート電極信号点 (Q (N)) と、第 N 段水平走査線 (G (N)) とに接続し、該 N 段プルアップコントロール回路と、N 段プルダウン回路が第 N 段ゲート電極信号点 (Q (N)) に接続し、

該 N + 1 段プルアップ回路と該プルダウンホールディング回路とが、それぞれ第 N + 1 段ゲート電極信号点 (Q (N + 1)) と第 N + 1 段水平走査線 (G (N + 1)) に接続し、該 N + 1 段プルアップコントロール回路と該 N + 1 段プルダウン回路とが第 N + 1 段ゲート電極信号点 (Q (N + 1)) に接続し、

該プルダウンホールディング回路は、第 N 段水平走査線 (G (N)) に充電した後、該第 N 段ゲート電極信号点 (Q (N)) と第 N 段水平走査線 (G (N)) の電位を低電位に維持し、該第 N + 1 段水平走査線 (G (N + 1)) に充電した後、第 N + 1 段ゲート電極信号点 (Q (N + 1)) と第 N 段水平走査線 (G (N + 1)) の電位を低電位に維持し、

該プルダウンホールディング回路が、ゲート電極とドレイン電極が第 1 クロック信号 (L C 1) に接続する第 1 トランジスタ (T 1) と、

ゲート電極が該第 1 トランジスタ (T 1) のソース電極に接続し、ドレイン電極が第 1 クロック信号 (L C 1) に接続し、ソース電極が第 1 コモン点 (K (N)) に接続する第 2 トランジスタ (T 2) と、

ゲート電極が第 2 クロック信号 (L C 2) に接続し、ドレイン電極が第 1 クロック信号 (L C 1) に接続し、ソース電極が第 1 コモン点 (K (N)) に接続する第 3 トランジスタ (T 3) と、

ゲート電極とドレイン電極とが該第 1 コモン点 K (N) に接続する第 4 トランジスタ (T 4) と、

ゲート電極が該第 N 段ゲート電極信号点 (Q (N)) に接続し、ドレイン電極が該第 1 トランジスタ (T 1) のソース電極と該第 4 トランジスタ (T 4) のソース電極とに接続し、ソース電極が第 1 直流低電圧 (V S S 1) に接続する第 5 トランジスタ (T 5) と、

ゲート電極が該第 N + 1 段ゲート電極信号点 (Q (N + 1)) に接続し、ドレイン電極が該第 1 トランジスタ (T 1) のソース電極に接続し、ソース電極が第 1 直流低電圧 (V S S 1) に接続する第 6 トランジスタ (T 6) と、

ゲート電極が該第 1 コモン点 (K (N)) に接続し、ドレイン電極が該 N + 1 段ゲート電極信号点 (Q (N + 1)) に接続し、ソース電極が該第 1 直流低電圧 (V S S 1) に接続する第 7 トランジスタ (T 7) と、

ゲート電極が該第 1 コモン点 (K (N)) に接続し、ドレイン電極が該 N + 1 段水平走査線 (G (N + 1)) に接続し、ソース電極が該第 1 直流低電圧 (V S S 1) に接続する第 8 トランジスタ (T 8) と、

ゲート電極が第 2 コモン点 (P (N)) に接続し、ドレイン電極が該 N + 1 段ゲート電極信号点 (Q (N + 1)) に接続し、ソース電極が該第 1 直流低電圧 (V S S 1) に接続する第 9 トランジスタ (T 9) と、

ゲート電極が該第 2 コモン点 (P (N)) に接続し、ドレイン電極が該 N + 1 段水平走査線 (G (N + 1)) に接続し、ソース電極が該第 1 直流低電圧 V S S 1 に接続する第 10 トランジスタ (T 10) と、

ゲート電極とドレイン電極とが該第 2 クロック信号 (L C 2) に接続する第 11 トランジスタ (T 11) と、

10

20

30

40

50

ゲート電極が該第 1 1 トランジスタ (T 1 1) のソース電極に接続し、ドレイン電極が該第 2 クロック信号 (L C 2) に接続し、ソース電極が第 2 コモン点 (P (N)) に接続する第 1 2 トランジスタ (T 1 2) と、

ゲート電極が第 1 クロック信号 (L C 1) に接続し、ドレイン電極が該第 2 クロック信号 (L C 2) に接続し、ソース電極が該第 2 コモン点 (P (N)) に接続する第 1 3 トランジスタ (T 1 3) と、

ゲート電極とドレイン電極とが該第 2 コモン点 (P (N)) に接続する第 1 4 トランジスタ (T 1 4) と、

ゲート電極が該第 N 段ゲート電極信号点 (Q (N)) に接続し、ドレイン電極が該第 1 1 トランジスタ (T 1 1) のソース電極と該第 1 4 トランジスタ (T 1 4) のソース電極に接続し、ソース電極が第 1 直流低電圧 (V S S 1) に接続する第 1 5 トランジスタ (T 1 5) と、

ゲート電極が該第 N + 1 段ゲート電極信号点 (Q (N + 1)) に接続し、ドレイン電極が該第 1 1 トランジスタ (T 1 1) のソース電極に接続し、ソース電極が該第 1 直流低電位 (V S S 1) に接続する第 1 6 トランジスタ (T 1 6) と、

ゲート電極が該第 2 コモン点 (P (N)) に接続し、ドレイン電極が該第 N 段ゲート電極信号点 (Q (N)) に接続し、ソース電極が該第 1 直流低電位 (V S S 1) に接続する第 1 7 トランジスタ (T 1 7) と、

ゲート電極が該第 2 コモン点 (P (N)) に接続し、ドレイン電極が該第 N 段水平走査線 (G (N)) に接続し、ソース電極が該第 1 直流定電圧 (V S S 1) に接続する第 1 8 トランジスタ (T 1 8) と、

ゲート電極が第 1 コモン点 (K (N)) に接続し、ドレイン電極が該第 N 段ゲート電極信号点 (Q (N)) に接続し、ソース電極が該第 1 直流低電圧 (V S S 1) に接続する第 1 9 トランジスタ (T 1 9) と、

ゲート電極が該第 1 コモン点 (K (N)) に接続し、ドレイン電極が該第 N 段水平走査線 (G (N)) に接続し、ソース電極が該第 1 直流低電圧 (V S S 1) に接続する第 2 0 トランジスタ (T 2 0) と、を含み、

該 G O A ユニットがリセット回路を更に含み、該リセット回路が該第 N 段ゲート信号点 (Q (N)) と、第 N + 1 段ゲート信号点 (Q (N + 1)) と、第 1 直流低電圧 (V S S 1) に接続し、リセット信号を受信した後、該第 N 段ゲート電極信号点 (Q (N)) 及び第 N + 1 段ゲート電極信号点 (Q (N + 1)) の電位をプルダウンして低電位にするために用いられること、を特徴とする G O A 回路。

【請求項 2】

前記プルダウンホールディング回路が、ゲート電極が該第 N + 1 段ゲート電極信号点 (Q (N + 1)) に接続し、ドレイン電極とソース電極とが該第 1 コモン点 (K (N)) と該第 2 コモン点 (P (N)) とにそれぞれ接続する第 2 2 トランジスタ (T 2 2) をさらに含むことを特徴とする請求項 1 に記載の G O A 回路。

【請求項 3】

前記 G O A ユニットが、第 N 段トランスファー回路と第 N + 1 トランスファー回路とをさらに含み、

該第 N 段トランスファー回路が該第 N 段ゲート電極信号点 (Q (N)) に接続して第 N + 1 段トランスファー制御回路に第 N 段トランスファー信号 (S T (N)) を提供し、

該第 N + 1 段トランスファー回路が該第 N + 1 段ゲート電極信号点 (Q (N + 1)) に接続して次の段の G O A ユニットの第 N + 2 段トランスファー制御回路に第 N + 1 段トランスファー信号 (S T (N + 1)) を提供することを特徴とする請求項 2 に記載の G O A 回路。

【請求項 4】

前記プルダウンホールディング回路が、ゲート電極が該第 N + 1 段水平走査線 (G (N + 1)) に接続し、ドレイン電極が該第 1 コモン点 (K (N)) に接続し、ソース電極が該第 1 直流低電位 (V S S 1) に接続する第 2 3 トランジスタ (T 2 3) と、

10

20

30

40

50

ゲート電極が該第 N 段水平走査線 ($G(N)$) に接続し、ドレイン電極が該第 2 コモン点 ($P(N)$) に接続し、ソース電極が該第 1 直流低電位 ($VSS1$) に接続する第 2 4 トランジスタ ($T24$) と、をさらに含むことを特徴とする請求項 3 に記載の GOA 回路。

【請求項 5】

前記第 2 3 トランジスタ ($T23$) のゲート電極が該 $N + 1$ 段トランスファー信号 ($ST(N + 1)$) に接続し、該第 2 4 トランジスタ ($T24$) のゲート電極が第 N 段トランスファー信号 ($ST(N)$) に接続することを特徴とする請求項 4 に記載の GOA 回路。

【請求項 6】

前記第 7 トランジスタ ($T7$) のソース電極と、該第 9 トランジスタ ($T9$) のソース電極と、該第 1 7 トランジスタ ($T17$) のソース電極と、該第 1 9 トランジスタ ($T19$) のソース電極とが、第 2 直流低電位 ($VSS2$) に接続することを特徴とする請求項 5 に記載の GOA 回路。

10

【請求項 7】

前記ブルダウンホールディング回路が、ゲート電極が第 1 コモン点 ($K(N)$) に接続し、ドレイン電極が該 $N + 1$ 段トランスファー信号 ($ST(N + 1)$) に接続し、ソース電極が該第 2 直流低電位 ($VSS2$) に接続する第 2 5 トランジスタ ($T25$) と、

ゲート電極が該第 2 コモン点 ($P(N)$) に接続し、ドレイン電極が該 $N + 1$ 段トランスファー信号 ($ST(N + 1)$) に接続し、ソース電極が該第 2 直流低電位 ($VSS2$) に接続する第 2 6 トランジスタ ($T26$) と、

20

ゲート電極が第 2 コモン点 ($P(N)$) に接続し、ドレイン電極が該 N 段トランスファー信号 ($ST(N)$) に接続し、ソース電極が該第 2 直流低電位 ($VSS2$) に接続する第 2 7 トランジスタ $T27$ と、

ゲート電極が第 1 コモン点 ($K(N)$) に接続し、ドレイン電極が該 $N + 1$ 段トランスファー信号 ($ST(N + 1)$) に接続し、ソース電極が該第 2 直流低電位 ($VSS2$) に接続する第 2 8 トランジスタ ($T28$) を含むことを特徴とする請求項 6 に記載の GOA 回路。

【請求項 8】

液晶表示装置に用いる GOA 回路であって、該 GOA 回路が複数の複数の GOA ユニットを含み、それぞれの該 GOA ユニットが表示領域の第 N 段水平線 ($G(N)$) と第 $N + 1$ 段水平走査線 ($G(N + 1)$) に対して順に充電し、

30

該 GOA ユニットが、 N 段ブルアップコントロール回路と、 $N + 1$ 段ブルアップコントロール回路と、 N 段ブルアップ回路と、 $N + 1$ 段ブルアップ回路と、 N 段ブルダウン回路と、 $N + 1$ 段ブルダウン回路と、ブルダウンホールディング回路とを含み、

該 N 段ブルアップ回路と該ブルダウンホールディング回路とが、それぞれ第 N 段ゲート電極信号点 ($Q(N)$) と、第 N 段水平走査線 ($G(N)$) とに接続し、該 N 段ブルアップコントロール回路と、 N 段ブルダウン回路が第 N 段ゲート電極信号点 ($Q(N)$) に接続し、

該 $N + 1$ 段ブルアップ回路と該ブルダウンホールディング回路とが、それぞれ第 $N + 1$ 段ゲート電極信号点 ($Q(N + 1)$) と第 $N + 1$ 段水平走査線 ($G(N + 1)$) に接続し、

40

該 $N + 1$ 段ブルアップコントロール回路とブルダウンホールディング回路とが、それぞれ第 $N + 1$ 段ゲート電極信号点 ($Q(N + 1)$) と該 $N + 1$ 段水平走査線 ($G(N + 1)$) に接続し、該 $N + 1$ 段ブルアップコントロール回路と $N + 1$ 段ブルダウン回路とが該第 $N + 1$ 段ゲート電極信号点 ($Q(N + 1)$) に接続し、

該ブルダウンホールディング回路は、該第 N 段水平走査線 ($G(N)$) に充電した後、該第 N 段ゲート電極信号点 ($Q(N)$) と該第 N 段水平走査線 ($G(N)$) の電位を低電位に維持し、該第 $N + 1$ 段水平走査線 ($G(N + 1)$) に充電した後、第 $N + 1$ 段ゲート電極信号点 ($Q(N + 1)$) と第 N 段水平走査線 ($G(N + 1)$) の電位を低電位に維持することを特徴とする GOA 回路。

【請求項 9】

50

前記プルダウンホールディング回路が、ゲート電極とドレイン電極が第 1 クロック信号 (LC1) に接続する第 1 トランジスタ (T1) と、

ゲート電極が該第 1 トランジスタ (T1) のソース電極に接続し、ドレイン電極が第 1 クロック信号 (LC1) に接続し、ソース電極が第 1 コモン点 (K(N)) に接続する第 2 トランジスタ (T2) と、

ゲート電極が第 2 クロック信号 (LC2) に接続し、ドレイン電極が第 1 クロック信号 (LC1) に接続し、ソース電極が第 1 コモン点 (K(N)) に接続する第 3 トランジスタ (T3) と、

ゲート電極とドレイン電極とが該第 1 コモン点 K(N) に接続する第 4 トランジスタ (T4) と、

10

ゲート電極が該第 N 段ゲート電極信号点 (Q(N)) に接続し、ドレイン電極が該第 1 トランジスタ (T1) のソース電極と該第 4 トランジスタ (T4) のソース電極とに接続し、ソース電極が第 1 直流低電圧 (VSS1) に接続する第 5 トランジスタ (T5) と、

ゲート電極が該第 N+1 段ゲート電極信号点 (Q(N+1)) に接続し、ドレイン電極が該第 1 トランジスタ (T1) のソース電極に接続し、ソース電極が第 1 直流低電圧 (VSS1) に接続する第 6 トランジスタ (T6) と、

ゲート電極が該第 1 コモン点 (K(N)) に接続し、ドレイン電極が該 N+1 段ゲート電極信号点 (Q(N+1)) に接続し、ソース電極が該第 1 直流低電圧 (VSS1) に接続する第 7 トランジスタ (T7) と、

20

ゲート電極が該第 1 コモン点 (K(N)) に接続し、ドレイン電極が該 N+1 段水平走査線 (G(N+1)) に接続し、ソース電極が該第 1 直流低電圧 (VSS1) に接続する第 8 トランジスタ (T8) と、

ゲート電極が第 2 コモン点 (P(N)) に接続し、ドレイン電極が該 N+1 段ゲート電極信号点 (Q(N+1)) に接続し、ソース電極が該第 1 直流低電圧 (VSS1) に接続する第 9 トランジスタ (T9) と、

ゲート電極が該第 2 コモン点 (P(N)) に接続し、ドレイン電極が該 N+1 段水平走査線 (G(N+1)) に接続し、ソース電極が該第 1 直流低電圧 (VSS1) に接続する第 10 トランジスタ (T10) と、

ゲート電極とドレイン電極とが該第 2 クロック信号 (LC2) に接続する第 11 トランジスタ (T11) と、

30

ゲート電極が該第 11 トランジスタ (T11) のソース電極に接続し、ドレイン電極が該第 2 クロック信号 (LC2) に接続し、ソース電極が第 2 コモン点 (P(N)) に接続する第 12 トランジスタ (T12) と、

ゲート電極が第 1 クロック信号 (LC1) に接続し、ドレイン電極が該第 2 クロック信号 (LC2) に接続し、ソース電極が該第 2 コモン点 (P(N)) に接続する第 13 トランジスタ (T13) と、

ゲート電極とドレイン電極とが該第 2 コモン点 (P(N)) に接続する第 14 トランジスタ (T14) と、

ゲート電極が該第 N 段ゲート電極信号点 (Q(N)) に接続し、ドレイン電極が該第 11 トランジスタ (T11) のソース電極と該第 14 トランジスタ (T14) のソース電極に接続し、ソース電極が第 1 直流低電圧 (VSS1) に接続する第 15 トランジスタ (T15) と、

40

ゲート電極が該第 N+1 段ゲート電極信号点 (Q(N+1)) に接続し、ドレイン電極が該第 11 トランジスタ (T11) のソース電極に接続し、ソース電極が該第 1 直流低電位 (VSS1) に接続する第 16 トランジスタ (T16) と、

ゲート電極が該第 2 コモン点 (P(N)) に接続し、ドレイン電極が該第 N 段ゲート電極信号点 (Q(N)) に接続し、ソース電極が該第 1 直流低電位 (VSS1) に接続する第 17 トランジスタ (T17) と、

ゲート電極が該第 2 コモン点 (P(N)) に接続し、ドレイン電極が該第 N 段水平走査線 (G(N)) に接続し、ソース電極が該第 1 直流定電圧 (VSS1) に接続する第 18

50

トランジスタ (T 1 8) と、

ゲート電極が第 1 コモン点 (K (N)) に接続し、ドレイン電極が該第 N 段ゲート電極信号点 (Q (N)) に接続し、ソース電極が該第 1 直流低電圧 (V S S 1) に接続する第 1 9 トランジスタ (T 1 9) と、

ゲート電極が該第 1 コモン点 (K (N)) に接続し、ドレイン電極が該第 N 段水平走査線 (G (N)) に接続し、ソース電極が該第 1 直流低電圧 (V S S 1) に接続する第 2 0 トランジスタ (T 2 0) と、を含むことを特徴とする請求項 8 に記載の G O A 回路。

【請求項 1 0】

前記プルダウンホールディング回路が、ゲート電極が該第 N + 1 段ゲート電極信号点 (Q (N + 1)) に接続し、ドレイン電極とソース電極とが該第 1 コモン点 (K (N)) と該第 2 コモン点 (P (N)) とにそれぞれ接続する第 2 2 トランジスタ (T 2 2) をさらに含むことを特徴とする請求項 9 に記載の G O A 回路。

10

【請求項 1 1】

前記 G O A ユニットが、第 N 段トランスファー回路と第 N + 1 トランスファー回路とをさらに含み、

該第 N 段トランスファー回路が該第 N 段ゲート電極信号点 (Q (N)) に接続して該第 N + 1 段トランスファー制御回路に第 N 段トランスファー信号 (S T (N)) を提供し、

該第 N + 1 段トランスファー回路が該第 N + 1 段ゲート電極信号点 (Q (N + 1)) に接続して次の段の G O A ユニットの第 N + 2 段トランスファー制御回路に第 N + 1 段トランスファー信号 (S T (N + 1)) を提供することを特徴とする請求項 1 0 に記載の G O A 回路。

20

【請求項 1 2】

前記プルダウンホールディング回路が、ゲート電極が該第 N + 1 段水平走査線 (G (N + 1)) に接続し、ドレイン電極が該第 1 コモン点 (K (N)) に接続し、ソース電極が該第 1 直流低電位 (V S S 1) に接続する第 2 3 トランジスタ (T 2 3) と、

ゲート電極が該第 N 段水平走査線 (G (N)) に接続し、ドレイン電極が該第 2 コモン点 (P (N)) に接続し、ソース電極が該第 1 直流低電位 (V S S 1) に接続する第 2 4 トランジスタ (T 2 4) と、をさらに含むことを特徴とする請求項 1 1 に記載の G O A 回路。

30

【請求項 1 3】

前記第 2 3 トランジスタ (T 2 3) のゲート電極が該 N + 1 段トランスファー信号 (S T (N + 1)) に接続し、該第 2 4 トランジスタ (T 2 4) のゲート電極が第 N 段トランスファー信号 (S T (N)) に接続することを特徴とする請求項 1 2 に記載の G O A 回路。

【請求項 1 4】

前記第 7 トランジスタ (T 7) のソース電極と、該第 9 トランジスタ (T 9) のソース電極と、該第 1 7 トランジスタ (T 1 7) のソース電極と、該第 1 9 トランジスタ (T 1 9) のソース電極とが、第 2 直流低電位 (V S S 2) に接続することを特徴とする請求項 1 3 に記載の G O A 回路。

【請求項 1 5】

前記プルダウンホールディング回路が、ゲート電極が第 1 コモン点 (K (N)) に接続し、ドレイン電極が該 N + 1 段トランスファー信号 (S T (N + 1)) に接続し、ソース電極が該第 2 直流低電位 (V S S 2) に接続する第 2 5 トランジスタ (T 2 5) と、

ゲート電極が該第 2 コモン点 (P (N)) に接続し、ドレイン電極が該 N + 1 段トランスファー信号 (S T (N + 1)) に接続し、ソース電極が該第 2 直流低電位 (V S S 2) に接続する第 2 6 トランジスタ (T 2 6) と、

ゲート電極が第 2 コモン点 (P (N)) に接続し、ドレイン電極が該 N 段トランスファー信号 (S T (N)) に接続し、ソース電極が該第 2 直流低電位 (V S S 2) に接続する第 2 7 トランジスタ (T 2 7) と、

40

50

ゲート電極が第 1 コモン点 (K (N)) に接続し、ドレイン電極が該 N 1 段トランスフ

ァー信号 (ST(N)) に接続し、ソース電極が該第2直流低電位 (VSS2) に接続する第28トランジスタ (T28) を含むことを特徴とする請求項14に記載のGOA回路。

【請求項16】

該GOAユニットがリセット回路を更に含み、該リセット回路が該第N段ゲート信号点 (Q(N)) と、第N+1段ゲート信号点 (Q(N+1)) と、第1直流低電圧 (VSS1) に接続し、リセット信号を受信した後、該第N段ゲート電極信号点 (Q(N)) 及び第N+1段ゲート電極信号点 (Q(N+1)) の電位をプルダウンして低電位にするために用いられること、を特徴とする請求項8に記載のGOA回路。

【請求項17】

GOA回路を含む液晶表示装置であって、該GOA回路が複数の複数のGOAユニットを含み、それぞれの該GOAユニットが表示領域の第N段水平線 (G(N)) と第N+1段水平走査線 (G(N+1)) に対して順に充電し、

該GOAユニットが、N段プルアップコントロール回路と、N+1段プルアップコントロール回路と、N段プルアップ回路と、N+1段プルアップ回路と、N段プルダウン回路と、N+1段プルダウン回路と、プルダウンホールディング回路とを含み、

該N段プルアップ回路と該プルダウンホールディング回路とが、それぞれ第N段ゲート電極信号点 (Q(N)) と、第N段水平走査線 (G(N)) とに接続し、該N段プルアップコントロール回路と、N段プルダウン回路が第N段ゲート電極信号点 (Q(N)) に接続し、

該N+1段プルアップ回路と該プルダウンホールディング回路とが、それぞれ第N+1段ゲート電極信号点 (Q(N+1)) と第N+1段水平走査線 (G(N+1)) に接続し、

該N+1段プルアップコントロール回路とプルダウンホールディング回路とが、それぞれ第N+1段ゲート電極信号点 (Q(N+1)) と該N+1段水平走査線 (G(N+1)) に接続し、該N+1段プルアップコントロール回路とN+1段プルダウン回路とが該第N+1段ゲート電極信号点 (Q(N+1)) に接続し、

該プルダウンホールディング回路は、該第N段水平走査線 (G(N)) に充電した後、該第N段ゲート電極信号点 (Q(N)) と該第N段水平走査線 (G(N)) の電位を低電位に維持し、該第N+1段水平走査線 (G(N+1)) に充電した後、第N+1段ゲート電極信号点 (Q(N+1)) と第N段水平走査線 (G(N+1)) の電位を低電位に維持することを特徴とする液晶表示装置。

【請求項18】

前記プルダウンホールディング回路が、ゲート電極とドレイン電極が第1クロック信号 (LC1) に接続する第1トランジスタ (T1) と、

ゲート電極が該第1トランジスタ (T1) のソース電極に接続し、ドレイン電極が第1クロック信号 (LC1) に接続し、ソース電極が第1コモン点 (K(N)) に接続する第2トランジスタ (T2) と、

ゲート電極が第2クロック信号 (LC2) に接続し、ドレイン電極が第1クロック信号 (LC1) に接続し、ソース電極が第1コモン点 (K(N)) に接続する第3トランジスタ (T3) と、

ゲート電極とドレイン電極とが該第1コモン点 K(N) に接続する第4トランジスタ (T4) と、

ゲート電極が該第N段ゲート電極信号点 (Q(N)) に接続し、ドレイン電極が該第1トランジスタ (T1) のソース電極と該第4トランジスタ (T4) のソース電極とに接続し、ソース電極が第1直流低電圧 (VSS1) に接続する第5トランジスタ (T5) と、

ゲート電極が該第N+1段ゲート電極信号点 (Q(N+1)) に接続し、ドレイン電極が該第1トランジスタ (T1) のソース電極に接続し、ソース電極が第1直流低電圧 (VSS1) に接続する第6トランジスタ (T6) と、

ゲート電極が該第1コモン点 (K(N)) に接続し、ドレイン電極が該N+1段ゲート

10

20

30

40

50

電極信号点 ($Q(N+1)$) に接続し、ソース電極が該第 1 直流低電圧 ($VSS1$) に接続する第 7 トランジスタ ($T7$) と、

ゲート電極が該第 1 コモン点 ($K(N)$) に接続し、ドレイン電極が該 $N+1$ 段水平走査線 ($G(N+1)$) に接続し、ソース電極が該第 1 直流低電圧 ($VSS1$) に接続する第 8 トランジスタ ($T8$) と、

ゲート電極が第 2 コモン点 ($P(N)$) に接続し、ドレイン電極が該 $N+1$ 段ゲート電極信号点 ($Q(N+1)$) に接続し、ソース電極が該第 1 直流低電圧 ($VSS1$) に接続する第 9 トランジスタ ($T9$) と、

ゲート電極が該第 2 コモン点 ($P(N)$) に接続し、ドレイン電極が該 $N+1$ 段水平走査線 ($G(N+1)$) に接続し、ソース電極が該第 1 直流低電圧 ($VSS1$) に接続する第 10 トランジスタ ($T10$) と、

ゲート電極とドレイン電極とが該第 2 クロック信号 ($LC2$) に接続する第 11 トランジスタ ($T11$) と、

ゲート電極が該第 11 トランジスタ ($T11$) のソース電極に接続し、ドレイン電極が該第 2 クロック信号 ($LC2$) に接続し、ソース電極が第 2 コモン点 ($P(N)$) に接続する第 12 トランジスタ ($T12$) と、

ゲート電極が第 1 クロック信号 ($LC1$) に接続し、ドレイン電極が該第 2 クロック信号 ($LC2$) に接続し、ソース電極が該第 2 コモン点 ($P(N)$) に接続する第 13 トランジスタ ($T13$) と、

ゲート電極とドレイン電極とが該第 2 コモン点 ($P(N)$) に接続する第 14 トランジスタ ($T14$) と、

ゲート電極が該第 N 段ゲート電極信号点 ($Q(N)$) に接続し、ドレイン電極が該第 11 トランジスタ ($T11$) のソース電極と該第 14 トランジスタ ($T14$) のソース電極に接続し、ソース電極が第 1 直流低電圧 ($VSS1$) に接続する第 15 トランジスタ ($T15$) と、

ゲート電極が該第 $N+1$ 段ゲート電極信号点 ($Q(N+1)$) に接続し、ドレイン電極が該第 11 トランジスタ ($T11$) のソース電極に接続し、ソース電極が該第 1 直流低電位 ($VSS1$) に接続する第 16 トランジスタ ($T16$) と、

ゲート電極が該第 2 コモン点 ($P(N)$) に接続し、ドレイン電極が該第 N 段ゲート電極信号点 ($Q(N)$) に接続し、ソース電極が該第 1 直流低電位 ($VSS1$) に接続する第 17 トランジスタ ($T17$) と、

ゲート電極が該第 2 コモン点 ($P(N)$) に接続し、ドレイン電極が該第 N 段水平走査線 ($G(N)$) に接続し、ソース電極が該第 1 直流定電圧 ($VSS1$) に接続する第 18 トランジスタ ($T18$) と、

ゲート電極が第 1 コモン点 ($K(N)$) に接続し、ドレイン電極が該第 N 段ゲート電極信号点 ($Q(N)$) に接続し、ソース電極が該第 1 直流低電圧 ($VSS1$) に接続する第 19 トランジスタ ($T19$) と、

ゲート電極が該第 1 コモン点 ($K(N)$) に接続し、ドレイン電極が該第 N 段水平走査線 ($G(N)$) に接続し、ソース電極が該第 1 直流低電圧 ($VSS1$) に接続する第 20 トランジスタ ($T20$) と、を含むことを特徴とする請求項 17 に記載の GOA 回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示技術に関し、特に一種の GOA 回路と液晶表示装置に関する。

【背景技術】

【0002】

Gate Driver On Array は、GOA と略称する。即ち、現有する薄膜トランジスタ液晶表示装置のアレイ製造工程を利用してゲートの行走駆動信号回路をアレイ基板に作成して、ゲートに対するプログレッシブスキャンを実現する一種の技術である。

10

20

30

40

50

【 0 0 0 3 】

従来のGOA回路は、主にプルアップ回路(Pull-up Part)と、プルアップコントロール回路(Pull-up Control Part)と、トランスファー回路(Transfer Part) Part)と、プルダウン回路(Key Pull-down Part)と、プルダウンホールディング回路(Pull-down Holding Part)と、及び電位の増幅を行なうコンデンサ(Boost Part)とによって構成する。プルアップ回路は、入力したクロック信号(Clock)をゲート端に出力して表示装置の駆動信号とする。プルアップコントロール回路はプルアップ回路を制御してオンにする。一般には前1段GOA回路から伝送される信号の作用による。プルダウン回路はゲートの出力が完了してからの第1時間にゲートをプルダウンして低電位とする。即ち、ゲート信号をオフにする。プルダウンホールディング回路はゲートの出力する信号とプルアップ回路のゲート信号(通常はQ点と称する)をオフ状態(即ち、設定された不電に)に保持する。通常は、2つのプルダウンホールディング回路が交互に作用する。コンデンサ(Boost Part)はQ点の電位に対して第2次増幅を行ない、かかる作用によって、プルアップ回路のG(N)の正常な出力を確保する。

10

【 0 0 0 4 】

然しながら、上述する設計は、それぞれの段がプルダウンホールディング回路を含み、かつ両部分が交互に作用することから、消費するパワーが大きくなり、環境保全に不利となる。

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

この発明は、周知の技術にみられる上述の問題を解決するためのものであって、即ち液晶表示装置におけるGOA回路のパワーの消費を低減させるGOA回路及び液晶表示装置を提供することを改題とする。

【 課題を解決するための手段 】

【 0 0 0 6 】

上述する課題を解決するためにこの発明の採用する技術プランは、一種のGOA回路を提供するものであって、複数のGOAユニットを含むGOA回路において、それぞれの該GOAユニットが表示領域の第N段水平線G(N)と第N+1段水平走査線G(N+1)に対して順に充電し、該GOAユニットが、N段プルアップコントロール回路と、N+1段プルアップコントロール回路と、N段プルアップ回路と、N+1段プルアップ回路と、N段プルダウン回路と、N+1段プルダウン回路と、プルダウンホールディング回路とを含み、該N段プルアップ回路と該プルダウンホールディング回路とが、それぞれ第N段ゲート電極信号点Q(N)と、第N段水平走査線G(N)とに接続し、該N段プルアップコントロール回路と、N段プルダウン回路が第N段ゲート電極信号点Q(N)に接続し、該N+1段プルアップ回路と該プルダウンホールディング回路とが、それぞれ第N+1段ゲート電極信号点Q(N+1)と第N+1段水平走査線G(N+1)に接続し、該N+1段プルアップコントロール回路と該N+1段プルダウン回路とが第N+1段ゲート電極信号点Q(N+1)に接続し、該プルダウンホールディング回路は、第N段水平走査線G(N)に充電した後、該第N段ゲート電極信号点Q(N)と第N段水平走査線G(N)の電位を低電位に維持し、該第N+1段水平走査線G(N+1)に充電した第N+1段ゲート電極信号点Q(N+1)と第N段水平走査線G(N+1)の電位を低電位に維持し、該プルダウンホールディング回路が、ゲート電極とドレイン電極が第1クロック信号LC1に接続する第1トランジスタT1と、ゲート電極が該第1トランジスタT1のソース電極に接続し、ドレイン電極が第1クロック信号LC1に接続し、ソース電極が第1コモン点K(N)に接続する第2トランジスタT2と、ゲート電極が第2クロック信号LC2に接続し、ドレイン電極が第1クロック信号LC1に接続し、ソース電極が第1コモン点K(N)に接続する第3トランジスタT3と、ゲート電極とドレイン電極とが該第1コモン点K(N)に接続する第4トランジスタT4と、ゲート電極が該第N段ゲート電極信号点Q(N

30

40

50

に接続し、ドレイン電極が該第1トランジスタT1のソース電極と該第4トランジスタT4のソース電極とに接続し、ソース電極が第1直流低電圧VSS1に接続する第5トランジスタT5と、ゲート電極が該第N+1段ゲート電極信号点Q(N+1)に接続し、ドレイン電極が該第1トランジスタT1のソース電極に接続し、ソース電極が第1直流低電圧VSS1に接続する第6トランジスタT6と、ゲート電極が該第1コモン点K(N)に接続し、ドレイン電極が該N+1段ゲート電極信号点Q(N+1)に接続し、ソース電極が該第1直流低電圧VSS1に接続する第7トランジスタT7と、ゲート電極が該第1コモン点K(N)に接続し、ドレイン電極が該N+1段水平走査線G(N+1)に接続し、ソース電極が該第1直流低電圧VSS1に接続する第8トランジスタT8と、ゲート電極が第2コモン点P(N)に接続し、ドレイン電極が該N+1段ゲート電極信号点Q(N+1)に接続し、ソース電極が該第1直流低電圧VSS1に接続する第9トランジスタT9と、ゲート電極が該第2コモン点P(N)に接続し、ドレイン電極が該N+1段水平走査線G(N+1)に接続し、ソース電極が該第1直流低電圧VSS1に接続する第10トランジスタT10と、ゲート電極とドレイン電極とが該第2クロック信号LC2に接続する第11トランジスタT11と、ゲート電極が該第11トランジスタT11のソース電極に接続し、ドレイン電極が該第2クロック信号LC2に接続し、ソース電極が第2コモン点P(N)に接続する第12トランジスタT12と、ゲート電極が第1クロック信号LC1に接続し、ドレイン電極が該第2クロック信号LC2に接続し、ソース電極が該第2コモン点P(N)に接続する第13トランジスタT13と、ゲート電極とドレイン電極とが該第2コモン点P(N)に接続する第14トランジスタT14と、ゲート電極が該第N段ゲート電極信号点Q(N)に接続し、ドレイン電極が該第11トランジスタT11のソース電極と該第14トランジスタT14のソース電極に接続し、ソース電極が第1直流低電圧VSS1に接続する第15トランジスタT15と、ゲート電極が該第N+1段ゲート電極信号点Q(N+1)に接続し、ドレイン電極が該第11トランジスタT11のソース電極に接続し、ソース電極が該第1直流低電圧VSS1に接続する第16トランジスタT16と、ゲート電極が該第2コモン点P(N)に接続し、ドレイン電極が該第N段ゲート電極信号点Q(N)に接続し、ソース電極が該第1直流低電圧VSS1に接続する第17トランジスタT17と、ゲート電極が該第2コモン点P(N)に接続し、ドレイン電極が該第N段水平走査線G(N)に接続し、ソース電極が該第1直流定電圧VSS1に接続する第18トランジスタT18と、ゲート電極が第1コモン点K(N)に接続し、ドレイン電極が該第N段ゲート電極信号点Q(N)に接続し、ソース電極が該第1直流低電圧VSS1に接続する第19トランジスタT19と、ゲート電極が該第1コモン点K(N)に接続し、ドレイン電極が該第N段水平走査線G(N)に接続し、ソース電極が該第1直流低電圧VSS1に接続する第20トランジスタT20と、を含み、該GOAユニットがリセット回路を更に含み、該リセット回路が該第N段ゲート信号点Q(N)と、第N+1段ゲート信号点Q(N+1)と、第1直流低電圧VSS1に接続し、リセット信号を受信した後、該第N段ゲート電極信号点Q(N)及び第N+1段ゲート電極信号点Q(N+1)の電位をプルダウンして低電位にするために用いられる。

【0007】

上述する課題を解決するためにこの発明の採用する技術プランは、一種のGOA回路を提供するものであって、該GOA回路は液晶表示装置に用いるGOA回路であって、該GOA回路が複数の複数のGOAユニットを含み、それぞれの該GOAユニットが表示領域の第N段水平線G(N)と第N+1段水平走査線G(N+1)に対して順に充電する。また、該GOAユニットが、N段プルアップコントロール回路と、N+1段プルアップコントロール回路と、N段プルアップ回路と、N+1段プルアップ回路と、N段プルダウン回路と、N+1段プルダウン回路と、プルダウンホールディング回路とを含み、該N段プルアップ回路と該プルダウンホールディング回路とが、それぞれ第N段ゲート電極信号点Q(N)と、第N段水平走査線G(N)とに接続し、該N段プルアップコントロール回路と、N段プルダウン回路が第N段ゲート電極信号点Q(N)に接続し、該N+1段プルアップ回路と該プルダウンホールディング回路とが、それぞれ第N+1段ゲート電極信号点

Q (N + 1) と第 N + 1 段水平走査線 G (N + 1) に接続し、該 N + 1 段プルアップコン
 トロール回路とプルダウンホールディング回路とが、それぞれ第 N + 1 段ゲート電極信号
 点 Q (N + 1) と該 N + 1 段水平走査線 G (N + 1) に接続し、該 N + 1 段プルアップコ
 ントロール回路と N + 1 段プルダウン回路とが該第 N + 1 段ゲート電極信号点 Q (N + 1)
) に接続し、該プルダウンホールディング回路は、該第 N 段水平走査線 G (N) に充電
 した後、該第 N 段ゲート電極信号点 Q (N) と該第 N 段水平走査線 G (N) の電位を低電
 位に維持し、該第 N + 1 段水平走査線 G (N + 1) に充電した後、第 N + 1 段ゲート電極
 信号点 Q (N + 1) と第 N 段水平走査線 G (N + 1) の電位を低電位に維持する。

【 0 0 0 8 】

該プルダウンホールディング回路が、ゲート電極とドレイン電極が第 1 クロック信号 L
 C 1 に接続する第 1 トランジスタ T 1 と、ゲート電極が該第 1 トランジスタ T 1 のソース
 電極に接続し、ドレイン電極が第 1 クロック信号 L C 1 に接続し、ソース電極が第 1 コモ
 ン点 K (N) に接続する第 2 トランジスタ T 2 と、ゲート電極が第 2 クロック信号 L C 2
 に接続し、ドレイン電極が第 1 クロック信号 L C 1 に接続し、ソース電極が第 1 コモン点
 K (N) に接続する第 3 トランジスタ T 3 と、ゲート電極とドレイン電極とが該第 1 コモ
 ン点 K N に接続する第 4 トランジスタ T 4 と、ゲート電極が該第 N 段ゲート電極信号点 Q
 (N) に接続し、ドレイン電極が該第 1 トランジスタ T 1 のソース電極と該第 4 トランジ
 スタ T 4 のソース電極とに接続し、ソース電極が第 1 直流低電圧 V S S 1 に接続する第 5
 トランジスタ T 5 と、ゲート電極が該第 N + 1 段ゲート電極信号点 Q (N + 1) に接続し
 、ドレイン電極が該第 1 トランジスタ T 1 のソース電極に接続し、ソース電極が第 1 直流
 低電圧 V S S 1 に接続する第 6 トランジスタ T 6 と、ゲート電極が該第 1 コモン点 K (N)
) に接続し、ドレイン電極が該 N + 1 段ゲート電極信号点 Q (N + 1) に接続し、ソース
 電極が該第 1 直流低電圧 V S S 1 に接続する第 7 トランジスタ T 7 と、ゲート電極が該第
 1 コモン点 K (N) に接続し、ドレイン電極が該 N + 1 段水平走査線 G (N + 1) に接続
 し、ソース電極が該第 1 直流低電圧 V S S 1 に接続する第 8 トランジスタ T 8 と、ゲート
 電極が第 2 コモン点 P (N) に接続し、ドレイン電極が該 N + 1 段ゲート電極信号点 Q
 (N + 1) に接続し、ソース電極が該第 1 直流低電圧 V S S 1 に接続する第 9 トランジスタ
 T 9 と、ゲート電極が該第 2 コモン点 P (N) に接続し、ドレイン電極が該 N + 1 段水平
 走査線 G (N + 1) に接続し、ソース電極が該第 1 直流低電圧 V S S 1 に接続する第 1 0
 トランジスタ (T 1 0) と、ゲート電極とドレイン電極とが該第 2 クロック信号 L C 2 に
 接続する第 1 1 トランジスタ T 1 1 と、ゲート電極が該第 1 1 トランジスタ T 1 1 のソー
 ス電極に接続し、ドレイン電極が該第 2 クロック信号 L C 2 に接続し、ソース電極が第 2
 コモン点 P (N) に接続する第 1 2 トランジスタ T 1 2 と、ゲート電極が第 1 クロック信
 号 L C 1 に接続し、ドレイン電極が該第 2 クロック信号 L C 2 に接続し、ソース電極が該
 第 2 コモン点 P (N) に接続する第 1 3 トランジスタ T 1 3 と、ゲート電極とドレイン電
 極とが該第 2 コモン点 P (N) に接続する第 1 4 トランジスタ T 1 4 と、ゲート電極が該
 第 N 段ゲート電極信号点 Q (N) に接続し、ドレイン電極が該第 1 1 トランジスタ T 1 1
 のソース電極と該第 1 4 トランジスタ T 1 4 のソース電極に接続し、ソース電極が第 1 直
 流低電圧 V S S 1 に接続する第 1 5 トランジスタ T 1 5 と、ゲート電極が該第 N + 1 段ゲ
 ート電極信号点 Q (N + 1) に接続し、ドレイン電極が該第 1 1 トランジスタ T 1 1 のソー
 ス電極に接続し、ソース電極が該第 1 直流低電位 V S S 1 に接続する第 1 6 トランジス
 タ T 1 6 と、ゲート電極が該第 2 コモン点 P (N) に接続し、ドレイン電極が該第 N 段ゲ
 ート電極信号点 Q (N) に接続し、ソース電極が該第 1 直流低電位 V S S 1 に接続する第
 1 7 トランジスタ T 1 7 と、ゲート電極が該第 2 コモン点 P (N) に接続し、ドレイン電
 極が該第 N 段水平走査線 G (N) に接続し、ソース電極が該第 1 直流定電圧 V S S 1 に接
 続する第 1 8 トランジスタ T 1 8 と、ゲート電極が第 1 コモン点 K (N) に接続し、ドレ
 イン電極が該第 N 段ゲート電極信号点 Q (N) に接続し、ソース電極が該第 1 直流低電圧
 V S S 1 に接続する第 1 9 トランジスタ T 1 9 と、ゲート電極が該第 1 コモン点 K (N)
) に接続し、ドレイン電極が該第 N 段水平走査線 G (N) に接続し、ソース電極が該第 1 直
 流低電圧 V S S 1 に接続する第 2 0 トランジスタ T 2 0 と、を含む。

10

20

30

40

50

【 0 0 0 9 】

該プルダウンホールディング回路が、ゲート電極が該第 $N + 1$ 段ゲート電極信号点 $Q (N + 1)$ に接続し、ドレイン電極とソース電極とが該第 1 コモン点 $K (N)$ と該第 2 コモン点 $P (N)$ とにそれぞれ接続する第 2 2 トランジスタ $T 2 2$ をさらに含む

【 0 0 1 0 】

該 $G O A$ ユニットが第 N 段トランスファー回路と、第 $N + 1$ 段トランスファー回路とを含み、第 N 段トランスファー回路は第 N 段ゲート電極信号点 $Q (N)$ に接続して第 $N + 1$ 段トランスファー制御回路に第 N 段トランスファー信号 $S T (N)$ を提供する。第 $N + 1$ 段トランスファー回路は、第 $N + 1$ 段ゲート電極信号点 $Q (N + 1)$ に接続して次の段の $G O A$ ユニットの第 $N + 2$ 段トランスファー制御回路に第 $N + 1$ 段トランスファー信号 $S T (N + 1)$ を提供する。

10

【 0 0 1 1 】

該プルダウンホールディング回路が、ゲート電極が該第 $N + 1$ 段水平走査線 $G (N + 1)$ に接続し、ドレイン電極が該第 1 コモン点 $K (N)$ に接続し、ソース電極が該第 1 直流低電位 $V S S 1$ に接続する第 2 3 トランジスタ $T 2 3$ と、ゲート電極が該第 N 段水平走査線 $G (N)$ に接続し、ドレイン電極が該第 2 コモン点 $P (N)$ に接続し、ソース電極が該第 1 直流低電位 $V S S 1$ に接続する第 2 4 トランジスタ $T 2 4$ と、をさらに含む

【 0 0 1 2 】

該第 2 3 トランジスタ $T 2 3$ のゲート電極が該 $N + 1$ 段トランスファー信号 $S T (N + 1)$ に接続し、該第 2 4 トランジスタ $T 2 4$ のゲート電極が第 N 段トランスファー信号 $S T (N)$ に接続する。

20

【 0 0 1 3 】

該第 7 トランジスタ $T 7$ のソース電極と、該第 9 トランジスタ $T 9$ のソース電極と、該第 1 7 トランジスタ $T 1 7$ のソース電極と、該第 1 9 トランジスタ $T 1 9$ のソース電極とが、第 2 直流低電位 $V S S 2$ に接続する。

【 0 0 1 4 】

該プルダウンホールディング回路が、ゲート電極が第 1 コモン点 $K (N)$ に接続し、ドレイン電極が該 $N + 1$ 段トランスファー信号 $S T (N + 1)$ に接続し、ソース電極が該第 2 直流低電位 $V S S 2$ に接続する第 2 5 トランジスタ $T 2 5$ と、ゲート電極が該第 2 コモン点 $P (N)$ に接続し、ドレイン電極が該 $N + 1$ 段トランスファー信号 $S T (N + 1)$ に接続し、ソース電極が該第 2 直流低電位 $V S S 2$ に接続する第 2 6 トランジスタ $T 2 6$ と、ゲート電極が第 2 コモン点 $P (N)$ に接続し、ドレイン電極が該 N 段トランスファー信号 $S T (N)$ に接続し、ソース電極が該第 2 直流低電位 $V S S 2$ に接続する第 2 7 トランジスタ $T 2 7$ と、ゲート電極が第 1 コモン点 $K (N)$ に接続し、ドレイン電極が該 $N 1$ 段トランスファー信号 $S T (N)$ に接続し、ソース電極が該第 2 直流低電位 $V S S 2$ に接続する第 2 8 トランジスタ $T 2 8$ を含む。

30

【 0 0 1 5 】

該 $G O A$ ユニットがリセット回路を更に含み、該リセット回路が該第 N 段ゲート信号点 $Q (N)$ と、第 $N + 1$ 段ゲート信号点 $Q (N + 1)$ と、第 1 直流低電圧 $V S S 1$ に接続し、リセット信号を受信した後、該第 N 段ゲート電極信号点 $Q (N)$ 及び第 $N + 1$ 段ゲート電極信号点 $Q (N + 1)$ の電位をプルダウンして低電位にするために用いられる。

40

【 0 0 1 6 】

上述する課題を解決するためにこの発明の採用する技術プランは、一種の液晶表示装置を提供するものであって、該液晶表示装置は $G O A$ 回路を含み、該 $G O A$ 回路が複数の複数の $G O A$ ユニットを含み、それぞれの該 $G O A$ ユニットが表示領域の第 N 段水平線 $G (N)$ と第 $N + 1$ 段水平走査線 $G (N + 1)$ に対して順に充電し、該 $G O A$ ユニットが、 N 段プルアップコントロール回路と、 $N + 1$ 段プルアップコントロール回路と、 N 段プルアップ回路と、 $N + 1$ 段プルアップ回路と、 N 段プルダウン回路と、 $N + 1$ 段プルダウン回路と、プルダウンホールディング回路とを含み、該 N 段プルアップ回路と該プルダウンホールディング回路とが、それぞれ第 N 段ゲート電極信号点 $Q (N)$ と、第 N 段水平走査線

50

G (N) とに接続し、該 N 段ブルアップコントロール回路と、N 段ブルダウン回路が第 N 段ゲート電極信号点 Q (N) に接続し、該 N + 1 段ブルアップ回路と該ブルダウンホールディング回路とが、それぞれ第 N + 1 段ゲート電極信号点 Q (N + 1) と第 N + 1 段水平走査線 G (N + 1) に接続し、該 N + 1 段ブルアップコントロール回路とブルダウンホールディング回路とが、それぞれ第 N + 1 段ゲート電極信号点 Q (N + 1) と該 N + 1 段水平走査線 G (N + 1) に接続し、該 N + 1 段ブルアップコントロール回路と N + 1 段ブルダウン回路とが該第 N + 1 段ゲート電極信号点 Q (N + 1) に接続し、該ブルダウンホールディング回路は、該第 N 段水平走査線 G (N) に充電した後、該第 N 段ゲート電極信号点 Q (N) と該第 N 段水平走査線 G (N) の電位を低電位に維持し、該第 N + 1 段水平走査線 G (N + 1) に充電した後、第 N + 1 段ゲート電極信号点 Q (N + 1) と第 N 段水平走査線 G (N + 1) の電位を低電位に維持する。

10

【発明の効果】

【 0 0 1 7 】

この発明は、周知の技術と異なり、隣り合う 2 段の G O A ユニットがカップリングし、2 段の該 G O A ユニットが 1 つのブルダウンホールディング回路を共有する。該ブルダウンホールディング回路は、第 1 段 G O A 回路への充電が完了すると、第 1 段 G O A 回路を低電位に維持し、第 2 段 G O A ユニットへの充電が完了した後、第 2 段 G O A ユニットの低電位に維持する。係る方式を採用することによって、表示装置全体においてブルダウンホールディング回路の消費電力を半減させ、ここからパワーの消費を低減させることができる。

20

【図面の簡単な説明】

【 0 0 1 8 】

【図 1】この発明の第 1 の実施の形態におけるそれぞれの G O A ユニットの接続構造を示した説明図である。

【図 2】この発明の第 1 の実施の形態による G O A ユニットの接続構造を示した説明図である。

【図 3】この発明の第 2 の実施の形態による G O A ユニットの具体的な接続を示した説明図である。

【図 4】この発明の第 2 の実施の形態による G O A ユニットの具体的な回路におけるそれぞれの信号の波形を示した説明図である。

30

【図 5】この発明の第 3 の実施の形態における G O A ユニットの具体的な回路の接続を示した説明図である。

【図 6】この発明の第 4 の実施の形態による G O A ユニットの具体的な回路の接続を示した説明図である。

【図 7】この発明の第 5 の実施の形態による G O A ユニットの具体的な回路の接続を示した説明図である。

【図 8】この発明の第 6 の実施の形態による G O A ユニットの具体的な回路の接続を示した説明図である。

【図 9】この発明の第 7 の実施の形態による G O A ユニットの具体的な回路の接続を示した説明図である。

40

【図 10】この発明の第 7 の実施の形態における G O A ユニットの具体的な回路におけるそれぞれの信号の波形を示した説明図である。

【発明を実施するための形態】

【実施例 1】

【 0 0 1 9 】

図 1 は、この発明の G O A 回路の第 1 の実施の形態におけるそれぞれの G O A ユニットの接続構造を開示した説明図である。図面の開示によれば、該 G O A 回路は、複数の G O A 素子を含み、それぞれの G O A ユニットは表示領域の隣り合う 2 段の水平走査線に対して順に充電を行なう。

【 0 0 2 0 】

50

以下は、第 N 段水平走査線 $G(N)$ 及び第 $N+1$ 段水平走査線 $G(N+1)$ に充電する GOA ユニットの例として述べる。図 2 には、この発明による GOA 回路の第 1 の実施の形態における GOA ユニットの回路の接続を示した説明図である。図面に開示するように GOA ユニットは、 N 段プルアップコントロール回路 101 と、 $N+1$ 段プルアップコントロール回路 102 と、 N 段プルアップ回路 201 と、 $N+1$ 段プルアップ回路 202 と、 N 段プルダウン回路 301 と、 $N+1$ 段プルダウン回路 302 と、プルダウンホールディング回路 400 とを含む。

【0021】

N 段プルアップ回路 201 とプルダウンホールディング回路 400 は、それぞれ第 N 段ゲート電極信号点 $Q(N)$ と、第 N 段水平走査線 $G(N)$ と接続し、 N 段プルアップコントロール回路 101 と、 N 段プルダウン回路 301 は、第 N 段ゲート電極信号点 $Q(N)$ に接続する。

【0022】

$N+1$ 段プルアップ回路 202 とプルダウンホールディング回路 400 とは、それぞれ第 $N+1$ 段ゲート電極信号点 $Q(N+1)$ と第 $N+1$ 段水平走査線 $G(N+1)$ に接続する。 $N+1$ 段プルアップコントロール回路 102 と $N+1$ 段プルダウン回路とは、第 $N+1$ 段ゲート電極信号点 $Q(N+1)$ に接続する。

【0023】

プルダウンホールディング回路 400 は、第 N 段水平走査線 $G(N)$ に充電した後、第 N 段ゲート電極信号点 $Q(N)$ と第 N 段水平走査線 $G(N)$ の電位をプルダウンして低電位とし、第 $N+1$ 段水平走査線 $G(N+1)$ に充電した後、第 $N+1$ 段ゲート電極信号点 $Q(N+1)$ と第 N 段水平走査線 $G(N+1)$ の電位をプルダウンして低電位とする。

【0024】

具体的に述べると、 N 段プルアップコントロール回路 101 は、前 1 段 GOA ユニットの $G(N-1)$ 信号を受信してから第 N 段ゲート電極信号点 $Q(N)$ の電位を高数値の電位に増幅し、かつ N 段プルアップ回路 201 を制御してオンにして第 N 段クロック信号 $CK(N)$ を受信する。ここから第 N 段水平走査信号 $G(N)$ を充電する。充電が完了すると、第 N 段プルダウン回路 301 が第 N 段ゲート電極信号点 $Q(N)$ の電位をプルダウンして低電位とする。同時に N 段プルアップ回路 201 をオフにし、プルダウンホールディング回路 400 が第 N 段ゲート電極信号点 $Q(N)$ と第 N 段水平走査線 $G(N)$ の電位をプルダウンして低電位とし、かつ維持する。

【0025】

第 N 段水平走査線 $G(N)$ の出力する走査信号 $G(N)$ は、 $N+1$ 段回路における $N+1$ 段プルアップコントロール回路の入力信号ともなる。 $N+1$ 段回路と N 段回路の作動の原理は同様であって、プルアップコントロール回路とプルダウン回路の制御信号のみが異なる。2 段の回路の作動時では、プルダウンホールディングモジュール 400 が第 1 クロック信号 $LC1$ と第 2 クロック信号 $LC2$ との制御下に在って、2 段の回路の電位を同時にプルダウンして低電位とし、かつこれを維持する。

【0026】

周知の技術と異なり、この実施の形態では隣り合う 2 段の GOA ユニットに対してカプリングを行ない、2 段の該 GOA ユニットで同一のプルダウンホールディング回路を共有する。該プルダウンホールディング回路は第 1 段 GOA ユニットに対する充電が完了すると、該第 1 段 GOA ユニットを低電位に維持し、第 2 段 GOA ユニットの充電が完了すると、該段 GOA ユニットを低電位に維持する。係る方式を採用することで、ディスプレイ全体においてプルダウンホールディング回路の消費電力を半減させることができる。よって、エネルギーの消費を低減させることができる。

【実施例 2】

【0027】

図 3 は、この発明の第 2 の実施の形態による GOA ユニットの具体的な回路の接続を示した説明図である。図面に開示するように GOA ユニットは、 N 段プルアップコントロー

10

20

30

40

50

ル回路 101 と、 $N + 1$ 段プルアップコントロール回路 102 と、 N 段プルアップ回路 201 と、 $N + 1$ 段プルアップ回路 202 と、 N 段プルダウン回路 301 と、 $N + 1$ 段プルダウン回路 302 と、プルダウンホールディング回路 400 とを含む。プルダウンホールディング回路 400 は、ゲート電極とドレイン電極が第 1 クロック信号 $LC1$ に接続する第 1 トランジスタ $T1$ と、ゲート電極が第 1 トランジスタ $T1$ のソース電極に接続し、ドレイン電極が第 1 クロック信号 $LC1$ に接続し、ソース電極が第 1 コモン点 $K(N)$ に接続する第 2 トランジスタ $T2$ と、ゲート電極が第 2 クロック信号 $LC2$ に接続し、ドレイン電極が第 1 クロック信号 $LC1$ に接続し、ソース電極が第 1 コモン点 $K(N)$ に接続する第 3 トランジスタ $T3$ と、ゲート電極とドレイン電極とが第 1 コモン点 $K(N)$ に接続する第 4 トランジスタ $T4$ と、ゲート電極が第 N 段ゲート電極信号点 $Q(N)$ に接続し、ドレイン電極が第 1 トランジスタ $T1$ のソース電極と第 4 トランジスタ $T4$ のソース電極とに接続し、ソース電極が第 1 直流低電圧 $VSS1$ に接続する第 5 トランジスタ $T5$ と、ゲート電極が第 $N + 1$ 段ゲート電極信号点 $Q(N + 1)$ に接続し、ドレイン電極が第 1 トランジスタ $T1$ のソース電極に接続し、ソース電極が第 1 直流低電圧 $VSS1$ に接続する第 6 トランジスタ $T6$ と、ゲート電極が第 1 コモン点 $K(N)$ に接続し、ドレイン電極が $N + 1$ 段ゲート電極信号点 $Q(N + 1)$ に接続し、ソース電極が第 1 直流低電圧 $VSS1$ に接続する第 7 トランジスタ $T7$ と、ゲート電極が第 1 コモン点 $K(N)$ に接続し、ドレイン電極が $N + 1$ 段水平走査線 $G(N + 1)$ に接続し、ソース電極が第 1 直流低電圧 $VSS1$ に接続する第 8 トランジスタ $T8$ と、ゲート電極が第 2 コモン点 $P(N)$ に接続し、ドレイン電極が $N + 1$ 段ゲート電極信号点 $Q(N + 1)$ に接続し、ソース電極が第 1 直流低電圧 $VSS1$ に接続する第 9 トランジスタ $T9$ と、ゲート電極が第 2 コモン点 $P(N)$ に接続し、ドレイン電極が $N + 1$ 段水平走査線 $G(N + 1)$ に接続し、ソース電極が第 1 直流低電圧 $VSS1$ に接続する第 10 トランジスタ $T10$ と、ゲート電極とドレイン電極とが第 2 クロック信号 $LC2$ に接続する第 11 トランジスタ $T11$ と、ゲート電極が第 11 トランジスタ $T11$ のソース電極に接続し、ドレイン電極が第 2 クロック信号 $LC2$ に接続し、ソース電極が第 2 コモン点 $P(N)$ に接続する第 12 トランジスタ $T12$ と、ゲート電極が第 1 クロック信号 $LC1$ に接続し、ドレイン電極が第 2 クロック信号 $LC2$ に接続し、ソース電極が第 2 コモン点 $P(N)$ に接続する第 13 トランジスタ $T13$ と、ゲート電極とドレイン電極とが第 2 コモン点 $P(N)$ に接続する第 14 トランジスタ $T14$ と、ゲート電極が第 N 段ゲート電極信号点 $Q(N)$ に接続し、ドレイン電極が第 11 トランジスタ $T11$ のソース電極と第 14 トランジスタ $T14$ のソース電極に接続し、ソース電極が第 1 直流低電圧 $VSS1$ に接続する第 15 トランジスタ $T15$ と、ゲート電極が第 $N + 1$ 段ゲート電極信号点 $Q(N + 1)$ に接続し、ドレイン電極が第 11 トランジスタ $T11$ のソース電極に接続し、ソース電極が第 1 直流低電位 $VSS1$ に接続する第 16 トランジスタ $T16$ と、ゲート電極が第 2 コモン点 $P(N)$ に接続し、ドレイン電極が第 N 段ゲート電極信号点 $Q(N)$ に接続し、ソース電極が第 1 直流低電位 $VSS1$ に接続する第 17 トランジスタ $T17$ と、ゲート電極が第 2 コモン点 $P(N)$ に接続し、ドレイン電極が第 N 段水平走査線 $G(N)$ に接続し、ソース電極が第 1 直流定電圧 $VSS1$ に接続する第 18 トランジスタ $T18$ と、ゲート電極が第 1 コモン点 $K(N)$ に接続し、ドレイン電極が第 N 段ゲート電極信号点 $Q(N)$ に接続し、ソース電極が第 1 直流低電圧 $VSS1$ に接続する第 19 トランジスタ $T19$ と、ゲート電極が第 1 コモン点 $K(N)$ に接続し、ドレイン電極が第 N 段水平走査線 $G(N)$ に接続し、ソース電極が第 1 直流低電圧 $VSS1$ に接続する第 20 トランジスタ $T20$ と、を含む。

【0028】

図 4 を同時に参照して述べる。この発明の第 2 の実施の形態による $G0A$ ユニットの具体的な回路におけるそれぞれの信号の波形を図 4 に開示する。図 4 に点線で、波形図を 1 ~ 8 のワークエリアに区分けした。

【0029】

第 1 ワークエリアは、 $G(N - 1)$ が低レベルであって、 N 段プルアップコントロール回路 101 がオフであって、 $Q(N)$ 点が低レベルである。 N 段プルアップ回路 201 は

10

20

30

40

50

オフとなる。LC1とLC2の作用によってP(N)点は高レベルとなる。T12は導通状態となり、G(N)を低レベルに維持する。よって、N+1段プルアップコントロール回路102はオフとなり、Q(N+1)点は低レベルとなって、N+1プルアップ回路202はオフとなる。LC1とLC2の作用によってP(N)は高レベルとなって、T10は導通状態となり、G(N+1)が低レベルを出力する。

【0030】

第2ワークエリアは、G(N-1)が高レベルであって、N段プルアップコントロール回路101がオンとなる。Q(N)点は高レベルであって、N段プルアップ回路102はオンとなる。但し、CK(N)は依然として低レベルである。このため、G(N)は依然として低レベルを出力する。別途、Q(N)が高レベルであることからT21、T5、T15が導通状態となる。即ち、P(N)とK(N)とが同時に低レベルとなり、G(N+1)が継続して低レベルを保持する。

10

【0031】

第3ワークエリアは、G(N-1)が低レベルであって、N段プルアップコントロール回路101がオフとなり、Q(N)点がやや低下し、その他キーポイントはほぼ変わらない。

【0032】

第4ワークエリアは、N段プルアップ回路201の第1コンデンサCb1のブーストラップ作用によってQ(N)点の電位をさらに高く増幅し、N段プルアップ回路201は依然としてオン状態にある。この場合、N段クロック信号CK(N)は高電位に変わり、G(N)が充電される。

20

【0033】

G(N)が高くなり、N+1プルアップコントロール回路102がオンとなり、Q(N+1)が高電位となる。但し、この場合N+1段クロック信号は低くあって、G(N+1)は依然として低い状態にある。

【0034】

第5ワークエリアは、N段クロック信号CK(N)が低電位となり、G(N)の充電が完了し、N+1プルアップコントロール回路102がオフとなる。その他のキーポイントはほぼ変わらない。

【0035】

30

第6ワークエリアは、N+1段プルアップ回路202の第2コンデンサCb2のブーストラップ作用によって、Q(N+1)点の電位をさらに高く増幅し、N+1プルアップ回路202は依然としてオン状態にある。この場合、N+1段クロック信号CK(N+1)が高電位となり、G(N+1)が充電される。

【0036】

G(N+1)が高くなり、N+1プルアップコントロール回路301がオンとなり、Q(N)の電位をプルダウンする。T21、T5、T51はオフとなる。但し、Q(N+1)の作用によって、またLC1とLC2の変化によって、P(N)とK(N)は依然として低い状態にある。

【0037】

40

第7ワークエリアは、N+1段クロック信号CK(N+1)は低電位となり、G(N+1)の充電が完了する。その他キーポイントはほぼ変わらない。

【実施例3】

【0038】

図5は、この発明の第3の実施の形態によつGOA回路のGOAユニットの具其他的な回路の接続を示した説明図である。図面に開示するGOAユニットの上述する実施例2との相違点は次のとおりである。

【0039】

プルダウンホールディング回路400が、ゲート電極が第N+1段ゲート電極信号点Q(N+1)に接続し、ドレイン電極とソース電極とが第1コモン点K(N)と第2コモン

50

点 P (N) とにそれぞれ接続する第 2 2 トランジスタ T 2 2 をさらに含む。

【 0 0 4 0 】

ブルダウンホールディング回路 4 0 0 は、2 段の回路を同時にブルダウンし、かつ維持する必要があるため、T 2 2 と T 2 1 とが共同で作用する方式を採用することで 2 段の回路の正常な出力を保証し、回路をさらにリスクヘッジし、さらに安定させる。

【 実施例 4 】

【 0 0 4 1 】

図 6 は、この発明の第 4 の実施の形態による G O A ユニットの具体的な回路の接続を示した説明図である。図面に開示する G O A ユニットの上述する実施例 3 との相違点は次のとおりである。

【 0 0 4 2 】

G O A ユニットが、第 N 段トランスファー回路 5 0 1 と第 N + 1 トランスファー回路 5 0 2 とをさらに含む。第 N 段トランスファー回路 5 0 1 は、第 N 段ゲート電極信号点 Q (N) に接続して第 N + 1 段トランスファー制御回路に第 N 段トランスファー信号 S T (N) を提供する。第 N + 1 段トランスファー回路 5 0 2 は、第 N + 1 段ゲート電極信号点 Q (N + 1) に接続して次の段の G O A ユニットの第 N + 2 段トランスファー制御回路に第 N + 1 段トランスファー信号 S T (N + 1) を提供する。

【 0 0 4 3 】

この実施の形態においては、第 N 段ブルアップコントロール回路 1 0 1 と第 N + 1 段ブルアップコントロール回路 1 0 2 の制御信号が、それぞれ S T (N - 1) と S T (N) に変換する。即ち、N 段ブルアップコントロール回路 1 0 1 と N + 1 段ブルアップコントロール回路 1 0 2 の T F T トランジスタのゲート電極が、それぞれ S T (N - 1) と S T (N) とに接続する。

【 実施例 5 】

【 0 0 4 4 】

図 7 は、この発明の第 5 の実施の形態による G O A ユニットの具体的な回路の接続を示した説明図である。図面に開示する G O A ユニットの上述する実施例 4 との相違点は次のとおりである。

【 0 0 4 5 】

ブルダウンホールディング回路が、ゲート電極が第 N + 1 段水平走査線 G (N + 1) に接続し、ドレイン電極が第 1 コモン点 K (N) に接続し、ソース電極が第 1 直流低電位 V S S 1 に接続する第 2 3 トランジスタ T 2 3 と、ゲート電極が第 N 段水平走査線 G (N) に接続し、ドレイン電極が第 2 コモン点 P (N) に接続し、ソース電極が第 1 直流低電位 V S S 1 に接続する第 2 4 トランジスタ T 2 4 と、をさらに含む。

【 0 0 4 6 】

この実施例において新たに加える 2 つの T F T トランジスタは、作用する時間に P (N) と K (N) に対するブルダウン強化を増強するためのものである。出力時のブルダウンは極めて重要であって、ブルダウンが不十分であれば表示の異常を直接招く。

【 0 0 4 7 】

別途、N 段ブルダウン回路のゲート電極信号を S T (N + 1) に変換し、N + 1 段ブルダウン回路のゲート信号を S T (N + 2) に変換してもよく、T 2 3 のゲート信号を S T (N + 1) に変換し、T 2 4 のゲート信号を S T (N) に変換してもよい。係る変換によってトランジスタの漏電を防ぐことができる。

【 実施例 6 】

【 0 0 4 8 】

図 8 は、この発明の第 6 の実施の形態による G O A ユニットの具体的な回路の接続を示した説明図である。図面に開示する G O A ユニットの上述する実施例 5 との相違点は次のとおりである。

【 0 0 4 9 】

第 7 トランジスタ T 7 のソース電極と、第 9 トランジスタ T 9 のソース電極と、第 1 7

10

20

30

40

50

トランジスタ T 1 7 のソース電極と、第 1 9 トランジスタ T 1 9 のソース電極とが、第 2 直流低電位 V S S 2 に接続する。

【実施例 7】

【0050】

図 9 は、この発明の第 7 の実施の形態による G O A ユニットの具体的な回路の接続を示した説明図である。図面に開示する G O A ユニットの、上述する実施例 6 と異なり、プルダウンホールディング回路が以下を含む。

【0051】

ゲート電極が第 1 コモン点 K (N) に接続し、ドレイン電極が N + 1 段トランスファー信号 S T (N + 1) に接続し、ソース電極が第 2 直流低電位 V S S 2 に接続する第 2 5 トランジスタ T 2 5 を含む。

10

【0052】

また、ゲート電極が第 2 コモン点 P (N) に接続し、ドレイン電極が N + 1 段トランスファー信号 S T (N + 1) に接続し、ソース電極が第 2 直流低電位 V S S 2 に接続する第 2 6 トランジスタ T 2 6 を含む。

【0053】

また、ゲート電極が第 2 コモン点 P (N) に接続し、ドレイン電極が N 段トランスファー信号 S T (N) に接続し、ソース電極が第 2 直流低電位 V S S 2 に接続する第 2 7 トランジスタ T 2 7 を含む。

【0054】

20

また、ゲート電極が第 1 コモン点 K (N) に接続し、ドレイン電極が N 1 段トランスファー信号 S T (N) に接続し、ソース電極が第 2 直流低電位 V S S 2 に接続する第 2 8 トランジスタ T 2 8 を含む。

【0055】

別途、N 段プルダウン回路のゲート電極信号を S T (N + 2) に変換し、N + 1 段プルダウン回路のゲート電極信号を S T (N + 3) に変換してもよく、係る変換は Q (N) 点に好ましい凸字状波形を形成するのに利する。

【実施例 8】

【0056】

図 1 0 は、この発明の第 7 の実施の形態による G O A ユニットの具体的な回路におけるそれぞれの信号の波形を示した説明図である。図面に開示するように、波形は図 4 に近似するが、但し Q (N) と Q (N + 1) の凸字状波形がさらに完全になる点異なる。

30

【0057】

上述するそれぞれの実施例における T F T は、いずれも例として N T F T を挙げているが、実際の操作においては P T F T で代替してもよい。この場合、ゲート電極の制御電位は高低を互いに変換する。電位の順序は変更が発生しない。

【0058】

以上はこの発明の好ましい実施の形態であって、この発明の実施の範囲を限定する者ではない。よって、凡そこの発明の明細書と添付の図面の内容を利用してなし得る。均等の効果を有する構造、又はプロセスの変換、もしくは直接、間接的にその他関連技術の分野に転用することは、いずれもこの発明の特許請求の範囲に含まれるものとする。

40

【符号の説明】

【0059】

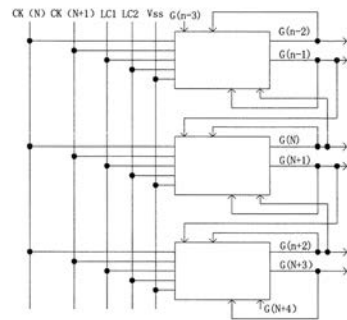
- | | |
|-------|----------------------|
| 1 0 1 | N 段プルアップコントロール回路 |
| 1 0 2 | N + 1 段プルアップコントロール回路 |
| 2 0 1 | N 段プルアップ回路 |
| 2 0 2 | N + 1 段プルアップ回路 |
| 3 0 1 | N 段プルダウン回路 |
| 3 0 2 | N + 1 段プルダウン回路 |
| 4 0 0 | プルダウンホールディング回路 |

50

5 0 1	第 N 段トランスファー回路	
5 0 2	第 N + 1 段トランスファー回路	
C K (N)	第 N 段クロック信号	
G (N)	第 N 段水平走査線	
G (N + 1)	第 N + 1 段水平走査線	
G (N - 1)	前 1 段 G O A ユニット	
K (N)	第 1 コモン点	
L C 1	第 1 クロック信号	
L C 2	第 2 クロック信号	
P (N)	第 2 コモン点	10
Q (N)	第 N 段ゲート電極信号点	
Q (N + 1)	第 N + 1 段ゲート電極信号点	
S T (N)	第 N 段トランスファー信号	
S T (N + 1)	第 N 段トランスファー信号	
T 1	第 1 トランジスタ	
T 2	第 2 トランジスタ	
T 3	第 3 トランジスタ	
T 4	第 4 トランジスタ	
T 5	第 5 トランジスタ	
T 6	第 6 トランジスタ	20
T 7	第 7 トランジスタ	
T 8	第 8 トランジスタ	
T 9	第 9 トランジスタ	
T 1 0	第 1 0 トランジスタ	
T 1 1	第 1 1 トランジスタ	
T 1 2	第 1 2 トランジスタ	
T 1 3	第 1 3 トランジスタ	
T 1 4	第 1 4 トランジスタ	
T 1 5	第 1 5 トランジスタ	
T 1 6	第 1 6 トランジスタ	30
T 1 7	第 1 7 トランジスタ	
T 1 8	第 1 8 トランジスタ	
T 1 9	第 1 9 トランジスタ	
T 2 0	第 2 0 トランジスタ	
T 2 2	第 2 2 トランジスタ	
T 2 3	第 2 3 トランジスタ	
T 2 4	第 2 4 トランジスタ	
T 2 5	第 2 5 トランジスタ	
T 2 6	第 2 6 トランジスタ	
T 2 7	第 2 7 トランジスタ	40
T 2 8	第 2 8 トランジスタ	
V S S 1	第 1 直流低電位	
V S S 2	第 2 直流低電位	

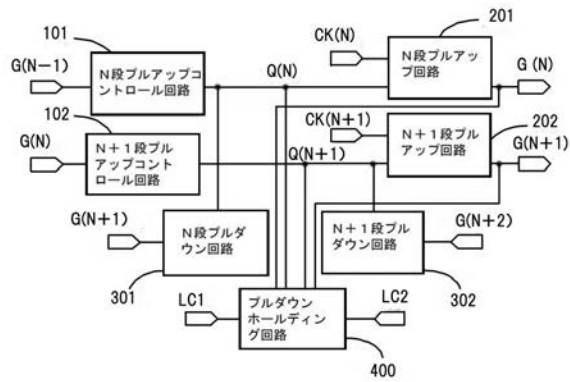
【図 1】

【図 1】

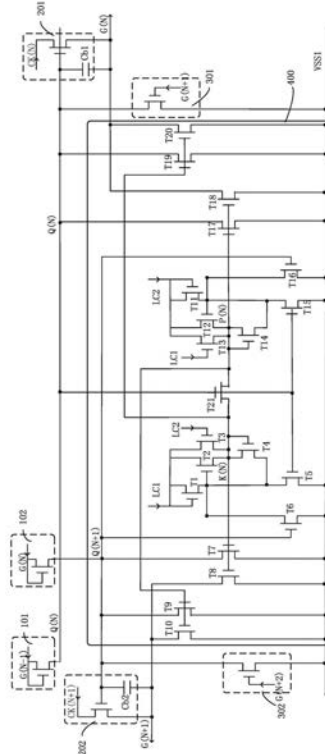


【図 2】

【図 2】



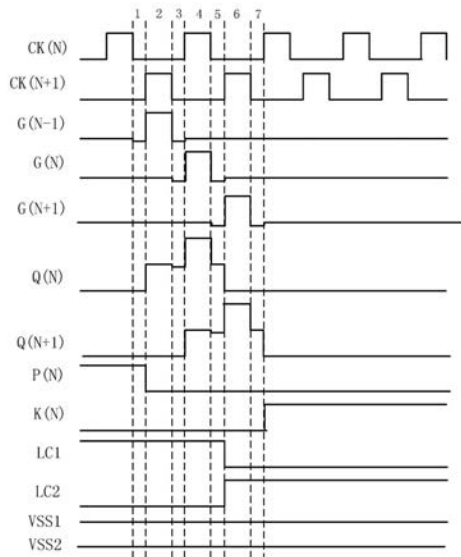
【図 3】



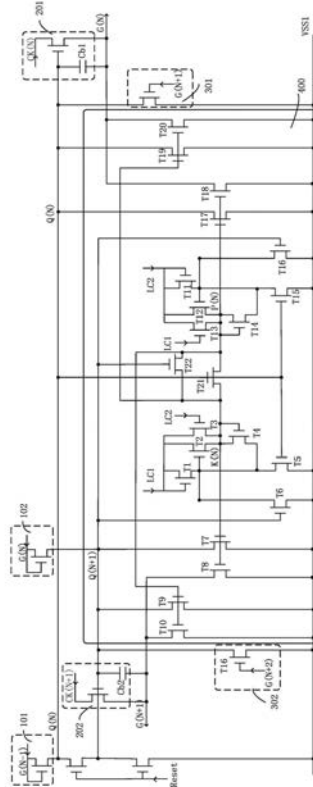
【図 3】

【図 4】

【図 4】

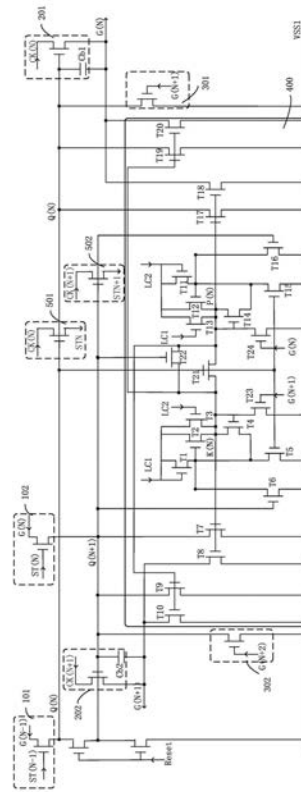


【図 5】



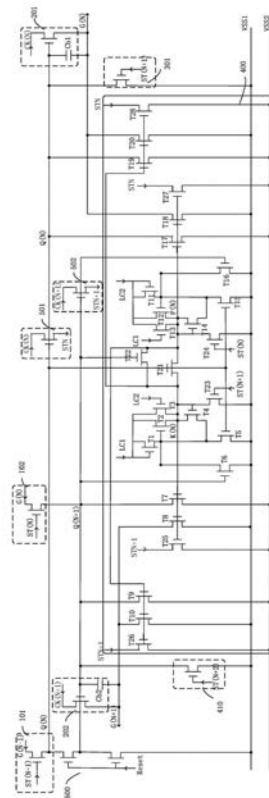
【図 5】

【 図 7 】



【图7】

【 図 9 】



【6】

【図 10】

【図10】

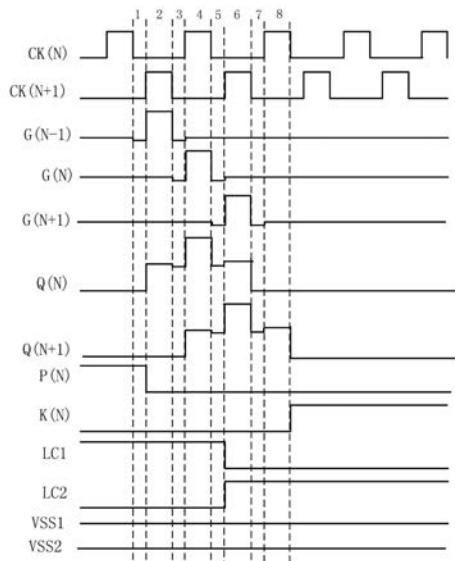


FIG. 10

【 国际調查報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2015/077999		
A. CLASSIFICATION OF SUBJECT MATTER				
G09G 3/36 (2006.01) i				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols)				
G09G				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
CNPAT, CNKI, WPI, EPODOC: liquid crystal display, scan-line, direct current, power consumption, reduce; XIAO, Juncheng; maintain, common, LCD, scan+ w beam, GOA, gate, pull w up, pull w down, signal, clock, charge, pulse w width, voltage, DC, transistor				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A	CN 103730094 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 16 April 2014 (16.04.2014), description, paragraphs [0003] and [0010]-[0049], and figures 1-3	1-18		
A	CN 104464665 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 March 2015 (25.03.2015), the whole document	1-18		
A	CN 104376824 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 February 2015 (25.02.2015), the whole document	1-18		
A	US 2004189585 A1 (MOON, S.H.), 30 September 2004 (30.09.2004), the whole document	1-18		
A	US 2011169793 A1 (AU OPTRONICS CORP.), 14 July 2011 (14.07.2011), the whole document	1-18		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
<table border="0"> <tr> <td style="vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 14 December 2015 (14.12.2015)		Date of mailing of the international search report 28 December 2015 (28.12.2015)		
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer LIANG, Hongfeng Telephone No.: (86-10) 82245548		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/077999

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103730094 A	16 April 2014	WO 2015100813 A1	09 July 2015
		US 2015187312 A1	02 July 2015
CN 104464665 A	25 March 2015	None	
CN 104376824 A	25 February 2015	None	
US 2004189585 A1	30 September 2004	US 7319452 B2	15 January 2008
		JP 4854929 B2	18 January 2012
		JP 2004295126 A	21 October 2004
		KR 20040086516 A	11 October 2004
		TW 200502908 A	16 January 2005
		KR 101022293 B1	21 March 2011
		TW I413965 B	01 November 2013
US 2011169793 A1	14 July 2011	US 8581890 B2	12 November 2013
		TW I407400 B	01 September 2013
		TW 201110085 A	16 March 2011

国际检索报告

国际申请号

PCT/CN2015/077999

A. 主题的分类 G09G 3/36(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPDOC: 液晶显示器, 扫描线, 栅极, 上拉, 下拉, 信号, 时钟, 充电, 脉宽, 电压, 直流, 晶体管, 功耗, 降低, 自举, 维持, 共用, LCD, scan+ w beam, GOA, gate, pull w up, pull w down, signal, clock, charge, pulse w width, voltage, DC, transistor.		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103730094 A (深圳市华星光电技术有限公司) 2014年 4月 16日 (2014 - 04 - 16) 说明书第【0003】、【0010】-【0049】段, 附图1-3	1-18
A	CN 104464665 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-18
A	CN 104376824 A (深圳市华星光电技术有限公司) 2015年 2月 25日 (2015 - 02 - 25) 全文	1-18
A	US 2004189585 A1 (MOON, SEUNG-HWAN) 2004年 9月 30日 (2004 - 09 - 30) 全文	1-18
A	US 2011169793 A1 (AU OPTRONICS CORP.) 2011年 7月 14日 (2011 - 07 - 14) 全文	1-18
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 12月 14日		国际检索报告邮寄日期 2015年 12月 28日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 梁洪峰 电话号码 (86-10) 62246548

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/077999

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103730094	A	2014年 4月 16日	WO	2015100813	A1	2015年 7月 9日
				US	2015187312	A1	2015年 7月 2日
CN	104464665	A	2015年 3月 25日	无			
CN	104376824	A	2015年 2月 25日	无			
US	2004189585	A1	2004年 9月 30日	US	7319452	B2	2008年 1月 15日
				JP	4854929	B2	2012年 1月 18日
				JP	2004295126	A	2004年 10月 21日
				KR	20040086516	A	2004年 10月 11日
				TW	200502908	A	2005年 1月 16日
				KR	101022293	B1	2011年 3月 21日
				TW	I413965	B	2013年 11月 1日
US	2011169793	A1	2011年 7月 14日	US	8581890	B2	2013年 11月 12日
				TW	I407400	B	2013年 9月 1日
				TW	201110085	A	2011年 3月 16日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 1 1 C 19/28 2 3 0

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

F ターム(参考) 5B074 AA04 CA01 DB01 EA03

5C006 BC03 BC20 BF03 BF31 BF37 BF50 FA47

5C080 AA10 BB05 DD26

专利名称(译)	GOA电路和液晶显示器件		
公开(公告)号	JP2018516384A	公开(公告)日	2018-06-21
申请号	JP2017551664	申请日	2015-04-30
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	肖軍城		
发明人	肖軍城		
IPC分类号	G09G3/36 G09G3/20 G11C19/28		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2300/0426 G09G2310/0251 G09G2310/0286 G09G2310/061 G09G2310/08 G09G2330/021 G09G2330/02 H01L27/124 G09G3/36 H01L27/12		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.621.M G09G3/20.680.G G09G3/20.611.A G11C19/28.230		
F-TERM分类号	5B074/AA04 5B074/CA01 5B074/DB01 5B074/EA03 5C006/BC03 5C006/BC20 5C006/BF03 5C006 /BF31 5C006/BF37 5C006/BF50 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26		
代理人(译)	铃木 征四郎		
优先权	201510160697.3 2015-04-07 CN		
其他公开文献	JP6518785B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种用于降低液晶显示装置中的GOA电路的功耗的GOA电路和液晶显示装置。 解决方案：包含多个GOA单元的GOA电路的每个GOA单元相对于显示区域中的第N条水平线 $G(N)$ 和第 $N+1$ 条水平扫描线 $G(N+1)$ 顺序充电。GOA单元具有一个N级上拉控制电路，一个 $N+1$ 级上拉控制电路，一个N级上拉电路，一个 $N+1$ 级上拉电路，一个N级下拉电路和一个 $N+1$ 级上拉电路。下拉保持电路和下拉保持电路，在下拉保持电路对第N条水平扫描线 $G(N)$ ，第N条栅电极信号点 $Q(N)$ 和第N条水平扫描线充电之后在 $G(N)$ 的电位保持在低电位并且对 $N+1$ 级水平扫描线 $G(N+1)$ 充电之后，第 $N+1$ 级栅电极信号点 $Q(N+1)$ 和第N级载物台水平扫描线 $G(N+1)$ 的电位保持在低电位。 [选型图]图1

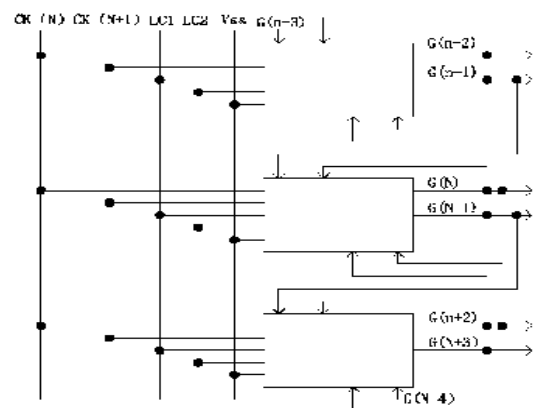


图 1