

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2017-129746
(P2017-129746A)

(43) 公開日 平成29年7月27日(2017.7.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
	G09G 3/20 621A	
	G09G 3/20 621F	
	G09G 3/20 624B	

審査請求 未請求 請求項の数 7 O L (全 20 頁)

(21) 出願番号	特願2016-9169 (P2016-9169)	(71) 出願人	000001960
(22) 出願日	平成28年1月20日 (2016.1.20)		シチズン時計株式会社
			東京都西東京市田無町六丁目1番12号
		(74) 代理人	100104190
			弁理士 酒井 昭徳
		(72) 発明者	永田 洋一
			東京都西東京市田無町六丁目1番12号
			シチズンホールディングス株式会社内
		Fターム(参考)	5C006 AF21 AF51 AF54 BA12 BB16
			BC02 BF09 BF21 BF24 BF25
			BF37 BF49 EC11 FA12 FA20
			FA26 FA41 FA46 FA47
			5C080 AA10 BB05 DD08 DD09 DD19
			DD22 DD26 FF11 GG15 JJ02
			JJ03 JJ04 KK43

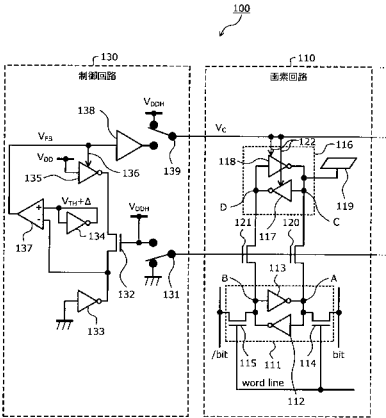
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示の切り替えに要する時間を短縮しつつ、1画素あたりの面積および消費電力の低減を図ること。

【解決手段】 第1SRAMセル111は、入力されたデータを保持する。第2SRAMセル116は、第1SRAMセル111よりも高電圧への耐性が高いトランジスタにより構成され、第1SRAMセル111から転送されたデータを保持するSRAM型のメモリセルである。液晶画素119は、第2SRAMセル116が保持するデータに基づく液晶表示を行う。MOSTランジスタ120、121は、液晶画素119による液晶表示および第1SRAMセル111へのデータの入力が行われる第1期間において第1SRAMセル111と第2SRAMセル116の間を遮断し、第1SRAMセル111から第2SRAMセル116へのデータの転送が行われる第2期間において第1SRAMセル111と第2SRAMセル116との間を接続する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力されたデータを保持する第 1 メモリセルと、

前記第 1 メモリセルよりも高電圧への耐性が高いトランジスタにより構成され、前記第 1 メモリセルから転送されたデータを保持する S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) 型の第 2 メモリセルと、

前記第 2 メモリセルが保持するデータに基づく液晶表示を行う液晶画素と、

前記液晶画素による液晶表示および前記第 1 メモリセルへのデータの入力が行われる第 1 期間において前記第 1 メモリセルと前記第 2 メモリセルとの間を遮断し、前記第 1 メモリセルから前記第 2 メモリセルへのデータの転送が行われる第 2 期間において前記第 1 メモリセルと前記第 2 メモリセルとの間を接続するスイッチと、

を備えることを特徴とする液晶表示装置。

10

【請求項 2】

前記第 2 期間において、前記第 2 メモリセルの出力インピーダンスを、前記第 1 メモリセルの出力インピーダンスより高い第 1 インピーダンスに制御し、

前記第 1 期間において、前記第 2 メモリセルの出力インピーダンスを、前記第 1 インピーダンスより低い第 2 インピーダンスになるように制御する、

制御回路を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記制御回路は、

20

前記第 1 メモリセル、前記第 2 メモリセルおよび前記スイッチのレプリカ回路を備え、

前記第 2 期間において、前記レプリカ回路によって生成した制御電圧で前記第 2 メモリセルを駆動することによって前記第 2 メモリセルの出力インピーダンスを前記第 1 インピーダンスに制御し、

前記第 1 期間において、前記液晶画素を駆動可能な制御電圧で前記第 2 メモリセルを駆動することによって前記第 2 メモリセルの出力インピーダンスを前記第 2 インピーダンスに制御する、

ことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記制御回路は、

30

前記第 2 期間において、定電圧源によって生成した制御電圧で前記第 2 メモリセルを駆動することによって前記第 2 メモリセルの出力インピーダンスを前記第 1 インピーダンスに制御し、

前記第 1 期間において、前記液晶画素を駆動可能な制御電圧で前記第 2 メモリセルを駆動することによって前記第 2 メモリセルの出力インピーダンスを前記第 2 インピーダンスに制御する、

ことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 5】

前記第 2 メモリセルへ前記液晶画素を駆動可能な制御電圧を入力する信号線に直列に設けられた定電流源または抵抗と、前記信号線に並列に設けられた容量と、を備えることを特徴とする請求項 3 または 4 に記載の液晶表示装置。

40

【請求項 6】

前記信号線における前記容量と前記第 2 メモリセルとの間にバッファを備えることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 メモリセル、前記第 2 メモリセル、前記液晶画素および前記スイッチを含む画素回路を複数備え、

前記制御回路は、前記画素回路のうちの複数の画素回路において共有される、

ことを特徴とする請求項 2 ～ 6 のいずれか一つに記載の液晶表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

従来、LCOS (Liquid Crystal On Silicon) などの空間光変調器によって変調した信号光を光情報記録媒体に照射してホログラムを形成することで情報信号を記録するホログラフィックメモリが知られている。空間光変調器には、たとえば液晶セルを用いた液晶表示装置が用いられる。液晶表示装置において、液晶セルの駆動にはある程度の高電圧を要するため、液晶セルを駆動する画素回路には、高電圧の駆動信号を液晶セルへ出力可能な構成が求められる。

【0003】

また、たとえば液晶画素として用いられるFLC (Ferroelectric Liquid Crystal: 強誘電性液晶) は反転電流が多く、DRAM (Dynamic Random Access Memory) では画素データを保持できない。このため、液晶表示装置にはメモリセルとしてたとえばSRAM (Static Random Access Memory) セルが用いられる。

【0004】

また、画素ごとに2個のメモリセルを用いて表示の切り替えに要する時間を短縮するダブルバッファの構成が知られている。また、ピクセルにマスタラッチとスレーブラッチを用いる構成が知られている(たとえば、下記特許文献1参照。)。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特表2001-523847号公報(図2)

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上述した従来技術では、液晶表示の切り替えに要する時間を短縮するために2個のSRAMセルを用いたダブルバッファの構成とすると、各SRAMセルに高耐圧素子を用いることになり、1画素あたりの面積が大きくなるという問題がある。また、たとえばビット線の電圧振幅が大きくなるため、ビット線の充放電により消費電力が大きくなるという問題がある。

【0007】

本発明は、上述した従来技術による問題点を解消するため、液晶表示の切り替えに要する時間を短縮しつつ、1画素あたりの面積および消費電力の低減を図ることができる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、目的を達成するため、本発明にかかる液晶表示装置は、入力されたデータを保持する第1メモリセルと、前記第1メモリセルよりも高電圧への耐性が高いトランジスタにより構成され、前記第1メモリセルから転送されたデータを保持するSRAM型の第2メモリセルと、前記第2メモリセルが保持するデータに基づく液晶表示を行う液晶画素と、前記液晶画素による液晶表示および前記第1メモリセルへのデータの入力が行われる第1期間において前記第1メモリセルと前記第2メモリセルとの間を遮断し、前記第1メモリセルから前記第2メモリセルへのデータの転送が行われる第2期間において前記第1メモリセルと前記第2メモリセルとの間を接続するスイッチと、を備える。

【0009】

これにより、ダブルバッファの構成によって液晶表示の切り替えに要する時間を短縮することができる。また、第2メモリセルから高電圧の信号により液晶画素を駆動しつつ、

第 1 メモリセルに印加される最大電圧を低くし、第 1 メモリセルに小型の素子を用いることが可能になる。

【発明の効果】

【0010】

本発明の一側面によれば、液晶表示の切り替えに要する時間を短縮しつつ、1画素あたりの面積および消費電力の低減を図ることができるという効果を奏する。

【図面の簡単な説明】

【0011】

【図 1】図 1 は、実施の形態 1 にかかる液晶表示回路の一例を示す図（その 1）である。

【図 2】図 2 は、実施の形態 1 にかかる液晶表示回路の一例を示す図（その 2）である。

【図 3】図 3 は、実施の形態 1 にかかる液晶表示回路を適用した液晶表示装置の一例を示す図である。

【図 4】図 4 は、実施の形態 1 にかかる液晶表示装置の動作タイミングの一例を示す図である。

【図 5】図 5 は、実施の形態 1 にかかる液晶表示回路の他の例を示す図である。

【図 6】図 6 は、実施の形態 2 にかかる液晶表示回路の一例を示す図である。

【図 7】図 7 は、実施の形態 2 にかかる液晶表示回路の他の例を示す図である。

【図 8】図 8 は、実施の形態 2 にかかる液晶表示回路のさらに他の例を示す図である。

【図 9】図 9 は、実施の形態 3 にかかる液晶表示回路の一例を示す図である。

【図 10】図 10 は、実施の形態 4 にかかる液晶表示回路の一例を示す図である。

【図 11】図 11 は、各実施の形態にかかる液晶表示回路の第 2 S R A M セルの一例を示す図である。

【図 12】図 12 は、各実施の形態にかかる液晶表示回路の第 2 S R A M セルの他の例を示す図である。

【発明を実施するための形態】

【0012】

以下に添付図面を参照して、本発明にかかる液晶表示装置の実施の形態を詳細に説明する。

【0013】

（実施の形態 1）

（実施の形態 1 にかかる液晶表示回路の一例）

図 1 および図 2 は、実施の形態 1 にかかる液晶表示回路の一例を示す図である。図 1、図 2 に示すように、実施の形態 1 にかかる液晶表示回路 100 は、複数の画素回路 110 と、制御回路 130 と、を備える。また、液晶表示回路 100 は、液晶セルを用いた各画素を駆動することにより画像を表示する回路である。また、液晶表示回路 100 は、画素回路 110 のそれぞれに設けられた第 1 S R A M セル 111 および第 2 S R A M セル 116 を用いて画像を表示するダブルバッファの構成である。

【0014】

図 1 は、液晶表示回路 100 が第 1 S R A M セル 111 へのデータの入力および第 2 S R A M セル 116 のデータの表示を行う第 1 期間の状態を示している。図 2 は、液晶表示回路 100 が第 1 S R A M セル 111 から第 2 S R A M セル 116 へのデータの転送を行う第 2 期間の状態を示している。液晶表示回路 100 は、図 1 に示す第 1 期間の状態と、図 2 に示す第 2 期間の状態と、を交互に切り替えながら動作する（たとえば図 4 参照）。

【0015】

画素回路 110 は、液晶表示回路 100 における表示画面の画素ごとに設けられた回路である。図 1、図 2 においては画素ごとに設けられた画素回路 110 のうちの 1 つの画素回路 110 の構成について説明するが、画素ごとに設けられた画素回路 110 のうちの他の画素回路 110 の構成についても同様である。画素回路 110 は、第 1 S R A M セル 111 と、第 2 S R A M セル 116 と、液晶画素 119 と、M O S トランジスタ 120、121 と、を備える。

10

20

30

40

50

【 0 0 1 6 】

第 1 S R A M セル 1 1 1 および第 2 S R A M セル 1 1 6 のそれぞれは、たとえば C M O S (C o m p l e m e n t a r y M e t a l - O x i d e - S e m i c o n d u c t o r : 相補型金属酸化膜半導体) 型の S R A M セルである。このような S R A M セルは、たとえば完全 C M O S 型の S R A M セルや、フル C M O S 型の S R A M セルと呼ばれる場合もある。

【 0 0 1 7 】

第 1 S R A M セル 1 1 1 は、第 1 期間 (図 1 参照) において、画素回路 1 1 0 の外部の回路から、ビット線 (b i t) および反転ビット線 (/ b i t) からなる入力回路を介して表示用のデータが入力される第 1 メモリセルである。外部の回路は、たとえば図 3 に示す周辺回路 3 3 0 である。第 1 S R A M セル 1 1 1 に保持されたデータは、次の第 2 期間 (図 2 参照) において第 2 S R A M セル 1 1 6 へ転送される。

10

【 0 0 1 8 】

第 1 S R A M セル 1 1 1 は、インバータ 1 1 2 , 1 1 3 および M O S トランジスタ 1 1 4 , 1 1 5 (M e t a l - O x i d e - S e m i c o n d u c t o r トランジスタ) によって構成されている。インバータ 1 1 2 , 1 1 3 のそれぞれは、たとえば 2 個の M O S トランジスタにより構成される。インバータ 1 1 2 の入力インバータ 1 1 3 の出力と接続されている。インバータ 1 1 2 の出力はインバータ 1 1 3 の入力と接続されている。

【 0 0 1 9 】

ラッチノード A は、インバータ 1 1 3 の出力であり、インバータ 1 1 2 の入力である。ラッチノード B は、インバータ 1 1 2 の出力であり、インバータ 1 1 3 の入力である。M O S トランジスタ 1 1 4 , 1 1 5 は選択用トランジスタとして用いられる。

20

【 0 0 2 0 】

対になったビット線 (b i t) および反転ビット線 (/ b i t) は、互いに逆の論理状態 (たとえば “ H ” および “ L ”) となる各ビット線である。 “ H ” は、 “ L ” よりも高い電圧である。 “ L ” は、 “ H ” よりも低い電圧である。たとえば “ H ” および “ L ” は互いに極性が異なる各信号である。

【 0 0 2 1 】

ラッチノード A が “ H ” の場合にはインバータ 1 1 2 によってラッチノード B に “ L ” が出力される。これにより、インバータ 1 1 3 はラッチノード A を元の “ H ” に保つ。一方、ラッチノード A が “ L ” の場合にはインバータ 1 1 2 によってラッチノード B に “ H ” が出力される。これにより、インバータ 1 1 3 はラッチノード A を元の “ L ” に保つ。

30

【 0 0 2 2 】

第 1 S R A M セル 1 1 1 に “ H ” を書き込むには、ワード線 (w o r d l i n e) を “ H ” にすることにより M O S トランジスタ 1 1 4 , 1 1 5 のゲートを開いた状態 (オンにした状態) でビット線 (b i t) を “ H ” にする。これにより、反転ビット線 (/ b i t) は “ L ” となり、ラッチノード B は “ L ” 、ラッチノード A は “ H ” となる。

【 0 0 2 3 】

逆に、第 1 S R A M セル 1 1 1 に “ L ” を書き込むには、ワード線を “ H ” にすることにより M O S トランジスタ 1 1 4 , 1 1 5 のゲートを開いた状態でビット線 (b i t) を “ L ” にする。これにより、反転ビット線 (/ b i t) は “ H ” となり、ラッチノード B は “ H ” 、ラッチノード A は “ L ” となる。

40

【 0 0 2 4 】

第 1 S R A M セル 1 1 1 に値を書き込んだ後は、ワード線を “ L ” にすることにより M O S トランジスタ 1 1 4 , 1 1 5 のゲートを閉じた状態 (オフにした状態) とする。これにより、書き込まれた値がフリップフロップにより安定して保持される。

【 0 0 2 5 】

第 2 S R A M セル 1 1 6 は、第 2 期間 (図 2 参照) において、第 1 S R A M セル 1 1 1 から転送されたデータを保持する第 2 メモリセルである。また、第 2 S R A M セル 1 1 6 は、液晶画素 1 1 9 と直接接続されている。第 2 S R A M セル 1 1 6 が保持するデータは

50

、次の第 1 期間（図 1 参照）において液晶画素 119 により表示される。

【0026】

第 2 SRAM セル 116 は、インバータ 117, 118 によって構成されている。インバータ 117, 118 のそれぞれは、たとえば 2 個の MOS トランジスタにより構成される。インバータ 117 の入力インバータ 118 の出力と接続されている。インバータ 117 の出力はインバータ 118 の入力と接続されている。

【0027】

ラッチノード C は、インバータ 118 の出力であり、インバータ 117 の入力である。ラッチノード D は、インバータ 117 の出力であり、インバータ 118 の入力である。液晶表示回路 100 においては、MOS トランジスタ 120, 121 が第 2 SRAM セル 116 の選択用トランジスタとなる。

10

【0028】

ラッチノード C が “H” の場合にはインバータ 117 によりラッチノード D に “L” が出力される。これにより、インバータ 118 はラッチノード C を元の “H” に保つ。一方、ラッチノード C が “L” の場合にはインバータ 117 によりラッチノード D に “H” が出力される。これにより、インバータ 118 はラッチノード C を元の “L” に保つ。

【0029】

MOS トランジスタ 120, 121 は、第 1 SRAM セル 111 の出力部と、第 2 SRAM セル 116 の入力部と、の間に設けられた転送素子である。MOS トランジスタ 120 は、ラッチノード A とラッチノード C との間に設けられている。MOS トランジスタ 121 は、ラッチノード B とラッチノード D との間に設けられている。MOS トランジスタ 120, 121 の各ゲートは制御回路 130 のスイッチ 131 の出力に接続されている。

20

【0030】

第 1 SRAM セル 111 のデータを第 2 SRAM セル 116 へ転送する第 2 期間（図 2 参照）においては、MOS トランジスタ 120, 121 のゲート電圧を “H” にすることにより MOS トランジスタ 120, 121 のゲートを開いた状態（オンにした状態）とする。これにより、第 1 SRAM セル 111 と第 2 SRAM セル 116 との間が接続され、第 1 SRAM セル 111 に保持されたデータが第 2 SRAM セル 116 へ転送される。MOS トランジスタ 120, 121 のゲート電圧の “H” は、図 1 に示す例では後述する電圧 V_{DDH} である。ただし、MOS トランジスタ 120, 121 のゲート電圧の “H” は、電圧 V_{DDH} に限らず、MOS トランジスタ 120, 121 をオンにすることができる電圧であればよい。

30

【0031】

第 2 期間において第 1 SRAM セル 111 から第 2 SRAM セル 116 へデータを転送した後は、第 1 SRAM セル 111 へのデータの入力および第 2 SRAM セル 116 のデータの表示を行う第 1 期間へ移行する。第 1 期間においては、MOS トランジスタ 120, 121 のゲート電圧を “L”（たとえば 0 [V]）にすることにより MOS トランジスタ 120, 121 のゲートを閉じた状態（オフにした状態）とする。これにより、第 1 SRAM セル 111 と第 2 SRAM セル 116 との間が遮断され、第 2 SRAM セル 116 へ転送された値がフリップフロップにより安定して保持される。また、第 1 SRAM セル 111 に対して新たなデータを書き込むことが可能になる。

40

【0032】

液晶画素 119 は、インバータ 118 の出力とインバータ 117 の入力との間（ラッチノード C）に接続されている。第 2 SRAM セル 116 に書き込まれた値は、駆動信号として、液晶画素 119 へ出力される。液晶画素 119 は、第 2 SRAM セル 116 から出力された駆動信号に応じた表示を行う。この駆動信号の電圧は、第 1 期間においてインバータ 117, 118 のトランジスタのソースに接続される電圧源の電圧 V_{DDH} となる。電圧 V_{DDH} は、液晶画素 119 における液晶駆動に要する高電圧である。液晶画素 119 は、一例としては FLC（強誘電性液晶）により実現することができる。

【0033】

50

次に、第1SRAMセル111および第2SRAMセル116などに用いられる素子について説明する。第2SRAMセル116を構成するトランジスタおよびMOSトランジスタ120, 121には、高電圧への耐性（劣化耐性や破壊耐性）が比較的高いトランジスタを用いる。また、第1SRAMセル111には、高電圧への耐性（破壊耐性）が第2SRAMセル116を構成するトランジスタおよびMOSトランジスタ120, 121より低いトランジスタを用いる。トランジスタの高電圧への耐性は、たとえばゲート酸化膜厚やウェルなどの濃度といった素子構造や、ゲートの幅などの設計によって調整することができる。

【0034】

たとえば、第2SRAMセル116を構成するトランジスタおよびMOSトランジスタ120, 121は、液晶画素119へ出力される駆動信号の最大の電圧 V_{DDH} に十分に耐えられる高耐圧素子とする。これにより、駆動信号の最大の電圧 V_{DDH} による第2SRAMセル116およびMOSトランジスタ120, 121の破壊を回避しつつ、液晶画素119へ出力される駆動信号は、電圧 V_{DDH} とGND(0[V])との間をスイングする高電圧の信号とすることができる。

【0035】

また、たとえば第2SRAMセル116と液晶画素119との間にレベル変換回路などを設けなくても、液晶画素119を第2SRAMセル116から電圧 V_{DDH} で直接駆動することが可能になる。このため、たとえば液晶表示回路100の小型化を図ることができる。また、液晶表示回路100の消費電力の増加を抑えることができる。

【0036】

一方、第1SRAMセル111を構成するトランジスタは、液晶画素119へ出力される駆動信号の最大の電圧 V_{DDH} に十分に耐えられないが小型の標準耐圧素子とする。これにより、第1SRAMセル111を構成するトランジスタは、第2SRAMセル116を構成するトランジスタおよびMOSトランジスタ120, 121よりも小型の素子によって実現することが可能になる。このため、たとえば第1SRAMセル111および第2SRAMセル116を構成する各トランジスタの全てに高耐圧素子を用いる場合に比べて高耐圧素子の数を少なくし、画素回路110を小型化することができる。

【0037】

また、MOSトランジスタ120, 121を設け、液晶画素119による表示を行う第1期間においては第1SRAMセル111と第2SRAMセル116との間を遮断することで、表示の駆動信号の最大の電圧 V_{DDH} が、標準耐圧素子によって構成される第1SRAMセル111へ入力されないようにすることができる。これにより、第1SRAMセル111を構成するトランジスタの破壊を回避することができる。

【0038】

したがって、液晶画素119を高電圧（電圧 V_{DDH} ）で駆動しつつ、第1SRAMセル111を構成するトランジスタを小型化することが可能になる。このため、複数の画素回路110のそれぞれを小型化し、液晶表示回路100を小型化することができる。

【0039】

また、液晶表示回路100のビット線やワード線へ入力される制御信号の最大の電圧を、電圧 V_{DDH} より低い電圧 V_{DD} とすることが可能になる。これにより、液晶表示回路100のビット線やワード線へ制御信号を転送する周辺回路（たとえば図3に示す周辺回路330）に低い電圧 V_{DD} の電源を用いることができる。このため、液晶表示回路100のビット線やワード線へ制御信号を転送する周辺回路における消費電力を低減することができる。

【0040】

このように、液晶表示回路100によれば、第1SRAMセル111および第2SRAMセル116を用いたダブルバッファの構成とすることで、液晶画素119による液晶表示の切り替えに要する時間を短縮することができる。また、液晶表示に要する高電圧の駆動信号により液晶画素119を駆動しつつ、第1SRAMセル111を構成するトランジ

10

20

30

40

50

スタに印加される最大電圧を低くし、第 1 S R A M セル 1 1 1 を構成するトランジスタに小型の素子を用いることが可能になる。このため、液晶表示の切り替えに要する時間を短縮しつつ、1 画素あたりの面積および消費電力の低減を図ることができる。

【 0 0 4 1 】

また、第 2 S R A M セル 1 1 6 は、制御端子 1 2 2 を備える。第 2 S R A M セル 1 1 6 の制御端子 1 2 2 へ入力する制御電圧 V_c により、第 2 S R A M セル 1 1 6 の出力能力（出力インピーダンス）を変化させることができる。具体的には、制御端子 1 2 2 へ入力された制御電圧 V_c は、インバータ 1 1 7 , 1 1 8 のトランジスタ（たとえばソース）へ入力される。これにより、インバータ 1 1 7 , 1 1 8 のそれぞれが出力する値（たとえば“H”）の電圧は、制御端子 1 2 2 からインバータ 1 1 7 , 1 1 8 へ入力された制御電圧 V_c となるように制御される。制御端子 1 2 2 に入力される制御電圧 V_c は、たとえば、第 1 S R A M セル 1 1 1 および第 2 S R A M セル 1 1 6 の出力能力の比が所定値となるように、制御回路 1 3 0 によって制御される。

【 0 0 4 2 】

制御回路 1 3 0 は、M O S トランジスタ 1 2 0 , 1 2 1 のオン/オフの切り替えと、第 2 S R A M セル 1 1 6 の出力能力と、を制御する制御回路である。具体的には、制御回路 1 3 0 は、スイッチ 1 3 1 と、M O S トランジスタ 1 3 2 と、インバータ 1 3 3 , 1 3 4 , 1 3 5 と、制御端子 1 3 6 と、差動アンプ 1 3 7 と、バッファ 1 3 8 と、スイッチ 1 3 9 と、を備える。

【 0 0 4 3 】

スイッチ 1 3 1 は、M O S トランジスタ 1 2 0 , 1 2 1 のゲートへ入力される電圧を、電圧 V_{DDH} と 0 [V] とのいずれかに切り替える。たとえば、第 1 期間においては、図 1 に示すように、M O S トランジスタ 1 2 0 , 1 2 1 のゲートへ入力される電圧が 0 [V] となるようにスイッチ 1 3 1 が設定される。これにより、M O S トランジスタ 1 2 0 , 1 2 1 がオフとなり、第 1 S R A M セル 1 1 1 と第 2 S R A M セル 1 1 6 との間が遮断される。第 2 期間においては、図 2 に示すように、M O S トランジスタ 1 2 0 , 1 2 1 のゲートへ入力される電圧が電圧 V_{DDH} となるようにスイッチ 1 3 1 が設定される。これにより、M O S トランジスタ 1 2 0 , 1 2 1 がオンとなり、第 1 S R A M セル 1 1 1 と第 2 S R A M セル 1 1 6 との間が接続される。

【 0 0 4 4 】

M O S トランジスタ 1 3 2 は、M O S トランジスタ 1 2 0 , 1 2 1 （転送素子）と同じ電気的特性を有するレプリカ回路である。具体的には、M O S トランジスタ 1 3 2 は、ゲートに対して電圧 V_{DDH} が常に入力されることにより、オン状態の M O S トランジスタ 1 2 0 , 1 2 1 を模した回路である。M O S トランジスタ 1 3 2 は、差動アンプ 1 3 7 の入力（-）およびインバータ 1 3 3 とインバータ 1 3 5 との間に設けられている。

【 0 0 4 5 】

インバータ 1 3 3 , 1 3 4 は、インバータ 1 1 2 , 1 1 3 と同じ電気的特性を有するレプリカ回路、すなわち第 1 S R A M セル 1 1 1 のレプリカ回路である。インバータ 1 3 3 は、入力が接地されており、電圧 V_{DD} （一例としては 1 . 8 [V]）を出力する。インバータ 1 3 3 の出力は M O S トランジスタ 1 3 2 および差動アンプ 1 3 7 の入力（-）に接続されている。

【 0 0 4 6 】

インバータ 1 3 4 は、出力が入力に接続され、入力および出力が差動アンプ 1 3 7 の入力（+）に接続されている。そして、インバータ 1 3 4 は、差動アンプ 1 3 7 の入力（+）に対してたとえば $V_{TH} + \Delta$ の電圧を出力する。 V_{TH} は論理閾値であり、一例としては $V_{TH} = V_{DD} / 2 = 0 . 9$ [V] である。 Δ は、安全余裕分の値であり、一例としては 0 . 1 [V] である。

【 0 0 4 7 】

インバータ 1 3 5 は、インバータ 1 1 7 , 1 1 8 と同じ電気的特性を有するレプリカ回路、すなわち第 2 S R A M セル 1 1 6 のレプリカ回路である。インバータ 1 3 5 は、入力

10

20

30

40

50

に定電圧源 V_{DD} が接続されており、たとえば $0 [V]$ の電圧を出力する。また、インバータ 135 は、制御端子 122 のレプリカ回路として制御端子 136 を備える。制御端子 136 には、差動アンプ 137 から出力される電圧 V_{FB} が入力される。インバータ 135 の制御端子 136 へ入力される電圧 V_{FB} によりインバータ 135 の出力能力（出力インピーダンス）が変化する。

【0048】

差動アンプ 137 は、インバータ 133 およびインバータ 135 からの出力電圧と、インバータ 134 からの出力電圧と、の差分を示す電圧 V_{FB} を出力する。差動アンプ 137 から出力された電圧 V_{FB} は、制御端子 136 およびバッファ 138 へ入力される。バッファ 138 は、差動アンプ 137 から出力された電圧 V_{FB} を保持し、保持した電圧 V_{FB} をスイッチ 139 へ出力する。

10

【0049】

スイッチ 139 は、制御端子 122 へ入力される制御電圧 V_C を、定電圧源の電圧 V_{DDH} と、バッファ 138 から出力される電圧 V_{FB} と、のいずれかに切り替える。たとえば、第 1 期間においては、図 1 に示すように、制御端子 122 へ入力される制御電圧 V_C が電圧 V_{DDH} となるようにスイッチ 139 が設定される。これにより、第 2 S R A M セル 116 から液晶画素 119 へ出力される駆動信号を高電圧の電圧 V_{DDH} とし、液晶画素 119 を駆動することができる。

【0050】

また、第 2 期間においては、図 2 に示すように、制御端子 122 へ入力される制御電圧 V_C が電圧 V_{FB} となるようにスイッチ 139 が設定されている。これにより、第 2 S R A M セル 116 の出力能力が第 1 S R A M セル 111 の出力能力より弱く（出力インピーダンスが高く）なるように制御することができる。したがって、複数の画素回路 110 における S R A M セルの製造誤差（たとえばウエハ間やロット間のばらつき）や電源電圧の変動による、第 1 S R A M セル 111 および第 2 S R A M セル 116 の各出力能力の比の誤差や変動を抑えることができる。このため、第 1 S R A M セル 111 から第 2 S R A M セル 116 へのデータ転送をより確実に行うことができる。

20

【0051】

このように、制御回路 130 は、スイッチ 139 を制御することにより、第 2 期間において、第 2 S R A M セル 116 の出力インピーダンスを、第 1 S R A M セル 111 の出力インピーダンスより高い第 1 インピーダンスにする。これにより、第 1 S R A M セル 111 から第 2 S R A M セル 116 へのデータ転送を確実に行うことができる。このとき、制御回路 130 は、第 1 S R A M セル 111、第 2 S R A M セル 116 および M O S トランジスタ 120、121 のレプリカ回路によって生成した電圧 V_{FB} で第 2 S R A M セル 116 を駆動することによって、複数の画素回路 110 における S R A M セルの製造誤差や電源電圧の変動があっても第 2 S R A M セル 116 の出力インピーダンスを精度よく第 1 インピーダンスにし、データ転送をより確実に行うことができる。

30

【0052】

また、制御回路 130 は、スイッチ 139 を制御することにより、第 1 期間において、第 2 S R A M セル 116 の出力インピーダンスを、第 1 期間における第 2 S R A M セル 116 の出力インピーダンス（第 1 インピーダンス）より低い第 2 インピーダンスにする。これにより、第 2 S R A M セル 116 から液晶画素 119 を高電圧により駆動することができる。このとき、制御回路 130 は、液晶画素 119 を駆動可能な電圧 V_{DDH} で第 2 S R A M セル 116 を駆動することによって第 2 S R A M セル 116 の出力インピーダンスを第 2 インピーダンスに制御することができる。

40

【0053】

また、制御回路 130 は、液晶表示回路 100 における複数の画素回路 110 において共有される。すなわち、1 個の制御回路 130 は、複数の画素回路 110 のそれぞれについて、M O S トランジスタ 120、121 のオン/オフの切り替えと、第 2 S R A M セル 116 の出力能力と、を制御する。

50

【 0 0 5 4 】

たとえば、液晶表示回路 1 0 0 の全ての画素回路 1 1 0 に対して 1 個の制御回路 1 3 0 が設けられる。または、液晶表示回路 1 0 0 の画素回路 1 1 0 を複数のグループに分け、グループごとに制御回路 1 3 0 が設けられてもよい。これにより、制御回路 1 3 0 を設けることによる装置の大型化や消費電力の増加を抑えることができる。

【 0 0 5 5 】

このように、液晶表示回路 1 0 0 によれば、第 2 S R A M セル 1 1 6 によって画像の表示を行っている期間（第 1 期間）において、第 1 S R A M セル 1 1 1 へのデータ書き込みを行うことができる。このため、現在の表示内容から次の表示内容に切り替わるまでに要する時間を短くすることができる。また、周辺回路から第 1 S R A M セル 1 1 1 までの回路を低電圧で動作させることができるため、画素回路 1 1 0 の動作に要する消費電力を抑えることができる。また、高耐圧素子の数を少なくすることができるため、面積効率の悪化を抑えることができる。

10

【 0 0 5 6 】

（実施の形態 1 にかかる液晶表示回路を適用した液晶表示装置）

図 3 は、実施の形態 1 にかかる液晶表示回路を適用した液晶表示装置の一例を示す図である。図 1 に示した液晶表示回路 1 0 0 は、たとえば図 3 に示す液晶表示装置 3 0 0 に適用することができる。図 3 に示すように、液晶表示装置 3 0 0 は、液晶表示部 3 1 0 と、バイアス回路 3 2 0 と、周辺回路 3 3 0 と、を備える。

【 0 0 5 7 】

20

液晶表示部 3 1 0 は、たとえば、複数の信号線および複数の走査線を有し、複数の信号線および複数の走査線の交差に対応してマトリクス状に画素回路 1 1 0 が配置された液晶表示部である。また、液晶表示部 3 1 0 は、複数の信号線および複数の走査線へ入力された各信号に応じた画像をマトリクス状の画素回路 1 1 0 により表示する。

【 0 0 5 8 】

たとえば、液晶表示部 3 1 0 には、L C O S 等の液晶パネルを用いることができる。また、たとえば、液晶表示部 3 1 0 における列方向のカラム（C o l u m n）ラインが信号線であり、液晶表示部 3 1 0 における行方向のロウ（R o w）ラインが走査線である。

【 0 0 5 9 】

バイアス回路 3 2 0 においては、液晶表示部 3 1 0 のロウ（行）ごとに、そのロウに設けられた複数の画素回路 1 1 0 と接続するように制御回路 1 3 0 が設けられている。たとえば、液晶表示部 3 1 0 の第 n 行目における複数の画素回路 1 1 0 には、バイアス回路 3 2 0 における第 n の制御回路 1 3 0 が接続される。

30

【 0 0 6 0 】

ただし、画素回路 1 1 0 と制御回路 1 3 0 との関係はこれに限らず、たとえばバイアス回路 3 2 0 には制御回路 1 3 0 を 1 個だけ設け、その制御回路 1 3 0 に液晶表示部 3 1 0 の全ての画素回路 1 1 0 を接続してもよい。また、液晶表示部 3 1 0 のカラム（列）ごとに制御回路 1 3 0 を設けてもよい。

【 0 0 6 1 】

周辺回路 3 3 0 には、液晶表示部 3 1 0 に画像を表示させるためのデータおよびクロックが入力される。たとえば、周辺回路 3 3 0 は、タイミング制御部 3 3 1 と、ロウ選択部 / ロウドライバ 3 3 2 と、カラム選択部 3 3 3 と、カラムドライバ 3 3 4 と、スイッチ制御部 3 3 5 と、を備える。

40

【 0 0 6 2 】

タイミング制御部 3 3 1 は、周辺回路 3 3 0 へ入力されたクロックに基づいて、ロウ選択部 / ロウドライバ 3 3 2、カラム選択部 3 3 3 およびカラムドライバ 3 3 4 における各動作タイミングを制御する。

【 0 0 6 3 】

ロウ選択部 / ロウドライバ 3 3 2 は、タイミング制御部 3 3 1 からの制御に基づいて、液晶表示部 3 1 0 の行（R o w）ごとに設けられた走査線のいずれかに信号を入力するこ

50

とにより、液晶表示部 310 における書き換え対象の行を設定する。

【0064】

カラム選択部 333 は、周辺回路 330 へ入力されたデータに基づいて、液晶表示部 310 の列 (Column) ごとに設けられた信号線へ入力する各データ信号をカラムドライバ 334 へ出力する。カラムドライバ 334 は、カラム選択部 333 から出力された各データ信号を、液晶表示部 310 の列ごとに設けられた信号線へ入力する。これにより、液晶表示部 310 に対して各列の書き換えが指示される。このとき、実際に書き換えられる液晶表示部 310 の画素回路 110 は、ロウ選択部 / ロウドライバ 332 によって書き換え対象として設定された行における各列の画素回路 110 である。

【0065】

スイッチ制御部 335 は、制御回路 130 におけるスイッチ 131, 139 (図 1, 図 2 参照) の制御を行う。具体的には、スイッチ制御部 335 は、第 1 期間においてはスイッチ 131, 139 を図 1 に示した状態に設定する。また、スイッチ制御部 335 は、第 2 期間においてはスイッチ 131, 139 を図 2 に示した状態に設定する。

【0066】

液晶表示部 310 には、たとえば画素回路 110 のインバータ 112, 113 の MOS トランジスタなどを駆動するための電圧 V_{DD} が供給される。電圧 V_{DD} は、たとえば図 1 に示したインバータ 112, 113 の MOS トランジスタや MOS トランジスタ 114, 115 を破壊しない程度の電圧 (一例としては $1.8 [V]$) である。

【0067】

バイアス回路 320 には、スイッチ 131, 139 や MOS トランジスタ 132 へ入力される電圧 V_{DDH} と、たとえば制御回路 130 のインバータ 133 を駆動するための電圧 V_{DD} と、が供給される。電圧 V_{DDH} は、画素回路 110 の液晶駆動に要する電圧であって、電圧 V_{DD} より高い電圧 (一例としては $5 [V]$) である。周辺回路 330 には電圧 V_{DD} が供給される。

【0068】

図 3 に示した液晶表示装置 300 は、液晶表示部 310 を用いて画像を表示する液晶表示装置であるが、液晶表示部 310 を用いて光を空間変調する空間光変調装置としての側面を有する。たとえば、画像を光情報記録媒体に照射してホログラムを形成することで情報を記録するホログラフィックメモリにおいて、光を空間変調することによって画像を生成する空間光変調装置として液晶表示装置 300 を用いることができる。ただし、液晶表示装置 300 は、ホログラフィックメモリに限らず、たとえばプロジェクタや電子式ビューファインダ等にも適用可能である。

【0069】

(実施の形態 1 にかかる液晶表示装置の動作タイミング)

図 4 は、実施の形態 1 にかかる液晶表示装置の動作タイミングの一例を示す図である。ここでは図 3 に示した液晶表示装置 300 をホログラフィックメモリに適用する場合について説明する。図 4 において、横軸は時間を示す。フレーム期間 401 は、液晶表示装置 300 による表示の 1 フレーム分の期間である。液晶表示装置 300 は、フレーム期間 401 ごとに表示内容を切り替える。

【0070】

データ 411 ~ 413, ... は、各フレームにおいて周辺回路 330 から画素回路 110 へ入力されるデータである。データ 411 ~ 413, ... の電圧は、たとえば電圧 V_{DD} (一例としては $1.8 [V]$) である。データ入力期間 421 は、データ 411 ~ 413, ... が画素回路 110 へ入力される期間である。

【0071】

制御電圧 430 は、スイッチ 139 から制御端子 122 へ入力される制御電圧 V_C である。制御電圧 430 は、スイッチ 139 の設定によって、電圧 V_{DDH} (一例としては $5 [V]$) と、電圧 V_{FB} (一例としては $1.8 [V]$) と、に切り替えられる (図 1, 図 2 参照)。

10

20

30

40

50

【 0 0 7 2 】

液晶表示装置 3 0 0 をホログラフィックメモリに適用する場合は、転送期間 4 2 2、液晶応答期間 4 2 3、記録メディア書込期間 4 2 4 が周期的に繰り返される。転送期間 4 2 2 は、第 1 S R A M セル 1 1 1 から第 2 S R A M セル 1 1 6 へデータが転送される第 2 期間である。転送期間 4 2 2 (第 2 期間)においては、スイッチ 1 3 9 が図 2 に示した状態に設定され、制御電圧 4 3 0 は電圧 V_{FB} となる。

【 0 0 7 3 】

液晶応答期間 4 2 3 は、転送期間 4 2 2 において第 2 S R A M セル 1 1 6 に書き込まれたデータに対する液晶画素 1 1 9 の液晶表示の応答期間である。記録メディア書込期間 4 2 4 は、液晶応答期間 4 2 3 の後に、液晶画素 1 1 9 により液晶表示された情報がホログラフィックメモリの記録メディアに書き込まれる期間である。

10

【 0 0 7 4 】

すなわち、液晶応答期間 4 2 3 および記録メディア書込期間 4 2 4 は、液晶画素 1 1 9 による液晶表示を行う第 1 期間である。この液晶応答期間 4 2 3 および記録メディア書込期間 4 2 4 (第 1 期間)においては、スイッチ 1 3 9 が図 1 に示した状態に設定され、制御電圧 4 3 0 は電圧 V_{DDH} となる。

【 0 0 7 5 】

また、この液晶応答期間 4 2 3 および記録メディア書込期間 4 2 4 (第 1 期間)において、液晶画素 1 1 9 による液晶表示と並行して、データ 4 1 2, 4 1 3, ... の第 1 S R A M セル 1 1 1 への入力が行われる。これにより、液晶画素 1 1 9 による表示内容の切り替えに要する時間を短くすることができる。このため、液晶表示装置 3 0 0 による表示画面のちらつき等を抑制し、ホログラフィックメモリの記録メディアに対する書き込み精度を向上させることができる。

20

【 0 0 7 6 】

(実施の形態 1 にかかる液晶表示回路の他の例)

図 5 は、実施の形態 1 にかかる液晶表示回路の他の例を示す図である。図 5 において、図 1 に示した部分と同様の部分については同一の符号を付して説明を省略する。第 1 S R A M セル 1 1 1 および第 2 S R A M セル 1 1 6 の設計によっては、制御回路 1 3 0 を図 5 に示すように構成してもよい。

【 0 0 7 7 】

30

図 5 に示す構成において、インバータ 1 3 3 は、入力に定電圧源が接続されており、たとえば 0 [V] の電圧を出力する。インバータ 1 3 4 は、差動アンプ 1 3 7 の入力 (+) に対してたとえば $V_{TH} - \Delta$ の電圧を出力する。インバータ 1 3 5 は、入力が接地されており、電圧 V_{DD} (一例としては 1.8 [V]) を出力する。図 5 に示す液晶表示回路 1 0 0 の構成においても、図 1 に示した液晶表示回路 1 0 0 と同様の効果を得ることができる。

【 0 0 7 8 】

このように、実施の形態 1 にかかる液晶表示回路 1 0 0 によれば、第 1 S R A M セル 1 1 1 が保持したデータを第 2 S R A M セル 1 1 6 へ転送し、第 2 S R A M セル 1 1 6 が保持したデータに基づく液晶表示を行うダブルバッファの構成である。これにより、液晶表示の切り替えに要する時間を短縮することができる。

40

【 0 0 7 9 】

また、液晶表示回路 1 0 0 によれば、第 2 S R A M セル 1 1 6 よりも高電圧への耐性が低いトランジスタによって第 1 S R A M セル 1 1 1 を構成することにより、第 1 S R A M セル 1 1 1 を小型化することができる。

【 0 0 8 0 】

また、液晶表示回路 1 0 0 によれば、MOS トランジスタ 1 2 0, 1 2 1 によって、液晶画素 1 1 9 による液晶表示および第 1 S R A M セル 1 1 1 へのデータの入力が行われる第 1 期間において第 1 S R A M セル 1 1 1 と第 2 S R A M セル 1 1 6 の間を遮断することができる。また、液晶表示回路 1 0 0 によれば、MOS トランジスタ 1 2 0, 1 2 1 によって、第 1 S R A M セル 1 1 1 から第 2 S R A M セル 1 1 6 へのデータの転送が行われる

50

第２期間において第１ＳＲＡＭセル１１１と第２ＳＲＡＭセル１１６との間を接続することができる。これにより、第２ＳＲＡＭセル１１６から高電圧の信号により液晶画素１１９を駆動しつつ、第１ＳＲＡＭセル１１１に印加される電圧を低くすることができる。

【００８１】

このため、液晶表示回路１００によれば、液晶表示の切り替えに要する時間を短縮しつつ、１画素あたりの面積および消費電力の低減を図ることができる。

【００８２】

（実施の形態２）

（実施の形態２にかかる液晶表示回路の一例）

図６は、実施の形態２にかかる液晶表示回路の一例を示す図である。図６において、図１に示した部分と同様の部分については同一の符号を付して説明を省略する。また、図６においては第１期間の状態を示している。図６に示すように、実施の形態２にかかる液晶表示回路１００の制御回路１３０においては、電圧 V_{DDH} の電源とスイッチ１３９との間に直列に定電流源６０１が設けられている。

10

【００８３】

また、スイッチ１３９と画素回路１１０との間の信号線には、容量６０２が並列に接続されている。容量６０２は、一端がスイッチ１３９と画素回路１１０との間の信号線に接続され、他端が接地されている。

【００８４】

定電流源６０１および容量６０２により、所定の時定数を有するＩＣ回路が構成される。これにより、第２期間から第１期間へ切り替わる際に、制御端子１２２へ入力される制御電圧 V_C の変化を滑らか（たとえばランプ状）にし、制御端子１２２へ入力される制御電圧 V_C が電圧 V_{FB} から電圧 V_{DDH} へ急激に切り替わることを回避することができる。このため、制御電圧 V_C の急激な変化による第２ＳＲＡＭセル１１６のデータの揮発を回避することができる。

20

【００８５】

（実施の形態２にかかる液晶表示回路の他の例）

図７は、実施の形態２にかかる液晶表示回路の他の例を示す図である。図７において、図６に示した部分と同様の部分については同一の符号を付して説明を省略する。また、図７においては第１期間の状態を示している。図７に示すように、実施の形態２にかかる液晶表示回路１００の制御回路１３０は、図６に示した定電流源６０１に代えて抵抗７０１を備えていてもよい。

30

【００８６】

図７に示す構成では、抵抗７０１および容量６０２により所定の時定数を有するＲＣ回路が構成される。これにより、図６に示した構成と同様に、第２期間から第１期間へ切り替わる際に、制御端子１２２へ入力される制御電圧 V_C が電圧 V_{FB} から電圧 V_{DDH} に急激に切り替わることを回避することができる。このため、制御電圧 V_C の急激な変化による第２ＳＲＡＭセル１１６のデータの揮発を回避することができる。

【００８７】

（実施の形態２にかかる液晶表示回路のさらに他の例）

図８は、実施の形態２にかかる液晶表示回路のさらに他の例を示す図である。図８において、図６に示した部分と同様の部分については同一の符号を付して説明を省略する。また、図８においては第１期間の状態を示している。図８に示すように、実施の形態２にかかる液晶表示回路１００の制御回路１３０は、容量６０２と画素回路１１０との間にバッファ８０１を備えていてもよい。

40

【００８８】

バッファ８０１は、スイッチ１３９の出力であるアナログ電圧信号をインピーダンス変換し、制御電圧 V_C として出力（バッファリング）するものであり、この制御電圧 V_C を画素回路１１０へ出力する。これにより、容量６０２の容量値を小さくしても、画素回路１１０へ入力される制御電圧 V_C が電圧 V_{FB} から電圧 V_{DDH} に急激に切り替わることを回避す

50

ることができる。容量 602 の容量値を小さくすることにより、液晶表示回路 100 の消費電力を低減することができる。

【0089】

また、図 8 に示した液晶表示回路 100 の構成において、図 7 に示したように、定電流源 601 に代えて抵抗 701 を設ける構成としてもよい。この場合も、図 8 に示した構成と同様に、容量 602 の容量値を小さくすることが可能になり、液晶表示回路 100 の消費電力を低減することができる。

【0090】

このように、実施の形態 2 にかかる液晶表示回路 100 によれば、第 2 SRAM セル 116 へ液晶画素 119 を駆動可能な制御電圧を入力する信号線に、直列に設けられた定電流源 601 または抵抗 701 と、並列に設けられた容量 602 と、を設けることにより、所定の時定数を有する IC 回路または RC 回路を構成することができる。これにより、第 2 期間から第 1 期間へ切り替わる際に、第 2 SRAM セル 116 を駆動する制御電圧 V_C が急激に切り替わることを回避することができる。このため、制御電圧 V_C の急激な変化による第 2 SRAM セル 116 のデータの揮発を回避することができる。

【0091】

また、第 2 SRAM セル 116 へ液晶画素 119 を駆動可能な制御電圧を入力する信号線における容量 602 と第 2 SRAM セル 116 との間にバッファ 801 を設けることにより、容量 602 の容量値を小さくすることが可能になり、液晶表示回路 100 の消費電力を低減することができる。

【0092】

また、図 6 ~ 図 8 に示した液晶表示回路 100 の構成において、図 5 に示したように、インバータ 133 の入力に定電圧源を接続し、インバータ 134 が $V_{TH} - \Delta$ の電圧を出力し、インバータ 135 の入力を接地する構成としてもよい。

【0093】

(実施の形態 3)

(実施の形態 3 にかかる液晶表示回路)

図 9 は、実施の形態 3 にかかる液晶表示回路の一例を示す図である。図 9 において、図 1 に示した部分と同様の部分については同一の符号を付して説明を省略する。また、図 9 においては第 1 期間の状態を示している。図 9 に示すように、実施の形態 3 にかかる液晶表示回路 100 の制御回路 130 は、図 1, 図 2 に示した MOS トランジスタ 132、インバータ 133 ~ 135、差動アンプ 137 およびバッファ 138 に代えて定電圧源 901 を備えていてもよい。

【0094】

定電圧源 901 は、図 1 に示した電圧 V_{FB} に代えて、電圧 V_{DDH} より低い定電圧（たとえば V_{DD} ）をスイッチ 139 へ入力する。これにより、スイッチ 139 の設定により、液晶表示回路 100 へ出力される制御電圧 V_C を、電圧 V_{DDH} と電圧 V_{DD} とのいずれかに切り替えることができる。

【0095】

このため、たとえば図 1 に示した構成と比べて簡単な構成によって、第 2 SRAM セル 116 の出力能力が第 1 SRAM セル 111 の出力能力より弱く（出力インピーダンスが高く）なるように制御することができる。したがって、たとえば液晶表示回路 100 の小型化や、液晶表示回路 100 の消費電力の低減を図ることができる。

【0096】

このように、実施の形態 3 にかかる液晶表示回路 100 によれば、定電圧源 901 を用いた簡単な構成によって制御回路 130 を実現することができる。これにより、液晶表示回路 100 の小型化や、液晶表示回路 100 の消費電力の低減を図ることができる。

【0097】

また、図 9 に示した液晶表示回路 100 の構成において、図 5 に示したように、インバータ 133 の入力に定電圧源を接続し、インバータ 134 が $V_{TH} - \Delta$ の電圧を出力し、イ

10

20

30

40

50

ンバータ 135 の入力を接地する構成としてもよい。また、図 9 に示した液晶表示回路 100 の構成において、図 6 ~ 図 8 に示したように、定電流源 601 (または抵抗 701)、容量 602 やバッファ 801 を設ける構成としてもよい。

【0098】

(実施の形態 4)

図 10 は、実施の形態 4 にかかる液晶表示回路の一例を示す図である。図 10 において、図 1 に示した部分と同様の部分については同一の符号を付して説明を省略する。また、図 10 においては第 1 期間の状態を示している。図 10 に示すように、実施の形態 4 にかかる液晶表示回路 100 の制御回路 130 は、図 1, 図 2 に示した MOS トランジスタ 132、インバータ 133 ~ 135、差動アンプ 137 およびバッファ 138 を省いた構成

10

【0099】

すなわち、上述した液晶表示回路 100 の例においては、制御回路 130 が制御電圧 V_c を生成する構成としていたが、この限りではない。たとえば、第 2 S R A M セル 116 を構成する高耐圧素子の能力が、第 1 S R A M セル 111 を構成する標準耐圧素子の能力に比べて低い場合などは、制御回路 130 をより簡素な構成とすることが可能である。たとえば、図 10 に示すように、スイッチ 131 のみで制御回路 130 を構成することが可能となる。

【0100】

この場合は、第 1 S R A M セル 111 の出力インピーダンスに対して、第 2 S R A M セル 116 の出力インピーダンスが十分に高くなるように S R A M を構成できるため、MOS トランジスタ 120, 121 を導通するだけで第 2 S R A M セル 116 のデータを第 1 S R A M セル 111 へ転送することが可能となる。

20

【0101】

このように、実施の形態 4 にかかる液晶表示回路 100 によれば、上述した実施の形態 1 ~ 3 にかかる液晶表示回路 100 と同様に、液晶表示の切り替えに要する時間を短縮しつつ、1 画素あたりの面積および消費電力の低減を図ることができる。

【0102】

(各実施の形態にかかる第 2 S R A M セル)

図 11 は、各実施の形態にかかる液晶表示回路の第 2 S R A M セルの一例を示す図である。図 12 は、各実施の形態にかかる液晶表示回路の第 2 S R A M セルの他の例を示す図である。上述した実施の形態 1 ~ 4 にかかる第 2 S R A M セル 116 は、たとえば図 11 や図 12 に示す構成とすることができる。図 11, 図 12 に示す MOS トランジスタ 1101, 1102 は、第 2 S R A M セル 116 のインバータ 117 を構成する MOS トランジスタである。

30

【0103】

たとえば、図 11 に示す例のように、第 2 S R A M セル 116 の動作電源を制御電圧 V_c とすることが好ましい。これにより、第 2 S R A M セル 116 の出力インピーダンスを可変とすることができる。または、図 12 に示す例のように、第 2 S R A M セル 116 の動作電源を制御電圧 V_c とし、かつ第 2 S R A M セル 116 を構成する CMOS インバータの PMOS 素子 (MOS トランジスタ 1101) の N ウェルを電圧 V_{DDH} に固定することで基板バイアスがかかる構成としてもよい。

40

【0104】

図 11, 図 12 に示した構成によれば、たとえば上述した実施の形態 1 ~ 3 において、制御電圧 V_c を変化させることにより、第 2 S R A M セル 116 の CMOS トランジスタに印加されるゲート - ソース間の電圧が変化する。このため、制御電圧 V_c を変化させることにより、結果として第 2 S R A M セル 116 の出力インピーダンスを変化させることが可能となる。

【0105】

なお、上述した各実施の形態において、第 1 S R A M セル 111 と第 2 S R A M セル 1

50

１６との間の接続／遮断を切り替えるスイッチとしてＭＯＳトランジスタ１２０，１２１を用いる構成について説明したが、このスイッチにはＭＯＳトランジスタに限らず各種のオン／オフスイッチを用いることができる。

【０１０６】

また、第１ＳＲＡＭセル１１１および第２ＳＲＡＭセル１１６のそれぞれには、ｐ型やｎ型などのＣＭＯＳ型のＳＲＡＭセルを用いることができる。また、第１ＳＲＡＭセル１１１および第２ＳＲＡＭセル１１６のそれぞれは、ＣＭＯＳ型のＳＲＡＭセルに限らず、たとえば抵抗負荷型のＳＲＡＭなどであってもよい。

【０１０７】

また、液晶画素１１９と直接接続されていない第１ＳＲＡＭセル１１１に代えて、ＤＲＡＭ型などのメモリセルを用いてもよい。たとえば第１ＳＲＡＭセル１１１に代えてＤＲＡＭ型のメモリセルを用いる場合は、ＤＲＡＭ型のメモリセルから第２ＳＲＡＭセル１１６へデータを転送するために、ＤＲＡＭ型のメモリセルから転送されたデータ（正転データ）から反転データを生成するインバータを画素回路１１０に設ける。

【０１０８】

また、この場合は、ＤＲＡＭ型のメモリセルと第２ＳＲＡＭセル１１６との間に、インピーダンス変換を行うバッファを設けてもよい。また、この場合は、第１ＳＲＡＭセル１１１のレプリカ回路（インバータ１３３，１３４）に代えて、ＤＲＡＭ型のメモリセル、反転データを生成するインバータ、およびインピーダンス変換を行うバッファのレプリカ回路を制御回路１３０に設けてもよい。

【０１０９】

以上説明したように、液晶表示装置によれば、液晶表示の切り替えに要する時間を短縮しつつ、１画素あたりの面積および消費電力の低減を図ることができる。

【産業上の利用可能性】

【０１１０】

以上のように、本発明にかかる液晶表示装置は、ＬＣＯＳなどの液晶パネルを用いて画像を表示する液晶表示装置に有用であり、特に、画像を光情報記録媒体に照射してホログラムを形成することで情報を記録するホログラフィックメモリに適している。

【符号の説明】

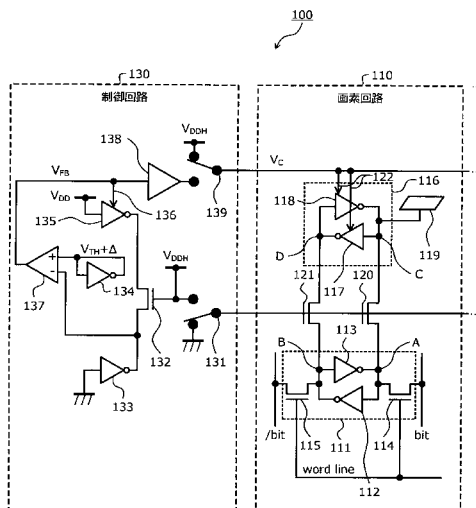
【０１１１】

- １００ 液晶表示回路
- １１０ 画素回路
- １１１ 第１ＳＲＡＭセル
- １１２，１１３，１１７，１１８，１３３～１３５ インバータ
- １１４，１１５，１２０，１２１，１３２，１１０１，１１０２ ＭＯＳトランジスタ
- １１６ 第２ＳＲＡＭセル
- １１９ 液晶画素
- １２２，１３６ 制御端子
- １３０ 制御回路
- １３１，１３９ スイッチ
- １３７ 差動アンプ
- １３８，８０１ バッファ
- ３００ 液晶表示装置
- ３１０ 液晶表示部
- ３２０ バイアス回路
- ３３０ 周辺回路
- ３３１ タイミング制御部
- ３３２ ロウ選択部／ロウドライバ
- ３３３ カラム選択部
- ３３４ カラムドライバ

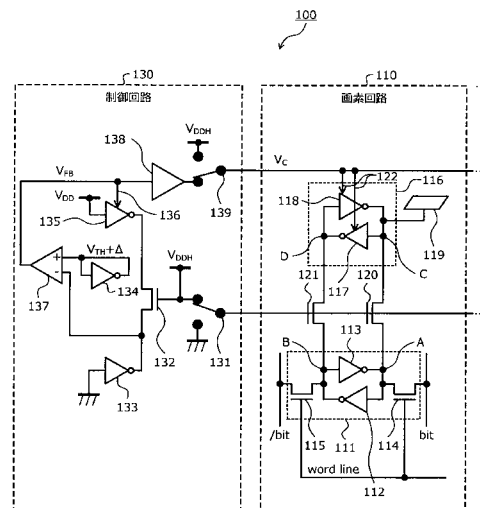
3 3 5 スイッチ制御部
 4 0 1 フレーム期間
 4 1 1 ~ 4 1 3 データ
 4 2 1 データ入力期間
 4 2 2 転送期間
 4 2 3 液晶応答期間
 4 2 4 記録メディア書込期間
 4 3 0 制御電圧
 6 0 1 定電流源
 6 0 2 容量
 7 0 1 抵抗
 9 0 1 定電圧源

10

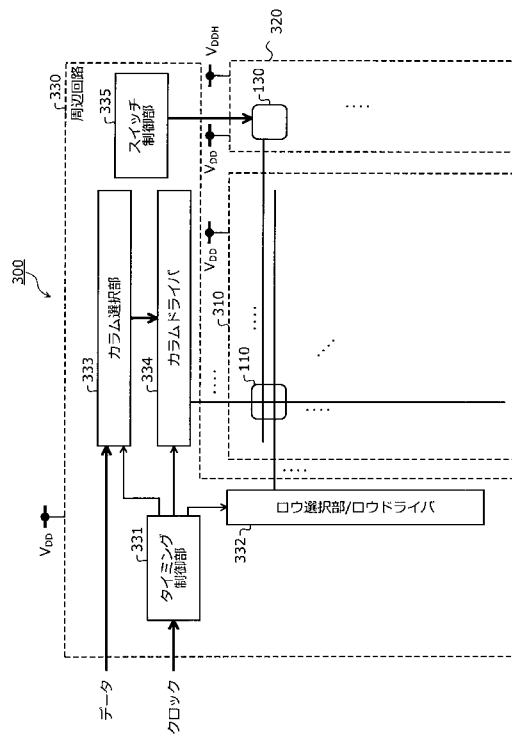
【図 1】



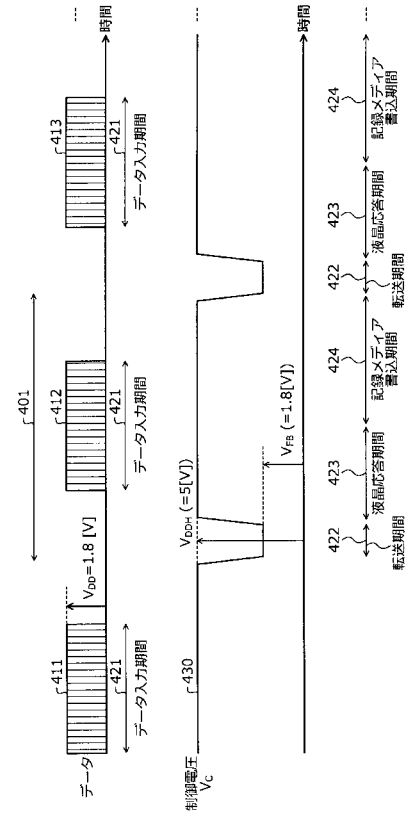
【図 2】



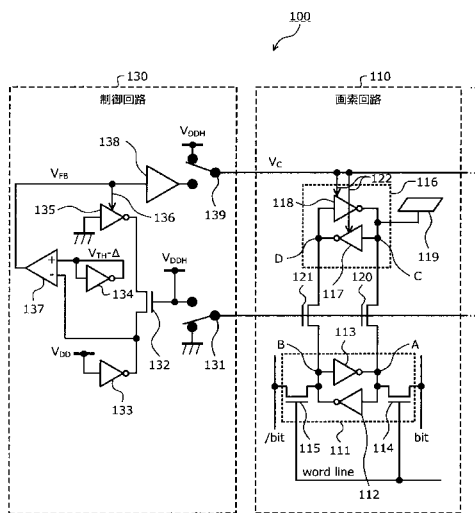
【図 3】



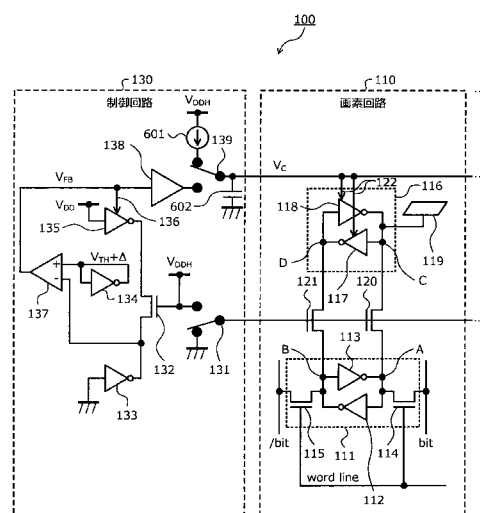
【図 4】



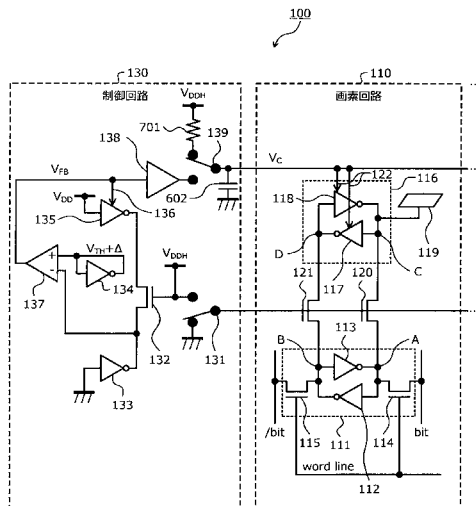
【図 5】



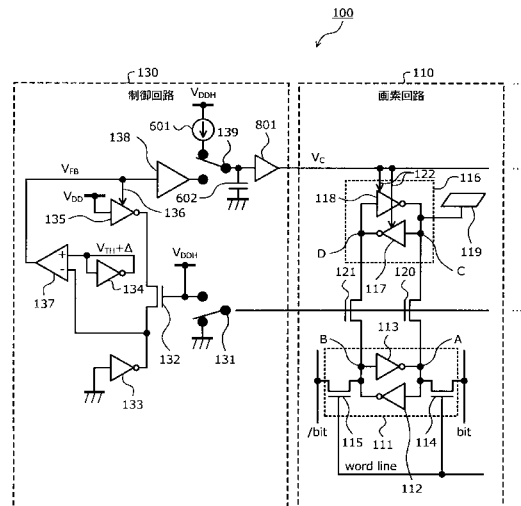
【図 6】



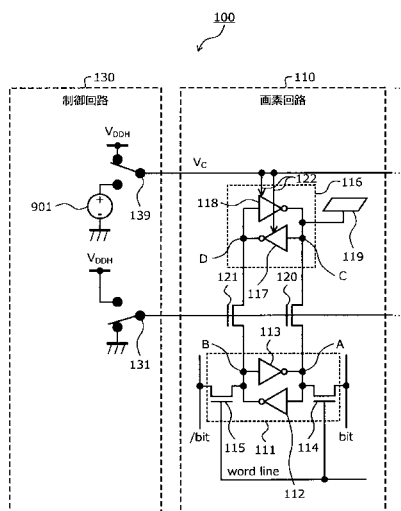
【図 7】



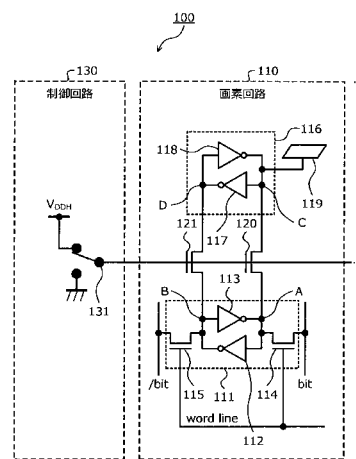
【図 8】



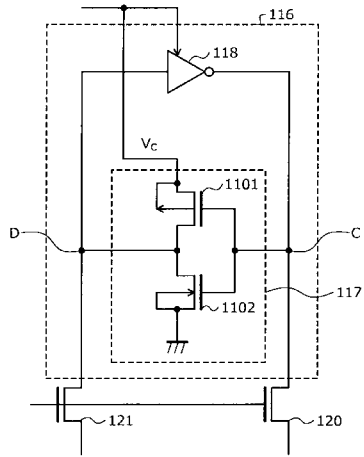
【図 9】



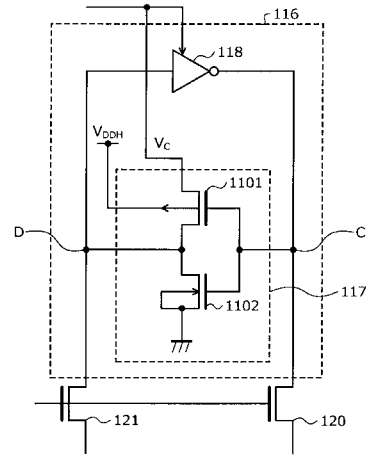
【図 10】



【図 1 1】



【図 1 2】



甲同时缩短切换液晶显示所需要的时间，每像素区域和在功耗的降低来实现。第一1SRAM小区111保持的输入数据。所述2SRAM细胞116，电阻比1SRAM单元111的高电压通过高晶体管，用于保持从所述1SRAM单元111传送的数据的SRAM型存储器单元构成。液晶像素119基于由第二SRAM单元116保持的数据执行液晶显示。MOS晶体管120，121，切断第一2SRAM小区116之间的第一1SRAM单元111在其中数据输入到液晶显示器和由液晶像素119的1SRAM单元111执行第一周期，从1SRAM细胞的2SRAM细胞111 116数据来传输所述第一1SRAM单元111，并在第二期间2SRAM小区116之间的连接将被执行。

