

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-516591
(P2015-516591A)

(43) 公表日 平成27年6月11日(2015.6.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622B	5C006
G02F 1/133 (2006.01)	G09G 3/20 621M	5C080
	G09G 3/20 680G	
	G09G 3/20 622E	

審査請求 未請求 予備審査請求 未請求 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2015-502060 (P2015-502060)
 (86) (22) 出願日 平成24年11月23日 (2012.11.23)
 (85) 翻訳文提出日 平成25年6月24日 (2013.6.24)
 (86) 国際出願番号 PCT/CN2012/085194
 (87) 国際公開番号 W02013/143307
 (87) 国際公開日 平成25年10月3日 (2013.10.3)
 (31) 優先権主張番号 201210089393.9
 (32) 優先日 平成24年3月29日 (2012.3.29)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 507134301
 北京京東方光電科技有限公司
 中華人民共和国北京經濟技術開發區西環中
 路8號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 ▲陳▼ 希
 中華人民共和国100176北京市▲經▼
 ▲濟▼技▲術▼▲開▼▲發▼区地▲澤▼路
 9号

最終頁に続く

(54) 【発明の名称】 ゲート駆動回路、ゲート駆動方法及び液晶ディスプレイ

(57) 【要約】

ゲート駆動回路、ゲート駆動方法及び液晶ディスプレイを提供する。前記ゲート駆動回路は複数段のシフトレジスタを有し、各段のシフトレジスタはプルアップ駆動ユニットと、プルアップユニットと、リセットユニットと、プルダウンユニットとを有し、前記シフトレジスタは更に補充ユニットを有し、前記プルアップユニットは、オンのときに第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし、前記補充ユニットは、前記プルアップユニットに接続され、オンのときに第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とする。本発明はゲート駆動回路における各段のシフトレジスタの補充ユニットにより、T F T がオフになった瞬間に補充ユニットがオンになり動作し、シフトレジスタの出力を制御し、ジャンプ電圧を低下させることができ、M L G 機能を実現し、液晶ディスプレイの画面品質を向上させる。

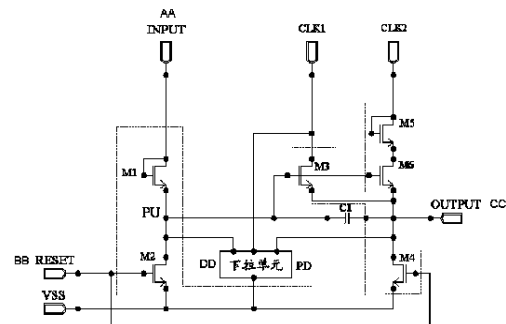


图 4/ Fig. 4

AA INPUT
 BB RESET
 CC OUTPUT
 DD PULL-DOWN UNIT, PD

【特許請求の範囲】**【請求項 1】**

ゲート駆動回路であって、複数段のシフトレジスタを有し、各段のシフトレジスタはプルアップ駆動ユニットと、プルアップユニットと、リセットユニットと、プルダウンユニットとを有し、前記シフトレジスタは更に補充ユニットを有し、

前記プルアップユニットは、オンのときに第 1 のクロック端のクロック信号を本段のシフトレジスタの出力信号とし、

前記補充ユニットは、前記プルアップユニットに接続され、オンのときに第 2 のクロック端のクロック信号を本段のシフトレジスタの出力信号とするゲート駆動回路。

【請求項 2】

前記プルアップ駆動ユニットはプルアップユニットの入力ノードに接続され、プルアップユニットのオンとオフを制御する請求項 1 に記載のゲート駆動回路。

【請求項 3】

前記プルアップ駆動ユニットは第 1 の T F T スイッチング素子と第 2 の T F T スイッチング素子とを有し、

第 1 の T F T スイッチング素子のドレイン電極とゲート電極は上段のシフトレジスタの出力端に接続され、

前記第 2 の T F T スイッチング素子のドレイン電極は前記第 1 の T F T スイッチング素子のソース電極に接続され、

前記第 2 の T F T スイッチング素子のゲート電極は下段のシフトレジスタの出力端に接続され、

前記第 2 の T F T スイッチング素子のソース電極は低レベルに接続される請求項 2 に記載のゲート駆動回路。

【請求項 4】

前記プルアップユニットは第 3 の T F T スイッチング素子と、電圧ブースティング素子とを有し、

前記第 3 の T F T スイッチング素子のドレイン電極は第 1 のクロック端に接続され、

前記第 3 の T F T スイッチング素子のゲート電極は第 1 の T F T スイッチング素子のソース電極に接続され、

前記第 3 の T F T スイッチング素子のソース電極は本段のシフトレジスタの出力端に接続され、

前記電圧ブースティング素子は、第 1 端は前記第 1 の T F T スイッチング素子のソース電極と前記第 3 の T F T スイッチング素子のゲート電極にそれぞれ接続され、

第 2 端は前記第 3 の T F T スイッチング素子のソース電極に接続される請求項 3 に記載のゲート駆動回路。

【請求項 5】

前記リセットユニットは第 4 の T F T スイッチング素子を有し、前記第 4 の T F T スイッチング素子のドレイン電極は第 3 の T F T スイッチング素子のソース電極に接続され、

前記第 4 の T F T スイッチング素子のゲート電極は下段のシフトレジスタの出力端に接続され、

前記第 4 の T F T スイッチング素子のソース電極は低レベルに接続される請求項 4 に記載のゲート駆動回路。

【請求項 6】

前記補充ユニットは、第 5 の T F T スイッチング素子と、第 6 の T F T スイッチング素子とを有し、

第 5 の T F T スイッチング素子のドレイン電極とゲート電極は第 2 のクロック端に接続され、

第 6 の T F T スイッチング素子のドレイン電極は第 5 の T F T スイッチング素子のソース電極に接続され、

第 6 の T F T スイッチング素子のゲート電極は前記プルアップ駆動ユニットの第 1 の T

10

20

30

40

50

F Tスイッチング素子のソース電極に接続され、

第6のT F Tスイッチング素子のソース電極は前記プルアップユニットの出力端に接続され、同時に本段のシフトレジスタの出力端に接続される請求項5に記載のゲート駆動回路。

【請求項7】

前記第5のT F Tスイッチング素子と第6のT F Tスイッチング素子は金属酸化物半導体型電界効果トランジスタである請求項6に記載のゲート駆動回路。

【請求項8】

前記第2のクロック端のクロック信号は第1のクロック端のクロック信号が低レベルに変わった瞬間に高レベルにジャンプする請求項6に記載のゲート駆動回路。

10

【請求項9】

液晶ディスプレイであって、前記液晶ディスプレイは請求項1ないし8のいずれか一項に記載するゲート駆動回路を有する液晶ディスプレイ。

【請求項10】

ゲート駆動方法であって、

上段のシフトレジスタの出力端が出力する信号が高レベルであるとき、プルアップ駆動ユニットはオンになり、本段のシフトレジスタは充電を開始し、

第1のクロック端のクロック信号が高レベルであり、且つ第2のクロック端のクロック信号が低レベルであるとき、プルアップユニットはオンになり、前記第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし

20

前記第1のクロック端のクロック信号は低レベルにジャンプし、前記第2のクロック端のクロック信号は高レベルにジャンプし、補充ユニットはオンになり、前記第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とするゲート駆動方法。

【請求項11】

前記第2のクロック端のクロック信号の高レベルは前記第1のクロック端のクロック信号の高レベルより小さい請求項10に記載のゲート駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はゲート駆動技術に関し、特にゲート駆動回路、ゲート駆動方法及び液晶ディスプレイに関する。

30

【背景技術】

【0002】

液晶ディスプレイは現在において常用されているディスプレイであり、薄膜電界効果トランジスタ液晶ディスプレイ(Thin Film Transistor Liquid Crystal Display: T F T - L C D)は現在の液晶ディスプレイの主流製品である。T F T - L C D製品の競争が激しくなるにつれて、各メーカーは新しい技術を採用することにより製品のコストを削減し、製品の市場競争力を高めている。そして、G O A (Gate on Array)技術はT F T - L C Dのゲートドライバ(Gate Driver)をアレイ基板上に集積し、パネルに対するスキャンを駆動するものである。従来のチップオンフィルム(Chip On Flex / Film: C O F)とチップオンガラス(Chip On Glass: C O G)の技術と比べ、当該技術はコストを節約できるだけでなく、パネルが左右対称である美しいデザインに仕上げることであり、ゲートI C (Gate I C)におけるエリアのボンディング(Bonding)及びレイアウトスペースのファンアウト(Fan-out)を省略でき、細枠のデザインを実現し、同時に、ゲート(Gate)方向のボンディング(Bonding)のプロセスを省略できるため、生産能力と良品率を向上させるのに適している。

40

【発明の概要】

【発明が解決しようとする課題】

【0003】

50

しかしながら、COFやCOG技術に比べ、GOA技術も一定の問題があり、従来のゲート駆動回路は複数段のシフトレジスタを有し、図1は従来のゲート駆動回路における各段のシフトレジスタの構造図であり、図1に示すように、前記各段のシフトレジスタは具体的に第1のTFTスイッチング素子M1と、第2のTFTスイッチング素子M2と、第3のTFTスイッチング素子M3と、第4のTFTスイッチング素子M4と、プルダウンユニットPDと、電圧ブースティング素子C1とを有し、M1のドレイン電極とゲート電極は入力端(INPUT)に接続され、且つ上段のシフトレジスタの出力信号を受信し、M2のドレイン電極はM1のソース電極に接続され、M2のゲート電極はリセット端(RESET)に接続され、且つ下段のシフトレジスタの出力信号を受信し、M2のソース電極は低電圧信号端(VSS)に接続され、且つ低電圧信号を受信し、M3のドレイン電極はクロック信号端に接続され、M3のゲート電極はM1のソース電極に接続され、M3のソース電極は本段のシフトレジスタの信号出力端(OUTPUT)に接続され、M3のドレイン電極はM3のソース電極に接続され、M4のゲート電極はリセット(RESET)に接続され、M4のドレイン電極は低電圧信号端(VSS)に接続され、C1の一端はM1のソース電極とM3のゲート電極にそれぞれ接続され、他端はM3のソース電極に接続され、プルダウンユニットPDはC1と並列接続するだけでなく、同時に一端は低電圧信号端(VSS)に接続され、他端はM3のドレイン電極に接続される。

10

20

30

40

50

【0004】

上記ゲート駆動回路の動作原理は、以下のとおりであり、即ちINPUTの入力信号が高レベルであるとき、M1はオンになり、PUノードに充電し、クロック信号が高レベルであるとき、M3はオンになり、OUTPUTはクロック信号のパルスを出力し、同時にC1のブートストラップ(Boostrapping)ファンクションは、PUノードを更にプルアップし、その後RESETのリセット信号はM2とM4をオンにし、PUノードとOUTPUTを放電し、そして、クロック信号の制御によりプルダウンユニットPDの回路素子はPUノードとOUTPUTを更に放電し、当該段のシフトレジスタが対応する行が非動作時間内にノイズを発生させないことを保証し、具体的な各信号のシーケンスは図2のとおりであり、通常の場合、図1に示すシフトレジスタを応用するとき、TFTがオフになる瞬間にOUTPUTが高レベルから低レベルにジャンプし、画素ジャンプ電圧が比較的大きく、液晶ディスプレイの画面品質に影響する。

【0005】

通常の場合、マルチレベルゲート(Multi-Level Gate:MLG)の機能は、ジャンプ電圧を減少させ、画面品質を向上させるためにゲート駆動回路に付加され、MLGの発生原理は、出力端からフィードバック信号をDC/DC ICに引き出し、これに伴って一つの電圧を発生させて出力する。

【0006】

しかしながら、従来のゲート駆動回路は通常Siの技術を採用し、低温の条件では、Siは高温TFTに比べて移動度が約半分ほど低下するため、ゲート駆動回路が比較的低温の状況で失効することを防ぐため、通常はゲート駆動回路の外部に温度補償回路を追加する解決策を採用するが、具体的には、ゲート電極の高レベルVghを発生させるフィードバック回路にサーミスタ素子を並列接続し、Vghが温度の低下につれて上昇するようにする。

【0007】

ところが、温度補償でゲート駆動回路の有効性を保証する方法を使用した以上、Vghの電圧は30V以上に上昇することがあり、DC/DC ICはこれほど高い電圧に耐えられず、このときMLGの機能は失効する。そしてMLG機能が失効すると、TFTがオフになる瞬間に、比較的大きなジャンプ電圧が存在し、TFTパネルの画面品質に影響する。

【課題を解決するための手段】

【0008】

以上に鑑みて、本発明は、ゲート駆動回路、ゲート駆動方法及びディスプレイ、MLG

機能を有するゲート駆動回路を提供することを目的とする。

【0009】

本発明の実施例は、ゲート駆動回路であって、複数段のシフトレジスタを有し、各段のシフトレジスタはプルアップ駆動ユニットと、プルアップユニットと、リセットユニットと、プルダウンユニットとを有し、前記シフトレジスタは更に補充ユニットとを有し、前記プルアップユニットは、オンのときに第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし、

前記補充ユニットは、前記プルアップユニットに接続され、オンのときに第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とするゲート駆動回路を提供する。

【0010】

一つの例示において、前記プルアップ駆動ユニットはプルアップユニットの入力ノードに接続され、プルアップユニットのオンとオフを制御する。

【0011】

一つの例示において、前記プルアップ駆動ユニットは第1のTFETスイッチング素子と第2のTFETスイッチング素子とを有し、第1のTFETスイッチング素子のドレイン電極とゲート電極は上段のシフトレジスタの出力端に接続され、前記第2のTFETスイッチング素子のドレイン電極は前記第1のTFETスイッチング素子のソース電極に接続され、前記第2のTFETスイッチング素子のゲート電極は下段のシフトレジスタの出力端に接続され、前記第2のTFETスイッチング素子のソース電極は低レベルに接続される。

【0012】

一つの例示において、前記プルアップユニットは第3のTFETスイッチング素子と、電圧ブースティング素子とを有し、前記第3のTFETスイッチング素子のドレイン電極は第1のクロック端に接続され、前記第3のTFETスイッチング素子のゲート電極は第1のTFETスイッチング素子のソース電極に接続され、前記第3のTFETスイッチング素子のソース電極は本段のシフトレジスタの出力端に接続され、前記電圧ブースティング素子は、第1端は前記第1のTFETスイッチング素子のソース電極と前記第3のTFETスイッチング素子のゲート電極にそれぞれ接続され、第2端は前記第3のTFETスイッチング素子のソース電極に接続される。

【0013】

一つの例示において、前記リセットユニットは第4のTFETスイッチング素子を有し、前記第4のTFETスイッチング素子のドレイン電極は第3のTFETスイッチング素子のソース電極に接続され、前記第4のTFETスイッチング素子のゲート電極は下段のシフトレジスタの出力端に接続され、前記第4のTFETスイッチング素子のソース電極は低レベルに接続される。

【0014】

一つの例示において、前記補充ユニットは、第5のTFETスイッチング素子と、第6のTFETスイッチング素子とを有し、第5のTFETスイッチング素子のドレイン電極とゲート電極は第2のクロック端に接続され、第6のTFETスイッチング素子のドレイン電極は第5のTFETスイッチング素子のソース電極に接続され、第6のTFETスイッチング素子のゲート電極は前記プルアップ駆動ユニットの第1のTFETスイッチング素子のソース電極に接続され、第6のTFETスイッチング素子のソース電極は前記プルアップユニットの出力端に接続され、同時に本段のシフトレジスタの出力端に接続される。

【0015】

一つの例示において、前記第5のTFETスイッチング素子と第6のTFETスイッチング素子は金属酸化物半導体型電界効果トランジスタである。

【0016】

一つの例示において、前記第2のクロック端のクロック信号は第1のクロック端のクロック信号が低レベルに変わった瞬間に高レベルにジャンプする。

【0017】

本発明の実施例は、液晶ディスプレイであって、前記液晶ディスプレイは以上に記載す

10

20

30

40

50

るゲート駆動回路を有する液晶ディスプレイを提供する。

【0018】

本発明は、更に、ゲート駆動方法であって、前記方法は、上段のシフトレジスタの出力端が出力する信号が高レベルであるとき、プルアップ駆動ユニットはオンになり、本段のシフトレジスタは充電を開始し、第1のクロック端のクロック信号が高レベルであり、且つ第2のクロック端のクロック信号が低レベルであるとき、プルアップユニットはオンになり、前記第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし前記第1のクロック端のクロック信号は低レベルにジャンプし、前記第2のクロック端のクロック信号は高レベルにジャンプし、補充ユニットはオンになり、前記第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とするゲート駆動方法を提供する。

10

【0019】

一つの例示において、前記第2のクロック端のクロック信号の高レベルは前記第1のクロック端のクロック信号の高レベルより小さい。

【0020】

本発明は、ゲート駆動回路の各段のシフトレジスタの補充ユニットにより、TFTがオフになった瞬間に補充ユニットがオンになり動作し、シフトレジスタの出力を制御し、画素のジャンプ電圧を低下させることができ、MLG機能を実現し、液晶ディスプレイの画面品質を向上させる。

【図面の簡単な説明】

【0021】

20

【図1】従来のゲート駆動回路における各段のシフトレジスタの構造模式図である。

【図2】図1に示す従来のゲート駆動回路のシフトレジスタの入力・出力信号のシーケンス図である。

【図3】本発明の実施例のゲート駆動回路におけるシフトレジスタの機能構造模式図である。

【図4】本発明の実施例のゲート駆動回路のシフトレジスタの具体的な実現構造図である。

【図5】本発明の実施例のゲート駆動回路のシフトレジスタの入力・出力信号のシーケンス図である。

【図6】本発明の実施例のゲート駆動回路が実現するMLG機能の原理模式図である。

30

【図7】本発明の実施例のゲート駆動方法の実現フロー模式図である。

【発明を実施するための形態】

【0022】

当業者に本発明の技術方案を更によく理解してもらうため、以下に図面を用いて、本発明に係るゲート駆動回路、ゲート駆動方法及び液晶ディスプレイを詳しく説明する。当然ながら、説明する実施例は本発明の一部の実施例に過ぎず、すべての実施例ではない。当業者が本発明における実施例に基づいて創造的労働を行わずに得られる他のすべての実施例は、本発明の保護の範囲に属する。

【0023】

本発明の実施例の基本的な考え方は、前記ゲート駆動回路は複数段のシフトレジスタを有し、各段のシフトレジスタはプルアップ駆動ユニットと、プルアップユニットと、リセットユニットと、プルダウンユニットとを有し、前記シフトレジスタは更に補充ユニットを有し、前記プルアップユニットは、オンのときに第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし、前記補充ユニットは、前記プルアップユニットに接続され、オンのときに第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とする。

40

【0024】

本発明の目的、技術方案とメリットを更に明確にするため、以下の実施例を用いて図面を参照して本発明を更に詳しく説明する。

【0025】

50

図3は本発明のゲート駆動回路における各段のシフトレジスタの機能構造を示しており、図3に示すように、前記シフトレジスタはGOA回路ユニット31と補充ユニット32を有し、前記GOA回路ユニット31は入力端(INPUT)、リセット端(RESET)、第1のクロック端(CLK1)と低電圧信号端(VSS)に接続され、前記入力端(INPUT)は上段シフトレジスタの出力信号を受信し、前記リセット端(RESET)は下段シフトレジスタの出力信号を受信し、前記低電圧信号端(VSS)は低電圧信号を受信し、通常の場合において、前記VSSの電圧レベルはCLK1のクロック信号の低レベルと同じであり、補充ユニット32はそれぞれ第2のクロック端(CLK2)とGOA回路ユニット31の出力端(OUTPUT)に接続され、前記GOA回路ユニット31の出力を制御する。

10

【0026】

上記のシフトレジスタの動作プロセスは、具体的に以下のようなものである。CLK1のクロック信号が高レベルであるとき、CLK2のクロック信号は低レベルであり、OUTPUTの出力信号はCLK1のパルス信号となり、このときの電圧値をVgh1とし、CLK1のクロック信号が低レベルに変わったとき、補充ユニット32のCLK2のクロック信号は高レベルに変わり、このとき補充ユニット32はオンになり、OUTPUTの出力信号はCLK2のパルス信号となり、このときの電圧値をVgh2とし、全体的にみて、OUTPUTが出力する電圧はVgh1からVgh2にジャンプしたことになり、従来のゲート駆動回路のシフトレジスタがVgh1から0にジャンプするのとは比べ、画素のジャンプ電圧を大きく減少させることを実現し、よってMLGの機能を実現し、画面品質を向上させる。

20

【0027】

図4は本発明の実施例におけるゲート駆動回路のシフトレジスタの具体的な実現構造を示しており、図4に示すように、上記GOA回路ユニット31はプルアップ駆動ユニットとプルアップユニットと、リセットユニットと、プルダウンユニットと、補充ユニットとを有し、前記プルアップユニットは、オンのときに第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とし、前記補充ユニットは、前記プルアップユニットに接続され、オンのときに第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とする。

30

【0028】

前記プルアップ駆動ユニットはプルアップユニットの入力ノードに接続され、プルアップユニットのオンとオフを制御する。

【0029】

一つの例示において、更に、上記プルアップ駆動ユニットは第1のTF Tスイッチング素子M1と第2のTF Tスイッチング素子M2とを有し、前記プルアップユニットは第3のTF Tスイッチング素子M3と電圧ブースティング素子C1とを有し、前記M1のドレイン電極とゲート電極はINPUTに接続され、前記M2のドレイン電極は前記M1のソース電極に接続され、前記M2のゲート電極はRESETに接続され、前記M2のソース電極はVSSに接続され、前記M3のドレイン電極はCLK1に接続され、前記M3のゲート電極はM1のソース電極に接続され、前記M3のソース電極は前記GOA回路ユニット31の出力端に接続され、同時に本段のシフトレジスタの出力端に接続され、前記C1は第1端がそれぞれ前記M1のソース電極とM3のゲート電極に接続され、第2端がM3のソース電極に接続される。

40

【0030】

一つの例示において、更に、前記リセットユニットは具体的に第4のTF Tスイッチング素子M4を有し、前記M4のドレイン電極はM3のソース電極に接続され、前記M4のゲート電極はRESETに接続され、前記M4のソース電極はVSSに接続される。

【0031】

一つの例示において、更に、前記GOA回路ユニット31は前記C1に並列接続され、且つ第1端がVSSに接続され、第2端が前記M3のドレイン電極に接続されるプルダウ

50

ンユニットPDを更に有する。

【0032】

一つの例示において、上記補充ユニット32には具体的に第5のTFTスイッチング素子M5と、第6のTFTスイッチング素子M6とを有し、M5のドレイン電極とゲート電極はCLK2に接続され、M6のドレイン電極はM5のソース電極に接続され、M6のゲート電極はGOA回路ユニット31のプルアップ駆動ユニットのC1の第1端に接続され、M6のソース電極は前記プルアップユニットの出力端即ちM3のソース電極に接続され、同時に本段のシフトレジスタの出力端に接続される。

【0033】

上記M1、M2、M3、M4、M5、M6は具体的には金属酸化物半導体型電界効果(Metal-Oxide-Semiconductor: MOS)トランジスタであってもよい。

10

【0034】

上記のゲート駆動回路の具体的な動作プロセスは、INPUTの入力信号が高レベルであるとき、M1はオンになり、PUノードに充電し、CLK1のクロック信号が高レベルであり、CLK2のクロック信号が低レベルであるとき、M3はオンになり、このときOUTPUTが出力する信号はCLK1のパルス信号となり、このときの電圧値をVgh1とし、同時にC1の1回目のブートストラップ(Boostrapping)ファンクションはPUノードを一回目のプルアップをし、その後CLK1のクロック信号が低レベルに変わったとき、補充ユニット32のCLK2のクロック信号は高レベルに変わり、且つ比較的短時間継続し、このときM5、M6はオンになり、OUTPUTが出力する信号はCLK2のパルス信号となり、このときの電圧値をVgh2とし、同時にC1の二回目のブートストラップファンクションはPUノードを再びプルアップし、全体的に見て、OUTPUTが出力する電圧はVgh1からVgh2にジャンプしたことになり、従来のゲート駆動回路のシフトレジスタがVgh1から0にジャンプするのと比べ、画素のジャンプ電圧を大きく減少させることを実現し、よってMLGの機能を実現し、画面品質を向上させる。そして、CLK1の制御により、プルダウンユニットPDはPUノードとOUTPUTを放電し、ゲート駆動回路のシフトレジスタが非動作時間にノイズを発生させないことを保証する。

20

【0035】

具体的には、上記プロセスにおいて、各入力・出力信号のシーケンスは図5を参照でき、図5から分かるように、CLK2の電圧値Vgh2はCLK1の電圧値Vgh1より小さい。理解すべきなのは、図5におけるINPUTの入力信号は、従来のゲート駆動回路の上段シフトレジスタの出力信号をもとに例示しており、本発明の実施例に係るゲート駆動回路を具体的に利用するときは、そのときのINPUTの入力信号のシーケンス図は本発明の実施例におけるゲート駆動回路の上段シフトレジスタの出力信号であるということである。

30

【0036】

図6は本発明の実施例のゲート駆動回路が実現するMLG機能の原理を示すものであり、図6に示すように、CLK1が低レベルに変わった瞬間、即ちTFTがオフになった瞬間に、OUTPUTも低レベルになり、そしてCLK2の入力により、このときのOUTPUTの出力電圧値はVgh2となり、このときに再充電(Recharging)が発生し、画素ジャンプ電圧Vpを減少させる効果を果たし、画面品質を向上させることができる。図6におけるVpは画素(Pixel)の電圧波形であり、Vcomは共通電極の電圧であり、Vdはデータライン(Data)の電圧波形であり、Vglはゲート電極低レベルである。

40

【0037】

本発明の実施例は、更に、液晶ディスプレイであって、前記液晶ディスプレイは上記のゲート駆動回路を有する液晶ディスプレイを提供する。

【0038】

50

本発明は、更に、上記のゲート駆動回路を用いて実現するゲート駆動方法を提供し、前記方法の実現フローは図7を参照されたい。前記方法は、上段のシフトレジスタの出力端が出力した信号が高レベルであるとき、プルアップ駆動ユニットはオンになり、本段のシフトレジスタは充電を開始するステップ701と、第1のクロック端のクロック信号が高レベルであり、且つ第2のクロック端のクロック信号が低レベルであるとき、プルアップユニットはオンになり、前記第1のクロック端のクロック信号を本段のシフトレジスタの出力信号とするステップ702と、前記第1のクロック端のクロック信号が低レベルにジャンプし、前記第2のクロック端のクロック信号が高レベルにジャンプし、補充ユニットはオンになり、前記第2のクロック端のクロック信号を本段のシフトレジスタの出力信号とするステップ703と、を有する。

10

【0039】

前記第2のクロック端のクロック信号の高レベルは前記第1のクロック端のクロック信号の高レベルより小さい。前記第2のクロック端のクロック信号の高レベルと第1のクロック端のクロック信号の高レベルの差は実際に応用する時の具体的な状況により確定される。

【0040】

以上は本発明の比較的好ましい実施例に過ぎず、本発明の保護範囲を限定するものではない。当業者にとって、本発明の精神と趣旨を逸脱しない限り、あらゆる変形と改良を行うことができ、これらの変形と改良も本発明の保護範囲とみなされる。

20

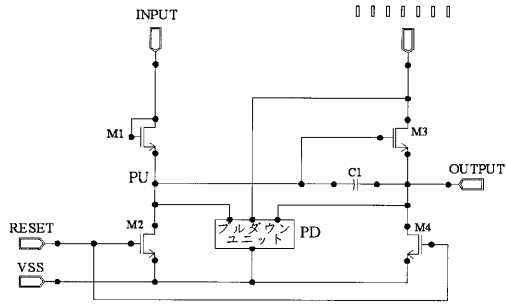
【符号の説明】

【0041】

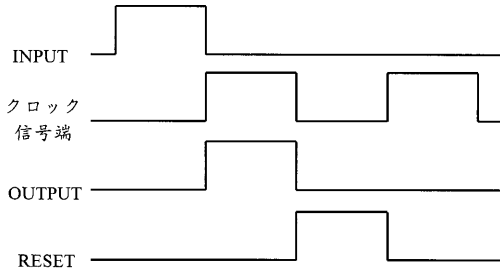
M 1 ... T F Tスイッチング素子 1
M 2 ... T F Tスイッチング素子 2
M 3 ... T F Tスイッチング素子 3
M 4 ... T F Tスイッチング素子 4
M 5 ... T F Tスイッチング素子 5
M 6 ... T F Tスイッチング素子 6
P D ... プルダウンユニット
C 1 ... 電圧ブースティング素子
3 1 ... G O A回路ユニット
3 2 ... 補充ユニット

30

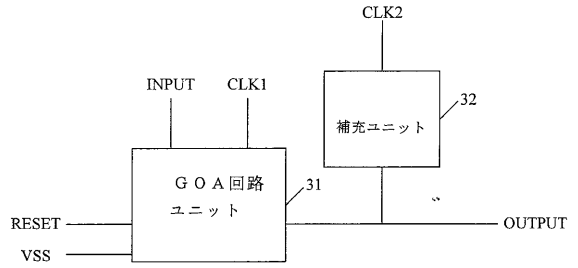
【 図 1 】



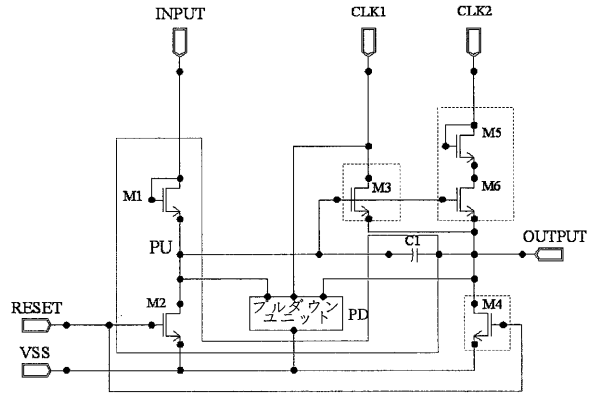
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

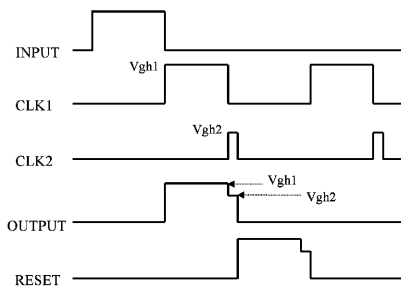
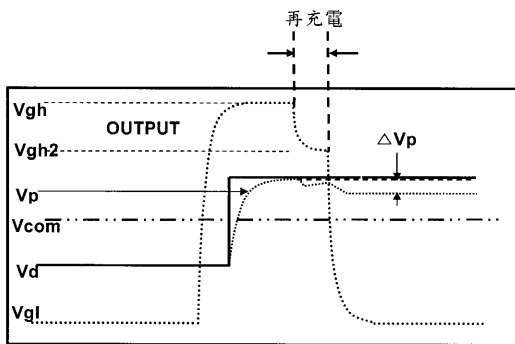
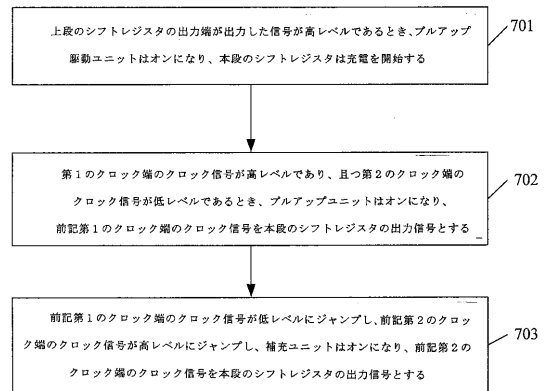


图 5

【 図 6 】



【 図 7 】



【 国际調查報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2012/085194
A. CLASSIFICATION OF SUBJECT MATTER		
See the extra sheet		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G09G 3, G02F 1/13, G11C 19, G11C 27/04		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS, VEN, CNTXT, USTXT, EPTXT, WOTXT, CNKI: gate drive, scanning drive, pull down, jump, multi grid, amorphous silicon, array, line drive, level, supplement, compensate, reset, goa, gip, asg, gate w driv+ w on w array, gate w on w array, integrat+, panel?, substrate?, shift w register+, voltage, pull w up+, kickback+, output+, clock+, feed w through+, amorphous, silicon, Si		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 102779494 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 14 November 2012 (14.11.2012), description, paragraphs 0040-0061, and figures 1-7	1-11
Y	CN 102012591 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 13 April 2011 (13.04.2011), description, paragraphs 0033-0053, and figures 2-6	1-11
Y	CN 102013244 A (AU OPTRONICS CORP.), 13 April 2011 (13.04.2011), description, paragraphs 0030-0044, and figures 1-6	1-11
A	CN 101174070 A (SAMSUNG ELECTRONICS CO., LTD.), 07 May 2008 (07.05.2008), the whole document	1-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 22 February 2013 (22.02.2013)	Date of mailing of the international search report 07 March 2013 (07.03.2013)	
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer GE, Yingjie Telephone No.: (86-10) 62085791	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/085194

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 202102694 U (BOE TECHNOLOGY GROUP CO., LTD.), 04 January 2012 (04.01.2012), the whole document	1-11
A	US 2010/0158188 A1 (LEE, H. et al.), 24 June 2010 (24.06.2010), the whole document	1-11
A	MA, Zhanjie; The Investigation to Improve Kickback Voltage of Pixel Electrode of a-Si TFT LCD, ADVANCED DISPLAY, April 2009, no. 4, total no. 99, pages 19-27, ISSN 1006-6268	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/085194

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102779494 A	14.11.2012	None	
CN 102012591 A	13.04.2011	KR 20110025630 A	10.03.2011
		CN 102012591 B	30.05.2012
		US 8199870 B2	12.06.2012
		US 2011058640 A1	10.03.2011
		JP 2011060411 A	24.03.2011
		KR 1195440 B1	30.10.2012
CN 102013244 A	13.04.2011	US 2012113068 A1	10.05.2012
		CN 102013244 B	03.10.2012
CN 101174070 A	07.05.2008	EP 1918938 A2	07.05.2008
		CN 101174070 B	15.06.2011
		KR 20080039026 A	07.05.2008
		US 8228282 B2	24.07.2012
		US 2008100560 A1	01.05.2008
US 2010/0158188 A1	24.06.2004	KR 20100073294 A	01.07.2010
		US 8306177 B2	06.11.2012
CN 202102694 U	04.01.2012	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/085194

CONTINUATION: CLASSIFICATION OF SUBJECT MATTER

sG09G 3/36 (2006.01) i

G02F 1/1362 (2006.01) i

G02F 1/1368 (2006.01) i

G02F 1/133 (2006.01) i

G11C 19/28 (2006.01) i

国际检索报告		国际申请号 PCT/CN2012/085194
A. 主题的分类		
参见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: G09G3,G02F1/13,G11C19,G11C27/04		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, VEN, CNTXT, USTXT, EPTXT, WOTXT, CNKI: 移位寄存, 栅极驱动, 扫描驱动, 下拉, 跳变, 跃变, 多级栅极, 多栅极, 整合, 集成, 面板, 基板, 基底, 非晶硅, 阵列, 行驱动, 电压, 电平, 补充, 补偿, 复位, goa, gip, asg, gate w driv+ w on w array, gate w on w array, integrat+, panel?, substrate?, shift w register+, voltage, pull w up+, kickback+, output+, clock+, feed w through+, amorphous, silicon, Si		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN102779494A (北京京东方光电科技有限公司) 14.11 月 2012 (14.11.2012) 说明书第 0040-0061 段, 附图 1-7	1-11
Y	CN102012591A(北京京东方光电科技有限公司)13.4 月 2011(13.04.2011) 说明书第 0033 段-0053 段, 附图 2-6	1-11
Y	CN102013244A (友达光电股份有限公司) 13.4 月 2011 (13.04.2011) 说明书第 0030 段-0044 段, 附图 1-6	1-11
A	CN101174070A (三星电子株式会社) 07.5 月 2008 (07.05.2008) 全文	1-11
<input checked="" type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型:		
“A” 认为不特别相关的表示了现有技术一般状态的文件		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
“E” 在国际申请日的当天或之后公布的在先申请或专利		“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)		“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
“O” 涉及口头公开、使用、展览或其他方式公开的文件		“&” 同族专利的文件
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件		
国际检索实际完成的日期 22.2 月 2013 (22.02.2013)	国际检索报告邮寄日期 07.3 月 2013 (07.03.2013)	
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451	受权官员 戈颖杰 电话号码: (86-10) 62085791	

国际检索报告

国际申请号 PCT/CN2012/085194

C(续). 相关文件		
类 型	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN202102694U(京东方科技集团股份有限公司)04.1月2012(04.01.2012) 全文	1-11
A	US2010/0158188A1 (LEE H 等) 24.6月2010 (24.06.2010) 全文	1-11
A	马占洁. 改善 a-Si TFT LCD 像素电极跳变电压方法研究. 现代显示. 4月 2009, 第4期, 总第99期, 第19-27页, ISSN 1006-6268	1-11

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/085194

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102779494A	14.11.2012	无	
CN102012591A	13.04.2011	KR20110025630A	10.03.2011
		CN102012591B	30.05.2012
		US8199870B2	12.06.2012
		US2011058640A1	10.03.2011
		JP2011060411A	24.03.2011
		KR1195440B1	30.10.2012
CN102013244A	13.04.2011	US2012113068A1	10.05.2012
		CN102013244B	03.10.2012
CN101174070A	07.05.2008	EP1918938A2	07.05.2008
		CN101174070B	15.06.2011
		KR20080039026A	07.05.2008
		US8228282B2	24.07.2012
		US2008100560A1	01.05.2008
US2010/0158188A1	24.06.2004	KR20100073294A	01.07.2010
		US8306177B2	06.11.2012
CN202102694U	04.01.2012	无	

国际检索报告

国际申请号
PCT/CN2012/085194

续：主题的分类
G09G3/36 (2006.01) i
G02F1/1362 (2006.01) i
G02F1/1368 (2006.01) i
G02F1/133 (2006.01) i
G11C19/28 (2006.01) i

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 2 F 1/133 5 0 5

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72)発明者 崔 文海

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

Fターム(参考) 2H193 ZA04 ZB02 ZB06 ZB18 ZF23 ZF44 ZH45 ZH53

5C006 AA11 AC22 BB16 BC20 BF03

5C080 AA10 BB05 DD28 EE29 FF11 FF12 JJ02 JJ03 JJ04 JJ07

专利名称(译)	标题 : GATE DRIVING CIRCUIT		
公开(公告)号	JP2015516591A	公开(公告)日	2015-06-11
申请号	JP2015502060	申请日	2012-11-23
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	陳希 崔文海		
发明人	▲陳▼ 希 崔文海		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G3/3677 G09G2310/0286 G09G2320/0223 G09G2320/041 G11C19/28		
FI分类号	G09G3/36 G09G3/20.622.B G09G3/20.621.M G09G3/20.680.G G09G3/20.622.E G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZB06 2H193/ZB18 2H193/ZF23 2H193/ZF44 2H193/ZH45 2H193/ZH53 5C006/AA11 5C006/AC22 5C006/BB16 5C006/BC20 5C006/BF03 5C080/AA10 5C080/BB05 5C080/DD28 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07		
代理人(译)	村山彦 渡边隆		
优先权	201210089393.9 2012-03-29 CN		
其他公开文献	JP6193969B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种栅极驱动电路，栅极驱动方法和液晶显示器。所述栅极驱动电路包括多级移位寄存器，其中每级的移位寄存器包括上拉驱动单元，上拉单元，复位单元，下拉单元和辅助单元；所述上拉单元用于在第一时钟端子处产生时钟信号，并且在接通时在当前阶段产生移位寄存器的输出信号；所述辅助单元，连接到所述上拉单元，用于在接通时在当前阶段在第二时钟端子处产生移位寄存器的输出信号的时钟信号。利用栅极驱动电路中每个级的移位寄存器的辅助单元，本发明通过在TFT关闭的瞬间接通辅助单元来控制移位寄存器的输出，这可以减少电压跳变。像素，实现MLG功能，提升LCD的画质。

