

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-72339

(P2015-72339A)

(43) 公開日 平成27年4月16日(2015.4.16)

|                              |                |             |
|------------------------------|----------------|-------------|
| (51) Int.Cl.                 | F I            | テーマコード (参考) |
| <b>G02F 1/1368 (2006.01)</b> | G02F 1/1368    | 2H192       |
| <b>G09F 9/30 (2006.01)</b>   | G09F 9/30 338  | 5C094       |
|                              | G09F 9/30 341  |             |
|                              | G09F 9/30 348A |             |

審査請求 未請求 請求項の数 7 O L (全 15 頁)

|           |                              |          |                     |
|-----------|------------------------------|----------|---------------------|
| (21) 出願番号 | 特願2013-207393 (P2013-207393) | (71) 出願人 | 502356528           |
| (22) 出願日  | 平成25年10月2日 (2013.10.2)       |          | 株式会社ジャパンディスプレイ      |
|           |                              |          | 東京都港区西新橋三丁目7番1号     |
|           |                              | (74) 代理人 | 110001737           |
|           |                              |          | 特許業務法人スズエ国際特許事務所    |
|           |                              | (74) 代理人 | 100091351           |
|           |                              |          | 弁理士 河野 哲            |
|           |                              | (74) 代理人 | 100084618           |
|           |                              |          | 弁理士 村松 貞男           |
|           |                              | (74) 代理人 | 100087653           |
|           |                              |          | 弁理士 鈴江 正二           |
|           |                              | (72) 発明者 | 米倉 利昌               |
|           |                              |          | 東京都港区西新橋三丁目7番1号 株式会 |
|           |                              |          | 社ジャパンディスプレイ内        |

最終頁に続く

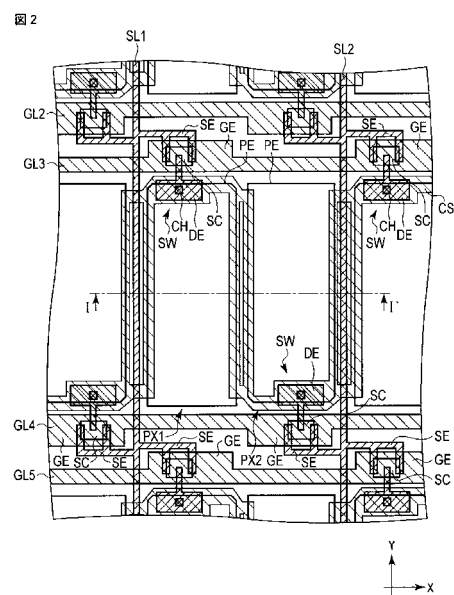
(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】補助容量を形成する際の開口率の低下を抑制する。

【解決手段】液晶表示装置であって、マトリクス状に配置した複数の画素電極 P E と、列方向において、画素電極 P E の行の一方側に配置した第 1 ゲート配線 G L 3 と、画素電極 P E の行の他方側に配置した第 2 ゲート配線 G L 4 と、画素電極 P E が配列した列に沿って延びたソース配線 S L と、第 1 ゲート配線 G L 4 から供給されるゲート信号によりソース配線 S L と画素電極 P E との接続を切り換える第 1 画素スイッチ S W と、第 2 ゲート配線 G L 4 から供給されるゲート信号によりソース配線 S L と画素電極 P E との接続を切り換える第 2 画素スイッチ S W と、第 1 及び第 2 の画素スイッチの画素電極側の各電極に絶縁膜を介して対向すると共に、画素電極の端部に沿って蛇行し行方向に延びた補助容量線 C S L と、を備えた。

【選択図】 図 2



**【特許請求の範囲】****【請求項 1】**

行方向及び列方向に配列された複数の画素電極と、１つの行の前記画素電極に対し、列方向の一方側に行方向に沿って配置された第１ゲート配線と、列方向の他方側に行方向に沿って配置された第２ゲート配線と、前記画素電極間に列方向に沿って配置された複数のソース配線と、前記画素電極のうちで行方向に隣接する２つの画素電極の一方と前記ソース配線との間に設けられ、前記第１ゲート配線から供給されるゲート信号によりオン・オフする第１の画素スイッチと、前記２つの画素電極の他方と前記ソース配線との間に接続され、前記第２ゲート配線から供給されるゲート信号によりオン・オフする第２の画素スイッチと、前記第１及び第２の画素スイッチの前記画素電極側の各電極に絶縁膜を介して対向すると共に、前記画素電極に対応する画素の端部に沿って蛇行し行方向に延びた補助容量線と、を備えたアレイ基板と、

10

前記複数の画素電極と対向した対向電極を備えた対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶層と、

を具備したことを特徴とする液晶表示装置。

**【請求項 2】**

前記ソース配線は、前記画素電極の２列おきに配置されている、請求項 1 記載の液晶表示装置。

**【請求項 3】**

前記ソース配線は、前記２つの画素電極の一方に対し行方向の両側に配置されると共に、共通の映像信号が供給される第１ソース配線及び第２ソース配線を備え、

20

前記第１の画素スイッチは前記第１ソース配線と前記画素電極との接続を切り換え、前記第２の画素スイッチは前記第２ソース配線と前記画素電極との接続を切り換える、請求項 1 記載の液晶表示装置。

**【請求項 4】**

前記ソース配線は、前記２つの画素電極間において前記第１ソース配線と前記第２ソース配線とを電氣的に接続した接続部を更に備える、請求項 3 記載の液晶表示装置。

**【請求項 5】**

前記第１及び第２の画素スイッチは、行方向において前記画素電極の一方側に配置されると共に、半導体層と、前記第１ゲート配線及び前記第２ゲート配線から列方向に沿って延びて前記半導体層の下層に配置されたゲート電極と、前記半導体層の上層に配置されて前記ソース線に接続されたソース電極と、前記半導体層の上層に配置されて前記画素電極に接続されたドレイン電極と、を備え、

30

前記ドレイン電極は、行方向に沿って前記画素電極の下層と前記半導体層の上層との間に延びている、請求項 3 又は請求項 4 記載の液晶表示装置。

**【請求項 6】**

前記画素電極は櫛歯状に配置され、該櫛歯状の画素電極とかみ合うように櫛歯状の共通電極が配置されている、請求項 1 又は 2 に記載の液晶表示装置。

**【請求項 7】**

前記第１及び第２の画素スイッチは、前記２つの画素電極に対し、列方向の一方側と他方側に交互に配置されている、請求項 1 乃至 6 の何れかに記載の液晶表示装置。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明の実施形態は、液晶表示装置に関する。

**【背景技術】****【0002】**

平面表示装置としての液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、各種分野に適用されている。このような液晶表示装置は、一対の基板間に液晶層を保持した構成であり、画素電極と共通電極との間の電界によって液晶層を通過する光に対する

50

変調率を制御し、画像を表示するようになっている。

【 0 0 0 3 】

近年、液晶表示装置の高精細化に伴い表示画素数が多くなり、駆動配線数が増加する傾向がある。駆動配線数が増加すると駆動回路が高価になり、液晶表示装置の製造費用を低く抑えることが困難になる。そこで、この解決策として、1行に対して2本のゲート配線を配置したデュアルゲート構造で画素をレイアウトすることが提案されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 1 2 - 8 8 7 1 0 号 公 報

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

デュアルゲート構造で画素をレイアウトする場合、横方向の隣接画素の T F T は上下に配置する必要がある。補助容量 ( C s ) を片側に寄せて配置すると、T F T 部が離れている画素は画素電極を介してソースメタルに接続して容量を形成する必要がある。その場合、ドレイン電極と画素電極をコンタクトするための領域が必要となり、遮光領域が増え開口率が低下する。また、I P S の画素では画素電極が細いため、画素電極の断線の影響を受けやすく、断線した場合、C s への電荷の保持ができなくなり点欠となる。

【 0 0 0 6 】

20

発明が解決しようとする課題は、補助容量を形成する際の開口率の低下を抑制し得る液晶表示装置を提供することである。

【 課題を解決するための手段 】

【 0 0 0 7 】

実施形態の液晶表示装置は、行方向及び列方向に配列された複数の画素電極と、1つの行の前記画素電極に対し、列方向の一方側に行方向に沿って配置された第1ゲート配線と、列方向の他方側に行方向に沿って配置された第2ゲート配線と、前記画素電極間に列方向に沿って配置された複数のソース配線と、前記画素電極のうちで行方向に隣接する2つの画素電極の一方と前記ソース配線との間に設けられ、前記第1ゲート配線から供給されるゲート信号によりオン・オフする第1の画素スイッチと、前記2つの画素電極の他方と前記ソース配線との間に接続され、前記第2ゲート配線から供給されるゲート信号によりオン・オフする第2の画素スイッチと、前記第1及び第2の画素スイッチの前記画素電極側の各電極に絶縁膜を介して対向すると共に、前記画素電極に対応する画素の端部に沿って蛇行し行方向に延びた補助容量線と、を備えたアレイ基板と、前記複数の画素電極と対向した対向電極を備えた対向基板と、前記アレイ基板と前記対向基板との間に保持された液晶層と、を具備したことを特徴とする。

30

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 第 1 の実施形態に係わる液晶表示装置の一構成例を概略的に示す図である。

【 図 2 】 図 1 に示す液晶表示装置の表示画素の一構成例を概略的に示す図である。

40

【 図 3 】 図 2 に示す線 I - I ' における液晶表示装置の断面の一例を概略的に示す図である。

【 図 4 】 図 1 に示す液晶表示装置の駆動方法の一例を説明するための図である。

【 図 5 】 第 2 の実施形態に係わる液晶表示装置の表示画素の一構成例を概略的に示す図である。

【 図 6 】 第 2 の実施形態の液晶表示装置の表示画素の他の構成例を概略的に示す図である。

【 図 7 】 第 3 の実施形態に係わる液晶表示装置の表示画素の一構成例を概略的に示す図である。

【 発明を実施するための形態 】

50

## 【 0 0 0 9 】

以下、実施形態の液晶表示装置について、図面を参照して説明する。

## 【 0 0 1 0 】

(第1の実施形態)

図1は、第1の実施形態に係わる液晶表示装置の一構成例を概略的に示す図である。

## 【 0 0 1 1 】

本実施形態の液晶表示装置は、アレイ基板S B 1と、アレイ基板S B 1と対向するように配置された対向基板S B 2と、アレイ基板S B 1と対向基板S B 2との間に挟持された液晶層(図3に示す)と、マトリクス状に配置された複数の表示画素P Xからなる表示部とを備えた液晶表示装置である。図1に示す例では、表示画素P Xはm行2 n列のマトリクス状に配置されている(但し、m及びnは正の整数である)。

10

## 【 0 0 1 2 】

アレイ基板S B 1は、表示部D Y Pにおいて、複数の表示画素のそれぞれに配置された画素電極P Eと、画素電極P Eが配列した行方向(X方向)に沿って延びたゲート配線G L(G L 1, G L 2, ..., G L 2 m)と、画素電極P Eが配列した列方向(Y方向)に沿って延びたソース配線S L(S L 1, S L 2, ..., S L n)と、ゲート配線G Lとソース配線S Lとが交差する位置近傍に配置された画素スイッチ(図2に示す)と、を有している。

## 【 0 0 1 3 】

アレイ基板S B 1は、表示部D Y Pの周囲に配置された駆動回路と、コントローラを内蔵した駆動I Cチップ2と、を有している。駆動回路は、複数のゲート配線G Lを駆動するゲートドライバG D L, G D Rと、複数のソース配線S Lを駆動するソースドライバS Dと、を有している。これらのゲートドライバG D L, G D R及びソースドライバS Dの少なくとも一部が、例えば、アレイ基板S B 1に形成され、コントローラを内蔵した駆動I Cチップ2と接続されている。

20

## 【 0 0 1 4 】

ゲートドライバG D Lは、表示部D Y Pの行方向における一方側に配置されている。ゲートドライバG D Rは、表示部D Y Pの行方向における他方側に配置されている。ゲートドライバG D Lには、偶数番目のゲート配線G L 2, G L 4, ..., G L 2 mが電氣的に接続されている。ゲートドライバG D Rには、奇数番目のゲート配線G L 1, G L 3, ..., G L 2 m - 1が電氣的に接続されている。ゲートドライバG D L, G D Rは、駆動I Cチップ2から入力されるクロック信号、水平同期信号等に基づいて順次ゲート配線G Lへ駆動信号を出力する。

30

## 【 0 0 1 5 】

ソースドライバS Dは、表示部D Y Pの列方向における一方側に配置されている。ソースドライバS Dには、ソース配線S Lが電氣的に接続されている。ソースドライバS Dは、駆動I Cチップ2から入力されるクロック信号、垂直同期信号等に基づいてソース配線S Lへ対応する映像信号を出力する。

## 【 0 0 1 6 】

対向基板S B 2は、表示部D Y Pに配置された共通電極(図2に示す)を備えている。共通電極は、複数の画素電極P Eと対向するように配置されている。

40

## 【 0 0 1 7 】

図2は、図1に示す液晶表示装置の表示画素の一構成例を概略的に示す図である。

## 【 0 0 1 8 】

ゲート配線G Lは、画素電極P Eの行間において行方向に沿って延びている。本実施形態の液晶表示装置では、ゲート配線G Lは、行方向に並んだ画素電極P Eの列方向における両側に配置されている。換言すると、画素電極P Eの行間には2本のゲート配線G Lが配置されている。

## 【 0 0 1 9 】

ソース配線S Lは、画素電極P Eの列間において列方向に沿って延びている。本実施形

50

態の液晶表示装置では、ソース配線 S L は、行方向に並んだ画素電極 P E の列の 2 列を挟んだ両側に配置されている。換言すると、ソース配線 S L は、画素電極 P E の 2 列置きに配置されている。

【 0 0 2 0 】

図 2 では、ソース配線 S L 1 , S L 2 とゲート配線 G L 3 , G L 4 とが交差する位置の近傍を概略的に図示している。なお、以下の説明において、ソース配線 S L 1 , S L 2 とゲート配線 G L 3 , G L 4 とに囲まれた領域に配置され、ソース配線 S L 1 側の表示画素を P X 1 とし、ソース配線 S L 2 側の表示画素を P X 2 とする。

【 0 0 2 1 】

表示画素 P X 1 の画素電極 P E は、ゲート配線（第 1 ゲート配線）G L 3 とソース配線 S L 1 とが交差した位置近傍に配置された画素スイッチ（第 1 画素スイッチ）S W を介してソース配線 S L 1 と接続している。即ち、表示画素 P X 1 の画素電極 P E は、画素電極 P E に対して図の上側に配置された画素スイッチ S W によりソース配線 S L 1 との接続を切り替えられる。

10

【 0 0 2 2 】

画素スイッチ S W は、例えば薄膜トランジスタ（T F T : Thin Film Transistor）であって、ゲート電極 G E と、ソース電極 S E と、ドレイン電極 D E と、アモルファスシリコンにより形成された半導体層 S C と、を有している。

【 0 0 2 3 】

半導体層 S C は、絶縁層を介してゲート電極 G E 上に配置されている。ゲート電極 G E はゲート配線 G L と同層に形成され、ソース電極 S E とドレイン電極 D E とはソース配線 S L と同層に形成されている。

20

【 0 0 2 4 】

表示画素 P X 1 において、ゲート電極 G E はゲート配線 G L 3 と電氣的に接続している（或いは一体に形成されている）。ソース電極 S E はソース配線 S L 1 と電氣的に接続している（或いは一体に形成されている）。ドレイン電極 D E は画素電極 P E と電氣的に接続している（或いは一体に形成されている）。ドレイン電極 D E は、画素電極 P E の下層においてコンタクトホール C H を介して画素電極 P E と電氣的に接続すると共に、画素電極 P E の下層から図の上方向に向かって半導体層 S C 層上へ延びている。

【 0 0 2 5 】

表示画素 P X 2 の画素電極 P E は、ゲート配線（第 2 ゲート配線）G L 4 とソース配線 S L 2 とが交差した位置近傍に配置された画素スイッチ（第 2 画素スイッチ）S W を介してソース配線 S L 2 と接続している。即ち、表示画素 P X 2 の画素電極 P E は、画素電極 P E に対して図の下側に配置された画素スイッチ S W によりソース配線 S L 2 との接続を切り替えられる。

30

【 0 0 2 6 】

表示画素 P X 2 において、ゲート電極 G E はゲート配線 G L 4 と電氣的に接続している（或いは一体に形成されている）。ソース電極 S E はソース配線 S L 2 と電氣的に接続している（或いは一体に形成されている）。ドレイン電極 D E は、画素電極 P E と電氣的に接続している。ドレイン電極 D E は、画素電極 P E の下層においてコンタクトホール C H を介して画素電極 P E と電氣的に接続すると共に、画素電極 P E の下層から図の下方向に向かって半導体層 S C 層上へ延びている。

40

【 0 0 2 7 】

即ち、本実施形態では、表示画素 P X 1 の画素電極 P E は左側に配置されたソース配線 S L 1 と画素スイッチ S W を介して電氣的に接続し、表示画素 P X 2 の画素電極 P E は右側に配置されたソース配線 S L 2 と画素スイッチ S W を介して電氣的に接続している。

【 0 0 2 8 】

換言すると、第 1 表示画素 P X 1 と同じ構成の表示画素と第 2 表示画素 P X 2 と同じ構成の表示画素とは、行方向に交互に並んで配置し、各ソース配線 S L は行方向においてその両側の表示画素 P X それぞれの画素電極 P E とそれぞれの画素スイッチ S W を介して電

50

氣的に接続している。

【0029】

従って、ソースドライバSDは、n本のソース配線SL1～SLnにより2n列の表示画素PXを駆動することが可能である。そのため、本実施形態の液晶表示装置は高価なソースドライバSDを用いることなく実現することができる。

【0030】

さらに、アレイ基板SB1は、基板の厚さ方向（行方向及び列方向と略直交する方向）において絶縁層（図3に示す）を介して画素電極PEの一部と重なるように配置された補助容量線CSLを有している。この補助容量線CSLは、補助容量電圧が印加される電圧印加部（図示せず）と電氣的に接続されている。

10

【0031】

補助容量線CSLは、画素電極PEの端部に沿って蛇行している。表示画素PX1において、画素電極PEは、列方向と略平行に延びた端部と行方向と略平行に延びた上側（列方向における一方側）の端部とにおいて補助容量線CSLに対向している。ここで、表示画素PX1における上側の端部は、画素スイッチSWのドレイン電極DEに重なるように設けられている。

【0032】

一方、表示画素PX2において、画素電極PEは、列方向と略平行に延びた端部と行方向と略平行に延びた下側（列方向における他方側）の端部とにおいて補助容量線CSLに対向している。ここで、表示画素PX2における下側の端部は、画素スイッチSWのドレイン電極DEに重なるように設けられている。

20

【0033】

即ち、画素電極PEの画素スイッチSWと接続した上側又は下側の端部と左右の端部において、画素電極PEと補助容量線CSLとが対向している。つまり、Csの位置がTF Tの位置と連動して隣接間で上下配置になっている。

【0034】

図3は、図2に示す線I-I'における液晶表示装置の断面の一例を概略的に示す図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0035】

液晶表示装置を構成するアレイ基板SB1の背面側には、バックライト（図示せず）が配置されている。バックライトとしては、種々の形態が適用可能であり、また、光源として発光ダイオード（LED）を利用したものや冷陰極管（CCFL）を利用したものなどの何れでも適用可能であり、詳細な構造については説明を省略する。

30

【0036】

アレイ基板SB1は、光透過性を有する第1絶縁基板10を用いて形成されている。第1絶縁基板10上には補助容量線CSLが形成されている。ソース配線SLは、第1層間絶縁膜11の上に形成され、第2層間絶縁膜12によって覆われている。なお、図示しないゲート配線は、例えば、補助容量線CSLと同じ層に形成され、第1絶縁基板10と第1層間絶縁膜11の間に配置されている。画素電極PEは、第2層間絶縁膜12の上に形成されている。この画素電極PEは、端部において補助容量線CSLに対向している。

40

【0037】

第1配向膜AL1は、アレイ基板SB1の対向基板SB2と対向する面に配置され、表示部DYPの略全体に亘って延在している。この第1配向膜AL1は、画素電極PEなどを覆っており、第2層間絶縁膜12の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0038】

対向基板SB2は、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板SB2は、ブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

【0039】

50

ブラックマトリクスＢＭは、各表示画素ＰＸを区画し、画素電極ＰＥと対向した開口部を形成する。即ち、ブラックマトリクスＢＭは、ソース配線ＳＬ、ゲート配線、補助容量線ＣＳＬ、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスＢＭは、列方向に沿って延出した部分のみが図示されているが、行方向に沿って延出した部分を備えていても良い。このブラックマトリクスＢＭは、第２絶縁基板２０のアレイ基板ＳＢ１に対向する内面２０Ａに配置されている。

【００４０】

カラーフィルタＣＦは、各表示画素ＰＸに対応して配置されている。即ち、カラーフィルタＣＦは、第２絶縁基板２０の内面２０Ａにおける開口部に配置されると共に、その一部がブラックマトリクスＢＭに乗り上げている。行方向に隣接する表示画素ＰＸにそれぞれ配置されたカラーフィルタＣＦは、互いに色が異なる。例えば、カラーフィルタＣＦは、赤色、青色、緑色といった３原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタＣＦ同士の境界は、ブラックマトリクスＢＭと重なる位置にある。

10

【００４１】

オーバーコート層ＯＣは、カラーフィルタＣＦを覆っている。このオーバーコート層ＯＣは、カラーフィルタＣＦの表面の凹凸の影響を緩和する。

20

【００４２】

共通電極ＣＥは、オーバーコート層ＯＣのアレイ基板ＳＢ１と対向する側に形成されている。共通電極ＣＥは、液晶層ＬＱを介して複数の画素電極ＰＥと対向している。

【００４３】

第２配向膜ＡＬ２は、対向基板ＳＢ２のアレイ基板ＳＢ１と対向する面に配置され、表示部ＤＹＰの略全体に亘って延在している。第２配向膜ＡＬ２は、共通電極ＣＥ及びオーバーコート層ＯＣなどを覆っている。このような第２配向膜ＡＬ２は、水平配向性を示す材料によって形成されている。

【００４４】

これらの第１配向膜ＡＬ１及び第２配向膜ＡＬ２には、液晶層ＬＱの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。

30

【００４５】

アレイ基板ＳＢ１と対向基板ＳＢ２とは、それぞれの第１配向膜ＡＬ１及び第２配向膜ＡＬ２が対向するように配置されている。このとき、アレイ基板ＳＢ１の第１配向膜ＡＬ１と対向基板ＳＢ２の第２配向膜ＡＬ２との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップが形成される。アレイ基板ＳＢ１と対向基板ＳＢ２とは、所定のセルギャップが形成された状態で、表示部ＤＹＰの外側のシール材（図示せず）によって貼り合わせられている。

【００４６】

液晶層ＬＱは、アレイ基板ＳＢ１と対向基板ＳＢ２との間に形成されたセルギャップに保持され、第１配向膜ＡＬ１と第２配向膜ＡＬ２との間に配置されている。このような液晶層ＬＱは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

40

【００４７】

アレイ基板ＳＢ１の外表面、つまり、アレイ基板ＳＢ１を構成する第１絶縁基板１０の外表面１０Ｂには、第１光学素子ＯＤ１が接着剤などにより貼付されている。この第１光学素子ＯＤ１は、液晶表示装置のバックライトと対向する側に位置しており、バックライトから液晶表示装置に入射する入射光の偏光状態を制御する。この第１光学素子ＯＤ１は、第１偏光軸（或いは第１吸収軸）を有する第１偏光板（図示せず）を含んでいる。

【００４８】

対向基板ＳＢ２の外表面、つまり、対向基板ＳＢ２を構成する第２絶縁基板２０の外表面２

50

0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示装置の表示面側に位置しており、液晶表示装置から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（或いは第 2 吸収軸）を有する第 2 偏光板（図示せず）を含んでいる。

【 0 0 4 9 】

図 4 は、上記液晶表示装置の駆動方法の一例を説明するための図である。

以下では、 $m$  行  $2n$  列で配列した表示画素  $P X$  を駆動する方法の一例について説明する。ゲートドライバ  $G D L$ 、 $G D R$  及びソースドライバ  $S D$  は、1 水平期間  $T H$  で各行の表示画素  $P X$  を駆動し、1 垂直期間  $T V$  で  $m$  行の表示画素  $P X$  を駆動する。

【 0 0 5 0 】

ゲートドライバ  $G D L$  は、偶数番目のゲート配線  $G L 2$ 、 $G L 4$ 、...  $G L 2m$  を各水平期間  $T H$  の前半で順次駆動する。例えば、ゲートドライバ  $G D L$  がゲート配線  $G L 2$  を駆動したタイミングで 1 行目においてソース配線  $S L$  の左側に接続された表示画素  $P X$  の画素スイッチ  $S W$  のソース電極  $S E$  とドレイン電極  $D E$  とが導通し、対応するソース配線  $S L$  から映像信号が印加される。

【 0 0 5 1 】

ゲートドライバ  $G D R$  は、奇数番目のゲート配線  $G L 1$ 、 $G L 3$ 、...  $G L 2m - 1$  を各水平期間  $T H$  の後半で順次駆動する。例えば、ゲートドライバ  $G D R$  がゲート配線  $G L 1$  を駆動したタイミングで 1 行目においてソース配線  $S L$  の右側に接続された表示画素  $P X$  の画素スイッチ  $S W$  のソース電極  $S E$  とドレイン電極  $D E$  とが導通し、対応するソース配線  $S L$  から映像信号が印加される。

【 0 0 5 2 】

ソースドライバ  $S D$  は、1 水平期間  $T H$  の前半において、ソース配線  $S L$  の左側に接続された表示画素  $P X$  に印加する映像信号を各ソース配線  $S L$  に供給し、1 水平期間  $T H$  の後半において、ソース配線  $S L$  の右側に接続された表示画素  $P X$  に印加する映像信号を各ソース配線  $S L$  に供給する。

【 0 0 5 3 】

即ち、本実施形態の液晶表示装置では、ソースドライバ  $S D$  は 1 本のソース配線  $S L$  により 2 列の表示画素  $P X$  へ映像信号を供給することができる。従ってソースドライバ  $S D$  により駆動するソース配線  $S L$  の本数を  $1/2$  になり、高価なソースドライバを採用する必要がない。

【 0 0 5 4 】

なお、本実施形態では、ゲートドライバ  $G D L$ 、 $G D R$  のそれぞれは、 $m$  本のゲート配線  $G L$  を順次駆動することとなるため、高速にゲート配線  $G L$  を駆動する必要もない。従って、本実施形態の液晶表示装置では、高価なゲートドライバを採用する必要もない。

【 0 0 5 5 】

上記のように、本実施形態によれば、液晶表示装置に要する費用の上昇を抑制することができる。これに加えて本実施形態では、補助容量線  $C S L$  の配置の工夫により、次のような効果も得られる。

【 0 0 5 6 】

デュアルゲート構造で画素をレイアウトする場合、横方向の隣接画素の  $T F T$  は上下に配置する必要があるが、補助容量  $C s$  に関しては片側寄せ配置が可能である。但し、補助容量線  $C S L$  線とドレイン電極（ソースメタル）との間で容量を形成する場合、 $C s$  片側寄せ配置にすると、 $T F T$  部が離れている画素はドレイン電極のソースメタルで直に容量形成することができず、画素電極を介してソースメタルに接続して容量を形成する必要がある。その場合、ドレイン電極と画素電極をコンタクトするための領域が必要となり、遮光領域が増え開口率が低下する。

【 0 0 5 7 】

これに対し本実施形態では、図 2 に示すように、行方向に隣接する画素で一方が上側で他方が下側に配置された画素スイッチの各ドレイン電極と重なるように  $C L S$  を蛇行配置

10

20

30

40

50

し、T F T位置と連動してC sを形成することにより、C s片寄せ配置時には必要なドレインからのコンタクト領域を設ける必要がなくなる。このため、C sを形成する際の開口率の低下を抑制することができる。

【0058】

(第2の実施形態)

図5は、第2の実施形態に係わる液晶表示装置の表示画素の一構成例を概略的に示す図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0059】

本実施形態では、ソース配線S Lは、第1ソース配線S L A ( S L A 1 , S L A 2 , ... S L A n ) と、第2ソース配線S L B ( S L B 1 , S L B 2 , ... S L B n ) と、接続部S L Xとを備えている。第1ソース配線S L Aと第2ソース配線S L Bとには、ソースドライバS Dから出力された共通の映像信号が供給される。

10

【0060】

第1ソース配線S L A及び第2ソース配線S L Bは、表示画素P Xの列に沿って列方向と略平行に延びている。第1ソース配線S L Aと第2ソース配線S L Bとは、列方向に並んだ画素電極P Eの列の、行方向における両側に配置されている。

【0061】

接続部S L Xは、列方向に並んだ画素電極P E間において行方向に延びて、第1ソース配線S L Aと第2ソース配線S L Bとを電氣的に接続している。第1ソース配線S L A 1と第2ソース配線S L B 1とは複数の接続部S L Xにより電氣的に接続している。同様に、第1ソース配線S L A 2と第2ソース配線S L B 2とは複数の接続部S L Xにより電氣的に接続している。

20

【0062】

このように、複数の箇所第1ソース配線S L Aと第2ソース配線S L Bとを接続部S L Xにより接続すると、第1ソース配線S L A及び第2ソース配線S L Bの一方の一部が断線したときでも、他方のソース配線と接続部S L Xとを介して断線箇所よりも先端側の表示画素P Xへ映像信号を供給することが可能となる。

【0063】

従って、本実施形態によれば、暗線や輝線が発生することを回避して製造歩留まりを改善すると共に表示品位の良好な液晶表示装置を提供することができる。

30

【0064】

なお、図5では、接続部S L Xは、各画素電極P Eの列方向における両側に配置されているが、各画素電極P Eの列方向における一方側にのみ配置されてもよい。接続部S L Xは、第1ソース配線S L Aと第2ソース配線S L Bと少なくとも1箇所で接続するように配置されていればよいが、接続部S L Xにより接続される箇所が多くなるほど断線による表示不良を回避することが可能となる。

【0065】

画素スイッチS Wは、半導体層S Cと、ゲート電極G Eと、ソース電極S Eと、ドレイン電極D Eとを有している。半導体層S Cは、絶縁層を介してゲート電極G E上に配置されている。ゲート電極G Eはゲート配線G Lと同層に形成され、ソース電極S Eとドレイン電極D Eとはソース配線S Lと同層に形成されている。

40

【0066】

ゲート電極G Eは、ゲート配線G Lと電氣的に接続している(或いは一体に形成されている)。本実施形態では、第1ソース配線S L Aとゲート配線G Lとが交差した位置近傍に配置された画素スイッチS Wのゲート電極G Eは、ゲート配線G Lから列方向に沿って上側に延びている。第2ソース配線S L Bとゲート配線G Lとが交差した位置近傍に配置された画素スイッチS Wのゲート電極G Eは、ゲート配線G Lから列方向に沿って下側に延びている。

【0067】

ソース電極S Eは、ソース配線S Lと電氣的に接続している(或いは一体に形成されて

50

いる)。ソース電極 S E は、第 1 ソース配線 S L A 及び第 2 ソース配線 S L B から行方向に沿って右側へ延びて半導体層 S C の一部の上層に配置している。図 5 に示す例では、ソース電極 S E は、第 1 ソース配線 S L A 及び第 2 ソース配線 S L B と、ゲート配線 G L とが交差した位置近傍において、第 1 ソース配線 S L A 及び第 2 ソース配線 S L B の 2 箇所から突出している。

【 0 0 6 8 】

ドレイン電極 D E は、画素電極 P E と電氣的に接続している（或いは一体に形成されている）。ドレイン電極 D E は、行方向に沿って半導体層 S C の上層と画素電極 P E の下層との間に延び、ドレイン電極 D E と画素電極 P E とが絶縁層を介して重なる位置に設けられたコンタクトホール C H において画素電極 P E と電氣的に接続している。半導体層 S C 10 の上層において、ドレイン電極 D E は 2 つのソース電極 S E の間に配置されている。

【 0 0 6 9 】

本実施形態の液晶表示装置は、上記の構成以外は上述の第 1 実施形態と同様の構成である。本実施形態では、全ての表示画素 P X において、画素スイッチ S W の構成が共通している。即ち、何れの表示画素 P X においてもソース電極 S E は行方向に沿ってソース配線 S L A 或いはソース配線 S L B から右側へ向かって延び、ドレイン電極 D E は行方向に沿って画素電極 P E の下層と半導体層 S C の上層との間に延びている。従って、アレイ基板 S B 1 を形成する際に、導電層の配置がずれた場合でも画素スイッチ S W に生じる容量、特にゲート電極 G E とドレイン電極 D E との間に生じる容量 C g d は全ての画素スイッチ S W で同じ分だけ増減する。 20

【 0 0 7 0 】

例えば、上述の第 1 実施形態の液晶表示装置では、ソース配線 S L が形成される導電層が、ゲート配線 G L が形成される導電層に対して上方向にずれた場合、第 1 表示画素 P X 1 の画素スイッチ S W ではゲート電極 G E とドレイン電極 D E とが対向する面積が大きくなるため容量 C g d は大きくなるが、第 2 表示画素 P X 2 の画素スイッチ S W ではゲート電極 G E とドレイン電極 D E とが対向する面積が小さくなるため容量 C g d が小さくなる。容量 C g d が異なる表示画素 P X では突き抜け電圧の大きさに差が生じるため、フリッカや焼き付きが生じることがある。

【 0 0 7 1 】

これに対し、本実施形態では、導電層の配置がずれた場合でも全ての画素スイッチ S W に生じる容量 C g d が同じ分だけ増減するため、フリッカや焼き付きが発生することを回避して、製造歩留まりを改善すると共に表示品位の良好な液晶表示装置を提供することができる。 30

【 0 0 7 2 】

即ち、本実施形態の液晶表示装置によれば、上述の第 1 実施形態の液晶表示装置と同様に、液晶表示装置に要する費用の上昇及び開口率の低下を抑制できると共に、製造歩留まりを改善して表示品位の良好な液晶表示装置を提供することができる。

【 0 0 7 3 】

なお、本実施形態の液晶表示装置において、画素スイッチ S W の構成は図 5 に示すものに限定されない。 40

【 0 0 7 4 】

図 6 は、本実施形態の液晶表示装置の表示画素の他の構成例を概略的に示す図である。この例では、画素スイッチ S W の構成が図 5 に示す場合と異なっている。即ち、画素スイッチ S W のソース電極 S E は、第 1 ソース配線 S L A 及び第 2 ソース配線 S L B から行方向に沿って右側に突出し、半導体層 S C の一部の上層へ延びている。図 6 に示す例では、ソース電極 S E は、第 1 ソース配線 S L A 及び第 2 ソース配線 S L B と、ゲート配線 G L とが交差した位置近傍において、第 1 ソース配線 S L A 及び第 2 ソース配線 S L B の 1 箇所から突出している。

【 0 0 7 5 】

ドレイン電極 D E は、行方向に沿って半導体層 S C の上層から画素電極 P E の下層へ延 50

び、ドレイン電極 D E と画素電極 P E とが絶縁層を介して重なる位置に設けられたコンタクトホール C H において画素電極 P E と電氣的に接続している。半導体層 S C の上層において、ドレイン電極 D E はソース電極 S E と行方向に所定の間隔を置いて配置している。

【 0 0 7 6 】

上記以外の構成は図 5 に示す液晶表示装置と同様の構成である。図 6 に示す例においても、導電層の配置がずれた場合に全ての画素スイッチ S W に生じる容量 C g d が同じ分だけ増減するため、フリッカや焼き付きが発生することを回避して、製造歩留まりを改善すると共に表示品位の良好な液晶表示装置を提供することができる。

【 0 0 7 7 】

即ち、上述の第 1 実施形態の液晶表示装置と同様に、液晶表示装置に要する費用の上昇及び開口率の低下を抑制できると共に、製造歩留まりを改善して表示品位の良好な液晶表示装置を提供することができる。

10

【 0 0 7 8 】

( 第 3 の実施形態 )

図 7 は、第 3 の実施形態に係わる液晶表示装置の表示画素の一構成例を概略的に示す図である。なお、図 2 と同一部分には同一符号を付して、その詳しい説明は省略する。

【 0 0 7 9 】

本実施形態が先に説明した第 1 の実施形態と異なる点は、画素電極の構成にある。即ち本実施形態は I P S 画素の例であり、画素電極 P E と共通電極 P C が櫛歯状電極となっている。

20

【 0 0 8 0 】

表示画素 P X 1 においては、ソース線 S L 1 に接続される画素スイッチ S W が上側に形成され、表示画素 P X 2 においては、ソース線 S L 2 に接続される画素スイッチ S W が下側に形成されている。そして、表示画素 P X 1 では、櫛歯状の画素電極 P E は上側で画素スイッチ S W のドレイン電極 D E にコンタクトされ、表示画素 P X 2 では、櫛歯状の画素電極 P E は下で画素スイッチ S W のドレイン電極 D E にコンタクトされている。

【 0 0 8 1 】

このように本実施形態においても、隣接する 2 つの画素において、一方は上側に画素スイッチ S W が配置され、他方は下側に画素スイッチ S W が配置されている。そして、補助容量線 C S L は、画素の端部に沿って蛇行し、表示画素 P X 1 の上側の画素スイッチ S W のドレイン電極 D E に重なり、表示画素 P X 2 の下側の画素スイッチ S W のドレイン電極 D E に重なっている。

30

【 0 0 8 2 】

このような構成であれば、液晶表示装置に要する費用の上昇及び開口率の低下を抑制できると云う第 1 の実施形態と同様の効果が得られるのは勿論のこと、次のような効果も得られる。即ち、C s 形成部を画素電極 P E を介してドレイン D E に接続する必要がなくなるため、I P S 画素で懸念される画素電極の段切れによる影響を無くすることができる。従って、液晶表示装置の製造歩留まり向上をはかることができる。これは、I P S 画素を採用した液晶表示装置にとっては極めて有効な効果である。

【 0 0 8 3 】

40

( 変形例 )

なお、本発明は上述した各実施形態に限定されるものではない。

【 0 0 8 4 】

画素スイッチとしての T F T の構成は必ずしも逆スタガ型に限るものではなく、スタガ型、その他の形式であっても良い。また、半導体層はアモルファス S i に限るものではなく、多結晶 S i を用いることもでき、更に他の半導体材料を用いることも可能である。

【 0 0 8 5 】

本発明の幾つかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置

50

き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

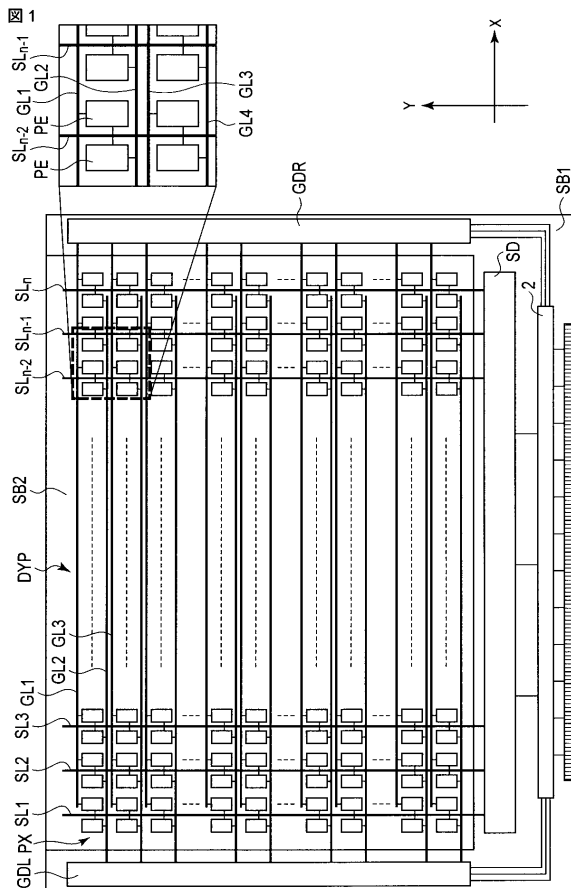
【符号の説明】

【 0 0 8 6 】

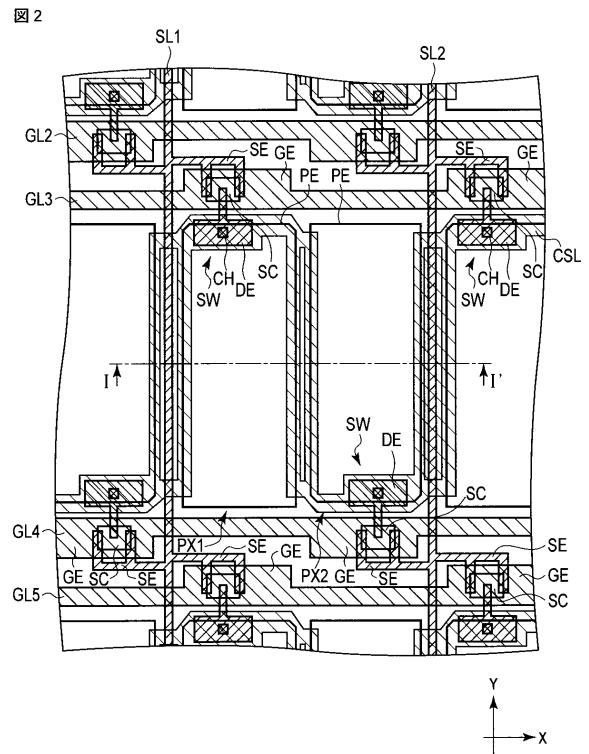
P X ... 表示画素、D Y P ... 表示部、P E ... 画素電極、G L ... ゲート配線、S L , S L A , S L B ... ソース配線、S L X ... 接続部、G D L , G D R ... ゲートドライバ、S D ... ソースドライバ、X ... 行方向、Y ... 列方向、S W ... 画素スイッチ、G E ... ゲート電極、S E ... ソース電極、D E ... ドレイン電極、S C ... 半導体層、C H ... コンタクトホール、C S L ... 補助容量線、C E ... 共通電極、L Q ... 液晶層、S L A ... ソース配線、S B 1 ... アレイ基板、S B 2 ... 対向基板。

10

【 図 1 】

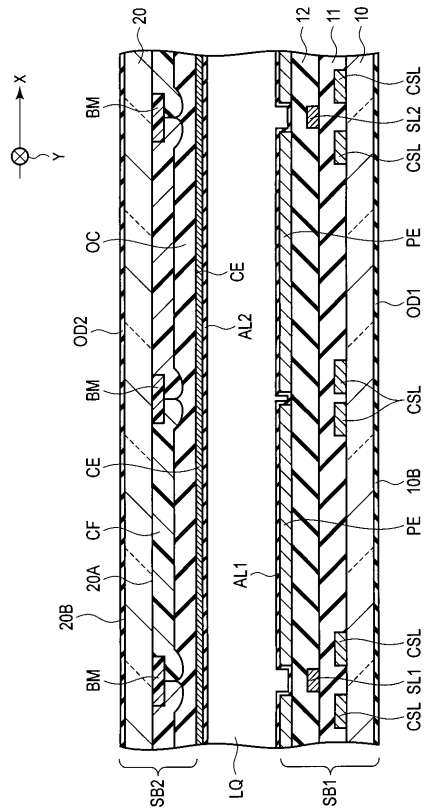


【 図 2 】



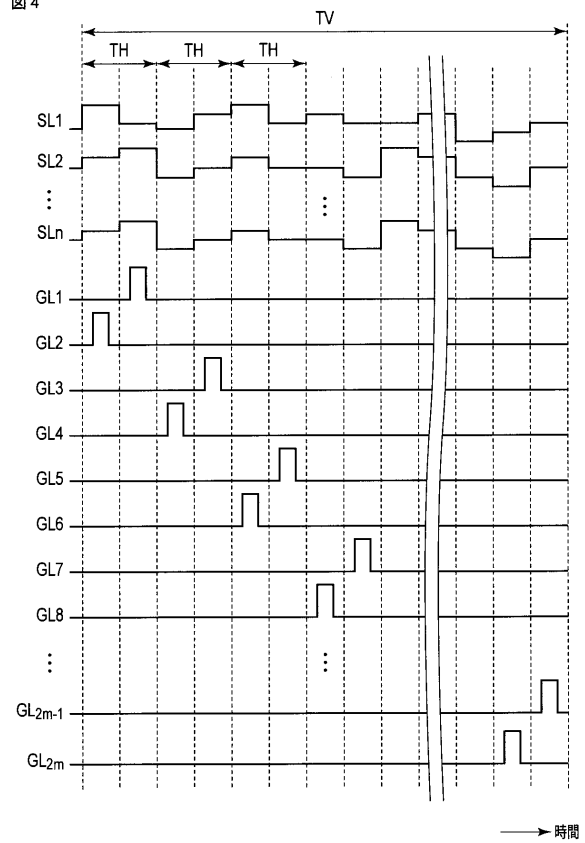
【図 3】

図 3



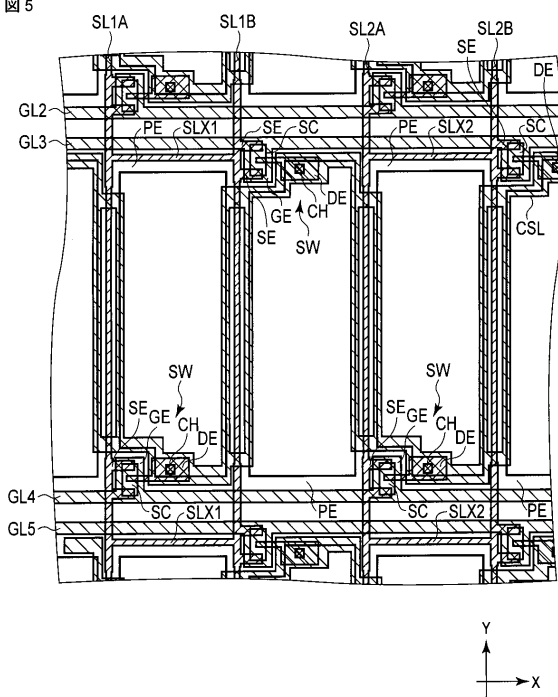
【図 4】

図 4



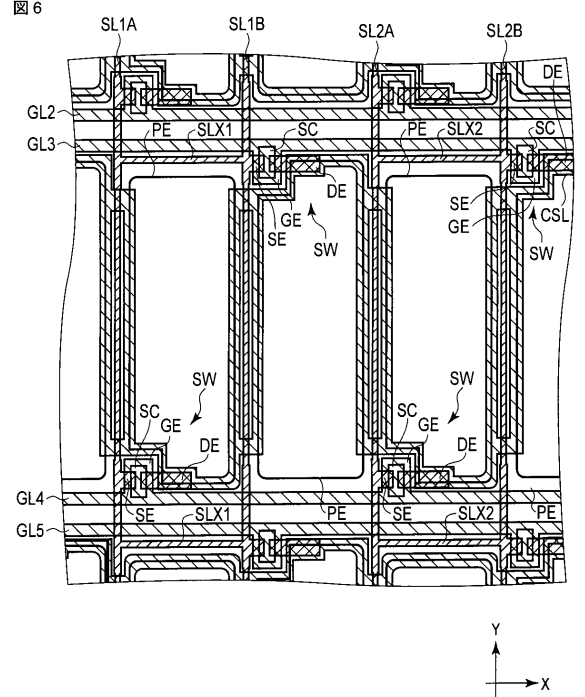
【図 5】

図 5



【図 6】

図 6





---

フロントページの続き

F ターム(参考) 2H192 AA24 BB03 BB53 BC31 CC04 CC17 CC24 CC56 CC62 DA13  
EA22 EA43 FA44 FA73 FB02 GA41 GD61 JA03  
5C094 AA02 BA43 DA11 DA14 EA04 EA07 FA01

|                |                                                                                                                                                                                                                                                                                    |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                                             |         |            |
| 公开(公告)号        | <a href="#">JP2015072339A</a>                                                                                                                                                                                                                                                      | 公开(公告)日 | 2015-04-16 |
| 申请号            | JP2013207393                                                                                                                                                                                                                                                                       | 申请日     | 2013-10-02 |
| [标]申请(专利权)人(译) | 株式会社日本显示器                                                                                                                                                                                                                                                                          |         |            |
| 申请(专利权)人(译)    | 有限公司日本显示器                                                                                                                                                                                                                                                                          |         |            |
| [标]发明人         | 米倉利昌                                                                                                                                                                                                                                                                               |         |            |
| 发明人            | 米倉 利昌                                                                                                                                                                                                                                                                              |         |            |
| IPC分类号         | G02F1/1368 G09F9/30                                                                                                                                                                                                                                                                |         |            |
| CPC分类号         | G02F1/136213 G02F1/134336 G02F1/136286 G02F2201/40                                                                                                                                                                                                                                 |         |            |
| FI分类号          | G02F1/1368 G09F9/30.338 G09F9/30.341 G09F9/30.348.A                                                                                                                                                                                                                                |         |            |
| F-TERM分类号      | 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BC31 2H192/CC04 2H192/CC17 2H192/CC24 2H192/CC56 2H192/CC62 2H192/DA13 2H192/EA22 2H192/EA43 2H192/FA44 2H192/FA73 2H192/FB02 2H192/GA41 2H192/GD61 2H192/JA03 5C094/AA02 5C094/BA43 5C094/DA11 5C094/DA14 5C094/EA04 5C094/EA07 5C094/FA01 |         |            |
| 代理人(译)         | 河野 哲                                                                                                                                                                                                                                                                               |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                          |         |            |

#### 摘要(译)

要解决的问题：抑制在形成存储电容器时开口率的降低。液晶显示装置包括：以矩阵状排列的多个像素电极PE；在列方向上排列在像素电极PE的行的一侧的第一栅极线GL3；以及像素电极PE的行。通过从第一栅极线GL4提供的栅极信号，第二栅极线GL4布置在其另一侧，源极线SL沿着布置有像素电极PE的列延伸，源极线SL和像素电极PE。通过从第二栅极线GL4提供的栅极信号来切换第一像素开关SW和第二像素开关SW之间的连接的第一像素开关SW，以及切换第一像素开关SW和第二像素开关SW的第二像素开关SW。并且，辅助电容线CSL经由绝缘膜与像素电极侧的各电极相对，并沿着像素电极的端部弯曲并沿行方向延伸。[选择图]图2

