

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-142487

(P2014-142487A)

(43) 公開日 平成26年8月7日(2014. 8. 7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 612K	5C006
G02F 1/133 (2006.01)	G09G 3/20 612L	5C080
	G09G 3/20 611A	
	G09G 3/20 611C	
審査請求 未請求 請求項の数 6 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2013-10949 (P2013-10949)
 (22) 出願日 平成25年1月24日 (2013. 1. 24)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100133514
 弁理士 寺山 啓進
 (74) 代理人 100122910
 弁理士 三好 広之
 (72) 発明者 浅野 陽信
 京都府京都市右京区西院溝崎町2 1 番地
 ローム株式会社内
 (72) 発明者 久保 智央
 京都府京都市右京区西院溝崎町2 1 番地
 ローム株式会社内

最終頁に続く

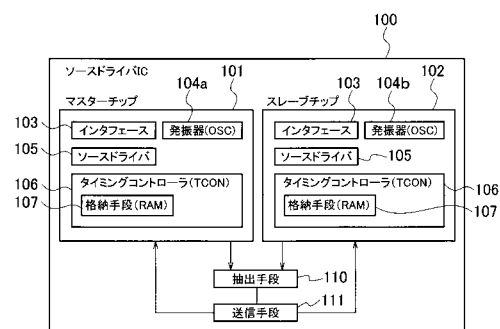
(54) 【発明の名称】 ソースドライバIC、液晶表示装置および電子機器

(57) 【要約】

【課題】消費電力と電磁波不要輻射を低減することのできるソースドライバIC、液晶表示装置および電子機器を提供する。

【解決手段】マスターチップ101と、1または2以上のスレーブチップ102と、マスターチップまたはスレーブチップの何れかから液晶パネルの水平同期信号を抽出する抽出手段110と、抽出手段で抽出された水平同期信号をマスターチップおよびスレーブチップのそれぞれに送信する送信手段111とを備え、各タイミングコントローラは、水平同期信号を基準としてソースドライバの動作タイミングを制御する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

信号の送受信を行うインタフェースと、所定周波数のクロック信号を生成する発振器と、液晶パネルの複数のデータ線を駆動するソースドライバと、前記ソースドライバの動作タイミングを制御するタイミングコントローラとを備えるマスターチップと、

信号の送受信を行うインタフェースと、所定周波数のクロック信号を生成する発振器と、液晶パネルの複数のデータ線を駆動するソースドライバと、前記ソースドライバの動作タイミングを制御するタイミングコントローラとを備える 1 または 2 以上のスレーブチップと、

前記マスターチップまたは前記スレーブチップの何れかから前記液晶パネルの水平同期信号を抽出する抽出手段と、

前記抽出手段で抽出された水平同期信号を前記マスターチップおよび前記スレーブチップのそれぞれに送信する送信手段と

を備え、

前記各タイミングコントローラは、前記水平同期信号を基準として前記ソースドライバの動作タイミングを制御することを特徴とするソースドライバ I C。

【請求項 2】

前記各タイミングコントローラは、前記水平同期信号をトリガとして、前記ソースドライバが前記インタフェースを介して取り込んだ階調信号を出力するように制御することを特徴とする請求項 1 に記載のソースドライバ I C。

【請求項 3】

前記各タイミングコントローラは、前記インタフェースを介して取り込んだピクセルデータを格納する格納手段を備えることを特徴とする請求項 1 または請求項 2 に記載のソースドライバ I C。

【請求項 4】

前記各タイミングコントローラは、前記格納手段に格納されているピクセルデータのピクセルのカウントを前記水平同期信号の立ち上がりを起点に行い、前記ソースドライバへのラッチパルスの生成を前記水平同期信号の立ち下がりとして行うように制御することを特徴とする請求項 3 に記載のソースドライバ I C。

【請求項 5】

液晶パネルと、

前記液晶パネルの複数のデータ線を駆動する請求項 1 から 4 のいずれか 1 項に記載のソースドライバ I C と、

前記液晶パネルの複数の走査線を駆動するゲートドライバと

を備えることを特徴とする液晶表示装置。

【請求項 6】

請求項 5 に記載の液晶表示装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ソースドライバ I C、液晶表示装置および電子機器に係り、特に消費電力と電磁波不要輻射 (E M I) を低減することのできるソースドライバ I C、液晶表示装置および電子機器に関する。

【背景技術】

【0002】

ノート型パソコンや携帯電話等の各種電子機器などに液晶表示装置が広く用いられている。

【0003】

液晶表示装置を構成する液晶パネルとしては、例えば、複数のデータ線と、データ線と直交するように配置される複数の走査線と、データ線および走査線の交点にマトリクス状

10

20

30

40

50

に配置された複数の T F T (Thin Film Transistor) を備えたものがある。

【0004】

このような液晶パネルを駆動するために、ゲートドライバ回路、ソースドライバ回路およびタイミングコントローラ回路等を含む駆動 I C が設けられており、ゲートドライバ回路は複数の走査線を順に選択し、ソースドライバ回路は各データ線に輝度に応じた電圧を印加し、タイミングコントローラ回路はゲートドライバ回路およびソースドライバ回路の動作タイミングを制御するようになっている。

【0005】

ところで、液晶パネルの駆動 I C (ソースドライバ I C) は、表示速度の高速化等を目的としてマスターチップおよび 1 以上のスレーブチップからなる複数の I C チップで構成される場合がある。

10

【0006】

このような複数の I C チップで液晶パネルのソースドライバ I C を構成する技術は種々提案されている (例えば、特許文献 1) 。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開平 1 1 - 1 5 4 5 1 号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0008】

ところで、マスターチップおよびスレーブチップが備える発振器は、製造ばらつき等により、生成するクロック信号の周波数に $\pm 5\%$ 程度の差を生じてしまう。

【0009】

そこで、マスターチップが備える発振器で生成したクロック信号をリファレンスクロックとしてスレーブチップに送信して駆動する構成とし、マスターチップおよび複数のスレーブチップの間で駆動速度に差が生じないようにした提案がある。

【0010】

しかしながら、上記構成では、チップ間で比較的高い周波数 (例えば、数 M H z ~ 数十 M H z) のリファレンスクロックを I / O 部を介して受け渡すため、スイッチング素子のオン・オフ回数が増えるなどの理由により、駆動 I C 全体の消費電力が増大するという難点があった。

30

【0011】

また、上述のように比較的高い周波数帯のリファレンスクロックの受け渡しにより、I / O 部を介した電磁波不要輻射 (E M I : Electromagnetic Interference) が増大し、他の機器の動作に影響を与えるという問題もあった。

【0012】

本発明の目的は、消費電力と電磁波不要輻射 (E M I) を低減することのできるソースドライバ I C、液晶表示装置および電子機器を提供することにある。

【課題を解決するための手段】

40

【0013】

上記目的を達成するための本発明の一態様によれば、信号の送受信を行うインタフェースと、所定周波数のクロック信号を生成する発振器と、液晶パネルの複数のデータ線を駆動するソースドライバと、前記ソースドライバの動作タイミングを制御するタイミングコントローラとを備えるマスターチップと、信号の送受信を行うインタフェースと、所定周波数のクロック信号を生成する発振器と、液晶パネルの複数のデータ線を駆動するソースドライバと、前記ソースドライバの動作タイミングを制御するタイミングコントローラとを備える 1 または 2 以上のスレーブチップと、前記マスターチップまたは前記スレーブチップの何れかから前記液晶パネルの水平同期信号を抽出する抽出手段と、前記抽出手段で抽出された水平同期信号を前記マスターチップおよび前記スレーブチップのそれぞれに送

50

信する送信手段とを備え、前記各タイミングコントローラは、前記水平同期信号を基準として前記ソースドライバの動作タイミングを制御するソースドライバＩＣが提供される。

【００１４】

また、本発明の他の態様によれば、液晶パネルと、前記液晶パネルの複数のデータ線を駆動する請求項１から４のいずれか１項に記載のソースドライバＩＣと、前記液晶パネルの複数の走査線を駆動するゲートドライバとを備える液晶表示装置が提供される。

【００１５】

また、本発明の他の態様によれば、請求項５に記載の液晶表示装置を備える電子機器が提供される。

【発明の効果】

10

【００１６】

本発明によれば、消費電力と電磁波不要輻射（ＥＭＩ）を低減することのできるソースドライバＩＣ、液晶表示装置および電子機器を提供することができる。

【図面の簡単な説明】

【００１７】

【図１】本実施の形態に係るソースドライバＩＣの機能構成を示す機能ブロック。

【図２】本実施の形態に係るソースドライバＩＣを備えた液晶表示装置の模式的平面パターン構成図。

【図３】（ａ）ソースドライバＩＣの一部を構成するマスターチップの模式的平面ブロック構成図、（ｂ）ソースドライバＩＣの一部を構成するスレーブチップの模式的平面ブロック構成図。

20

【図４】発振器が生成する周波数のばらつきを示すグラフ。

【図５】比較例に係るソースドライバＩＣの構成を示すブロック図。

【図６】第１の実施例に係るソースドライバＩＣの構成を示すブロック図。

【図７】第１の実施例に係るソースドライバＩＣにおけるマスターチップおよびスレーブチップの動作タイミングを示すタイミングチャート。

【図８】第２の実施例に係るソースドライバＩＣの構成を示すブロック図。

【図９】第２の実施例に係るソースドライバＩＣにおけるマスターチップおよびスレーブチップの動作タイミングを示すタイミングチャート。

【発明を実施するための形態】

30

【００１８】

次に、図面を参照して、実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【００１９】

又、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の実施の形態は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

40

【００２０】

（ソースドライバＩＣの機能構成）

実施の形態に係るソースドライバＩＣ１００の機能構成は、図１の機能ブロックのように表される。

【００２１】

即ち、図１に示すように、実施の形態に係るソースドライバＩＣ１００は、信号の送受信を行うインタフェース１０３と、所定周波数のクロック信号を生成する発振器（ＯＳＣ）１０４ａと、液晶パネルの複数のデータ線を駆動するソースドライバ１０５と、ソース

50

ドライバ105の動作タイミングを制御するタイミングコントローラ(TCON)106とを備えるマスターチップ101と、信号の送受信を行うインタフェース103と、所定周波数のクロック信号を生成する発振器(OSC)104bと、液晶パネルの複数のデータ線を駆動するソースドライバ105と、ソースドライバ105の動作タイミングを制御するタイミングコントローラ(TCON)106とを備えるスレーブチップ102と、マスターチップ101またはスレーブチップ102の何れかから液晶パネルの水平同期信号(hsync(B))を抽出する抽出手段110と、抽出手段110で抽出された水平同期信号をマスターチップ101およびスレーブチップ102のそれぞれに送信する送信手段(信号線等)111とを備える。

【0022】

なお、スレーブチップ102は、図1上は1個であるが、2個以上設けられる場合であっても良い。

【0023】

また、特に限定されないが、抽出手段110は、マスターチップ101またはスレーブチップ102が備える発振器(OSC)104a、104bの周波数の測定結果に基いて、何れのチップから水平同期信号を抽出するかを決定することができる。

【0024】

そして、各タイミングコントローラ106は、水平同期信号(hsync(B))を基準としてソースドライバ105の動作タイミングを制御するようになっている。

【0025】

また、各タイミングコントローラ106は、水平同期信号(hsync(B))をトリガとして、ソースドライバ105がインタフェース103を介して取り込んだ階調信号を出力するように制御するようにしても良い。

【0026】

また、各タイミングコントローラ106は、インタフェース103を介して取り込んだピクセルデータを格納する格納手段としてのRAM107を備えている。

【0027】

そして、各タイミングコントローラ106は、RAM107に格納されているピクセルデータのピクセルのカウントを水平同期信号(hsync(B))の立ち上がりを起点に行い、ソースドライバ105へのラッチパルスの生成を水平同期信号(hsync(B))の立ち下がりを経点として行うように制御するようにしても良い。具体例については図7および図9を参照して後述する。

【0028】

実施の形態に係るソースドライバIC100によれば、発振器(OSC)104a、104bで生成されるクロック信号の周波数(例えば、数MHz~数十MHz)よりも低い周波数(例えば、数十kHz)の水平同期信号(hsync(B))を基準にして、ソースドライバ105の動作タイミングを制御しているので、チップ間のI/O部で消費される電力および電磁波不要輻射(EMI)を低減することができる。

【0029】

(ソースドライバICを備えた液晶表示装置)

図2は、本実施の形態に係るソースドライバIC100を備えた液晶表示装置50aの模式的平面パターン構成図である。

【0030】

液晶表示装置50aは、図2に示すように、液晶パネルで構成される表示部11と、表示部11に接続され、ソースドライバIC100を実装したCOF基板15と、COF基板15に接続され、各種のディスクリット部品と、LEDドライバ18と、パワーマネジメントIC20と、タイミングコントローラ22とを実装するPCB基板17とを備える。

【0031】

図2に示す例では、ソースドライバIC100は、マスターチップ101と、2個のス

10

20

30

40

50

レーブチップ102a、102bで構成されている。なお、表示部11の大きさ等に応じて、スレーブチップの数は増減することができる。

【0032】

このように、本実施の形態に係るソースドライバIC100を用いることにより、液晶表示装置50a全体の消費電力を低減できると同時に、電磁波不要輻射(EMI)も低減することができる。

【0033】

(チップの構成例)

図3にチップの構成例を示す。図3(a)は、ソースドライバIC100の一部を構成するマスターチップ101の模式的平面ブロック構成図、図3(b)は、ソースドライバIC100の一部を構成するスレーブチップ102の模式的平面ブロック構成図である。

10

【0034】

図3(a)に示すように、マスターチップ101内には、例えば、LEDドライバ5、タイミングコントローラ(TCON)1b、低電圧作動シグナリング(LVDS)8b、DC/DCコンバータ44、ソースドライバ(S/D)7bおよび4chカレントシンク9が搭載されている。

【0035】

また、図3(b)に示すように、スレーブチップ102内には、例えば、レベルシフタ(L/S)6、タイミングコントローラ(TCON)1a、低電圧作動シグナリング(LVDS)8a、DC/DCコンバータ41、42、43、電圧制御IC(VCON)3、LDOレギュレータ2およびソースドライバ(S/D)7aが搭載されている。

20

【0036】

なお、DC/DCコンバータ41、42は、それぞれ、+5V、-5V用であり、ソースドライバ(S/D)7aの上側電源、下側電源に用いられる。また、DC/DCコンバータ43は、+2.5V用であり、ゲートドライバの上側電源に用いられる。

【0037】

(発振器の周波数ばらつきについて)

図1等に示すように、ソースドライバIC100を構成するマスターチップ101およびスレーブチップ102は、クロック信号を生成する発振器(OSC)104a、104bを内蔵している。

30

【0038】

ところで、これらの発振器(OSC)104a、104bは、製造ばらつき等に起因して、生成するクロック信号の周波数に差を生じている。

【0039】

例えば、図4に示すように、発振器(OSC)の定格周波数が50MHzの場合である場合において、±5%の周波数ばらつきがある。

【0040】

即ち、定格周波数より5%遅い場合としてF1(47.5MHz)、5%速い場合としてF2(52.5MHz)が想定される。

【0041】

したがって、各発振器(OSC)104a、104bが生成するクロック信号を個別に用いた場合には、マスターチップ101とスレーブチップ102との間で駆動速度に差が生じてしまい、液晶パネルで構成される表示部に正常に画像等が表示されない場合が生じ得る。

40

【0042】

このような問題を根本的に解消することを目的に本発明に係るソースドライバICが案出された。

【0043】

なお、本発明の従来技術として、次に述べる比較例に係るソースドライバICが存在する。

50

【0044】

(比較例に係るソースドライバIC)

図5のブロック図を参照して、比較例に係るソースドライバIC300について説明する。

【0045】

比較例に係るソースドライバIC300は、信号の送受信を行うインタフェース103と、所定周波数のクロック信号を生成する発振器(OSC)104aと、液晶パネルの複数のデータ線を駆動するソースドライバ105と、ソースドライバ105の動作タイミングを制御するタイミングコントローラ(TCON)106とを備えるマスターチップ201を備えている。

10

【0046】

なお、タイミングコントローラ106は、インタフェース103を介して取り込んだピクセルデータを格納する格納手段としてのRAM107と、タイミング発生器150を備えている。

【0047】

また、ソースドライバIC300は、信号の送受信を行うインタフェース103と、所定周波数のクロック信号を生成する発振器(OSC)104b、104cと、液晶パネルの複数のデータ線を駆動するソースドライバ105と、ソースドライバ105の動作タイミングを制御するタイミングコントローラ(TCON)106とを備える2個のスレーブチップ202a、202bを備えている。

20

【0048】

なお、マスターチップ201と同様に、タイミングコントローラ106は、インタフェース103を介して取り込んだピクセルデータを格納する格納手段としてのRAM107と、タイミング発生器150を備えている。

【0049】

図5に示すように、マスターチップ201とスレーブチップ202a、202bは、信号線250を介して接続されている。

【0050】

そして、マスターチップ201が備える発振器104aで生成したクロック信号をリファレンスクロックとしてスレーブチップ202a、202bに、信号線250を介して送信して駆動する構成としている。

30

【0051】

これにより、マスターチップ201および複数のスレーブチップ202a、202bの間で駆動速度に差が生じないようにできる。

【0052】

但し、上記構成では、マスターチップ201および複数のスレーブチップ202a、202bの間で比較的高い周波数(例えば、数MHz~数十MHz)のリファレンスクロックを受け渡すため、スイッチング素子のオン・オフ回数が増えるなどの理由により、駆動IC全体の消費電力が増大する。

【0053】

また、上述のように比較的高い周波数帯のリファレンスクロックの受け渡しにより、I/O部を介した電磁波不要輻射(EMI:Electromagnetic Interference)が増大する。

40

【0054】

(第1の実施例に係るソースドライバIC)

図6のブロック図および図7のタイミングチャートを参照して、第1の実施例に係るソースドライバIC100について説明する。

【0055】

第1の実施例に係るソースドライバIC100は、信号の送受信を行うインタフェース103と、所定周波数のクロック信号を生成する発振器(OSC1)104aと、液晶パネルの複数のデータ線を駆動するソースドライバ105と、ソースドライバ105の動作

50

タイミングを制御するタイミングコントローラ (TC ON) 106 とを備えるマスターチップ 201 を備えている。

【0056】

なお、タイミングコントローラ 106 は、インタフェース 103 を介して取り込んだピクセルデータを格納する格納手段としての RAM 107 と、水平同期信号 (h s y n c (B)) 等を生成するタイミング発生器 150 を備えている。

【0057】

また、ソースドライバ IC 100 は、信号の送受信を行うインタフェース 103 と、所定周波数のクロック信号を生成する発振器 (OSC 2, OSC 3) 104 b、104 c と、液晶パネルの複数のデータ線を駆動するソースドライバ 105 と、ソースドライバ 105 の動作タイミングを制御するタイミングコントローラ (TC ON) 106 とを備える 2 個のスレーブチップ 102 a、102 b を備えている。

10

【0058】

なお、マスターチップ 101 と同様に、タイミングコントローラ 106 は、インタフェース 103 を介して取り込んだピクセルデータを格納する格納手段としての RAM 107 と、水平同期信号等を生成するタイミング発生器 150 を備えている。

【0059】

図 6 に示すように、マスターチップ 101 とスレーブチップ 102 a、102 b は、送信手段としての信号線 111 a を介して接続されている。

【0060】

20

そして、第 1 の実施例に係るソースドライバ IC 100 では、マスターチップ 101 から抽出した水平同期信号 (h s y n c (B)) を信号線 111 a を介してスレーブチップ 102 a、102 b に送信される。

【0061】

なお、図 6 における信号 A ~ D は、それぞれ、信号 A : REF __ D E、信号 B : 水平同期信号 h s y n c (B)、信号 C : RAM Read Enable、信号 D : Latch pulse for Source Driver を表すものとする。

第 1 の実施例に係るソースドライバ IC 100 によれば、発振器 (OSC) 104 a、104 b で生成されるクロック信号の周波数 (例えば、数 MHz ~ 数十 MHz) よりも低い周波数 (例えば、数十 kHz) の水平同期信号 (h s y n c (B)) を基準にして、ソースドライバ 105 の動作タイミングを制御するので、チップ間の I / O 部で消費される電力および電磁波不要輻射 (EMI) を低減することができる。

30

【0062】

より具体的には、図 7 にタイミングチャートに示すタイミングで制御することができる。

【0063】

図 7 に示す例では、水平アクティブを 1366 ピクセルとし、発振器 (OSC) 104 の周波数は出荷テストによって 50 MHz $\pm$ 5 % が保証されているものとする。

【0064】

第 1 の実施例におけるワーストケースは、h s y n c (B) を発生させるチップの発振器 (OSC) 104 が最大周波数 (52.5 MHz)、h s y n c (B) を受け取るチップのうち 1 つ以上の発振器 (OSC) 104 が、最小周波数 (47.5 MHz) になっているケースである。

40

【0065】

なお、この例では、マスターチップ 101 の内部水平同期信号は 26.01 μ s、スレーブチップ (スレーブ 1) 102 a の内部水平同期信号は 27.32 μ s、スレーブチップ (スレーブ 2) 102 B の内部水平同期信号は 28.76 μ s となっている。

【0066】

ワーストケースの 1 例として、発振器 (OSC 1 ~ 3) 104 a ~ c の周波数をそれぞれ OSC 1 : 52.5 MHz (TYP + 5 %), OSC 2 : 50 MHz (TYP), OS

50

C 3 : 4 7 . 5 M H z (T Y P - 5 %) とする。

【 0 0 6 7 】

そして、マスターチップ 1 0 1 とスレーブチップ 1 0 2 a、1 0 2 b の各チップにおいて、内部ピクセルカウンタのカウント開始を h s y n c (B) の立ち上がりで行い、ソースドライバ 1 0 5 へのラッチパルスは h s y n c (B) の立下りで発生させている。即ち、図 7 では、タイミング t 1 で内部ピクセルカウンタのカウントを開始し、タイミング t 3 でソースドライバ 1 0 5 へのラッチパルスを発生させている。

【 0 0 6 8 】

なお、ラッチパルスは、ソースドライバ 1 0 5 の表示タイミングを決定する信号であり、各チップ間でこれを同期させることにより画像表示がずれることがなくなる。

10

【 0 0 6 9 】

但し、ラッチパルス発生までに各チップで 1 ラインのピクセル処理が完了されていることが保証されているものとする。

【 0 0 7 0 】

この例では、O S C 周波数は 4 7 . 5 M H z ~ 5 2 . 5 M H z が仕様として保証されているので、スレーブチップ 1 0 2 a (スレーブ 2) の 1 ラインのピクセル処理時間 t 2 : 2 8 . 7 6 μ s が全チップの中で最大の処理時間である。

【 0 0 7 1 】

したがって、図 7 の例では、遅くとも時間 t 2 までに、各チップで 1 ラインのピクセル処理が完了されているものとする。

20

【 0 0 7 2 】

なお、水平同期信号 (h s y n c (B)) を発生させるマスターチップ 1 0 1 は、2 8 . 7 6 μ s を自らの 5 2 . 5 M H z の発振器 (O S C) 1 0 4 でカウントする。

【 0 0 7 3 】

2 8 . 7 6 μ s を 5 2 . 5 M H z でカウントすると 1 5 1 0 サイクル (小数点以下切り上げ) であり、マスターチップ 1 0 1 はこの 1 5 1 0 サイクル以上待ってから h s y n c (B) を立ち下げるものとする。

【 0 0 7 4 】

なお、この “ 1 5 1 0 ” に相当する数は、タイミング発生器 1 5 0 が定数もしくは変更可能なパラメータとして有している。

30

【 0 0 7 5 】

また、本実施例では、2 個のスレーブチップ 1 0 2 a、1 0 2 b を備える場合について述べたが、制御する液晶パネルの大きさ等に応じて、スレーブチップの数は増減して、同様に制御することができる。

【 0 0 7 6 】

(第 2 の実施例に係るソースドライバ I C)

図 8 のブロック図および図 9 のタイミングチャートを参照して、第 2 の実施例に係るソースドライバ I C 1 0 0 について説明する。

【 0 0 7 7 】

第 2 の実施例に係るソースドライバ I C 1 0 0 は、第 1 の実施例に係るソースドライバ I C 1 0 0 と同様の構成のマスターチップ 1 0 1 とスレーブチップ 1 0 2 a、1 0 2 b を備えている。

40

【 0 0 7 8 】

図 8 に示すように、マスターチップ 1 0 1 とスレーブチップ 1 0 2 a、1 0 2 b は、送信手段としての信号線 1 1 1 b を介して接続されている。

【 0 0 7 9 】

そして、第 2 の実施例に係るソースドライバ I C 1 0 0 では、スレーブチップ 1 0 2 a (スレーブ 1) から抽出した水平同期信号 (h s y n c (B)) を信号線 1 1 1 b を介してマスターチップ 1 0 1 およびスレーブチップ 1 0 2 b (スレーブ 2) に送信される。

【 0 0 8 0 】

50

なお、図 8 における信号 A～D は、それぞれ、信号 A：REF__DE、信号 B：水平同期信号 hsync (B)、信号 C：RAM Read Enable、信号 D：Latch pulse for Source Driverを表すものとする。

第 2 の実施例に係るソースドライバ IC 100 によれば、発振器 (OSC) 104a、104b で生成されるクロック信号の周波数 (例えば、数 MHz～数十 MHz) よりも低い周波数 (例えば、数十 kHz) の水平同期信号 (hsync (B)) を基準にして、ソースドライバ 105 の動作タイミングを制御するので、チップ間の I/O 部で消費される電力および電磁波不要輻射 (EMI) を低減することができる。

【0081】

より具体的には、図 9 にタイミングチャートに示すタイミングで制御することができる。

10

【0082】

図 9 に示す例では、水平アクティブを 1366 ピクセルとし、発振器 (OSC) 104 の周波数は出荷テストによって 50 MHz ± 5% が保証されているものとする。

【0083】

他の制御手順は、第 1 の実施例で示した図 7 と同様であるので、重複した説明は省略する。

【0084】

なお、本実施例では、2 個のスレーブチップ 102a、102b を備える場合について述べたが、制御する液晶パネルの大きさ等に応じて、スレーブチップの数は増減して、同様に制御することができる。

20

【0085】

また、スレーブチップが 2 個以上の場合に、いずれか 1 つが hsync (B) を発生する場合も制御手順は同様である。

【0086】

なお、この例では、スレーブチップ (スレーブ 1) 102a の内部水平同期信号は 26.01 μs、マスターチップ 101 の内部水平同期信号は 27.32 μs、スレーブチップ (スレーブ 2) 102b の内部水平同期信号は 28.76 μs となっている。

【0087】

また、スレーブチップ 102a (スレーブ 1) が hsync (B) を発生させる場合、ワーストケースは OSC 2 が 52.5 MHz、それ以外の何れか 1 つ以上の OSC が 47.5 MHz の時である。

30

【0088】

なお、適用される 1 チップあたりのソースドライバチャンネル数は、液晶パネルのゲート方式 (シングル/デュアル/トリプルゲート) と使用チップ数で決まる。

【0089】

例えば、解像度 1366 × 768、デュアルゲート方式、2 チップの場合には、 $1366 \text{ pixel} \times 3 \text{ (RGB)} / 2 \text{ (デュアルゲート)} / 2 \text{ (2 チップ)} = 1025 \text{ チャンネル}$ となる。

【0090】

[その他の実施の形態]

40

上記のように、実施の形態によって記載したが、この開示の一部をなす論述および図面は例示的なものであり、この発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

【0091】

このように、本発明はここでは記載していない様々な実施の形態などを含む。

【産業上の利用可能性】

【0092】

本発明のソースドライバ IC は、ノート型パソコンや携帯電話等の各種電子機器などに搭載される液晶表示装置などに適用できる。

50

【符号の説明】

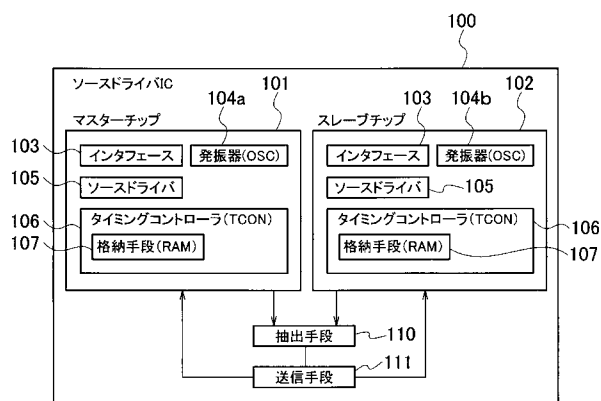
【0093】

100、300…ソースドライバIC
 2…LDOレギュレータ
 5、18…LEDドライバ
 11…表示部
 15…COF基板
 17…PCB基板
 20…パワーマネジメントIC
 22…タイミングコントローラ
 41、42、43…DC/DCコンバータ
 50a…液晶表示装置
 101、201…マスターチップ
 102（102a、102b）、202a、202b…スレーブチップ
 103…インタフェース
 104a～c…発振器
 105…ソースドライバ
 106…タイミングコントローラ
 107…RAM
 110…抽出手段
 111（111a、111b）、250…送信手段（信号線）
 150…タイミング発生器

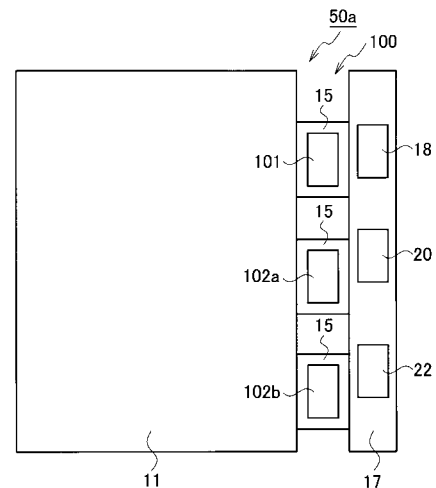
10

20

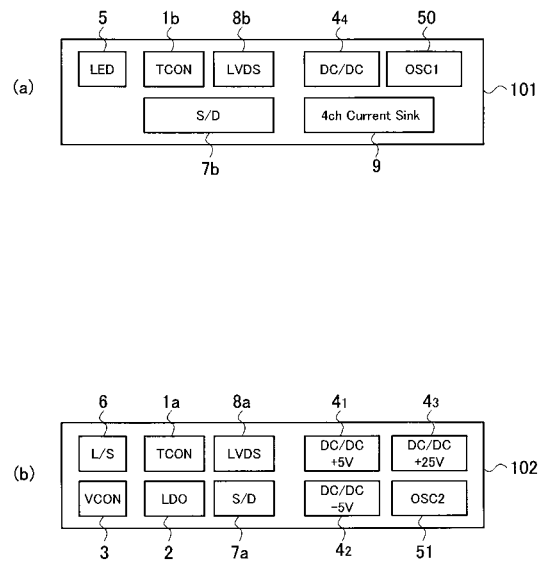
【図1】



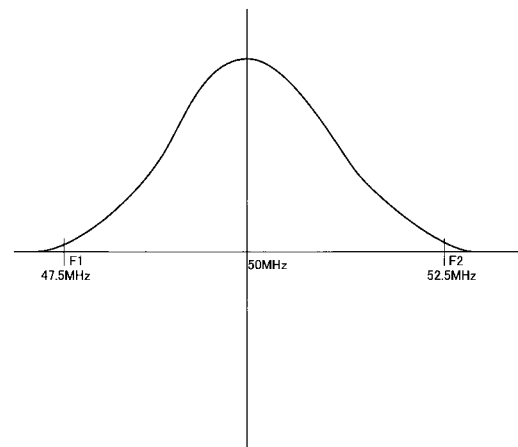
【図2】



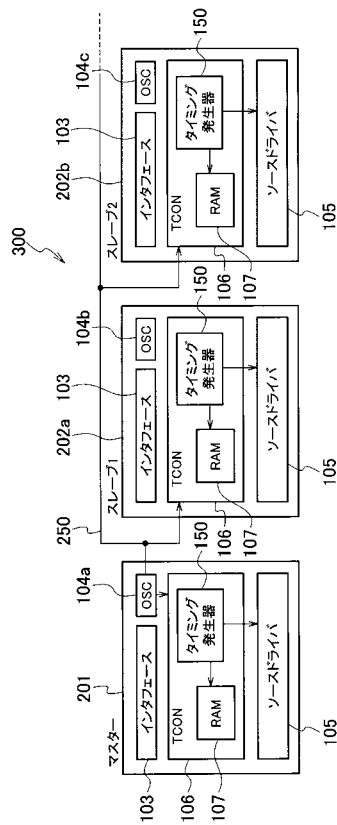
【図 3】



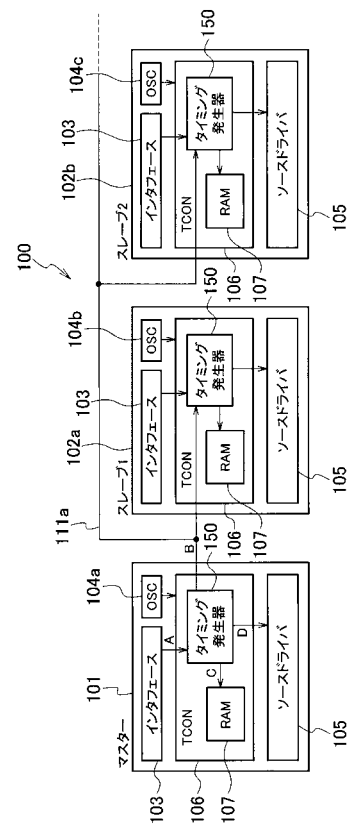
【図 4】



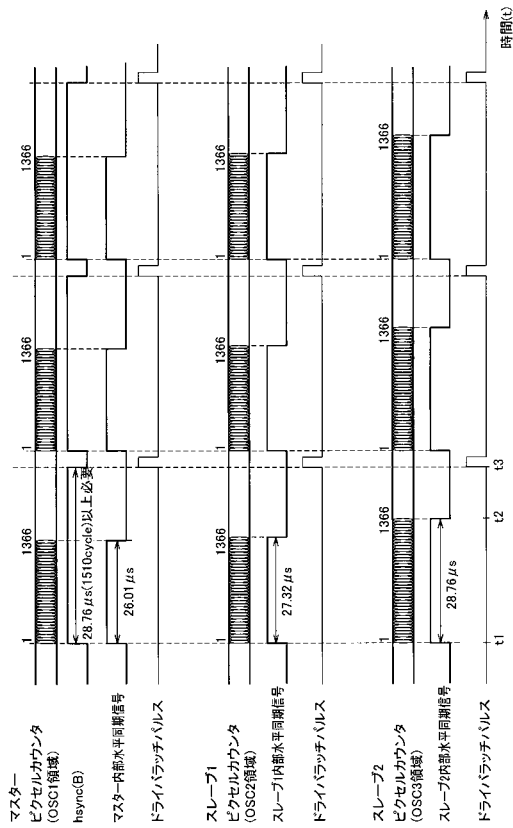
【図 5】



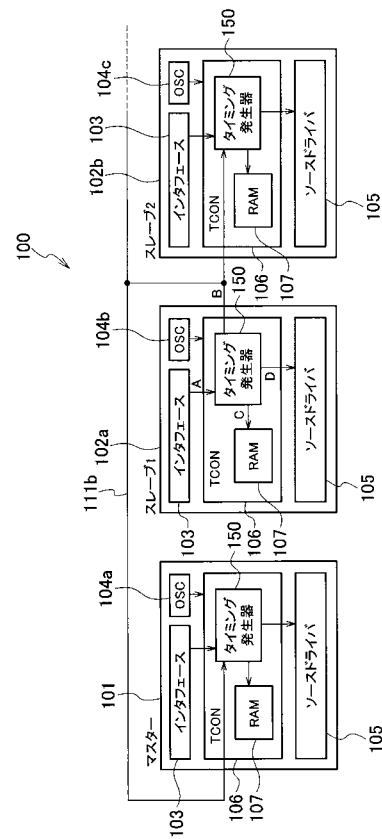
【図 6】



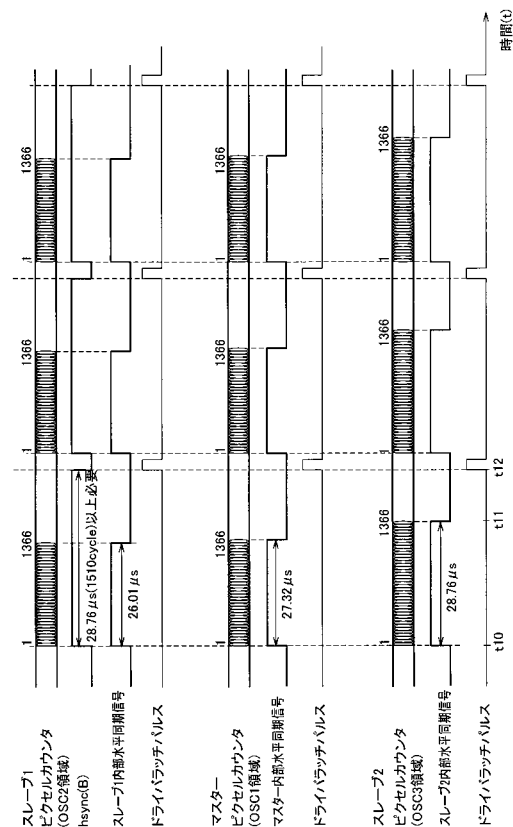
【図 7】



【図 8】



【図 9】



专利名称(译)	源极驱动器IC，液晶显示装置和电子设备		
公开(公告)号	JP2014142487A	公开(公告)日	2014-08-07
申请号	JP2013010949	申请日	2013-01-24
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	浅野陽信 久保智央		
发明人	浅野 陽信 久保 智央		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.612.K G09G3/20.612.L G09G3/20.611.A G09G3/20.611.C G09G3/20.633.G G09G3/20.631.A G02F1/133.505		
F-TERM分类号	2H193/ZF31 2H193/ZH23 2H193/ZH44 2H193/ZH52 5C006/AF43 5C006/AF71 5C006/BB11 5C006/BC11 5C006/BC23 5C006/BC24 5C006/BF02 5C006/BF04 5C006/BF22 5C006/BF46 5C006/EB05 5C006/FA16 5C006/FA32 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD12 5C080/DD25 5C080/DD26 5C080/FF03 5C080/GG12 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	三好秀 三好浩之		
其他公开文献	JP6072548B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够降低功耗和电磁波不必要的辐射的源极驱动器IC，液晶显示装置和电子设备。一个或多个从芯片102；提取装置110，用于从主芯片和从芯片之一中提取液晶面板的水平同步信号。传输装置111用于将由提取装置提取的水平同步信号传输到主芯片和从芯片，并且每个定时控制器通过将水平同步信号作为参考来控制源极驱动器的操作定时。

