

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2014-6527

(P2014-6527A)

(43) 公開日 平成26年1月16日 (2014.1.16)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 621B	
	G09G 3/20 642E	
審査請求 未請求 請求項の数 26 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2013-128195 (P2013-128195)
(22) 出願日 平成25年6月19日 (2013.6.19)
(31) 優先権主張番号 10-2012-0067433
(32) 優先日 平成24年6月22日 (2012.6.22)
(33) 優先権主張国 韓国 (KR)

(71) 出願人 512187343
三星ディスプレイ株式会社
Samsung Display Co., Ltd.
大韓民国京畿道龍仁市器興区三星二路95
95, Samsung 2 Ro, Giheung-Gu, Yongin-City,
Gyeonggi-Do, Korea
(74) 代理人 110000408
特許業務法人高橋・林アンドパートナーズ
(72) 発明者 鄭 然 鶴
大韓民国 忠清南道 天安市 雙龍2洞
現代アイパークホームタウンアパートメン
ト 103棟 104号

最終頁に続く

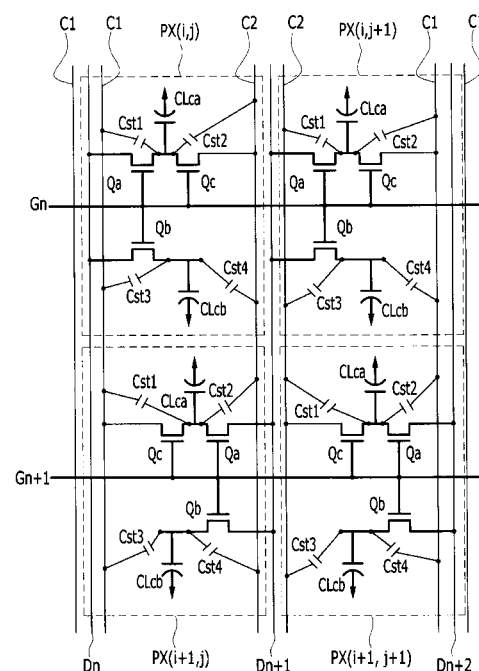
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】側面視認性を正面視認性と同程度に改善しながらも、低階調領域で正確な階調表現が可能であり、印加される駆動電圧に比べて、輝度が低下するのを防止することができる液晶表示装置を提供する。

【解決手段】液晶表示装置は、第1基板と、前記第1基板上に配置されている第1ゲート線Gnと、前記第1基板上に配置されているデータ線Dnと、前記第1基板上に配置されており、前記データ線と並んで伸びている基準電圧線C1、C2と、一つの画素領域に配置されている第1副画素電極および第2副画素電極と、前記第1ゲート線、前記データ線、そして前記第1副画素電極に接続されている第1スイッチング素子Qaと、前記第1ゲート線、前記データ線、そして前記第2副画素電極に接続されている第2スイッチング素子Qbと、そして前記第1副画素電極と前記基準電圧線に接続されている第3スイッチング素子Qcと、を含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 基板と、
前記第 1 基板上に配置されている第 1 ゲート線と、
前記第 1 基板上に配置されているデータ線と、
前記第 1 基板上に配置されており、前記データ線と並んで伸びている基準電圧線と、
一つの画素領域に配置されている第 1 副画素電極および第 2 副画素電極と、
前記第 1 ゲート線、前記データ線、そして前記第 1 副画素電極に接続されている第 1 スイッチング素子と、
前記第 1 ゲート線、前記データ線、そして前記第 2 副画素電極に接続されている第 2 スイッチング素子と、そして
前記第 1 副画素電極と前記基準電圧線に接続されている第 3 スイッチング素子と、を含む液晶表示装置。

【請求項 2】

前記第 3 スイッチング素子は、前記第 1 ゲート線に接続されている、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記データ線に印加されるデータ電圧と前記基準電圧線に印加される基準電圧は、共通電圧に対して同一の極性を有する、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記基準電圧は一定の大きさを有し、フレーム別に極性が変化する、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 1 副画素電極と共通電極の間の電圧差は、前記第 2 副画素電極と前記共通電極の間の電圧差より大きい、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 3 スイッチング素子の入力端子は前記基準電圧線に接続され、前記第 3 スイッチング素子の出力端子は前記第 1 副画素電極に接続された、請求項 5 に記載の液晶表示装置。

【請求項 7】

前記基準電圧線は、互いに異なる極性の基準電圧が印加される第 1 基準電圧線と第 2 基準電圧線を含み、

前記第 1 基準電圧線と前記第 2 基準電圧線は、前記第 1 副画素電極および前記第 2 副画素電極と重畳する、請求項 6 に記載の液晶表示装置。

【請求項 8】

前記基準電圧は一定の大きさを有し、フレーム別に極性が変化する、請求項 2 に記載の液晶表示装置。

【請求項 9】

前記第 1 副画素電極と共通電極の間の電圧差は、前記第 2 副画素電極と前記共通電極の間の電圧差より大きい、請求項 8 に記載の液晶表示装置。

【請求項 10】

前記第 3 スイッチング素子の入力端子は前記基準電圧線に接続され、前記第 3 スイッチング素子の出力端子は前記第 1 副画素電極に接続された、請求項 9 に記載の液晶表示装置。

【請求項 11】

前記基準電圧線は、互いに異なる極性の基準電圧が印加される第 1 基準電圧線と第 2 基準電圧線を含み、

前記第 1 基準電圧線と前記第 2 基準電圧線は、前記第 1 副画素電極および前記第 2 副画素電極と重畳する、請求項 9 に記載の液晶表示装置。

【請求項 12】

前記第 3 スイッチング素子の入力端子は前記基準電圧線に接続され、前記第 3 スイッチング素子の出力端子は前記第 1 副画素電極に接続された、請求項 2 に記載の液晶表示装置。

【請求項 1 3】

前記基準電圧線は、互いに異なる極性の基準電圧が印加される第 1 基準電圧線と第 2 基準電圧線を含み、

前記第 1 基準電圧線と前記第 2 基準電圧線は、前記第 1 副画素電極および前記第 2 副画素電極と重畳する、請求項 1 2 に記載の液晶表示装置。

【請求項 1 4】

前記基準電圧線は、互いに異なる極性の基準電圧が印加される第 1 基準電圧線と第 2 基準電圧線を含み、

前記第 1 基準電圧線と前記第 2 基準電圧線は、前記第 1 副画素電極および前記第 2 副画素電極と重畳する、請求項 2 に記載の液晶表示装置。

【請求項 1 5】

前記第 3 スイッチング素子は、前記第 1 基板上に配置されている第 2 ゲート線に接続されている、請求項 1 に記載の液晶表示装置。

【請求項 1 6】

前記第 3 スイッチング素子に接続されている昇圧キャパシタをさらに含み、

前記基準電圧線は、前記昇圧キャパシタの一つの端子に接続される、請求項 1 5 に記載の液晶表示装置。

【請求項 1 7】

前記昇圧キャパシタの他の一つの端子は前記第 3 スイッチング素子の入力端子に接続され、前記第 3 スイッチング素子の出力端子は前記第 1 副画素電極に接続された、請求項 1 6 に記載の液晶表示装置。

【請求項 1 8】

前記データ線に印加されるデータ電圧と前記基準電圧線に印加される基準電圧は、共通電圧に対して同一の極性を有する、請求項 1 7 に記載の液晶表示装置。

【請求項 1 9】

前記基準電圧は一定の大きさを有し、フレーム別に極性が変化する、請求項 1 8 に記載の液晶表示装置。

【請求項 2 0】

前記第 1 副画素電極と共通電極の間の電圧差は、前記第 2 副画素電極と前記共通電極の間の電圧差より大きい、請求項 1 9 に記載の液晶表示装置。

【請求項 2 1】

前記基準電圧線は、互いに異なる極性の基準電圧が印加される第 1 基準電圧線と第 2 基準電圧線を含み、

前記第 1 基準電圧線と前記第 2 基準電圧線は、前記第 1 副画素電極および前記第 2 副画素電極と重畳する、請求項 2 0 に記載の液晶表示装置。

【請求項 2 2】

前記データ線に印加されるデータ電圧と前記基準電圧線に印加される基準電圧は、共通電圧に対して同一の極性を有する、請求項 1 6 に記載の液晶表示装置。

【請求項 2 3】

前記基準電圧は一定の大きさを有し、フレーム別に極性が変化する、請求項 2 2 に記載の液晶表示装置。

【請求項 2 4】

前記第 1 副画素電極と共通電極の間の電圧差は、前記第 2 副画素電極と前記共通電極の間の電圧差より大きい、請求項 2 3 に記載の液晶表示装置。

【請求項 2 5】

前記基準電圧線は、互いに異なる極性の基準電圧が印加される第 1 基準電圧線と第 2 基準電圧線を含み、

10

20

30

40

50

前記第 1 基準電圧線と前記第 2 基準電圧線は、前記第 1 副画素電極および前記第 2 副画素電極と重畳する、請求項 24 に記載の液晶表示装置。

【請求項 26】

前記基準電圧線は、互いに異なる極性の基準電圧が印加される第 1 基準電圧線と第 2 基準電圧線を含み、

前記第 1 基準電圧線と前記第 2 基準電圧線は、前記第 1 副画素電極および前記第 2 副画素電極と重畳する、請求項 16 に記載の液晶表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は現在最も広く使用されている薄型表示装置の一つであって、画素電極と共通電極など電場生成電極 (field generating electrode) が形成されている二枚のパネルとその間に挟まれた液晶層を含む。液晶表示装置は電場生成電極に電圧を印加して液晶層に電場を生成し、これによって液晶層の液晶分子の方向を決定し、入射光の偏光を制御することで映像を表示する。

20

【0003】

このような液晶表示装置の中でも、電場が印加されない状態で液晶分子の長軸をパネルに対して垂直をなすように配列した、高いコントラスト比と広い基準視野角を有する垂直配向方式 (vertically aligned mode) の液晶表示装置が脚光を浴びている。ここで基準視野角とはコントラスト比が 1 : 10 である視野角または階調間輝度反転限界角度を意味する。

【0004】

このような方式の液晶表示装置の場合には側面視認性を正面視認性と同程度に改善するために、一つの画素を二つの副画素に分割し、いずれか一つの副画素の電圧を下げて、二つの副画素の電圧を異にすることによって、それぞれの透過率を変える方法が提案されている。

30

【0005】

しかし、このように、一つの画素を二つの副画素に分割し、いずれか一つの副画素の電圧を下げて二つの副画素の電圧を異にする場合、中間階調では正面に比べて側面の輝度が高くなり、低階調領域で正確な階調表現が難しい問題点が発生する。また、印加される画素電圧に比べて全体的に輝度が低下して、駆動効率が低くなる問題点が発生する。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明が目的とする技術的課題は、側面視認性を正面視認性と同程度に改善しながらも、低階調領域で正確な階調表現が可能であり、印加される駆動電圧に比べて、輝度が低下するのを防止することができる液晶表示装置を提供することである。

40

【課題を解決するための手段】

【0007】

本発明の一実施形態による液晶表示装置は、第 1 基板と、前記第 1 基板上に配置されている第 1 ゲート線および第 2 ゲート線と、前記第 1 基板上に配置されているデータ線と、前記第 1 基板上に配置されており、前記データ線と並んで伸びている基準電圧線と、一つの画素領域に配置されている第 1 副画素電極および第 2 副画素電極と、前記第 1 ゲート線、前記データ線、そして前記第 1 副画素電極に接続されている第 1 スイッチング素子と、前記第 1 ゲート線、前記データ線、そして前記第 2 副画素電極に接続されている第 2 スイ

50

ッティング素子と、そして前記第 1 副画素電極と前記基準電圧線に接続されている第 3 スイッチング素子と、を含む。

【0008】

前記第 3 スイッチング素子は、前記第 1 ゲート線に接続されてもよい。

【0009】

前記データ線に印加されるデータ電圧と前記基準電圧線に印加される基準電圧は、共通電圧に対して同一の極性を有してもよい。

【0010】

前記基準電圧は一定の大きさを有し、フレーム別に極性が変化してもよい。

【0011】

10

前記第 1 副画素電極と共通電極の間の電圧差は、前記第 2 副画素電極と前記共通電極の間の電圧差より大きくてもよい。

【0012】

前記第 3 スイッチング素子の入力端子は前記基準電圧線に接続され、前記第 3 スイッチング素子の出力端子は前記第 1 副画素電極に接続されてもよい。

【0013】

前記基準電圧線は、互いに異なる極性の基準電圧が印加される第 1 基準電圧線と第 2 基準電圧線を含み、前記第 1 基準電圧線と前記第 2 基準電圧線は前記第 1 副画素電極および前記第 2 副画素電極と重畳してもよい。

【0014】

20

前記基準電圧は一定の大きさを有し、フレーム別に極性が変化してもよい。

【0015】

前記第 3 スイッチング素子の入力端子は前記基準電圧線に接続され、前記第 3 スイッチング素子の出力端子は前記第 1 副画素電極に接続されてもよい。

【0016】

前記基準電圧線は、互いに異なる極性の基準電圧が印加される第 1 基準電圧線と第 2 基準電圧線を含み、前記第 1 基準電圧線と前記第 2 基準電圧線は、前記第 1 副画素電極および前記第 2 副画素電極と重畳してもよい。

【0017】

前記第 3 スイッチング素子は、前記第 2 ゲート線に接続されてもよい。

30

【0018】

前記第 3 スイッチング素子に接続されている昇圧キャパシタをさらに含み、前記基準電圧線は前記昇圧キャパシタの一つの端子に接続されてもよい。

【0019】

前記昇圧キャパシタの他の一つの端子は前記第 3 スイッチング素子の入力端子に接続され、前記第 3 スイッチング素子の出力端子は前記第 1 副画素電極に接続されてもよい。

【0020】

前記データ線に印加されるデータ電圧と前記基準電圧線に印加される基準電圧は、共通電圧に対して同一の極性を有してもよい。

【発明の効果】

40

【0021】

本発明の実施形態による液晶表示装置は、画素電極を第 1 副画素電極と第 2 副画素電極に区分し、第 1 副画素電極と第 2 副画素電極に同一のデータ電圧を印加し、第 1 副画素電極と基準電圧線に接続された薄膜トランジスタが含まれ、第 1 副画素電極の電圧をデータ電圧より高く設定することができる。これにより、低階調領域での階調変化をなだらかに調節することができるので、低階調領域で正確な階調表現が可能であり、高い輝度を得ながら、側面視認性を正面視認性と同程度に改善して視認性を改善することができる。

【図面の簡単な説明】

【0022】

【図 1】本発明の実施形態 1 による液晶表示装置の四つの画素の等価回路図である。

50

【図 2】本発明の実施形態 1 による液晶表示装置の配置図である。

【図 3】図 2 の液晶表示装置の I I I - I I I 線による断面図である。

【図 4】本発明の実施形態 1 による液晶表示装置の電場生成電極の一基本領域を示した平面図である。

【図 5】本発明の他の実施形態 1 による液晶表示装置の電場生成電極の一基本領域を示した平面図である。

【図 6】フレーム別に印加される電圧による画素領域の電圧変化を説明するための波形図である。

【図 7】本発明の他の実施形態 2 による液晶表示装置の配置図である。

【図 8】本発明の他の実施形態 3 による液晶表示装置の配置図である。

【図 9】本発明の一実施例による液晶表示装置の画素電圧による透過率変化を示すグラフである。

【図 10】本発明の一実施例による液晶表示装置の画素電圧による透過率変化を示すグラフである。

【図 11】本発明の一実施例による液晶表示装置の階調による透過率変化を示すグラフである。

【図 12】本発明の他の実施形態 4 による液晶表示装置の二つの画素の等価回路図である。

【図 13】本発明の他の実施形態 5 による液晶表示装置の配置図である。

【発明を実施するための形態】

【0023】

以下、添付した図面を参照して、本発明の実施形態について本発明の属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。なお、本発明には様々な実施形態があり得るものであり、ここで説明する実施形態に限られない。

【0024】

図面では、複数の層及び領域を明確に表現するために厚さを拡大して示した。明細書全体において、類似の部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあると表現するとき、これは他の部分の“直上”にある場合だけでなく、その中間に他の部分が存在する場合も含む。逆に、ある部分が他の部分の“直上”にあると表現するときは中間に他の部分が存在しないことを意味する。

【0025】

(実施形態 1)

以下、図 1 を参照して、本発明の一実施形態による液晶表示装置の信号線および画素の配置とその駆動方法について説明する。図 1 は本発明の一実施形態による液晶表示装置の四つの画素に対する等価回路図である。

【0026】

図 1 を参照すると、本実施形態による液晶表示装置は画素行方向に隣接する第 1 画素 $PX(i, j)$ 、第 2 画素 $PX(i, j+1)$ 、第 1 画素 $PX(i, j)$ と画素列方向に隣接する第 3 画素 $PX(i+1, j)$ および第 2 画素 $PX(i, j+1)$ と画素列方向に隣接する第 4 画素 $PX(i+1, j+1)$ を有し、そしてこれらに接続されている複数の信号線 G_n 、 G_{n+1} 、 D_n 、 D_{n+1} 、 D_{n+2} 、 C_1 、 C_2 を含む。

【0027】

信号線 G_n 、 G_{n+1} 、 D_n 、 D_{n+1} 、 D_{n+2} 、 C_1 、 C_2 は、ゲート信号（“走査信号”とも言う）を伝達する複数のゲート線 G_n 、 G_{n+1} と、データ電圧を伝達する複数のデータ線 D_n 、 D_{n+1} 、 D_{n+2} と、そして所定の基準電圧を伝達する複数対の基準電圧線 C_1 、 C_2 と、を含む。基準電圧線 C_1 、 C_2 は、互いに異なる極性の基準電圧を伝達する第 1 基準電圧線 C_1 と第 2 基準電圧線 C_2 とを含む。

【0028】

第 1 基準電圧線 C_1 と第 2 基準電圧線 C_2 には一定の大きさの第 1 基準電圧と第 2 基準

10

20

30

40

50

電圧が印加され、第1基準電圧と第2基準電圧はフレーム別に極性が変化する。例えば、共通電圧の大きさが約7.5Vである場合、第1基準電圧はフレーム別に約1.5Vまたは約0Vの値を有し、第2基準電圧はこれとは反対に約0Vまたは約1.5Vの値を有する。第1基準電圧と第2基準電圧はデータ電圧に印加される最大値より大きくてもよく、小さくてもよい。また、第1基準電圧と第2基準電圧が共通電圧を基準に正の極性を有する場合の第1基準電圧および第2基準電圧と共通電圧の値の差は、第1基準電圧と第2基準電圧が共通電圧を基準に負の極性を有する場合の第1基準電圧および第2基準電圧と共通電圧の値の差と異なってもよい。

【0029】

第1画素PX(i, j)は第1ゲート線G_n、第1データ線D_n、第1基準電圧線C₁および第2基準電圧線C₂、そしてこれに接続されている第1スイッチング素子Q_a、第2スイッチング素子Q_b、第3スイッチング素子Q_c、第1液晶キャパシタC_{Lc a}と第2液晶キャパシタC_{Lc b}、そして第1ストレージキャパシタC_{st 1}、第2ストレージキャパシタC_{st 2}、第3ストレージキャパシタC_{st 3}および第4ストレージキャパシタC_{st 4}を含む。

【0030】

第1スイッチング素子Q_aおよび第2スイッチング素子Q_bはそれぞれ第1ゲート線G_nおよび第1データ線D_nに接続されており、第3スイッチング素子Q_cは第1ゲート線G_n、第2基準電圧線C₂および第1スイッチング素子Q_aの出力端子に接続されている。

【0031】

第1スイッチング素子Q_aおよび第2スイッチング素子Q_bは薄膜トランジスタなどの三端子素子であって、その制御端子は第1ゲート線G_nに接続され、入力端子は第1データ線D_nに接続されている。また、第1スイッチング素子Q_aの出力端子は第1液晶キャパシタC_{Lc a}および第3スイッチング素子Q_cの出力端子に接続されており、第2スイッチング素子Q_bの出力端子は第2液晶キャパシタC_{Lc b}に接続されている。

【0032】

第3スイッチング素子Q_cも薄膜トランジスタなどの三端子素子であって、制御端子は第1ゲート線G_nに接続され、入力端子は第2基準電圧線C₂に接続され、出力端子は第1液晶キャパシタC_{Lc a}と接続されている。

【0033】

第1ストレージキャパシタC_{st 1}は第1スイッチング素子Q_aの出力端子と第1基準電圧線C₁に接続され、第2ストレージキャパシタC_{st 2}は第1スイッチング素子Q_aの出力端子と第2基準電圧線C₂に接続され、第3ストレージキャパシタC_{st 3}は第2スイッチング素子Q_bの出力端子と第1基準電圧線C₁に接続され、第4ストレージキャパシタC_{st 4}は第2スイッチング素子Q_bの出力端子と第2基準電圧線C₂に接続される。

【0034】

第2画素PX(i, j+1)は第1ゲート線G_n、第2データ線D_{n+1}、第1基準電圧線C₁および第2基準電圧線C₂、そしてこれらに接続されている第1スイッチング素子Q_a、第2スイッチング素子Q_b、第3スイッチング素子Q_c、第1液晶キャパシタC_{Lc a}と第2液晶キャパシタC_{Lc b}、そして第1ストレージキャパシタC_{st 1}、第2ストレージキャパシタC_{st 2}、第3ストレージキャパシタC_{st 3}および第4ストレージキャパシタC_{st 4}を含む。

【0035】

第2画素PX(i, j+1)の第1スイッチング素子Q_aおよび第2スイッチング素子Q_bの制御端子はそれぞれ第1ゲート線G_nに接続され、入力端子はそれぞれ第2データ線D_{n+1}に接続されている。

【0036】

第2画素PX(i, j+1)の第1スイッチング素子Q_aの出力端子は第1液晶キャパ

10

20

30

40

50

シタCLcaおよび第3スイッチング素子Qcの出力端子に接続されており、第2画素PX(i、j+1)の第2スイッチング素子Qbの出力端子は第2液晶キャパシタCLcbに接続されている。

【0037】

第2画素PX(i、j+1)の第3スイッチング素子Qcの制御端子は第1ゲート線Gnに接続され、入力端子は第1基準電圧線C1に接続され、出力端子は第1液晶キャパシタCLcaと接続されている。

【0038】

第2画素PX(i、j+1)の第1ストレージキャパシタCst1は第1スイッチング素子Qaの出力端子と第2基準電圧線C2に接続され、第2ストレージキャパシタCst2は第1スイッチング素子Qaの出力端子と第1基準電圧線C1に接続され、第3ストレージキャパシタCst3は第2スイッチング素子Qbの出力端子と第2基準電圧線C2に接続され、第4ストレージキャパシタCst4は第2スイッチング素子Qbの出力端子と第1基準電圧線C1に接続される。

10

【0039】

第3画素PX(i+1、j)は第2ゲート線Gn+1、第2データ線Dn+1、第1基準電圧線C1および第2基準電圧線C2、そしてこれに接続されている第1スイッチング素子Qa、第2スイッチング素子Qb、第3スイッチング素子Qc、第1液晶キャパシタCLcaと第2液晶キャパシタCLcb、そして第1ストレージキャパシタCst1、第2ストレージキャパシタCst2、第3ストレージキャパシタCst3および第4ストレージキャパシタCst4を含む。

20

【0040】

第3画素PX(i+1、j)の第1スイッチング素子Qaおよび第2スイッチング素子Qbの制御端子はそれぞれ第2ゲート線Gn+1に接続され、入力端子はそれぞれ第2データ線Dn+1に接続されている。

【0041】

第3画素PX(i+1、j)の第1スイッチング素子Qaの出力端子は第1液晶キャパシタCLcaおよび第3スイッチング素子Qcの出力端子に接続されており、第3画素PX(i+1、j)の第2スイッチング素子Qbの出力端子は第2液晶キャパシタCLcbに接続されている。

30

【0042】

第3画素PX(i+1、j)の第3スイッチング素子Qcの制御端子は第2ゲート線Gn+1に接続され、入力端子は第1基準電圧線C1に接続され、出力端子は第1液晶キャパシタCLcaと接続されている。

【0043】

第3画素PX(i+1、j)の第1ストレージキャパシタCst1は第1スイッチング素子Qaの出力端子と第1基準電圧線C1に接続され、第2ストレージキャパシタCst2は第1スイッチング素子Qaの出力端子と第2基準電圧線C2に接続され、第3ストレージキャパシタCst3は第2スイッチング素子Qbの出力端子と第1基準電圧線C1に接続され、第4ストレージキャパシタCst4は第2スイッチング素子Qbの出力端子と第2基準電圧線C2に接続される。

40

【0044】

第4画素PX(i+1、j+1)は第2ゲート線Gn+1、第3データ線Dn+2、第1基準電圧線C1および第2基準電圧線C2、そしてこれに接続されている第1スイッチング素子Qa、第2スイッチング素子Qb、第3スイッチング素子Qc、第1液晶キャパシタCLcaと第2液晶キャパシタCLcb、そして第1ストレージキャパシタCst1、第2ストレージキャパシタCst2、第3ストレージキャパシタCst3および第4ストレージキャパシタCst4を含む。

【0045】

第4画素PX(i+1、j+1)の第1スイッチング素子Qaおよび第2スイッチング

50

素子 Q_b の制御端子はそれぞれ第 2 ゲート線 G_{n+1} に接続され、入力端子はそれぞれ第 3 データ線 D_{n+2} に接続されている。

【0046】

第 4 画素 $PX(i+1, j+1)$ の第 1 スイッチング素子 Q_a の出力端子は第 1 液晶キャパシタ $CLca$ および第 3 スイッチング素子 Q_c の出力端子に接続されており、第 4 画素 $PX(i+1, j+1)$ の第 2 スイッチング素子 Q_b の出力端子は第 2 液晶キャパシタ $CLcb$ に接続されている。

【0047】

第 4 画素 $PX(i+1, j+1)$ の第 3 スイッチング素子 Q_c の制御端子は第 2 ゲート線 G_{n+1} に接続され、入力端子は第 2 基準電圧線 C_2 に接続され、出力端子は第 1 液晶キャパシタ $CLca$ と接続されている。

【0048】

第 4 画素 $PX(i+1, j+1)$ の第 1 ストレージキャパシタ $Cst1$ は第 1 スイッチング素子 Q_a の出力端子と第 2 基準電圧線 C_2 に接続され、第 2 ストレージキャパシタ $Cst2$ は第 1 スイッチング素子 Q_a の出力端子と第 1 基準電圧線 C_1 に接続され、第 3 ストレージキャパシタ $Cst3$ は第 2 スイッチング素子 Q_b の出力端子と第 2 基準電圧線 C_2 に接続され、第 4 ストレージキャパシタ $Cst4$ は第 2 スイッチング素子 Q_b の出力端子と第 1 基準電圧線 C_1 に接続される。

【0049】

第 1 ゲート線 G_n にゲートオン信号が印加されると、これに接続された第 1 画素 $PX(i, j)$ と第 2 画素 $PX(i, j+1)$ の第 1 スイッチング素子 Q_a 、第 2 スイッチング素子 Q_b 、そして第 3 スイッチング素子 Q_c がターンオンされる。これにより、第 1 データ線 D_n に印加されたデータ電圧はターンオンされた第 1 画素 $PX(i, j)$ の第 1 スイッチング素子 Q_a および第 2 スイッチング素子 Q_b を通じてそれぞれ第 1 画素 $PX(i, j)$ の第 1 液晶キャパシタ $CLca$ と第 2 液晶キャパシタ $CLcb$ の一端に印加され、第 2 データ線 D_{n+1} に印加されたデータ電圧はターンオンされた第 2 画素 $PX(i, j+1)$ の第 1 スイッチング素子 Q_a および第 2 スイッチング素子 Q_b を通じてそれぞれ第 2 画素 $PX(i, j+1)$ の第 1 液晶キャパシタ $CLca$ と第 2 液晶キャパシタ $CLcb$ の一端に印加される。このとき、第 1 画素 $PX(i, j)$ の第 1 液晶キャパシタ $CLca$ と第 2 液晶キャパシタ $CLcb$ は同一の電圧が印加され、第 2 画素 $PX(i, j+1)$ の第 1 液晶キャパシタ $CLca$ と第 2 液晶キャパシタ $CLcb$ は同一の電圧が印加される。また、第 1 画素 $PX(i, j)$ の第 1 液晶キャパシタ $CLca$ の一端は第 3 スイッチング素子 Q_c の出力端子に接続され、第 3 スイッチング素子 Q_c を通じて、第 2 基準電圧線 C_2 に印加される基準電圧によって昇圧される。このとき、第 2 基準電圧線 C_2 に印加される第 2 基準電圧は第 1 データ線 D_n に印加されるデータ電圧と同一の極性を有し、第 1 データ線 D_n に印加されるデータ電圧より大きくてもよい。したがって、第 3 スイッチング素子 Q_c を通じて、相対的に高い電圧が印加される第 2 基準電圧線 C_2 の電圧が分圧され、第 1 液晶キャパシタ $CLca$ に印加される電圧は第 1 データ線 D_n を通じて印加されるデータ電圧より高い値を有する。

【0050】

また、第 2 画素 $PX(i, j+1)$ の第 1 液晶キャパシタ $CLca$ の一端は第 3 スイッチング素子 Q_c の出力端子に接続され、第 3 スイッチング素子 Q_c を通じて、第 1 基準電圧線 C_1 に印加される基準電圧によって昇圧される。このとき、第 1 基準電圧線 C_1 に印加される第 1 基準電圧は第 2 データ線 D_{n+1} に印加されるデータ電圧と同一の極性を有し、第 2 データ線 D_{n+1} に印加されるデータ電圧より高い値を有してもよい。したがって、第 3 スイッチング素子 Q_c を通じて、相対的に高い値を有する電圧が印加される第 1 基準電圧線 C_1 の電圧が分圧され、第 1 液晶キャパシタ $CLca$ に印加される電圧はデータ電圧より高い値を有する。

【0051】

第 1 ゲート線 G_n のゲート電圧がゲートオフ電圧に変わり、第 2 ゲート線 G_{n+1} のゲ

10

20

30

40

50

ート電圧がゲートオン電圧に変わると、第2ゲート線 G_{n+1} に接続された第3画素 $PX(i+1, j)$ と第4画素 $PX(i+1, j+1)$ の第1スイッチング素子 Qa 、第2スイッチング素子 Qb 、そして第3スイッチング素子 Qc がターンオンされる。これにより、第2データ線 D_{n+1} に印加されたデータ電圧はターンオンされた第3画素 $PX(i+1, j)$ の第1スイッチング素子 Qa および第2スイッチング素子 Qb を通じてそれぞれ第3画素 $PX(i+1, j)$ の第1液晶キャパシタ $CLca$ と第2液晶キャパシタ $CLcb$ の一端に印加され、第3データ線 D_{n+2} に印加されたデータ電圧はターンオンされた第4画素 $PX(i+1, j+1)$ の第1スイッチング素子 Qa および第2スイッチング素子 Qb を通じてそれぞれ第4画素 $PX(i+1, j+1)$ の第1液晶キャパシタ $CLca$ と第2液晶キャパシタ $CLcb$ の一端に印加される。このとき、第3画素 $PX(i+1, j)$ の第1液晶キャパシタ $CLca$ と第2液晶キャパシタ $CLcb$ は同一の電圧が印加され、第4画素 $PX(i+1, j+1)$ の第1液晶キャパシタ $CLca$ と第2液晶キャパシタ $CLcb$ は同一の電圧が印加される。また、第3画素 $PX(i+1, j)$ の第1液晶キャパシタ $CLca$ の一端は第3スイッチング素子 Qc の出力端子に接続され、第3スイッチング素子 Qc を通じて、第1基準電圧線 $C1$ に印加される基準電圧によって昇圧される。このとき、第1基準電圧線 $C1$ に印加される第1基準電圧は第2データ線 D_{n+1} に印加されるデータ電圧と同一の極性を有し、第2データ線 D_{n+1} に印加されるデータ電圧より高い値を有してもよい。したがって、第3スイッチング素子 Qc を通じて、相対的に高い値を有する電圧が印加される第1基準電圧線 $C1$ の電圧が分圧され、第1液晶キャパシタ $CLca$ に印加される電圧の大きさは第2データ線 D_{n+1} を通じて印加されるデータ電圧より高い値を有する。

【0052】

また、第4画素 $PX(i+1, j+1)$ の第1液晶キャパシタ $CLca$ の一端は第3スイッチング素子 Qc の出力端子に接続され、第3スイッチング素子 Qc を通じて、第2基準電圧線 $C2$ に印加される基準電圧によって昇圧される。このとき、第2基準電圧線 $C2$ に印加される第2基準電圧は第3データ線 D_{n+2} に印加されるデータ電圧と同一の極性を有し、第3データ線 D_{n+2} に印加されるデータ電圧より高い値を有してもよい。したがって、第3スイッチング素子 Qc を通じて、相対的に高い大きさを有する電圧が印加される第2基準電圧線 $C2$ の電圧が分圧され、第1液晶キャパシタ $CLca$ に印加される電圧の大きさはデータ電圧の大きさより大きくなる。

【0053】

上記のように、第1液晶キャパシタ $CLca$ に印加された電圧と第2液晶キャパシタ $CLcb$ に印加された電圧は互いに異なる値になる。第1液晶キャパシタ $CLca$ に印加された電圧と第2液晶キャパシタ $CLcb$ に印加された電圧が互いに異なるので第1副画素と第2副画素で液晶分子が傾く角度が異なり、これにより二つの副画素の輝度が異なる。したがって、第1液晶キャパシタ $CLca$ に印加される電圧と第2液晶キャパシタ $CLcb$ に印加される電圧を制御することで、側面から見る映像が正面から見る映像に限りなく近くすることができ、これにより側面視認性を改善することができる。

【0054】

以下、図2乃至図5を参照して、図1に示した実施形態による液晶表示装置の一例について説明する。図2は本発明の一実施形態による液晶表示装置の配置図であり、図3は図2の液晶表示装置を $III-III$ 線に沿って切断して示した断面図である。図4は本発明の一実施形態による液晶表示装置の電場生成電極の単位領域を示した平面図であり、図5は本発明の他の一実施形態による液晶表示装置の電場生成電極の単位領域を示した平面図である。

【0055】

図2および図3を参照すれば、本発明の一実施形態による液晶表示装置は互いに対向する下部パネル100と上部パネル200、そして両パネル100、200の間に注入されている液晶層3を含む。

【0056】

10

20

30

40

50

まず、下部表示板 100 について説明する。

【0057】

第 1 絶縁基板 110 の上に複数のゲート線 121 および複数の基準電圧線 131a、131b を含むゲート導電体が配置されている。

【0058】

ゲート線 121 はゲート信号を伝達し、第 1 ゲート電極 124a、第 2 ゲート電極 124b および第 3 ゲート電極 124c を含む。

【0059】

基準電圧線 131a、131b は第 1 基準電圧を伝達する第 1 基準電圧線 131a と第 2 基準電圧を伝達する第 2 基準電圧線 131b を含む。第 1 基準電圧線 131a と第 2 基準電圧線 131b は二つのデータ線 171 の間に配置されている一つの画素列に沿って左側と右側に一つずつ配置される。第 1 基準電圧線 131a は第 1 拡張部 132a を有し、第 2 基準電圧線 131b は第 2 拡張部 132b を有する。

10

【0060】

しかし、本発明の他の一実施形態による液晶表示装置の場合、基準電圧線 131a、131b はゲート線 121 と同一層ではなく、データ線 171 と同一層で形成されてもよい。

【0061】

ゲート線 121 と基準電圧線 131a、131b の上にはゲート絶縁膜 140 が配置されている。

20

【0062】

ゲート絶縁膜 140 の上には第 1 半導体 154a、第 2 半導体 154b、そして第 3 半導体 154c が配置されている。

【0063】

第 1 半導体 154a、第 2 半導体 154b、そして第 3 半導体 154c の上にはオーミックコンタクト層 165a、163c、165c が配置されている。半導体 154a、154b、154c は酸化物半導体を含むことができ、半導体 154a、154b、154c が酸化物半導体を含む場合、オーミックコンタクト層は省略されてもよい。

【0064】

オーミックコンタクト層 165a、163c、165c およびゲート絶縁膜 140 の上には第 1 ソース電極 173a、第 2 ソース電極 173b、第 3 ソース電極 173c、第 1 ドレイン電極 175a、第 2 ドレイン電極 175b、そして第 3 ドレイン電極 175c を含むデータ線 171 を含む導電体（データ導電体）が形成されている。第 1 ドレイン電極 175a と第 3 ドレイン電極 175c は互いに接続されている。

30

【0065】

データ導電体の上には保護膜（passivation layer）180 が配置されている。保護膜 180 は無機絶縁物または有機絶縁物を含むことができる。

【0066】

第 1 ドレイン電極 175a の一部を露出する第 1 コンタクトホール 185a、第 2 ドレイン電極 175b の一部を露出する第 2 コンタクトホール 185b が保護膜 180 に形成されており、第 1 基準電圧線 131a を露出する第 3 コンタクトホール 186a と第 2 基準電圧線 131b の拡張部 132b を露出する第 4 コンタクトホール 186b がゲート絶縁膜 140 と保護膜 180 に形成されている。

40

【0067】

保護膜 180 の上には第 1 副画素電極 191a と第 2 副画素電極 191b、そして第 1 連結部材 92a および第 2 連結部材 92b が形成されている。

【0068】

第 1 副画素電極 191a は第 1 コンタクトホール 185a を通じて第 1 ドレイン電極 175a と物理的電氣的に接続され、第 2 副画素電極 191b は第 2 コンタクトホール 185b を通じて第 2 ドレイン電極 175b と物理的電氣的に接続される。

50

【0069】

第1副画素電極191aと第2副画素電極191bはゲート線121を介して互いに分離され、ゲート線121を中心に画素領域の上と下に配置されて列方向に隣接する。第1副画素電極191aと第2副画素電極191bは図4または図5に示すように、さまざまな形状であってもよい。

【0070】

第2副画素電極191bの面積は前記第1副画素電極191aの面積より広くてもよい。

【0071】

第1接続部材92aはゲート線121を介して画素列方向に上と下に配置されている第1基準電圧線131aの第1拡張部132aを互いに接続し、第2接続部材92bはゲート線121を介して画素列方向に上と下に配置されている第2基準電圧線131bの第2拡張部132bを互いに接続する。

【0072】

第1ゲート電極124a、第1半導体154a、第1ソース電極173aおよび第1ドレイン電極175aは第1スイッチング素子Qaを構成し、第2ゲート電極124b、第2半導体154b、第2ソース電極173bおよび第2ドレイン電極175bは第2スイッチング素子Qbを構成し、第3ゲート電極124c、第3半導体154c、第3ソース電極173cおよび第3ドレイン電極175cは第3スイッチング素子Qcを構成する。

【0073】

以下、上部表示板200について説明する。

【0074】

第2絶縁基板210の上に遮光部材(light blocking member)220が位置する。遮光部材220はブラックマトリックス(black matrix)とも言い、光漏れを防ぐ。第2絶縁基板210および遮光部材220の上には複数のカラーフィルタ230が配置される。カラーフィルタ230の上にはオーバーコート膜250が配置される。オーバーコート膜250はカラーフィルタ230と遮光部材220が分離することを防止し、カラーフィルタ230から流入する溶剤(solvent)のような有機物による液晶層3の汚染を抑制することで、画面駆動時に引き起こされる残像のような不良を防止する。オーバーコート膜250は省略可能である。オーバーコート膜250の上には共通電極270が配置される。

【0075】

図3に示した実施形態による液晶表示装置で、遮光部材220とカラーフィルタ230は上部表示板200に配置されるが、これに限定されない。本発明の他の一実施形態による液晶表示装置の遮光部材220およびカラーフィルタ230は下部表示板100に配置されてもよい。この場合、下部表示板100の保護膜180と同じ層にカラーフィルタ230が配置されてもよく、また、保護膜180は省略されてもよい。

【0076】

第1副画素電極191aと共通電極270はその間の液晶層3と共に第1液晶キャパシタCLcaを構成し、第2副画素電極191bと共通電極270はその間の液晶層3と共に第2液晶キャパシタCLcbを構成する。

【0077】

第1副画素電極191aは左側と右側に配置されている第1基準電圧線131aおよび第2基準電圧線131bと重畳して、第1ストレージキャパシタCst1および第2ストレージキャパシタCst2を成し、第1液晶キャパシタCLcaの電圧維持能力を強化する。第2副画素電極191bは左側と右側に配置されている第1基準電圧線131aおよび第2基準電圧線131bと重畳して、第3ストレージキャパシタCst3および第4ストレージキャパシタCst4を成し、第2液晶キャパシタCLcbの電圧維持能力を強化する。

【0078】

第1副画素電極191aと第2副画素電極191bに印加された電圧と共通電極270に印加された共通電圧によって、液晶層3に電場が加えられ、その電場によって液晶層3の液晶分子の方向を決定する。このように液晶分子の方向によって液晶層3を通過する光の輝度が変わる。

【0079】

以下、図4を参照して、本発明の一実施形態による液晶表示装置の単位電極について説明する。

【0080】

図4を参照すれば、単位電極191の全体的な形状は四角形であり、横幹部193およびこれと直交する縦幹部192からなる十字形幹部を含む。また単位電極191は横幹部193と縦幹部192によって第1副領域Da、第2副領域Db、第3副領域Dc、そして第4副領域Ddに分けられ、各副領域Da、Db、Dc、Ddは複数の第1乃至第4微細枝部194a、194b、194c、194dを含む。

【0081】

第1微細枝部194aは横幹部193または縦幹部192から左側上方向にななめに伸びており、第2微細枝部194bは横幹部193または縦幹部192から右側上方向にななめに伸びている。また第3微細枝部194cは横幹部193または縦幹部192から左側下方向にななめに伸びており、第4微細枝部194dは横幹部193または縦幹部192から右側下方向にななめに伸びている。

【0082】

第1乃至第4微細枝部194a、194b、194c、194dは、ゲート線121a、121bまたは横幹部193と概略45度または135度の角を成す。また隣接する二つの副領域Da、Db、Dc、Ddの微細枝部194a、194b、194c、194dは互いに直交してもよい。

【0083】

液晶層3に電場を印加すると、第1乃至第4微細枝部194a、194b、194c、194dの辺はフリンジフィールドを形成する。これによって、液晶分子31は微細枝部194a、194b、194c、194dの長さ方向に平行な方向に傾く。

【0084】

単位電極191は微細枝部194a、194b、194c、194dの長さ方向が互いに異なる四つの副領域Da、Db、Dc、Ddを含むので、液晶分子31が傾く方向は概略4方向となり、液晶分子31の配向方向が異なる四つのドメインが液晶層3に形成される。このように液晶分子が傾く方向を多様にすると、液晶表示装置の基準視野角が大きくなる。

【0085】

以下、図5を参照して、本発明の他の一実施形態による液晶表示装置の単位電極191について説明する。

【0086】

図5を参照すれば、単位電極191は副画素電極191a、191bと対向する共通電極270の第1切開部271、そして副画素電極191a、191bの縁に沿って形成されている副画素電極191a、191bの第2切開部91からなる。

【0087】

液晶表示装置を上から見ると、共通電極270の第1切開部271と副画素電極191a、191bの縁によって定義される基本領域は複数の小領域Da、Db、Dc、Ddに区分され、複数の小領域は共通電極270の第1切開部271を基準に互いに対称であってもよい。

【0088】

共通電極270の第1切開部271を上から見ると、十字形態を有しており、第1切開部271の端部は対応する副画素電極191a、191bの縁より突出している。

【0089】

副画素電極 191a、191b の第 2 切開部 91 は副画素電極 191a、191b の縁に沿って概略四角形の環状に形成されているが、共通電極 270 の第 1 切開部 271 の端に対応する部分周辺では途切れている。

【0090】

本実施形態による液晶表示装置の場合、十字形態の切開部が共通電極に形成されているが、電場生成電極の画素電極と共通電極のうちの少なくとも一つに形成されればよい。具体的に、十字形態の切開部は画素電極に形成されてもよく、画素電極および共通電極の両方ともに形成されてもよい。

【0091】

液晶層 3 に電場を印加すると、副画素電極 191a、191b の縁と共通電極 270 の十字形態の第 1 切開部 271 によるフリンジフィールドによって、液晶層 3 の液晶分子 31 は互いに異なる方向に延びて縁にぶつかる副画素電極 191a、191b の四つの部分から、十字形態の共通電極 270 の第 1 切開部 271 の中間部分に向かう方向と略平行に傾き、電場生成電極の一つの単位領域で液晶分子 31 は四方向に傾く。このように、液晶表示装置の一単位領域で液晶分子が傾く方向を複数個形成することによって、液晶表示装置の視野角が大きくなる。

【0092】

前述のように、第 1 副画素電極 191a は左側と右側に配置されている第 1 基準電圧線 131a および第 2 基準電圧線 131b と重畳して、第 1 ストレージキャパシタ Cst1 および第 2 ストレージキャパシタ Cst2 を形成し、第 1 液晶キャパシタ CLca の電圧維持能力を強化する。第 2 副画素電極 191b は左側と右側に配置されている第 1 基準電圧線 131a および第 2 基準電圧線 131b と重畳して、第 3 ストレージキャパシタ Cst3 および第 4 ストレージキャパシタ Cst4 を成し、第 2 液晶キャパシタ CLcb の電圧維持能力を強化する。

【0093】

また、第 1 基準電圧線 131a と第 2 基準電圧線 131b には一定の大きさの第 1 基準電圧と第 2 基準電圧が印加され、第 1 基準電圧と第 2 基準電圧はフレーム別に極性が変化する。例えば、共通電圧の大きさが約 7.5V である場合、第 1 基準電圧はフレーム別に約 15V または約 0V の値を有し、第 2 基準電圧はこれとは反対に約 0V または約 15V の値を有することができる。第 1 基準電圧と第 2 基準電圧はデータ電圧に印加される最大値より大きくてもよく、小さくてもよい。また、第 1 基準電圧と第 2 基準電圧が共通電圧を基準に正の極性を有する場合の第 1 基準電圧および第 2 基準電圧と共通電圧の値の差は、第 1 基準電圧と第 2 基準電圧が共通電圧を基準に負の極性を有する場合の第 1 基準電圧および第 2 基準電圧と共通電圧の値の差と異なってもよい。

【0094】

しかし、各副画素電極 191a、191b は互いに異なる極性の第 1 基準電圧および第 2 基準電圧が印加される第 1 基準電圧線 131a および第 2 基準電圧線 131b と重畳してストレージキャパシタを構成するため、フレーム別に第 1 基準電圧と第 2 基準電圧の極性が変化してもこれにより画素電圧は変化しない。これについて、図 6 を参照して説明する。図 6 はフレーム別に印加される電圧による画素領域の電圧変化を説明するための波形図である。

【0095】

図 6 を参照すれば、第 1 基準電圧線 131a に印加される第 1 基準電圧 Vc1 は第 1 フレームの間に約 0V の値を有し、第 2 フレームの間に約 15V の値を有し、第 3 フレームの間に約 0V の値を有する。また、第 2 基準電圧線 131b に印加される第 2 基準電圧 Vc2 は第 1 フレームの間に約 15V の値を有し、第 2 フレームの間に約 0V の値を有し、第 3 フレームの間に約 15V の値を有する。

【0096】

このように、互いに異なる極性を有する第 1 基準電圧 Vc1 と第 2 基準電圧 Vc2 がフレーム別に極性が変化しても、各副画素電極 191a、191b は第 1 基準電圧線 131

10

20

30

40

50

aおよび第2基準電圧線131bと全て重畳するために、第1基準電圧 V_{c1} および第2基準電圧 V_{c2} の極性変化によるストレージキャパシタの保持容量変化は互いに相殺され、各副画素電極191a、191bに印加される電圧 V_p の大きさには影響を与えないので、一定に維持される。

【0097】

本発明の実施形態による液晶表示装置は画素電極を第1副画素電極と第2副画素電極に区分し、第1副画素電極と第2副画素電極に同一のデータ電圧を印加し、第1副画素電極と基準電圧線に接続された薄膜トランジスタを含むことによって、第1副画素電極の電圧をデータ電圧より高く調節することができる。これにより、低階調領域での階調変化をなだらかに調節することができるので、低階調領域で正確な階調表現が可能であり、高い輝度を得ることができながらも、側面視認性を正面視認性と同程度に視認性を改善することができる。これについて後でさらに詳細に説明する。

【0098】

(実施形態2)

以下、図7を参照して、本発明の他の一実施形態による液晶表示装置の構造について説明する。図7は本発明の他の一実施形態による液晶表示装置の配置図である。

【0099】

図7を参照すれば、本実施形態による液晶表示装置は図2乃至図6を参照して説明した実施形態による液晶表示装置と類似している。類似の構成要素に関する説明は省略する。

【0100】

しかし、本実施形態による液晶表示装置は図2および図3に示した実施形態による液晶表示装置とは異なり、第1基準電圧線131aと第2基準電圧線131bを露出する第3コンタクトホール186aと第4コンタクトホール186bは一つの画素領域に配置されている二つの副画素電極191a、191bのうちのいずれか一つに隣接した部分にのみ形成されている。また、第1接続部材92aはデータ線171を介して隣接した二つの画素領域に配置されている第1基準電圧線131aを接続するように配置され、第2接続部材92bはデータ線171を介して隣接した二つの画素領域に配置されている第2基準電圧線131bを接続するように配置される。

【0101】

このように、第1基準電圧線131aと第2基準電圧線131bを露出する第3コンタクトホール186aと第4コンタクトホール186bは一つの画素領域に配置されている二つの副画素電極191a、191bのうちのいずれか一つに隣接した部分にのみ形成することによって、液晶表示装置の開口率を高めることができる。

【0102】

(実施形態3)

前述の図2乃至図6を参照して説明した実施形態による液晶表示装置の全ての特徴は本実施形態による液晶表示装置に全て適用可能である。

【0103】

以下、図8を参照して、本発明の他の一実施形態による液晶表示装置の構造について説明する。図8は本発明の他の一実施形態による液晶表示装置の配置図である。

【0104】

図8を参照すれば、本実施形態による液晶表示装置は図2乃至図6を参照して説明した実施形態による液晶表示装置および図7を参照して説明した実施形態による液晶表示装置と類似している。類似の構成要素に関する説明は省略する。

【0105】

しかし、本実施形態による液晶表示装置は前述の実施形態による液晶表示装置とは異なり、第1基準電圧線131aと第2基準電圧線131bを露出する第3コンタクトホール186aと第4コンタクトホール186bは画素列方向に互いに隣接した二つの画素領域のうちの一つの画素領域に配置される。また、第1接続部材92aおよび第2接続部材92bも画素列方向に互いに隣接した二つの画素領域のうちの一つの画素領域に配置される

。

【0106】

このように、第1基準電圧線131aと第2基準電圧線131bを露出する第3コンタクトホール186aと第4コンタクトホール186bを画素列方向に互いに隣接した二つの画素領域のうちの一つの画素領域にのみ形成することによって、液晶表示装置の開口率を高めることができる。

【0107】

前述の図2乃至図6を参照して説明した実施形態による液晶表示装置の全ての特徴は本実施形態による液晶表示装置に全て適用可能である。

【0108】

以下、図9および図10を参照して、本発明の一実施例による液晶表示装置の画素電圧による透過率変化について説明する。図9および図10は本発明の一実施例による液晶表示装置の画素電圧による透過率変化を示すグラフである。

【0109】

本実施例では既存の液晶表示装置のように、画素電極を第1副画素電極と第2副画素電極に区分した後、第2副画素電極に印加される電圧を分圧して、第2副画素電極の電圧を入力されたデータ電圧より低く調節するように形成した場合において、第1副画素電極に印加されるデータ電圧による透過率変化H1と第2副画素電極に印加されるデータ電圧による透過率変化L1を図9に示した。また、本発明の実施形態による液晶表示装置のように、画素電極を第1副画素電極と第2副画素電極に区分した後、第1副画素電極の電圧を入力されたデータ電圧より高く調節するように形成した場合において、第1副画素電極に印加されるデータ電圧による透過率変化H2と第2副画素電極に印加されるデータ電圧による透過率変化L2を図10に示した。

【0110】

まず、図9を参照すれば、データ線を通して同一のデータ電圧が印加された第1副画素電極と第2副画素電極のうち第2副画素電極の電圧が一定の値だけ低くなる。したがって、入力されるデータ電圧の値が相対的に低い場合、例えば、データ電圧が約4V以下である場合、全体透過率は第1副画素電極H1の透過率にのみ依存する。したがって、低階調領域、例えば、約20グレー（20G）までは透過率の変化が殆どないので、階調表現が不可能であることが分かった。また、約20グレー（20G）から約40グレー（40G）スケール値から、印加されるデータ電圧による透過率増加率が大きくなり、透過率が急に上昇することによって、画面が白色に見える現象が発生することがある。このように、低階調領域ではデータ電圧によるグレー表現が困難であることがある。また、高階調領域、例えば、データ電圧が約6.7V以上である場合、第2副画素電極の電圧による透過率が減少して、液晶表示装置の全体透過率は入力されたデータ電圧に比べて低くなる。したがって、駆動電圧に比べて液晶表示装置の透過率効率が低くなる。

【0111】

以下、図10を参照すれば、データ線を通して同一のデータ電圧が印加された第1副画素電極と第2副画素電極のうち第1副画素電極の電圧が一定の値だけ高くなる。したがって、低階調領域でも印加されたデータ電圧による透過率変化が明確で、低階調でもグレー表現が可能になる。また、低階調領域でも印加されたデータ電圧による透過率の増加率が概略一定で、特定階調で透過率が急に上昇することによって画面が白色に見える現象を防止することができる。また、高階調領域、例えば、データ電圧が約6.7V以上である場合にも透過率減少がなく、液晶表示装置の全体透過率は高くなる。これにより、液晶表示装置の駆動効率が高まる。

【0112】

以下、図11を参照して、本発明の他の一実施例による階調による透過率変化について説明する。図11は本発明の一実施例による液晶表示装置の階調による透過率変化を示すグラフである。

【0113】

本実施例では、正面での階調別透過率変化 X と、既存の液晶表示装置のように、画素電極を第1副画素電極と第2副画素電極に区分した後、第1副画素電極と第2副画素電極に互いに異なるデータ電圧を印加する場合に対する階調別透過率変化 $Y1$ と、既存の液晶表示装置のように、画素電極を第1副画素電極と第2副画素電極に区分した後、第2副画素電極に印加される電圧を分圧して、第2副画素電極の電圧を入力されたデータ電圧より低く調節するように形成した場合の側面での階調別透過率変化 $Y2$ と、そして本発明の実施形態による液晶表示装置のように、画素電極を第1副画素電極と第2副画素電極に区分した後、第1副画素電極の電圧を入力されたデータ電圧より高く調節するように形成した場合に対する階調別透過率変化 $Y3$ と、を測定して図11に示した。

【0114】

10

図11を参照すれば、 $Y1$ 、 $Y2$ に比べて、本発明の実施形態による液晶表示装置の $Y3$ は低階調領域、例えば約30グレー（30G）以下で側面の透過率が正面透過率に最も近く、階調による透過率変化がなだらかである。このように、本発明の実施形態による液晶表示装置の場合、低階調領域で正確な階調表現が可能であり、高い輝度を得ることができながらも、側面視認性を正面視認性と同程度に視認性を改善することができる。

【0115】

（実施形態4）

以下、図12を参照して、本発明の他の一実施形態による液晶表示装置について説明する。図12は本発明の他の一実施形態による液晶表示装置の二つの画素の等価回路図である。

20

【0116】

図12を参照すれば、本発明の他の一実施形態による液晶表示装置は画素行方向に隣接する第1画素 $PX(i, j)$ および第2画素 $PX(i, j+1)$ 、そしてこれに接続されている複数の信号線 Gn 、 $Gn+1$ 、 Dn 、 $Dn+1$ 、 $C1$ 、 $C2$ を含む。信号線 Gn 、 $Gn+1$ 、 Dn 、 $Dn+1$ 、 $C1$ 、 $C2$ は、例えばゲート信号を伝達する第1及び第2のゲート線 Gn 、 $Gn+1$ のような複数のゲート線と、例えばデータ電圧を伝達する第1及び第2のデータ線 Dn 、 $Dn+1$ のような複数のデータ線と、例えば所定の基準電圧を伝達する第1及び第2の基準電圧線 $C1$ 、 $C2$ のような複数の基準電圧線を含む。基準電圧線 $C1$ 、 $C2$ は互いに異なる極性の基準電圧を伝達する第1基準電圧線 $C1$ と第2基準電圧線 $C2$ を含む。第1基準電圧線 $C1$ と第2基準電圧線 $C2$ には一定の大きさの第1基準電圧と第2基準電圧が印加され、第1基準電圧と第2基準電圧はフレーム別に極性が変化する。例えば、共通電圧の大きさが約7.5Vである場合、第1基準電圧はフレーム別に約15Vまたは約0Vの値を有し、第2基準電圧はこれとは反対に約0Vまたは約15Vの値を有し得る。第1基準電圧と第2基準電圧はデータ電圧に印加される最大値より大きくてもよく、小さくてもよい。また、第1基準電圧と第2基準電圧が共通電圧を基準に正の極性を有する場合の第1基準電圧および第2基準電圧と共通電圧の値の差は、第1基準電圧と第2基準電圧が共通電圧を基準に負の極性を有する場合の第1基準電圧および第2基準電圧と共通電圧の値の差と異なってもよい。

30

【0117】

第1画素 $PX(i, j)$ は第1ゲート線 Gn および第2ゲート線 $Gn+1$ 、第1データ線 Dn 、第2基準電圧線 $C2$ 、そしてこれに接続されている第1スイッチング素子 Qa 、第2スイッチング素子 Qb 、第3スイッチング素子 Qc 、第1液晶キャパシタ $CLca$ と第2液晶キャパシタ $CLcb$ 、そして昇圧キャパシタ CLP を含む。

40

【0118】

第1スイッチング素子 Qa および第2スイッチング素子 Qb はそれぞれ第1ゲート線 Gn および第1データ線 Dn に接続されており、第3スイッチング素子 Qc は第2ゲート線 $Gn+1$ 、昇圧キャパシタ CLP の一端子、そして第1スイッチング素子 Qa の出力端子に接続されている。

【0119】

第1スイッチング素子 Qa および第2スイッチング素子 Qb は薄膜トランジスタなどの

50

三端子素子であって、その制御端子は第1ゲート線 G_n に接続され、入力端子は第1データ線 D_n に接続されている。また、第1スイッチング素子 Q_a の出力端子は第1液晶キャパシタ CL_{ca} および第3スイッチング素子 Q_c の出力端子に接続されており、第2スイッチング素子 Q_b の出力端子は第2液晶キャパシタ CL_{cb} に接続されている。

【0120】

第3スイッチング素子 Q_c も薄膜トランジスタなどの三端子素子であって、制御端子は第2ゲート線 G_{n+1} に接続され、入力端子は昇圧キャパシタ CL_P の一端に接続され、出力端子は第1液晶キャパシタ CL_{ca} と接続されている。昇圧キャパシタ CL_P の残りの一端は第2基準電圧線 C_2 に接続されている。

【0121】

第2画素 $PX(i, j+1)$ は第1ゲート線 G_n および第2ゲート線 G_{n+1} 、第2データ線 D_{n+1} 、第1基準電圧線 C_1 、そしてこれらの線に接続されている第1スイッチング素子 Q_a 、第2スイッチング素子 Q_b 、第3スイッチング素子 Q_c 、第1液晶キャパシタ CL_{ca} と第2液晶キャパシタ CL_{cb} 、そして昇圧キャパシタ CL_P を含む。

【0122】

第2画素 $PX(i, j+1)$ の第1スイッチング素子 Q_a および第2スイッチング素子 Q_b の制御端子はそれぞれ第1ゲート線 G_n に接続され、入力端子はそれぞれ第2データ線 D_{n+1} に接続されている。

【0123】

第2画素 $PX(i, j+1)$ の第1スイッチング素子 Q_a の出力端子は第1液晶キャパシタ CL_{ca} および第3スイッチング素子 Q_c の出力端子に接続されており、第2画素 $PX(i, j+1)$ の第2スイッチング素子 Q_b の出力端子は第2液晶キャパシタ CL_{cb} に接続されている。

【0124】

第2画素 $PX(i, j+1)$ の第3スイッチング素子 Q_c の制御端子は第2ゲート線 G_{n+1} に接続され、入力端子は昇圧キャパシタ CL_P の一端に接続され、出力端子は第1液晶キャパシタ CL_{ca} と接続されている。昇圧キャパシタ CL_P の残りの一端は第1基準電圧線 C_1 に接続されている。

【0125】

第1ゲート線 G_n にゲートオン信号が印加されると、これに接続された第1画素 $PX(i, j)$ と第2画素 $PX(i, j+1)$ の第1スイッチング素子 Q_a および第2スイッチング素子 Q_b がターンオンされる。これにより、第1データ線 D_n に印加されたデータ電圧はターンオンされた第1画素 $PX(i, j)$ の第1スイッチング素子 Q_a および第2スイッチング素子 Q_b を通じてそれぞれ第1画素 $PX(i, j)$ の第1液晶キャパシタ CL_{ca} と第2液晶キャパシタ CL_{cb} との一端に印加され、第2データ線 D_{n+1} に印加されたデータ電圧はターンオンされた第2画素 $PX(i, j+1)$ の第1スイッチング素子 Q_a および第2スイッチング素子 Q_b を通じてそれぞれ第2画素 $PX(i, j+1)$ の第1液晶キャパシタ CL_{ca} と第2液晶キャパシタ CL_{cb} の一端に印加される。このとき、第1画素 $PX(i, j)$ の第1液晶キャパシタ CL_{ca} と第2液晶キャパシタ CL_{cb} は同一の電圧が印加され、第2画素 $PX(i, j+1)$ の第1液晶キャパシタ CL_{ca} と第2液晶キャパシタ CL_{cb} は同一の電圧が印加される。

【0126】

第1ゲート線 G_n にゲートオフ信号が印加され、第2ゲート線 G_{n+1} にゲートオン信号が印加されると、第1画素 $PX(i, j)$ と第2画素 $PX(i, j+1)$ の第1スイッチング素子 Q_a および第2スイッチング素子 Q_b はターンオフされ、第1画素 $PX(i, j)$ と第2画素 $PX(i, j+1)$ の第1液晶キャパシタ CL_{ca} と第2液晶キャパシタ CL_{cb} は電氣的に孤立(floating)される。また、第1画素 $PX(i, j)$ と第2画素 $PX(i, j+1)$ の第3スイッチング素子 Q_c はターンオンされる。第3スイッチング素子 Q_c に接続されている昇圧キャパシタ CL_P の一端は第1基準電圧線 C_1 または第2基準電圧線 C_2 に接続されており、第1基準電圧線 C_1 または第2基準電圧線

10

20

30

40

50

C 2 に印加される第 1 基準電圧と第 2 基準電圧はデータ電圧より高い値であってもよい。したがって、昇圧キャパシタ C L P の残りの一端子の電圧も共に上昇する。このように上昇した電圧は第 3 スイッチング素子 Q c を通じて、第 1 液晶キャパシタ C L c a に伝達され、第 1 液晶キャパシタ C L c a の印加電圧は上昇する。

【0127】

このように、本実施形態による液晶表示装置は昇圧キャパシタ C L P を通じて第 1 副画素電極 1 9 1 a の電圧をデータ電圧より上昇させることによって、第 1 液晶キャパシタ C 1 c a に印加された電圧と第 2 液晶キャパシタ C L c b に印加された電圧は互いに異なるようになる。第 1 液晶キャパシタ C 1 c a に印加された電圧と第 2 液晶キャパシタ C L c b に印加された電圧が互いに異なるので第 1 副画素と第 2 副画素で液晶分子が傾く角度が異なり、これにより二つの副画素の輝度が異なる。したがって、第 1 液晶キャパシタ C 1 c a に印加される電圧と第 2 液晶キャパシタ C L c b に印加される電圧を適切に調節すると、側面から見る映像が正面から見る映像に最大限近くなるようにすることができ、これにより側面視認性を改善することができる。

【0128】

(実施形態 5)

以下、図 1 3 を参照して、本発明の他の一実施形態による液晶表示装置の配置について説明する。図 1 3 は本発明の他の一実施形態による液晶表示装置の配置図である。

【0129】

図 1 3 を参照すれば、本実施形態による液晶表示装置は第 1 ゲート線 1 2 1 a および第 2 ゲート線 1 2 1 b、そして第 1 基準電圧線 1 3 1 a および第 2 基準電圧線 1 3 1 b が形成されている。

【0130】

第 1 ゲート線 1 2 1 a は第 1 ゲート電極 1 2 4 a および第 2 ゲート電極 1 2 4 b を含み、第 2 ゲート線 1 2 1 b は第 3 ゲート電極 1 2 4 c を含む。

【0131】

第 1 ゲート電極 1 2 4 a の上には第 1 半導体 1 5 4 a が配置され、第 2 ゲート電極 1 2 4 b の上には第 2 半導体 1 5 4 b が配置され、第 3 ゲート電極 1 2 4 c の上には第 3 半導体 1 5 4 c が配置される。第 1 半導体 1 5 4 a の上には第 1 ソース電極 1 7 3 a および第 1 ドレイン電極 1 7 5 a が配置され、第 2 半導体 1 5 4 b の上には第 2 ソース電極 1 7 3 b および第 2 ドレイン電極 1 7 5 b が配置される。第 1 ソース電極 1 7 3 a および第 2 ソース電極 1 7 3 b はデータ線 1 7 1 に接続されている。第 3 半導体 1 5 4 c の上には第 3 ソース電極 1 7 3 c と第 3 ドレイン電極 1 7 5 c が配置されており、第 3 ドレイン電極 1 7 5 c は第 2 ドレイン電極 1 7 5 a と接続されている。第 3 ソース電極 1 7 3 c は拡張部 1 7 7 を有し、第 3 ソース電極 1 7 3 c の拡張部 1 7 7 は基準電圧線 1 3 1 a、1 3 1 b の拡張部 1 3 7 と重畳して、昇圧キャパシタ C L P を形成する。

【0132】

第 1 ドレイン電極 1 7 5 a は保護膜に形成されている第 1 コンタクトホール 1 8 5 a を通じて、第 1 副画素電極 1 9 1 a と物理的電氣的に接続され、第 2 ドレイン電極 1 7 5 b は保護膜に形成されている第 2 コンタクトホール 1 8 5 b を通じて、第 2 副画素電極 1 9 1 b と物理的電氣的に接続される。第 1 副画素電極 1 9 1 a と第 2 副画素電極 1 9 1 b は図 4 または図 5 に示した単位電極の形態を有していてもよい。

【0133】

第 1 基準電圧線 1 3 1 a と第 2 基準電圧線 1 3 1 b は副画素電極 1 9 1 a、1 9 1 b の左側と右側に配置されて、副画素電極 1 9 1 a、1 9 1 b と重畳してストレージキャパシタを形成する。

【0134】

二つのゲート線 1 2 1 a、1 2 1 b を介して画素列方向に上と下に配置されて分離されている第 1 基準電圧線 1 3 1 a は第 5 コンタクトホール 1 8 7 と第 5 コンタクトホール 1 8 7 を覆っている第 3 接続部材 9 3 を通じて、互いに接続される。分離されている第 2 基

準電圧線 1 3 1 b も類似の方式で互いに接続されてもよい。

【0 1 3 5】

本発明の実施形態による液晶表示装置は画素電極を第 1 副画素電極と第 2 副画素電極に区分し、第 1 副画素電極と第 2 副画素電極に同一のデータ電圧を印加し、第 1 副画素電極と基準電圧線に接続された薄膜トランジスタを含むことによって、第 1 副画素電極の電圧をデータ電圧より高く調節することができる。これにより、低階調領域での階調変化をなだらかに調節することができるので、低階調領域で正確な階調表現が可能であり、高い輝度を得ることができながらも、側面視認性を正面視認性と同程度に視認性を改善することができる。

【0 1 3 6】

以上で本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されるのではなく、次の請求範囲で定義している本発明の基本概念を利用した当業者の様々な変形および改良形態も本発明の権利範囲に属する。

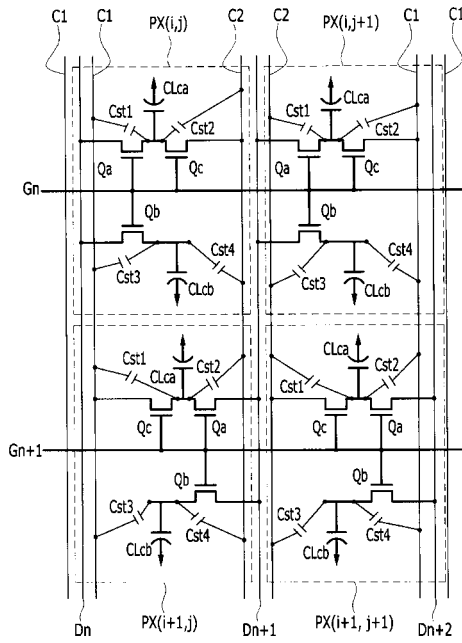
【符号の説明】

【0 1 3 7】

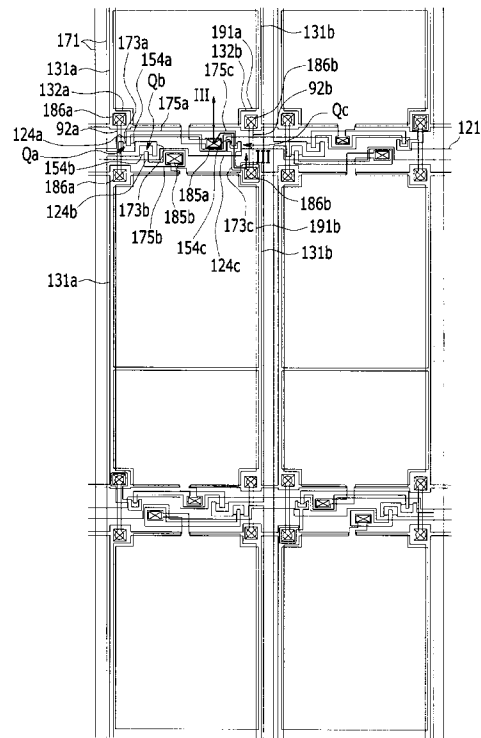
P X (i , j)	第 1 画素	
P X (i , j + 1)	第 2 画素	
P X (i + 1 , j)	第 3 画素	
P X (i + 1 , j + 1)	第 4 画素	
G n	第 1 ゲート線	20
G n + 1	第 2 ゲート線	
D n	第 1 データ線	
D n + 1	第 2 データ線	
D n + 2	第 3 データ線	
C 1	第 1 基準電圧線	
C 2	第 2 基準電圧線	
Q a	第 1 スイッチング素子	
Q b	第 2 スイッチング素子	
Q c	第 3 スイッチング素子	
C L c a	第 1 液晶キャパシタ	30
C L c b	第 2 液晶キャパシタ	
C s t 1	第 1 ストレージキャパシタ	
C s t 2	第 2 ストレージキャパシタ	
C s t 3	第 3 ストレージキャパシタ	
C s t 4	第 4 ストレージキャパシタ	
1 0 0	下部表示板	
1 1 0	第 1 絶縁基板	
1 2 1	ゲート線	
1 2 4 a	第 1 ゲート電極	
1 2 4 b	第 2 ゲート電極	40
1 2 4 c	第 3 ゲート電極	
1 3 1 a	第 1 基準電圧線	
1 3 1 b	第 2 基準電圧線	
1 3 2 a	第 1 拡張部	
1 3 2 b	第 2 拡張部	
1 4 0	ゲート絶縁膜	
1 5 4 a	第 1 半導体	
1 5 4 b	第 2 半導体	
1 5 4 c	第 3 半導体	
1 6 5 a、1 6 3 c、1 6 5 c	オーミックコンタクト層	50

1 7 1	データ線	
1 7 3 a	第 1 ソース電極	
1 7 3 b	第 2 ソース電極	
1 7 3 c	第 3 ソース電極	
1 7 5 a	第 1 ドレイン電極	
1 7 5 b	第 2 ドレイン電極	
1 7 5 c	第 3 ドレイン電極	
1 8 0	保護膜	
1 8 5 a	第 1 コンタクトホール	
1 8 5 b	第 2 コンタクトホール	10
1 8 6 a	第 3 コンタクトホール	
1 8 6 b	第 4 コンタクトホール	
1 9 1	単位電極	
1 9 1 a	第 1 副画素電極	
1 9 1 b	第 2 副画素電極	
1 9 2	縦幹部	
1 9 3	横幹部	
D a	第 1 副領域	
D b	第 2 副領域	
D c	第 3 副領域	20
D d	第 4 副領域	
1 9 4 a	第 1 微細枝部	
1 9 4 b	第 2 微細枝部	
1 9 4 c	第 3 微細枝部	
1 9 4 d	第 4 微細枝部	
9 2 a	第 1 接続部材	
9 2 b	第 2 接続部材	
2 0 0	上部表示板	
2 1 0	第 2 絶縁基板	
2 2 0	遮光部材	30
2 3 0	カラーフィルタ	
2 5 0	オーバーコート膜	
2 7 0	共通電極	
2 7 1	第 1 切開部	
9 1	第 2 切開部	
3	液晶層	
3 1	液晶分子	

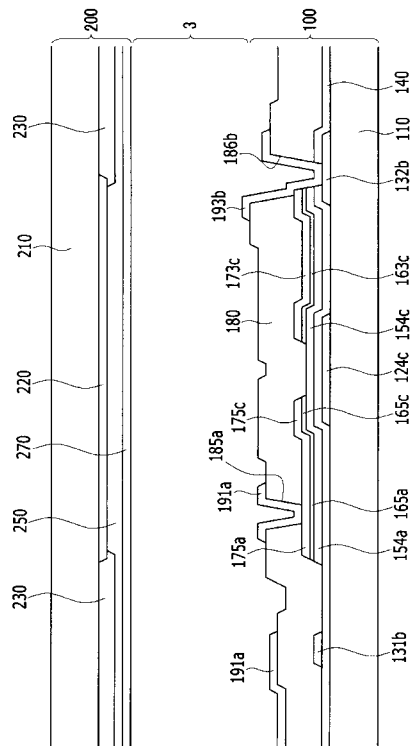
【 図 1 】



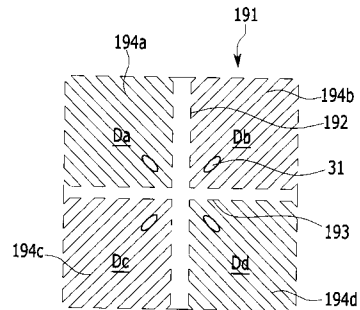
【圖 2】



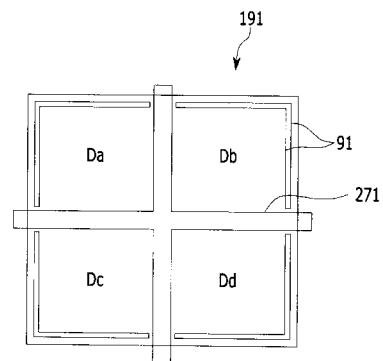
【 図 3 】



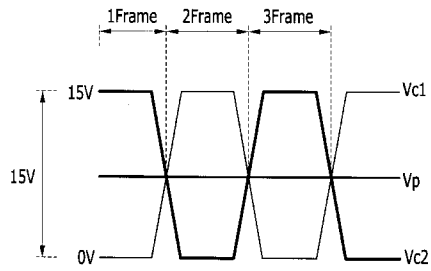
【 図 4 】



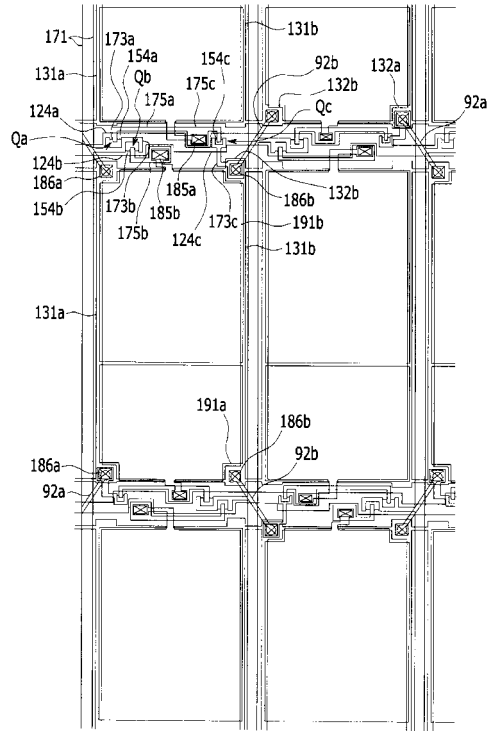
【図 5】



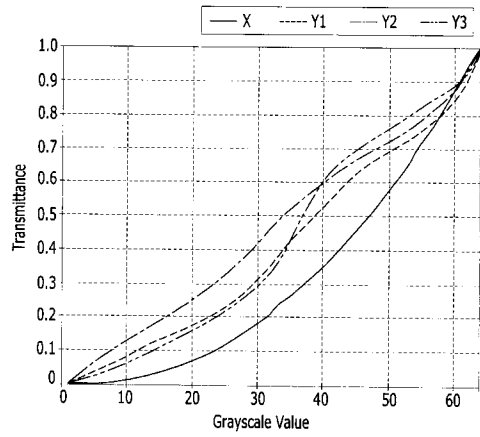
【図 6】



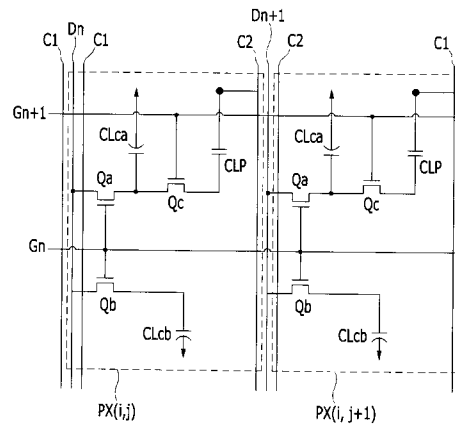
【図 7】



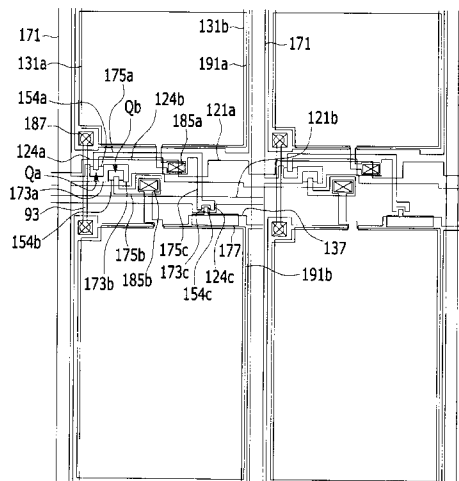
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 0 9 G 3/20 6 4 1 P

- (72)発明者 金 承 煥
大韓民国 忠清南道 牙山市 排芳面 公須7里 チュンアンハイツアパートメント 202棟
905号
- (72)発明者 金 貴 鉉
大韓民国 京畿道 水原市 勸善区 坪洞 ドンナムアパートメント 108棟 101号
- (72)発明者 金 彰 洙
大韓民国 京畿道 龍仁市 器興区 書川洞 現代ホームタウンアパートメント 104棟 20
03号
- (72)発明者 盧 相 龍
大韓民国 忠清南道 牙山市 排芳邑 北水里 ベイジックハウス 301号
- (72)発明者 宋 在 晉
大韓民国 京畿道 華城市 餅店洞 アンファドンマウル住公9団地アパートメント 909棟
1202号
- (72)発明者 羅 柄 善
大韓民国 京畿道 華城市 盤松洞 東灘ハイペリオン 102棟 1503号
- (72)発明者 白 承 洙
大韓民国 京畿道 水原市 霊通区 霊通洞 971-1番地ビョクチョクコルハンシンアパート
メント 814棟 1902号

Fターム(参考) 2H192 AA24 BA25 BC24 BC26 BC31 CB05 CB14 CB22 CB37 CC04
DA15 DA52 DA65 EA22 EA43 JA13
5C006 AA16 AC28 AF46 BB16 BC06 BF37 FA54 FA55
5C080 AA10 BB05 DD03 EE29 FF11 FF12 JJ03 JJ04 JJ05 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014006527A	公开(公告)日	2014-01-16
申请号	JP2013128195	申请日	2013-06-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	鄭然鶴 金承煥 金貴鉉 金彰洙 盧相龍 宋在晉 羅柄善 白承洙		
发明人	鄭 然 鶴 金 承 煥 金 貴 鉉 金 彰 洙 盧 相 龍 宋 在 晉 羅 柄 善 白 承 洙		
IPC分类号	G02F1/1368 G09G3/36 G09G3/20		
CPC分类号	G02F1/134336 G02F1/13624 G02F1/136286 G02F2001/134345 G09G3/3648 G09G2300/0426 G09G2300/043 G09G2300/0447		
FI分类号	G02F1/1368 G09G3/36 G09G3/20.624.B G09G3/20.621.B G09G3/20.642.E G09G3/20.641.P		
F-TERM分类号	2H192/AA24 2H192/BA25 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CB14 2H192/CB22 2H192/CB37 2H192/CC04 2H192/DA15 2H192/DA52 2H192/DA65 2H192/EA22 2H192/EA43 2H192/JA13 5C006/AA16 5C006/AC28 5C006/AF46 5C006/BB16 5C006/BC06 5C006/BF37 5C006/FA54 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD03 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
优先权	1020120067433 2012-06-22 KR		
外部链接	Espacenet		

摘要(译)

解决的问题：与施加的驱动电压相比，防止亮度降低，同时将侧面可视性提高到与正面可视性相同的程度，并在低灰度区域中实现准确的灰度表达。提供一种可以制造的液晶显示装置。液晶显示装置包括第一基板，布置在第一基板上的第一栅极线Gn，布置在第一基板上的数据线Dn和第一基板。布置在数据线上并沿着数据线延伸的参考电压线C1和C2，布置在一个像素区域中的第一子像素电极和第二子像素电极以及第一栅极。线，数据线和连接到第一子像素电极的第一开关元件Qa，第二开关元件连接到第一选通线，数据线和第二子像素电极。包括连接到第一子像素电极和参考电压线的元件Qb和第三开关元件Qc。[选型图]图1

