

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-242818

(P2012-242818A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550	5C006
<b>G09G 3/20 (2006.01)</b>	G02F 1/133 505	5C080
	G09G 3/20 622E	
	G09G 3/20 624B	

審査請求 未請求 請求項の数 10 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2011-283745 (P2011-283745)  
 (22) 出願日 平成23年12月26日 (2011.12.26)  
 (31) 優先権主張番号 10-2011-0046355  
 (32) 優先日 平成23年5月17日 (2011.5.17)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区三星路129  
 129, Samsung-ro, Yeon  
 gtong-gu, Suwon-si, G  
 yeonggi-do, Republic  
 of Korea  
 (74) 代理人 110000051  
 特許業務法人共生国際特許事務所  
 (72) 発明者 申 玉 権  
 大韓民国 忠清南道 牙山市 湯井面 鳴  
 岩里 トラパレス 303棟1201号

最終頁に続く

(54) 【発明の名称】 ゲート駆動部及びこれを含む液晶表示装置

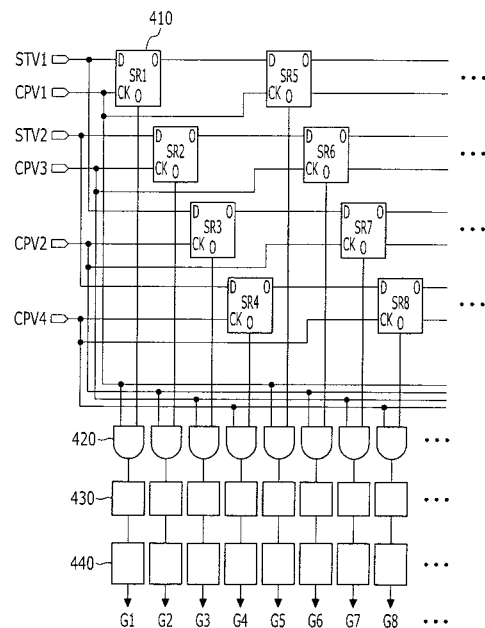
(57) 【要約】

【課題】 スリムベ-ゼルが適用でき、放電タイミングを調節することができ、ゲ-トオンタイミングを調節することができ、立体映像表示装置に適用できる。

【解決手段】

ゲ-ト駆動部は、二つ以上の走査開始信号 (scanning starting signal) の入力を受け、一つの走査開始信号に対応する二つ以上のクロック制御信号 (clock control signal) の入力を受け、そして複数のゲ-トオン電圧 (gate-on voltage) を出力するゲ-ト集積回路チップ (gate integrated circuit chip) を含む。前記二つ以上の走査開始信号のタイミング (timing) は互いに独立的であり得、前記二つ以上のクロック制御信号のタイミングは互いに独立的であり得る。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

二つ以上の走査開始信号の入力を受け、前記走査開始信号の各々に対応する二つ以上のクロック制御信号の入力を受け、そして複数のゲートオン電圧 (gate-on voltage) を出力するゲート集積回路チップを含み、

前記二つ以上の走査開始信号のタイミングは互いに独立的であり、前記二つ以上のクロック制御信号のタイミングは互いに独立的である、ことを特徴とするゲート駆動部。

## 【請求項 2】

前記走査開始信号がハイレベルである区間内に前記クロック制御信号が上昇タイミングを有する、ことを特徴とする請求項 1 に記載のゲート駆動部。

10

## 【請求項 3】

前記複数のゲートオン電圧は互いに重畳する、ことを特徴とする請求項 1 に記載のゲート駆動部。

## 【請求項 4】

前記ゲート集積回路チップは、第 1 走査開始信号及び第 1 クロック制御信号が入力される第 1 シフトレジスタ、第 1 走査開始信号及び第 2 クロック制御信号が入力される第 2 シフトレジスタ、第 2 走査開始信号及び第 3 クロック制御信号が入力される第 3 シフトレジスタ、そして第 2 走査開始信号及び第 4 クロック制御信号が入力される第 4 シフトレジスタを含む、ことを特徴とする請求項 1 に記載のゲート駆動部。

## 【請求項 5】

20

前記ゲート集積回路チップは、前記走査開始信号及び前記クロック制御信号が入力されるシフトレジスタ、レベルシフタ、及び前記ゲートオン電圧を出力するバッファを含む、ことを特徴とする請求項 1 に記載のゲート駆動部。

## 【請求項 6】

第 1 ゲート線及び第 1 データ線に接続される第 1 スイッチング素子、  
前記第 1 ゲート線及び前記第 1 データ線に接続される第 2 スイッチング素子、  
前記第 1 スイッチング素子に接続される第 1 副画素電極、  
前記第 2 スイッチング素子に接続される第 2 副画素電極、  
前記第 2 副画素電極と第 1 電荷共有線に接続される第 3 スイッチング素子、  
前記第 3 スイッチング素子に接続される変換キャパシタ、及び

30

二つ以上の走査開始信号の入力を受け、前記走査開始信号の各々に対応する二つ以上のクロック制御信号の入力を受け、そして複数のゲートオン電圧を出力するゲート集積回路チップ、

を含み、

前記二つ以上の走査開始信号のタイミングは互いに独立的であり、前記二つ以上のクロック制御信号のタイミングは互いに独立的である、ことを特徴とする液晶表示装置。

## 【請求項 7】

前記第 1 ゲート線に印加される第 1 ゲートオン電圧は第 1 クロック制御信号に同期化されており、前記第 1 電荷共有線に印加される第 2 ゲートオン電圧は第 2 クロック制御信号に同期化されている、ことを特徴とする請求項 6 に記載の液晶表示装置。

40

## 【請求項 8】

前記第 1 ゲート線に印加される第 1 ゲートオン電圧と、前記第 1 ゲート線に隣接して位置する第 2 ゲート線に印加される第 3 ゲートオン電圧とは互いに重畳する、請求項 6 に記載の液晶表示装置。

## 【請求項 9】

10 mm 以下の幅を有するベゼルをさらに含む、ことを特徴とする請求項 6 に記載の液晶表示装置。

## 【請求項 10】

左眼映像及び右眼映像を含む 3D 映像を出力する、ことを特徴とする請求項 6 に記載の液晶表示装置。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

ゲート駆動部及びこれを含む液晶表示装置が提供される。

## 【背景技術】

## 【0002】

表示装置は、複数対の電界生成電極と、その間に挿入されている電気光学 (electro-optical) 活性層を含む。例えば、表示装置は、液晶表示装置 (liquid crystal display、LCD)、有機発光表示装置 (organic light emitting diode display、OLED display) 及び電気泳動表示装置 (electrophoretic display) などがある。液晶表示装置は電気光学活性層として液晶層を含み、有機発光表示装置は電気光学活性層として有機発光層を含む。一对を構成する電界生成電極のうちの一つは、通常、スイッチング素子に接続されて電気信号の印加を受け、電気光学活性層はこのような電気信号を光学信号に変換することによって映像を表示する。

10

## 【0003】

一般に、表示装置はゲート駆動部及びデータ駆動部を含む。ゲート駆動部は画素をオン又はオフするゲート信号をゲート線に印加し、データ駆動部は映像データをデータ電圧に変換した後、これをデータ線に印加する。

20

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献1】特許第3798269号公報

【特許文献2】特開2006-285141号公報

【特許文献3】韓国10-0857378B1号公報

【特許文献4】特開平07-146668号公報

【特許文献5】特開平11-027606号公報

【特許文献6】特開平2002-244610号公報

【特許文献7】特開平2008-276263号公報

【特許文献8】韓国10-2008-0018648A号公報

30

【特許文献9】韓国10-2008-0041908A号公報

【特許文献10】韓国10-0431626B1号公報

【特許文献11】米国第7019497B2号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

本発明による一実施形態は、スリムベゼル (slim bezel) を適用できるゲート駆動部を提供する。

また、本発明による一実施形態は、ゲートオンタイミング (gate-on timing) を調節できるゲート駆動部を提供する。

40

また、本発明による一実施形態は、放電タイミング (discharging timing) を調節できるゲート駆動部を提供する。

さらに、本発明による一実施形態は、立体映像表示装置に適用できるゲート駆動部を提供する。

上記課題以外にも、具体的に言及されていない他の課題を達成するために用いることができる。

## 【課題を解決するための手段】

## 【0006】

本発明に係るゲート駆動部は、二つ以上の走査開始信号 (scanning starting signal) の入力を受け、前記走査開始信号の各々に対応する二つ以上の

50

クロック制御信号 (clock control signal) の入力を受け、そして複数のゲートオン電圧 (gate-on voltage) を出力するゲート集積回路チップ (gate integrated circuit chip) を含む。

前記二つ以上の走査開始信号のタイミングは互いに独立的であり、前記二つ以上のクロック制御信号のタイミングは互いに独立的である。

【0007】

前記走査開始信号がハイレベルである区間内に前記クロック制御信号が上昇タイミングを有することができる。

前記複数のゲートオン電圧は、前記クロック制御信号に同期化されていることができる。

10

前記複数のゲートオン電圧は互いに重畳することができる。

【0008】

前記ゲート集積回路チップは、第1走査開始信号及び第1クロック制御信号が入力される第1シフトレジスタ、第1走査開始信号及び第2クロック制御信号が入力される第2シフトレジスタ、第2走査開始信号及び第3クロック制御信号が入力される第3シフトレジスタ、そして第2走査開始信号及び第4クロック制御信号が入力される第4シフトレジスタを含むことができる。

前記第1走査開始信号に対応して前記第1クロック制御信号と前記第2クロック制御信号が発生でき、前記第2走査開始信号に対応して前記第3クロック制御信号と前記第4クロック制御信号が発生できる。

20

前記第1走査開始信号がハイレベルである区間内に前記第1クロック制御信号と前記第2クロック制御信号が上昇タイミングを有することができ、前記第2走査開始信号がハイレベルである区間内に前記第3クロック制御信号と前記第4クロック制御信号が上昇タイミングを有することができる。

前記ゲート集積回路チップは、順次に位置する第1ゲート線、第2ゲート線、第3ゲート線、及び第4ゲート線に各々入力される第1ゲートオン電圧、第2ゲートオン電圧、第3ゲートオン電圧、及び第4ゲートオン電圧を出力することができる。前記第1ゲートオン電圧は前記第1クロック制御信号に同期化されていることができ、前記第2ゲートオン電圧は前記第3クロック制御信号に同期化されていることができ、前記第3ゲートオン電圧は前記第2クロック制御信号に同期化されていることができ、前記第4ゲートオン電圧は前記第4クロック制御信号に同期化されていることができる。

30

【0009】

前記ゲート集積回路チップは、前記走査開始信号及び前記クロック制御信号が入力されるシフトレジスタ (shift register)、レベルシフタ (level shifter)、及び前記ゲートオン電圧を出力するバッファ (buffer) を含むことができる。

前記ゲート集積回路チップは論理積素子 (AND gate) をさらに含むことができる。

【0010】

液晶表示装置は、第1ゲート線及び第1データ線に接続される第1スイッチング素子、前記第1ゲート線及び前記第1データ線に接続される第2スイッチング素子、前記第1スイッチング素子に接続される第1副画素電極、前記第2スイッチング素子に接続される第2副画素電極、前記第2副画素電極と第1電荷共有線 (charge sharing line) に接続される第3スイッチング素子、前記第3スイッチング素子に接続される変換キャパシタ、及び二つ以上の走査開始信号の入力を受け、前記走査開始信号の各々に対応する二つ以上のクロック制御信号の入力を受け、そして複数のゲートオン電圧を出力するゲート集積回路チップを含む。

40

前記二つ以上の走査開始信号のタイミングは互いに独立的であり、前記二つ以上のクロック制御信号のタイミングは互いに独立的である。

【0011】

50

前記第1ゲート線に印加される第1ゲートオン電圧は第1クロック制御信号に同期化されていることができ、前記第1電荷共有線に印加される第2ゲートオン電圧は第2クロック制御信号に同期化されていることができる。

【0012】

前記第1クロック制御信号の上昇タイミングは第1走査開始信号がハイレベルである区間に発生でき、前記第2クロック制御信号の上昇タイミングは第2走査開始信号がハイレベルである区間に発生できる。

前記第1ゲート線に隣接して位置する第2ゲート線に印加される第3ゲートオン電圧と、前記第1ゲートオン電圧の上昇タイミングとは互いに異なることができ、前記第1電荷共有線に隣接して位置する第2電荷共有線に印加される第4ゲートオン電圧と、前記第2ゲートオン電圧の上昇タイミングとは互いに異なることができる。

前記第1デュータ線に隣接して位置する第2デュータ線と前記第2デュータ線に隣接して位置する第3デュータ線との間には、副画素電極が位置しないことがある。

前記第1ゲート線に隣接して位置する第2ゲート線に印加される第3ゲートオン電圧と前記第1ゲートオン電圧は同時に印加でき、前記第1電荷共有線に隣接して位置する第2電荷共有線に印加される第4ゲートオン電圧と前記第2ゲートオン電圧は同時に印加できる。

【0013】

前記第1ゲート線に印加される第1ゲートオン電圧と、前記第1ゲート線に隣接して位置する第2ゲート線に印加される第3ゲートオン電圧とは、互いに重畳することができる。

液晶表示装置は10mm以下の幅を有するベゼル( bezel )をさらに含むことができる。

液晶表示装置は、左眼映像( left eye image )及び右眼映像( right eye image )を含む3D映像を出力することができる。

【0014】

前記第1ゲート線に印加される第1ゲートオン電圧は第1クロック制御信号に同期化されていることができ、前記第1電荷共有線に印加される第2ゲートオン電圧は第2クロック制御信号に同期化されていることができる。

前記第1ゲート線に隣接して位置する第2ゲート線に印加される第3ゲートオン電圧と前記第1ゲートオン電圧は同時に印加でき、前記第1電荷共有線に隣接して位置する第2電荷共有線に印加される第4ゲートオン電圧と前記第2ゲートオン電圧は同時に印加できる。

【発明の効果】

【0015】

本発明によれば、スリムベゼルが適用でき、放電タイミングを調節することができ、ゲートオンタイミングを調節することができ、立体映像表示装置に適用可能である、ゲート駆動部及びこれを含む液晶表示装置が提供できる。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施形態による表示装置のブロック図である。

【図2】本発明の一実施形態によるゲート駆動部のブロック図である。

【図3】本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

【図4】本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

【図5】本発明の一実施形態による液晶表示装置と、これに適用されるゲート駆動部の信号波形を示す図面である。

【図6】本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

【図7】本発明の一実施形態による液晶表示装置と、これに適用されるゲート駆動部の信号波形を示す図面である。

【図8】本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

10

20

30

40

50

【図 9】本発明の一実施形態による液晶表示装置と、これに適用されるゲート駆動部の信号波形を示す図面である。

【図 10】本発明の一実施形態によるゲート駆動部のブロック図である。

【図 11】本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

【図 12】本発明の一実施形態によるゲート駆動部のブロック図である。

【図 13】本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

【発明を実施するための形態】

【0017】

添付した図面を参照して、本発明の実施形態について本発明が属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。本発明は種々の異なる形態に実現でき、ここで説明する実施形態に限られない。図面において、本発明を明確に説明するために説明上不必要な部分は省略し、明細書の全体にわたって同一又は類似する構成要素に対しては同一の図面符号が付けた。また、広く知られている公知技術の場合、その具体的な説明は省略する。

10

【0018】

図面において種々の層及び領域を明確に表現するために厚さを拡大して示した。明細書の全体にわたって類似する部分に対しては同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の「上」にあるという時、これは他の部分の「すぐ上」にある場合だけでなく、その中間に他の部分がある場合も含む。一方、ある部分が他の部分の「すぐ上」にあるという時には、中間に他の部分がないことを意味する。

20

【0019】

図 1 は、本発明の一実施形態による表示装置のブロック図であり、図 2 は、本発明の一実施形態によるゲート駆動部のブロック図であり、図 3 は、本発明の一実施形態によるゲート駆動部の信号波形を示す図面であり、図 4 は、本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

【0020】

図 1 を参照すると、表示装置は、表示板組立体 (display panel assembly) 300 及びこれと接続されたゲート駆動部 400 とデータ駆動部 500、データ駆動部 500 に接続された階調電圧生成部 800、そしてこれらを制御する信号制御部 600 を含む。

30

【0021】

表示板組立体 300 としては、液晶表示板組立体、有機発光表示板組立体、プラズマ表示板組立体、又は、その他の多様な種類の表示装置が適用できる。以下、表示板組立体 300 が液晶表示板組立体と仮定して説明するが、特にこれに限られない。

【0022】

表示装置の上部のゲート線から下部のゲート線まで順次にゲートオン信号 (Vg) が印加される。例えば、表示装置は映像を下記のように表示することができる。順次にゲート線にゲートオン電圧 (Von) を印加して、当該ゲート線に接続されているスイッチング素子を通じて画素電極にデータ電圧 (Vd) を印加する。この時、印加されるデータ電圧 (Vd) は映像を表現するためのデータ電圧であり、印加されたデータ電圧 (Vd) はストレージキャパシタによって或る一定時間維持される。一方、ゲート線にゲートオフ電圧 (Voff) を印加して当該ゲート線に接続されているスイッチング素子をオフできる。

40

【0023】

表示板組立体 300 は、等価回路として見れば、複数の信号線 (G1 ~ Gn、D1 ~ Dm) と、これに接続されている複数の画素 (PX) を含む。

【0024】

信号線 (G1 ~ Gn、D1 ~ Dm) は、ゲート信号を伝達する複数のゲート線 (G1 ~ Gn) と、データ信号を伝達する複数のデータ線 (D1 ~ Dm) を含む。

【0025】

各画素 (PX)、例えば、i 番目 (i = 1、2、...、n) のゲート線 (Gi) と、

50

j 番目 (  $j = 1, 2, \dots, m$  ) のデ - タ線 (  $D_j$  ) に接続されている画素 (  $PX$  ) は、信号線 (  $G_i, D_j$  ) に接続されているスイッチング素子と、これに接続された液晶キャパシタを含む。また、画素 (  $PX$  ) はストレ - ジキャパシタを選択的に含む。さらに各画素 (  $PX$  ) は複数の副画素を選択的に含む。スイッチング素子は三端子素子であって、その制御端子はゲ - ト線 (  $G_i$  ) と接続されており、入力端子はデ - タ線 (  $D_j$  ) と接続されており、出力端子は液晶キャパシタ及びストレ - ジキャパシタと接続されている。

画素 (  $PX$  )、信号線 (  $G_i, D_j$  )、スイッチング素子の接続関係は、上述のように、一つの画素が一つのデ - タ線と一つのデ - タ線に接続される方式の外、二つの画素が一つのゲ - ト線を共有する方式、二つの画素が一つのデ - タ線を共有する方式など、多様な変形が可能である。

#### 【0026】

液晶キャパシタは、画素電極 ( 図示せず ) と共通電極 ( 図示せず ) を二つの端子とし、液晶層 ( 図示せず ) は誘電体として機能する。

#### 【0027】

液晶キャパシタの補助的な役割を果たすストレ - ジキャパシタは、ゲ - ト線とデ - タ線以外に、別個の信号線 ( 図示せず ) と画素電極が絶縁体を介在して重畳して形成され、この別個の信号線には共通電圧などの定められた電圧が印加される。しかしストレ - ジキャパシタは、画素電極が絶縁体を媒介としてすぐ上部のゲ - ト線、即ち、前段ゲ - ト線と重畳して形成することができる。

#### 【0028】

一方、色表示を実現するためには、各画素 (  $PX$  ) が三原色 ( *primary color* ) のうちの一つを固定的に表示するか ( 空間分割 )、又は、各画素 (  $PX$  ) が三原色のうちの一つを時間により交互に表示して ( 時間分割 )、これら三原色の空間的、又は時間的な合成によって所望の色が認識される。三原色の例としては赤色、緑色、青色の組が挙げられる。

#### 【0029】

信号制御部 600 は、外部のグラフィックス制御器 ( 図示せず ) から入力映像信号 (  $R, G, B$  ) 及びその表示を制御する入力制御信号、例えば、垂直同期信号 (  $V_{sync}$  )、水平同期信号 (  $H_{sync}$  )、メインクロック (  $MCLK$  )、デ - タイネ - ブル信号 (  $DE$  ) などの提供を受ける。

#### 【0030】

入力映像信号 (  $R, G, B$  ) は 2D 映像、又は 3D 映像である。ここで 2D 映像とは、観察者が表示装置から出力される映像について立体感を認知できない、通常のソ - スデ - タ ( *normal source data* ) を意味する。3D 映像とは、観察者が表示装置から出力される映像について立体感を認知できるソ - スデ - タを意味し、例えば、左眼映像 ( *left eye image* ) と右眼映像 ( *right eye image* ) がある。

#### 【0031】

信号制御部 600 は、例えば入力映像信号 (  $R, G, B$  ) と入力制御信号に基づいて映像信号 (  $R, G, B$  ) を表示板組立体 300 の動作条件に合うように適切に処理して得られる映像デ - タ (  $DAT$  ) と、デ - タ制御信号 (  $CONT2$  ) と、をデ - タ駆動部 500 に提供する。ここで映像信号 (  $R, G, B$  ) の処理は、表示板組立体 300 の画素配列に合わせて映像デ - タ (  $R, G, B$  ) を再配列する動作を含む。

#### 【0032】

また、信号制御部 600 は少なくとも一つのゲ - ト制御信号 (  $CONT1$  ) をゲ - ト駆動部 400 に提供する。例えば、ゲ - ト制御信号 (  $CONT1$  ) は、走査開始を指示する少なくとも一つの走査開始信号 (  $STV1, STV2$  )、ゲ - トオン電圧 (  $V_{on}$  ) の出力時間を制御する少なくとも一つのクロック制御信号 (  $CPV1 \sim CPV4$  ) を含む。

その他にも、ゲ - ト制御信号 (  $CONT1$  ) は、ゲ - トオン電圧 (  $V_{on}$  ) の持続時間を限定する少なくとも一つのクロックイネ - ブル信号、及び少なくとも一つのクロック信

10

20

30

40

50

号などを含むことができる。

【0033】

デ-タ制御信号(CONT2)は、一群の画素に対するデ-タの伝送の開始を報知する水平同期開始信号と、デ-タ線(D1~Dm)に当該デ-タ電圧の印加を指示するロ-ド信号及びデ-タクロック信号を含む。デ-タ制御信号(CONT2)は、また、共通電圧に対するデ-タ電圧の極性(以下、共通電圧に対するデ-タ電圧の極性を略してデ-タ電圧の極性という)を反転させる反転信号を含むことができる。

デ-タ制御信号(CONT2)により、デ-タ駆動部500は一行の画素に対する映像デ-タ(DAT)集合を受信し、階調電圧生成部800からの階調電圧のうちの各映像デ-タ(DAT)に対応する階調電圧を選択することができる。デ-タ駆動部500は映像デ-タ(DAT)を当該デ-タ電圧に変換した後、これを当該デ-タ線(D1~Dm)に印加することができる。

10

【0034】

ゲ-ト駆動部400は信号制御部600によってゲ-ト電圧(Vg)を印加し、ゲ-ト電圧(Vg)は、ゲ-トオン電圧(Von)又はゲ-トオフ電圧(Voff)の2値をとる。ゲ-トオン電圧(Von)がゲ-ト線(G1~Gn)に印加されると、ゲ-ト線(G1~Gn)に接続されたスイッチング素子が導通し、デ-タ線(D1~Dm)に印加されたデ-タ電圧(Vd)が導通したスイッチング素子を通じて当該画素に印加される。

【0035】

画素に印加されたデ-タ電圧(Vd)と共通電圧との差は画素電圧として現れる。例えば、液晶表示装置の場合、液晶分子は画素電圧の大きさによってその配列を異ならせ、これによって液晶層を通過する光の偏光が変化する。このような偏光の変化は表示板に付着した偏光子によって光の透過率の変化として現れる。

20

【0036】

このようなゲ-ト駆動部400、デ-タ駆動部500、信号制御部600、及び階調電圧生成部800の各々は、少なくとも一つの集積回路チップの形態で表示板組立体300の上に直接装着されるか、フレキシブル印刷回路フィルム(図示せず)の上に装着されて、TCP(tape carrier package)の形態で表示板組立体300に付着されるか、別途の印刷回路基板(図示せず)の上に装着される。

また、ゲ-ト駆動部400、デ-タ駆動部500、信号制御部600、及び階調電圧生成部800は単一チップに集積でき、この場合、これらのうちの少なくとも一つ又はこれらを構成する少なくとも一つの回路素子が単一チップの外側にあり得る。

30

【0037】

図2を参照すると、ゲ-ト駆動部400は、少なくとも一つのシフトレジスタ410、少なくとも一つの論理積素子(ANDゲ-ト)420、少なくとも一つのレベルシフタ430、及び少なくとも一つのバッファ440を含む。ここでシフトレジスタ410は論理積素子420を含む場合もある。ゲ-ト駆動部400は種々の回路素子が具現されている少なくとも一つの集積回路チップを含み、このようなゲ-ト集積回路チップは、ゲ-ト駆動部の種々の回路素子が表示板組立体に個別に集積されている場合と比較してゲ-ト駆動部のサイズが小さいので、小さい幅を有するスリムベ-ゼル(slim bezel)を有する表示装置に適用できる。例えば、ゲ-ト集積回路チップを含む表示装置のスリムベ-ゼルの幅は10mm以下にできるのに対して、表示板組立体にゲ-ト駆動部の種々の回路素子が個別に集積されている表示装置のベ-ゼルの幅は通常、10mm以上である。ここでベ-ゼルとは、表示板組立体を囲んで固定する枠、即ち、上部及び下部シャ-シ(chassis)を意味する。

40

【0038】

シフトレジスタ410は信号制御部600からの走査開始信号(STV1、STV2)及びクロック制御信号(CPV1~CPV4)に基づいてタ-ンオンし、パルス幅などの特性が適切に制御されたパルス信号を出力する。

【0039】

50

複数のシフトレジスタ410は、二つの走査開始信号のいずれかに基づいて互いに独立的に駆動され、さらに、各々の走査開始信号に対応して互いに独立的に発生する二つのクロック制御信号のいずれかにより駆動される。例えば、 $(2n-1)$ 番目シフトレジスタ(SR1、SR3、SR5、SR7)は第1走査開始信号(STV1)に基づいて駆動され、 $(2n)$ 番目シフトレジスタ(SR2、SR4、SR6、SR8)は第2走査開始信号(STV2)に基づいて駆動される( $n$ は自然数)。

二つの走査開始信号のタイミングは互いに独立的であり得(例えば、後述の図3参照)、これによってゲートオン電圧( $V_{on}$ )のタイミングが適切に調節でき、ゲートオン電圧( $V_{on}$ )の最適のタイミングが設計できる。さらに、一つの走査開始信号に対応する二つのクロック制御信号のタイミングは互いに独立的であり得、これによってゲートオン電圧( $V_{on}$ )のタイミングが重畳して設計でき(例えば、後述の図4参照)、充電時間の確保によって表示装置の画質が改善される。

その他にも、複数のシフトレジスタ410は互いに独立的に駆動される走査開始信号を三つ以上含むことができ(例えば、後述の図10参照)、一つの走査開始信号に対応して独立的に発生するクロック制御信号は三つ以上であり得る。シフトレジスタ410は走査開始信号に対する入力端子と出力端子を二対以上含むことができる。

#### 【0040】

クロック制御信号(CPV1~CPV4)とシフトレジスタ410からの出力信号(O)は論理積素子420に入力される。

#### 【0041】

論理積素子420からの出力信号はレベルシフト430に入力される。レベルシフト430は入力信号を、スイッチング素子をオン又はオフできる電圧レベルを有する信号に変換する。

#### 【0042】

レベルシフト430からの出力信号はバッファ440に入力される。バッファ440はゲート線(G1~Gn)を適切に駆動するように入力信号をバッファリング(buffering)する。

#### 【0043】

バッファ440からの出力信号はゲート線(G1~Gn)に入力される。

#### 【0044】

図3を参照すると、第1走査開始信号(STV1)がハイレベルである区間内のいずれかのタイミングで、第1クロック制御信号(CPV1)と第2クロック制御信号(CPV2)がハイレベルになる。第1クロック制御信号(CPV1)と第2クロック制御信号(CPV2)のタイミングは互いに独立的であり得る。例えば、第1クロック制御信号(CPV1)の上昇タイミングと第2クロック制御信号(CPV2)の上昇タイミングとの間隔及び順序は、第1走査開始信号(STV1)がハイレベルである区間で適切に調節可能である。

#### 【0045】

$(4n-3)$ 番目ゲート線のゲートオン電圧( $V_{on}$ )は第1クロック制御信号(CPV1)に同期化されており、 $(4n-1)$ 番目ゲート線のゲートオン電圧( $V_{on}$ )は第2クロック制御信号(CPV2)に同期化されている( $n$ は自然数)。例えば、第1ゲート線(G1)のゲートオン電圧( $V_{on}$ )は第1クロック制御信号(CPV1)の一番目のパルスに同期化されており、第3ゲート線(G3)のゲートオン電圧( $V_{on}$ )は第2クロック制御信号(CPV2)の一番目のパルスに同期化されている。

#### 【0046】

第2走査開始信号(STV2)がハイレベルである区間内のいずれかのタイミングで、第3クロック制御信号(CPV3)と第4クロック制御信号(CPV4)がハイレベルになる。第2走査開始信号(STV2)のタイミングは第1走査開始信号(STV1)のタイミングと独立的であり得る。第3クロック制御信号(CPV3)と第4クロック制御信号(CPV4)のタイミングは互いに独立的であり得る。例えば、第3クロック制御信号

10

20

30

40

50

(CPV3)の上昇タイミングと第4クロック制御信号(CPV4)の上昇タイミングとの間隔及び順序は第2走査開始信号(STV2)がハイレベルである区間内で適切に調節可能である。

【0047】

(4n-2)番目ゲ-ト線のゲ-トオン電圧(Von)は第3クロック制御信号(CPV3)に同期化されており、(4n)番目ゲ-ト線のゲ-トオン電圧(Von)は第4クロック制御信号(CPV4)に同期化されている(nは自然数)。例えば、第2ゲ-ト線(G2の)ゲ-トオン電圧(Von)は第3クロック制御信号(CPV3)の三番目パルスに同期化されており、第4ゲ-ト線(G4)のゲ-トオン電圧(Von)は第4クロック制御信号(CPV4)の三番目パルスに同期化されている。

10

【0048】

図4を参照すると、二つのゲ-ト線、例えば、G1(第(4n-3)番目ゲ-ト線)とG3(第(4n-1)番目ゲ-ト線)、のゲ-トオン電圧が互いに重畳し、このようなゲ-トオン電圧の重畳は240Hz又は480Hzのような高い駆動周波数を有する表示装置の充電時間を増加させることによって、表示装置の画質を改善できる。図3での信号波形図とは異なって、図4では第1走査開始信号(STV1)ハイレベルである区間内に発生した第1クロック制御信号(CPV1)の一番目のパルスと第2クロック制御信号(CPV2)の一番目のパルスとが重畳し、これによって(4n-3)番目ゲ-ト線のゲ-トオン電圧(Von)と(4n-1)番目ゲ-ト線のゲ-トオン電圧(Von)とが重畳する(nは自然数)。

20

また、第2走査開始信号(STV2)がハイレベルである区間内に発生した第3クロック制御信号(CPV3)の三番目パルスと第4クロック制御信号(CPV4)の三番目パルスとが重畳し、これによって(4n-2)番目ゲ-ト線のゲ-トオン電圧(Von)と(4n)番目ゲ-ト線のゲ-トオン電圧(Von)とが重畳する(nは自然数)。例えば、第一ゲ-ト線(G1)に印加されるゲ-トオン電圧(Von)と第3ゲ-ト線(G3)に印加されるゲ-トオン電圧(Von)とが重畳し、第3ゲ-ト線(G3)に印加されるゲ-トオン電圧(Von)と第5ゲ-ト線(G5)に印加されるゲ-トオン電圧(Von)とが重畳し、第5ゲ-ト線(G5)に印加されるゲ-トオン電圧(Von)と第7ゲ-ト線(G7)に印加されるゲ-トオン電圧(Von)とが重畳する。

30

また、第2ゲ-ト線(G2)に印加されるゲ-トオン電圧(Von)と第4ゲ-ト線(G4)に印加されるゲ-トオン電圧(Von)とが重畳し、第4ゲ-ト線(G4)に印加されるゲ-トオン電圧(Von)と第6ゲ-ト線(G6)に印加されるゲ-トオン電圧(Von)とが重畳し、第6ゲ-ト線(G6)に印加されるゲ-トオン電圧(Von)と第8ゲ-ト線(G8)に印加されるゲ-トオン電圧(Von)とが重畳する。

【0049】

図5は、本発明の一実施形態による液晶表示装置と、これに適用されるゲ-ト駆動部の信号波形を示す図面である。

【0050】

図5を参照すると、液晶表示装置は、ゲ-ト線(G1~Gn)、電荷共有線(charge sharing line)(CS1~CSn)、及びデ-タ線(D1~Dm)を含む信号線と、これに接続されている複数の画素(PX)を含む。複数の画素(PX)は第1副画素電極(PXa)と第2副画素電極(PXb)を含む。

40

【0051】

画素(PX)は、第1スイッチング素子(Qa)、第2スイッチング素子(Qb)、第3スイッチング素子(Qc)、及び変換キャパシタ(Cstd、transformation capacitor)を含む。

第1スイッチング素子(Qa)、第2スイッチング素子(Qb)、及び第3スイッチング素子(Qc)は、薄膜トランジスタのような三端子素子である。第1スイッチング素子(Qa)は、ゲ-ト線(G1~Gn)に接続されている制御端子、デ-タ線(D1~Dm)に接続されている入力端子、そして第1副画素電極(PXa)に接続されている出力端

50

子を含む。第2スイッチング素子(Qb)は、ゲート線(G1~Gn)に接続されている制御端子、データ線(D1~Dm)に接続されている入力端子、そして第2副画素電極(PXb)に接続されている出力端子を含む。第1スイッチング素子(Qa)の制御端子と第2スイッチング素子(Qb)の制御端子とは同一のゲート線に接続されており、第1スイッチング素子(Qa)の入力端子と第2スイッチング素子(Qb)の入力端子とは同一のデータ線に接続されている。第3スイッチング素子(Qc)は、電荷共有線(CS1~CSn)に接続されている制御端子、第2副画素電極(PXb)に接続されている入力端子、そして変換キャパシタ(Cstd)に接続されている出力端子を含む。

#### 【0052】

変換キャパシタ(Cstd)の両端子は各々第3スイッチング素子(Qc)の出力端子と共通電圧Vcomに接続されている。第1液晶キャパシタの両端子は第1副画素電極(PXa)と共通電圧(Vcom)に接続されており、第2液晶キャパシタの両端子は第2副画素電極(PXb)と共通電圧(Vcom)に接続されている。

10

#### 【0053】

ゲート線(G1~Gn)にゲートオン電圧(Von)が印加されると、ゲート線(G1~Gn)に接続されている第1スイッチング素子(Qa)及び第2スイッチング素子(Qb)が導通する。そのために、導通した第1スイッチング素子(Qa)及び第2スイッチング素子(Qb)を通じて、同一のデータ電圧(Vd)が第1副画素電極(PXa)及び第2副画素電極(PXb)に印加されるので、第1液晶キャパシタに充電される電圧と第2液晶キャパシタに充電される電圧とは互いに同一である。ゲート線(G1~Gn)にゲートオン電圧(Von)が印加される時、電荷共有線(CS1~CSn)にはゲートオフ電圧(Voff)が印加される。

20

#### 【0054】

ゲート線(G1~Gn)にゲートオフ電圧(Voff)が印加され、電荷共有線(CS1~CSn)にゲートオン電圧(Von)が印加されると、ゲート線(G1~Gn)に接続されている第1スイッチング素子(Qa)と第2スイッチング素子(Qb)は遮断され、第3スイッチング素子(Qc)は導通する。従ってその場合、第2スイッチング素子(Qb)を通じて、第2副画素電極(Qb)に充電されている電荷の一部が変換キャパシタ(Cstd)に移動し、第2液晶キャパシタに充電されている電圧は下降する。このように第1キャパシタの充電電圧と第2液晶キャパシタの充電電圧とを互いに異なるようにすることによって、液晶表示装置の側面視認性が改善できる。

30

#### 【0055】

図5の液晶表示装置に適用されるゲート駆動部400は、図2に示すような種々の回路素子が具現されている少なくとも一つの集積回路チップを含み、このようなゲート集積回路チップは、ゲート駆動部の種々の回路素子が表示板組立体に集積されている場合よりゲート駆動部のサイズが小さいので、小さい幅を有するスリムベゼルを有する表示装置に適用できる。例えば、ゲート集積回路チップを含む表示装置のスリムベゼルの幅は10mm以下とすることができるが、表示板組立体にゲート駆動部の種々の回路素子が個別に集積されている表示装置のベゼルの幅は10mm以下とするのは一般的に困難である。

40

#### 【0056】

図6は、本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

#### 【0057】

図6の信号波形図は120Hz又は240Hzのようなフレーム周波数(frame frequency)を有する図5の液晶表示装置に適用でき、図2のゲート駆動部にも適用できる。図6を参照すると、第1走査開始信号(STV1)と第2走査開始信号(STV2)のタイミングは互いに独立的であり、そのためにゲート線(G1~Gn)に印加されるゲートオン電圧(Von)のタイミングと電荷共有線(CS1~CSn)に印加されるゲートオン電圧(Von)のタイミングが適切に調節でき、ゲートオン電圧(Von)の最適のタイミングが設計できる。ここで電荷共有線(CS1~CSn)に印加されるゲートオン電圧(Von)のタイミングは放電タイミング(discharging t

50

iming)を意味する。

また、一つの走査開始信号に対応する二つのクロック制御信号のタイミングは互いに独立であり得、これによってゲートオン電圧(Von)のタイミングが重畳して設計でき、充電時間の確保によって表示装置の画質が改善できる。第1走査開始信号(STV1)に対応して第1クロック制御信号(CPV1)と第2クロック制御信号(CPV2)が発生し、第1クロック制御信号(CPV1)と第2クロック制御信号(CPV2)は互いに独立にゲート線(G1~Gn)に印加されるゲートオン電圧(Von)を制御する。第2走査開始信号(STV2)に対応して第3クロック制御信号(CPV3)と第4クロック制御信号(CPV4)が発生し、第3クロック制御信号(CPV3)と第4クロック制御信号(CPV4)は各々電荷共有線(CS1~CSn)に印加されるゲートオン電圧(Von)を制御する。

10

【0058】

図7は、本発明の一実施形態による液晶表示装置と、これに適用されるゲート駆動部の信号波形を示す図面である。

【0059】

図7に示されている液晶表示装置における一つの画素(PX)に対する等価回路は、図5に示されている液晶表示装置における一つの画素(PX)に対する等価回路と同一である。例えば、図7に示されている液晶表示装置において、第1副画素電極(PXa)、第2副画素電極(PXb)、第1スイッチング素子(Qa)、第2スイッチング素子(Qb)、第3スイッチング素子(Qc)、変換キャパシタ(Cst d)、第1液晶キャパシタ、及び第2液晶キャパシタの接続関係は、図5に示されている回路素子の接続関係と同一である。

20

しかし、図7に示されている液晶表示装置と図5に示されている液晶表示装置は、データ線の個数が互いに異なり、そのために隣接した画素列とデータ線の接続関係が互いに異なる。例えば、図7に示されている液晶表示装置のデータ線の個数は、図5に示されている液晶表示装置のデータ線の個数の2倍である。また、第2行の第1列に位置した画素(PX)と、第1行の第2列に位置した画素とは、図5では同一のデータ線(D2)に接続されているが、図7では互いに異なるデータ線(D2、D3)に接続されている。

【0060】

ゲートオン電圧(Von)は(2n-1)番目ゲート線と(2n)番目ゲート線に同時に印加され、(2n-1)番目ゲート線に接続されている第1スイッチング素子(Qa)と第2スイッチング素子(Qb)、そして(2n)番目ゲート線に接続されている第1スイッチング素子(Qa)と第2スイッチング素子(Qb)が全て同時に導通する(nは自然数)。

30

これによって、(2n-1)番目データ線と(2n)番目データ線に各々第1データ電圧と第2データ電圧が同時に印加されるので、(2n-1)番目ゲート線に接続されている第1スイッチング素子(Qa)と第2スイッチング素子(Qb)を通じて第1データ電圧が(2n-1)番目列の第1副画素電極(PXa)と第2副画素電極(PXb)に印加される時点と、(2n)番目ゲート線に接続されている第1スイッチング素子(Qa)と第2スイッチング素子(Qb)を通じて第2データ電圧が(2n)番目列の第1副画素電極(PXa)と第2副画素電極(PXb)に印加される時点とが、全て同一である(nは自然数)。

40

また、第1副画素電極(PXa)と第2副画素電極(PXb)には同一のデータ電圧が印加されるので、第1液晶キャパシタに充電される電圧と第2液晶キャパシタに充電される電圧は互いに同一である。ゲート線(G1~Gn)にゲートオン電圧(Von)が印加される時、電荷共有線(CS1~CSn)にはゲートオフ電圧(Voff)が印加される。

【0061】

ゲート線(G1~Gn)にゲートオフ電圧(Voff)が印加され、電荷共有線(CS1~CSn)にゲートオン電圧(Von)が印加されると、ゲート線(G1~Gn)に接

50

続されている第1スイッチング素子(Qa)と第2スイッチング素子(Qb)は遮断され、第3スイッチング素子(Qc)は導通する。これによって、第2スイッチング素子(Qb)を通じて、第2副画素電極(Qb)に充電されている電荷の一部が変換キャパシタ(Cstd)に移動し、第2液晶キャパシタに充電されている電圧は下降する。ここで、(2n-1)番目電荷共有線と(2n)番目電荷共有線にはゲートオン電圧(Von)が同時に印加され、(2n-1)番目列の第2キャパシタと(2n)番目列の第2キャパシタは同時に充電されている電圧が下降する(nは自然数)。このように第1キャパシタの充電電圧と第2液晶キャパシタの充電電圧を互いに異なるようにすることによって、液晶表示装置の側面視認性が改善できる。

【0062】

図7の液晶表示装置に適用されるゲート駆動部400は、図2に示すような種々の回路素子が具現されている少なくとも一つの集積回路チップを含み、このようなゲート集積回路チップはゲート駆動部の種々の回路素子が表示板組立体に個別に集積されている場合よりゲート駆動部のサイズが小さいので、小さい幅を有するスリムベゼルを有する表示装置に適用できる。例えば、ゲート集積回路チップを含む表示装置のスリムベゼルの幅は10mm以下にできるのに対して、表示板組立体にゲート駆動部の種々の回路素子が個別に集積されている表示装置のベゼルの幅は通常、10mm以下とするのが困難である。

【0063】

図8は、本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

【0064】

図8の信号波形図は240Hz又は480Hzのようなフレム周波数を有する図7の液晶表示装置に適用でき、図2のゲート駆動部にも適用できる。図8を参照すると、第1走査開始信号(STV1)と第2走査開始信号(STV2)のタイミングは互いに独立的であり、これによってゲート線(G1~Gn)に印加されるゲートオン電圧(Von)のタイミングと電荷共有線(CS1~CSn)に印加されるゲートオン電圧(Von)のタイミングが適切に調節でき、ゲートオン電圧(Von)の最適のタイミングが設計できる。ここで、電荷共有線(CS1~CSn)に印加されるゲートオン電圧(Von)のタイミングは放電タイミングを意味する。

第1走査開始信号(STV1)に対応して第1クロック制御信号(CPV1)と第2クロック制御信号(CPV2)が同時に発生し、(2n-1)番目ゲート線と(2n)番目ゲート線にゲートオン電圧(Von)が同時に印加される(nは自然数)。第2走査開始信号(STV2)に対応して第3クロック制御信号(CPV3)と第4クロック制御信号(CPV4)が同時に発生し、(2n-1)番目電荷共有線と(2n)番目電荷共有線にゲートオン電圧(Von)が同時に印加される(nは自然数)。

【0065】

図9は、本発明の一実施形態による液晶表示装置と、これに適用されるゲート駆動部の信号波形を示す図面である。

【0066】

図9に示されている液晶表示装置は図5に示されている液晶表示装置と同一である。例えば、図9に示されている液晶表示装置において、第1副画素電極(PXa)、第2副画素電極(PXb)、第1スイッチング素子(Qa)、第2スイッチング素子(Qb)、第3スイッチング素子(Qc)、変換キャパシタ(Cstd)、第1液晶キャパシタ、第2液晶キャパシタ、ゲート線(G1~Gn)、データ線(D1~Dm)、及び電荷共有線(CS1~CS2)の接続関係は、図5に示されている回路素子の接続関係と同一である。しかし、図9に示されているゲート駆動部の信号波形は、図7に示されているゲート駆動部の信号波形と同一であるので、図8の信号波形図が図9の液晶表示装置に適用できる。

例えば、(2n-1)番目ゲート線と(2n)番目ゲート線にゲートオン電圧(Von)が同時に印加されるので、(2n-1)番目副画素電極(PXa、PXb)に印加されるデータ電圧と(2n)番目副画素電極(PXa、PXb)に印加されるデータ電圧は同一である。また、図9の液晶表示装置には図2のゲート駆動部が適用できる。図9の液晶

10

20

30

40

50

表示装置とゲート駆動部の信号波形は、3D映像の駆動に適用できる。例えば、図9の液晶表示装置が図2のゲート駆動部を含み、120Hzのフレム周波数を有する2D映像又は3D映像を出力する時、3D映像の出力のために図9のゲート駆動部の信号波形が適用され、一般的な2D映像の出力のために図5のゲート駆動部の信号波形が適用される。これによって、図2のゲート駆動部に入力される走査開始信号とクロック制御信号のタイミング及びパルスの幅を適切に調節することによって、自由に2D映像と3D映像の駆動が変換可能である。

【0067】

図10は、本発明の一実施形態によるゲート駆動部のブロック図であり、図11は、本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

図10のゲート駆動部のシフトレジスタ410、論理積素子420、レベルシフタ430、及びバッファ440は図2のゲート駆動部の素子と同一であるが、図10のゲート駆動部の素子の接続関係は図2のゲート駆動部の素子の接続関係とは互いに異なる。

【0068】

図10のゲート駆動部において、複数のシフトレジスタ410は三つの走査開始信号のいずれかに基づいて独立的に駆動され、さらに、各々の走査開始信号に対応して互いに独立的に発生する二つのクロック制御信号のいずれかにより駆動される。例えば、 $(3n-1)$ 番目シフトレジスタ(SR1、SR4)は第1走査開始信号(STV1)に基づいて駆動され、 $(3n-1)$ 番目シフトレジスタ(SR2、SR5)は第2走査開始信号(STV2)に基づいて駆動され、 $(3n)$ 番目シフトレジスタ(SR3、SR6)は第3走査開始信号(STV3)に基づいて駆動される( $n$ は自然数)。

三つの走査開始信号のタイミングは互いに独立的であり得(例えば、後述の図11参照)、これによってゲートオン電圧( $V_{on}$ )のタイミングが適切に調節でき、ゲートオン電圧( $V_{on}$ )の最適のタイミングが設計できる。また、一つの走査開始信号に対応する二つのクロック制御信号のタイミングは互いに独立的であり得、これによってゲートオン電圧( $V_{on}$ )のタイミングが重畳して設計でき、充電時間の確保によって表示装置の画質が改善できる。その他にも、一つの走査開始信号に対応して独立的に発生するクロック制御信号は三つ以上であり得る。

【0069】

図11を参照すると、第1走査開始信号(STV1)がハイレベルである区間内に、第1クロック制御信号(CPV1)と第2クロック制御信号(CPV2)がハイレベルになる。第1クロック制御信号(CPV1)と第2クロック制御信号(CPV2)のタイミングは互いに独立的である。例えば、第1クロック制御信号(CPV1)の上昇タイミングと第2クロック制御信号(CPV2)の上昇タイミングとの間隔及び順序は、第1走査開始信号(STV1)がハイレベルである区間で適切に調節可能である。

【0070】

$(6n-5)$ 番目ゲート線のゲートオン電圧( $V_{on}$ )は第1クロック制御信号(CPV1)に同期化されており、 $(6n-4)$ 番目ゲート線のゲートオン電圧( $V_{on}$ )は第2クロック制御信号(CPV2)に同期化されている( $n$ は自然数)。

【0071】

第2走査開始信号(STV2)がハイレベルである区間内に、第3クロック制御信号(CPV3)と第4クロック制御信号(CPV4)がハイレベルになる。第3クロック制御信号(CPV3)と第4クロック制御信号(CPV4)のタイミングは互いに独立的であり得る。例えば、第3クロック制御信号(CPV3)の上昇タイミングと第4クロック制御信号(CPV4)の上昇タイミングとの間隔及び順序は、第2走査開始信号(STV2)がハイレベルである区間で適切に調節可能である。

【0072】

$(6n-3)$ 番目ゲート線のゲートオン電圧( $V_{on}$ )は第3クロック制御信号(CPV3)に同期化されており、 $(6n-2)$ 番目ゲート線のゲートオン電圧( $V_{on}$ )は第4クロック制御信号(CPV4)に同期化されている( $n$ は自然数)。

10

20

30

40

50

## 【0073】

第3走査開始信号(STV3)がハイレベルである区間内に、第5クロック制御信号(CPV5)と第6クロック制御信号(CPV6)がハイレベルになる。第5クロック制御信号(CPV5)と第6クロック制御信号(CPV6)のタイミングは互いに独立的であり得る。例えば、第5クロック制御信号(CPV5)の上昇タイミングと第6クロック制御信号(CPV6)の上昇タイミングとの間隔及び順序は、第3走査開始信号(STV3)がハイレベルである区間内で適切に調節可能である。

(6n-1)番目ゲート線のゲートオン電圧(Von)は第5クロック制御信号(CPV5)に同期化されており、(6n)番目ゲート線のゲートオン電圧(Von)は第6クロック制御信号(CPV6)に同期化されている(nは自然数)。

10

## 【0074】

図12は、本発明の一実施形態によるゲート駆動部のブロック図であり、図13は本発明の一実施形態によるゲート駆動部の信号波形を示す図面である。

図12のゲート駆動部のシフトレジスタ410、論理積素子420、レベルシフタ430、及びバッファ440は、図2のゲート駆動部の素子と同一であるが、図12のゲート駆動部の素子の接続関係は、図2のゲート駆動部の素子の接続関係とは互いに異なる。

## 【0075】

図12のゲート駆動部において、複数のシフトレジスタ410は二つの走査開始信号のいずれかに基づいて独立的に駆動され、一つの走査開始信号に対応して二つのクロック制御信号が独立的に発生する。しかし、第1走査開始信号(STV1)に基づいて駆動されるシフトレジスタ410は、最初のシフトレジスタ(SR1)から(n/2-1)番目シフトレジスタ(SR(n/2-1))であり、第2走査開始信号(STV2)に基づいて、駆動されるシフトレジスタ410は(n/2)番目シフトレジスタ(SR(n/2))から(n)番目シフトレジスタ(SRn)である(nは偶数)。

20

その他にも、複数のシフトレジスタ410は三つ以上の走査開始信号に基づいて独立的に駆動でき、この場合、シフトレジスタは三つ以上のシフトレジスタ群に分離されて、独立的に駆動できる。

## 【0076】

二つの走査開始信号のタイミングは互いに独立的であり得、これによってゲートオン電圧(Von)のタイミングが適切に調節でき、ゲートオン電圧(Von)の最適のタイミングが設計できる。また、一つの走査開始信号に対応する二つのクロック制御信号のタイミングは互いに独立的であり得、これによってゲートオン電圧(Von)のタイミングが重畳して設計でき、充電時間の確保によって表示装置の画質が改善できる。

30

## 【0077】

図13を参照すると、第1走査開始信号(STV1)がハイレベルである区間内に、第1クロック制御信号(CPV1)と第2クロック制御信号(CPV2)がハイレベルになる。第1クロック制御信号(CPV1)と第2クロック制御信号(CPV2)のタイミングは互いに独立的であり得る。例えば、第1クロック制御信号(CPV1)の上昇タイミングと第2クロック制御信号(CPV2)の上昇タイミングとの間隔及び順序は、第1走査開始信号(STV1)がハイレベルである区間内で適切に調節可能である。

40

## 【0078】

第1ゲート線(G1)から(n/2-1)番目ゲート線(G(n/2-1))までのゲート線中、奇数ゲート線のゲートオン電圧(Von)は第1クロック制御信号(CPV1)に同期化されており、偶数ゲート線のゲートオン電圧(Von)は第2クロック制御信号(CPV2)に同期化されている(nは偶数)。

## 【0079】

第2走査開始信号(STV2)がハイレベルである区間内に、第3クロック制御信号(CPV3)と第4クロック制御信号(CPV4)がハイレベルになる。第3クロック制御信号(CPV3)と第4クロック制御信号(CPV4)のタイミングは互いに独立的であり得る。例えば、第3クロック制御信号(CPV3)の上昇タイミングと第4クロック制

50

御信号 (CPV4) の上昇タイミングとの間隔及び順序は、第2走査開始信号 (STV2) がハイレベルである区間内で適切に調節可能である。

【0080】

(n/2) 番目ゲート線 (G(n/2)) から n 番目ゲート線 (Gn) までのゲート線中、奇数ゲート線のゲートオン電圧 (Von) は第1クロック制御信号 (CPV1) に同期化されており、偶数ゲート線のゲートオン電圧 (Von) は第2クロック制御信号 (CPV2) に同期化されている (nは偶数)。

【0081】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、次の請求範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

10

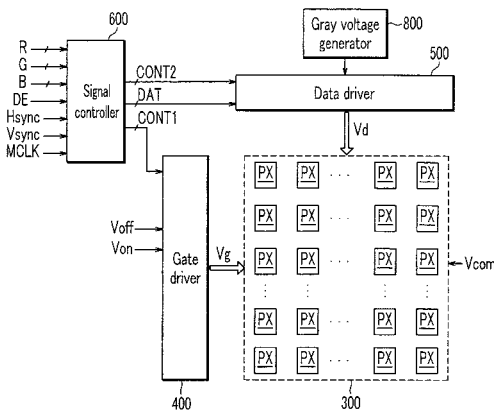
【符号の説明】

【0082】

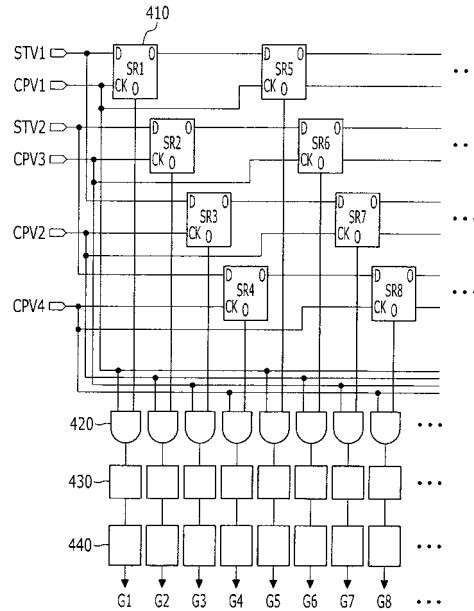
- 300 表示板組立体
- 400 ゲート駆動部
- 410 シフトレジスタ
- 420 論理積素子
- 430 レベルシフタ
- 440 バッファ
- 500 データ駆動部
- 600 信号制御部
- 800 階調電圧生成部

20

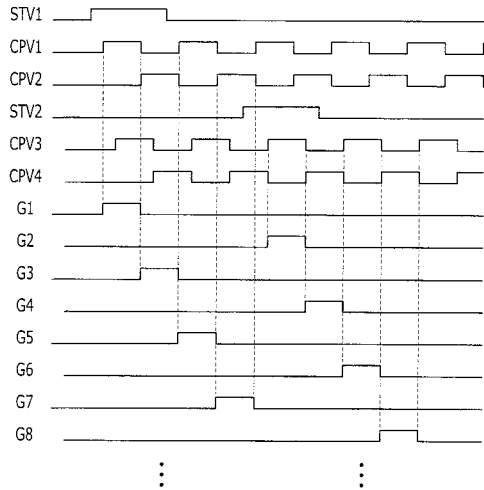
【図1】



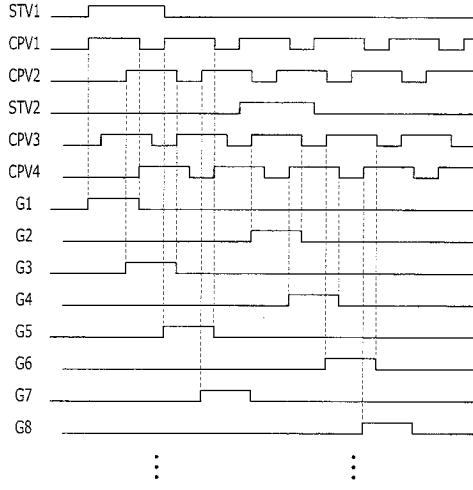
【図2】



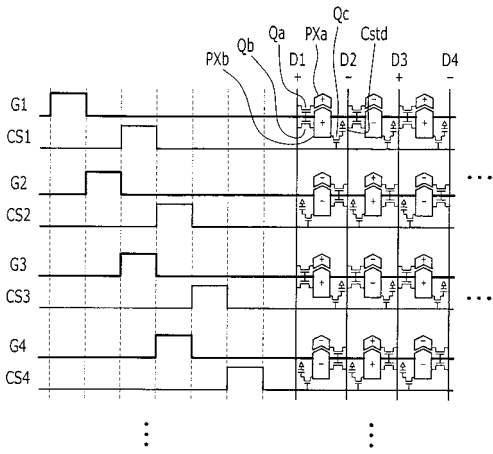
【 図 3 】



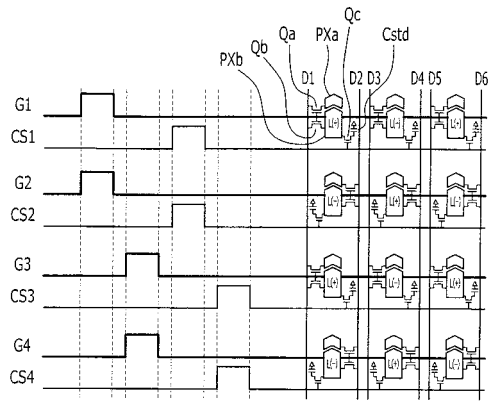
【 図 4 】



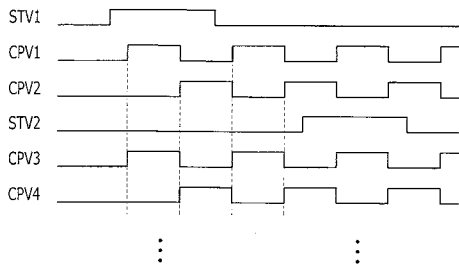
【 図 5 】



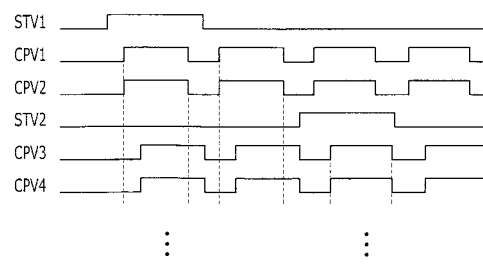
【 図 7 】



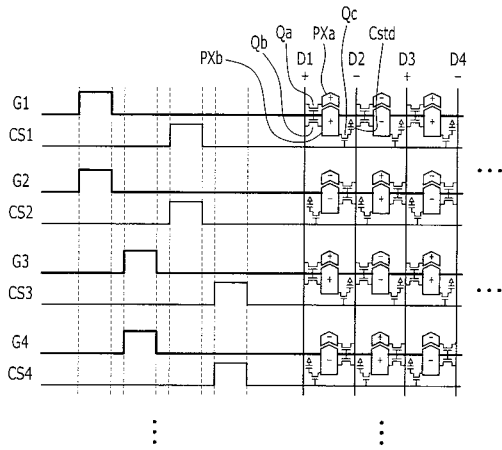
【 図 6 】



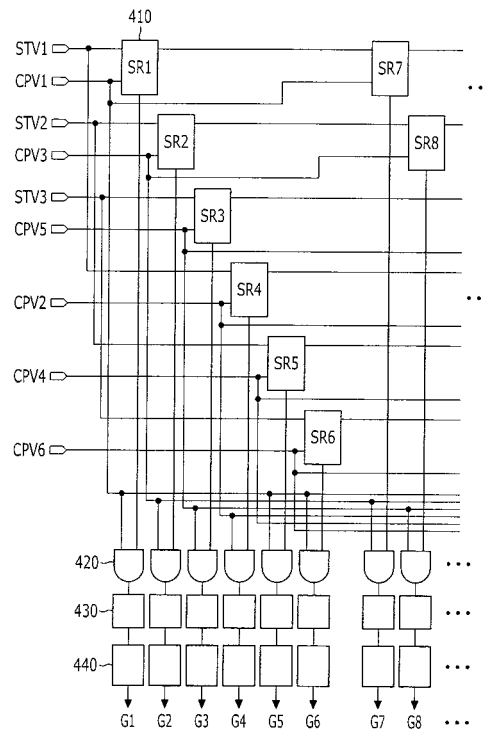
【 図 8 】



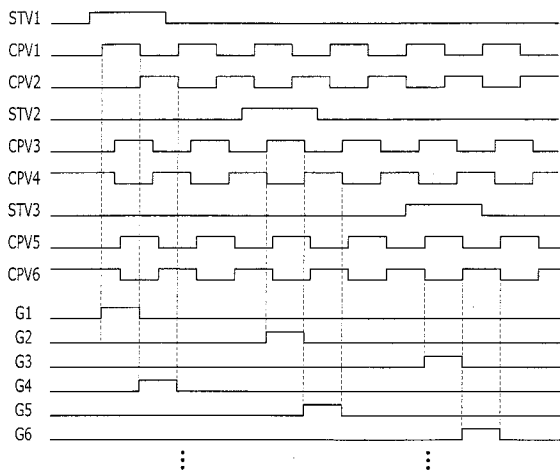
【 図 9 】



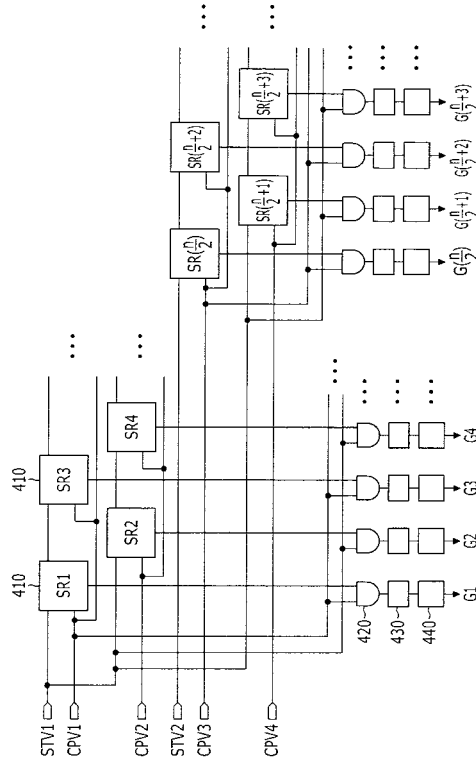
【 図 1 0 】



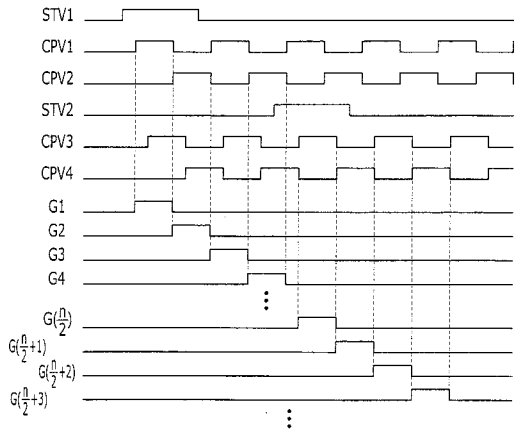
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
 G 0 9 G 3/20 6 6 0 X  
 G 0 9 G 3/20 6 2 2 D

(72)発明者 李 鐘 ミン  
 大韓民国 京畿道 水原市 霊通区 霊通洞 9 6 3 - 2 シンナムシル新案アパート 5 3 3 棟  
 1 4 0 1号

(72)発明者 孫 宣 圭  
 大韓民国 京畿道 水原市 勸善区 勸善洞 住公アパート 3 3 2 棟 2 0 1号

(72)発明者 潘 英 一  
 大韓民国 京畿道 華城市 盤松洞 示範ダウンマウル三星レミアンアパート 3 0 7 棟 1 3 0 1  
 号

(72)発明者 李 宰 漢  
 大韓民国 忠清南道 牙山市 湯井面 鳴岩里 湯井三星トラパレス 2 0 4 棟 2 2 0 6号

Fターム(参考) 2H193 ZA04 ZA07 ZB02 ZB14 ZC13 ZC22 ZD12 ZF22 ZF23 ZF42  
 5C006 AA16 AA22 AC23 AC26 BB16 BC03 BC06 BC13 BF03 BF26  
 EC12 FA55 GA03  
 5C080 AA05 AA06 AA10 BB05 CC03 CC04 DD01 DD21 FF11 JJ02  
 JJ03 JJ04

专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">JP2012242818A5</a>	公开(公告)日	2015-02-19
申请号	JP2011283745	申请日	2011-12-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	申玉權 李鐘ミン 孫宣圭 潘英一 李宰漢		
发明人	申玉權 李鐘ミン 孫宣圭 潘英一 李宰漢		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3674 G09G3/3677 G09G2310/0205 G09G2310/0286 G09G2310/08 G11C19/28 G11C19/287		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.505 G09G3/20.622.E G09G3/20.624.B G09G3/20.660.X G09G3/20.622.D		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB14 2H193/ZC13 2H193/ZC22 2H193/ZD12 2H193/ZF22 2H193/ZF23 2H193/ZF42 5C006/AA16 5C006/AA22 5C006/AC23 5C006/AC26 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC13 5C006/BF03 5C006/BF26 5C006/EC12 5C006/FA55 5C006/GA03 5C080/AA05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/CC04 5C080/DD01 5C080/DD21 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	1020110046355 2011-05-17 KR		
其他公开文献	JP5951251B2 JP2012242818A		

#### 摘要(译)

要解决的问题：可以应用细长的边框，可以调整放电时序，可以调整门控开启时间，并且可以应用于立体视频显示设备。一 栅极驱动单元接收两个或更多个扫描开始信号，接收对应于一个扫描开始信号的两个或更多个时钟控制信号，以及输出多个栅极导通电压的栅极集成电路芯片。两个或更多个扫描开始信号的定时可以彼此独立，并且两个或更多个时钟控制信号的定时可以彼此独立。 .The