

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-68599

(P2012-68599A)

(43) 公開日 平成24年4月5日(2012. 4. 5)

|                                      |                |             |
|--------------------------------------|----------------|-------------|
| (51) Int.Cl.                         | F I            | テーマコード (参考) |
| <b>G09G 3/36 (2006.01)</b>           | G09G 3/36      | 2H193       |
| <b>G09G 3/20 (2006.01)</b>           | G09G 3/20 680S | 5C006       |
| <b>G02F 1/133 (2006.01)</b>          | G09G 3/20 641C | 5C080       |
|                                      | G09G 3/20 621B |             |
|                                      | G09G 3/20 623C |             |
| 審査請求 未請求 請求項の数 3 O L (全 15 頁) 最終頁に続く |                |             |

|           |                              |          |                       |
|-----------|------------------------------|----------|-----------------------|
| (21) 出願番号 | 特願2010-215730 (P2010-215730) | (71) 出願人 | 000001443             |
| (22) 出願日  | 平成22年9月27日 (2010. 9. 27)     |          | カシオ計算機株式会社            |
|           |                              |          | 東京都渋谷区本町 1 丁目 6 番 2 号 |
|           |                              | (74) 代理人 | 100108855             |
|           |                              |          | 弁理士 蔵田 昌俊             |
|           |                              | (74) 代理人 | 100091351             |
|           |                              |          | 弁理士 河野 哲              |
|           |                              | (74) 代理人 | 100088683             |
|           |                              |          | 弁理士 中村 誠              |
|           |                              | (74) 代理人 | 100109830             |
|           |                              |          | 弁理士 福原 淑弘             |
|           |                              | (74) 代理人 | 100075672             |
|           |                              |          | 弁理士 峰 隆司              |
|           |                              | (74) 代理人 | 100095441             |
|           |                              |          | 弁理士 白根 俊郎             |
|           |                              | 最終頁に続く   |                       |

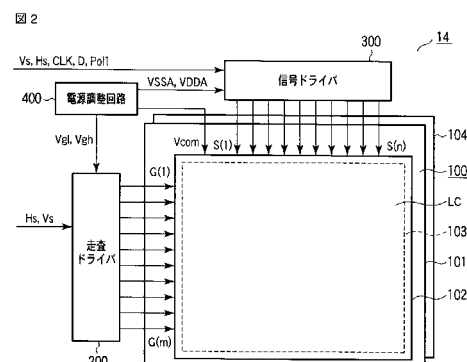
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 1 本の信号線を行方向に隣接する 2 つの表示画素で共用する液晶表示装置において、画素電極等のパターンずれが発生した場合であっても面フリッカと横縞と縦縞の影響を抑制可能な液晶表示装置を提供すること。

【解決手段】 本液晶表示装置は、行方向に隣接する 2 つの表示画素毎に 1 本の信号線  $S(j)$  を配置し、信号線  $S(j)$  を挟んで隣接する 2 つの表示画素で信号線  $S(j)$  を共用し、各表示画素を異なる走査線  $G(i)$  にスイッチング素子を介して接続したストライプ配列の表示パネル 100 を備える。表示パネル 100 において、信号線  $S(i)$  を挟んで隣接する 2 つの表示画素の一方側の表示画素を奇数行の走査線  $G(i)$  に接続し、他方側の表示画素を偶数行の走査線  $G(i)$  に接続する。信号ドライバ 300 により表示信号の極性を走査線の 2 本毎に反転させてライン反転駆動を行うことにより、表示画素のパターンずれに伴う表示むらを抑制する。

【選択図】 図 2



## 【特許請求の範囲】

## 【請求項 1】

行方向に隣接する 2 つの表示画素毎に 1 本の信号線を配置し、該信号線を挟んで隣接する 2 つの表示画素で前記信号線を共用するとともに、前記 2 つの表示画素を異なる走査線にスイッチング素子を介して接続してなるアクティブマトリクス型の表示パネルと、

前記表示画素における画像表示のための表示信号を、前記信号線を介して前記表示画素に印加する信号側駆動部と、

を具備し、

前記表示パネルは、前記表示画素がストライプ状に配列されたストライプ配列の表示パネルであり、

前記信号線を挟んで隣接する 2 つの表示画素のうちで一方側に隣接する表示画素を奇数行の前記走査線に接続し、他方側に隣接する表示画素を偶数行の前記走査線に接続し、

前記信号側駆動部は、前記表示信号の極性を前記走査線の 2 本毎に反転させる、ことを特徴とする液晶表示装置。

## 【請求項 2】

前記信号側駆動部は、前記表示信号の極性を前記表示パネルに配列される表示画素の 1 行毎に反転させることを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記表示パネルの前記表示画素に共通電圧を印加する共通電圧印加部をさらに具備し、

前記共通電圧印加部は、前記共通電圧の極性を前記表示パネルに配列される表示画素の 1 行毎に反転させる、

ことを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、1 本の信号線を行方向に隣接する 2 画素で共用するタイプの液晶表示装置に関する。

## 【背景技術】

## 【0002】

近年、スイッチング素子として薄膜トランジスタ（TFT）を用いたアクティブマトリックス型の液晶表示装置の開発が多くなされている。この種の液晶表示装置は、マトリックス状に配置された複数の表示画素を行毎に走査するための走査信号を発生する走査側駆動回路（走査ドライバ）と、複数の表示画素に表示信号を与える信号側駆動回路（信号ドライバ）を有している。

## 【0003】

また、この種の液晶表示装置における表示画素は、TFT に接続された画素電極と共通電圧が印加される共通電極との間に液晶が介在されて構成されている。そして、画素電極と共通電極との間に介在している液晶への電圧印加によって液晶の透過率を変化させることで画像の表示を行うようにしている。

## 【0004】

ここで、液晶表示装置においては、液晶に長時間の直流電圧を印加すると液晶の特性が劣化することが知られている。このような液晶の劣化を防止するために、液晶に印加する電圧の極性を交流的に変化させることが一般的に行われている。このような交流駆動として、表示画素に印加する電圧の極性を表示画素の行毎に反転させるライン反転駆動や、表示画素の列毎に反転させるカラム反転駆動、表示画素毎に反転させるドット反転駆動等が知られている。

## 【0005】

ところで、一般の液晶表示装置においては、多数の表示画素が配列されることが考えられる。多数の表示画素が配列されると、走査信号を伝送するための走査線や表示信号を伝送するための信号線の本数も増大する。このような走査線や信号線の増加は、液晶表示装

10

20

30

40

50

置の大型化を引き起こし易い。したがって、表示エリア以外の面積を縮小する（所謂狭額縁化）を成し遂げることが、液晶表示装置の小型化の観点から強く望まれている。

#### 【0006】

このような狭額縁化のための技術の1つとして、特許文献1等には、1本の信号線を、該信号線を挟むようにして行方向に配列される2個の表示画素で共用しつつ、これら2個の表示画素を異なる走査線によって走査するようにした液晶表示装置に関する提案がなされている。このような特許文献1等の技術では、走査線の本数が倍になる反面、信号線の本数が半分になって、走査線の本数と信号線の本数を加えた総本数が減少する場合には、表示エリア外の引き回し配線総本数の減少及び走査ドライバの端子数と信号ドライバの端子数を加えた総端子数の減少のため、狭額縁化が実現される。

10

#### 【先行技術文献】

#### 【特許文献】

#### 【0007】

【特許文献1】特開2008-057536号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0008】

上述した特許文献1等の手法では、表示パネルを構成する1行分の表示画素において奇数列の表示画素と偶数列の表示画素とがそれぞれ異なる走査線に接続される。ここで、液晶表示装置の製造時において、例えば走査線の延伸方向に対して垂直な方向（即ち信号線の延伸方向である列方向）に、画素電極や走査線、信号線のパターンずれ（製造位置ずれ）が発生した場合、フィードスルー電圧 $\Delta V$ の大きさが奇数列の表示画素と偶数列の表示画素とで異なってしまう。このフィードスルー電圧 $\Delta V$ の違いにより、表示の際のフリッカや表示むらの影響が大きくなる。このような現象は、特に表示画素の配列がストライプ配列の場合に顕著である。

20

#### 【0009】

本発明は、上記の事情に鑑みてなされたもので、1本の信号線を行方向に隣接する2つの表示画素で共用する液晶表示装置において、画素電極等のパターンずれが発生した場合であっても面フリッカと横縞と縦縞の影響を抑制可能な液晶表示装置を提供することを目的とする。

30

#### 【課題を解決するための手段】

#### 【0010】

上記の目的を達成するために、本発明の一態様の液晶表示装置は、

行方向に隣接する2つの表示画素毎に1本の信号線を配置し、該信号線を挟んで隣接する2つの表示画素で前記信号線を共用するとともに、前記2つの表示画素を異なる走査線にスイッチング素子を介して接続してなるアクティブマトリクス型の表示パネルと、

前記表示画素における画像表示のための表示信号を、前記信号線を介して前記表示画素に印加する信号側駆動部と、  
を具備し、

前記表示パネルは、前記表示画素がストライプ状に配列されたストライプ配列の表示パネルであり、

40

前記信号線を挟んで隣接する2つの表示画素のうちで一方側に隣接する表示画素を奇数行の前記走査線に接続し、他方側に隣接する表示画素を偶数行の前記走査線に接続し、

前記信号側駆動部は、前記表示信号の極性を前記走査線の2本毎に反転させる、ことを特徴とする。

#### 【発明の効果】

#### 【0011】

本発明によれば、1本の信号線を行方向に隣接する2つの表示画素で共用する液晶表示装置において、画素電極等のパターンずれが発生した場合であっても面フリッカと横縞と縦縞の影響を抑制可能な液晶表示装置を提供することができる。

50

## 【図面の簡単な説明】

## 【0012】

【図1】本発明の一実施形態に係る液晶表示装置を備えた電子機器の一例としての携帯電話機の外観を示す図である。

【図2】本発明の一実施形態に係る液晶表示装置の全体構成を示す図である。

【図3】本発明の一実施形態における表示画素の接続構造を示す図である。

【図4】信号ドライバの構成を示す図である。

【図5】本発明の一実施形態に係る液晶表示装置の動作について示すタイミングチャートである。

【図6】パターンずれが発生した際のフィールドスルー電圧 $\Delta V$ について示す図である。

【図7】図6の左下段のようなパターンずれが発生している場合において、表示パネルの各表示画素に一定の電圧レベルの表示信号 $V_{sig}$ を印加してライン反転駆動を行った場合の電圧 $V_{LCD}$ の変動を示す図である。

【図8】図6の左下段のようなパターンずれが発生している際にドット反転駆動を用いた場合の表示を示す図である。

【図9】図6の左下段のようなパターンずれが発生している際にカラム反転駆動を用いた場合の表示を示す図である。

【図10】図6の左下段のようなパターンずれが発生している際にフレーム反転駆動を用いた場合の表示を示す図である。

【図11】図6の左下段のようなパターンずれが発生している際にライン反転駆動を用いた場合の表示を示す図である。

【図12】本発明の一実施形態における表示画素の接続構造とは異なる構造の表示パネルにおいてライン反転駆動を用いた場合の表示を示す図である。

## 【発明を実施するための形態】

## 【0013】

以下、図面を参照して本発明の実施形態を説明する。

図1は、本発明の一実施形態に係る液晶表示装置を備えた電子機器の一例としての携帯電話機の外観を示す図である。図1に示す携帯電話機10は、マイクロフォン11と、アンテナ12と、スピーカ13と、液晶表示装置14と、操作部15とを有している。

## 【0014】

マイクロフォン11は、携帯電話機10の使用者によって入力される音声を電気信号に変換するものである。アンテナ12は、携帯電話機10が図示しない基地局と通信するためのアンテナである。スピーカ13は、別の携帯電話機等から基地局を経由してアンテナ12で受信された音声信号を音声に変換して出力するものである。液晶表示装置14は、各種の画像を表示するものである。操作部15は、携帯電話機10の使用者が携帯電話機10の操作を行うための操作部である。

## 【0015】

図2は、本発明の一実施形態に係る液晶表示装置の全体構成を示す図である。図2に示すように、液晶表示装置14は、表示パネル100と、走査ドライバ200と、信号ドライバ300と、電源調整回路400と、を有している。

## 【0016】

表示パネル100は、液晶表示装置14の外部から供給される画像データDに基づく画像を表示する表示部である。表示パネル100は、表示画素側基板101と対向側基板102との間に液晶LCが介在されて構成されている。さらに、表示パネル100の背面側（図面裏側）にはバックライト104が設けられている。

## 【0017】

表示パネル100の表示画素側基板101には、複数の走査線 $G(i)$  ( $i=1, 2, \dots, m$ )と複数の信号線 $S(j)$  ( $j=1, 2, \dots, n$ )とが配設されている。走査線 $G(i)$ と信号線 $S(j)$ との各交点に対応した位置には液晶表示素子を構成するための画素電極が配置されている。画素電極は、対向側基板102の対向電極及び画素電極と対向

10

20

30

40

50

電極との間に挟持される液晶とともに表示画素を構成している。また、画素電極は、例えばITO（インジウム錫酸化物）等の透明導電膜で構成されており、スイッチング素子としての薄膜トランジスタ（TFT）を介して走査線G（i）と信号線S（j）とに接続されている。

#### 【0018】

また、表示パネル100の対向側基板102は、表示画素側基板101と対向するように配置されている。この対向側基板102には対向電極が形成されている。対向電極は、電源調整回路400によって共通電圧Vcom（Vcom+又はVcom-）が印加されている。

#### 【0019】

表示画素側基板101と対向側基板102とはシール材103によって接着され、またこのシール材103によって表示画素側基板101と対向側基板102との間から液晶LCが漏れ出さないようにシールされている。

#### 【0020】

このような構成において、表示画素側基板101に形成された画素電極と、表示画素側基板101と対向側基板102との間に挟持された液晶LCと、対向側基板102に形成された対向電極とによって1つの表示画素が構成されている。

#### 【0021】

図3は、本実施形態における表示画素の接続構造を示す図である。ここで、本実施形態における表示パネル100は、表示画素が図3に示すようにしてストライプ状に配列されたストライプ配列の表示パネルである。また、本実施形態においては、行方向に配列される2つの表示画素毎に1本の信号線S（j）を配設し、各信号線S（j）を挟むようにして行方向に隣接する2つの表示画素で1本の信号線を共用するようにしている。さらに、本実施形態では、この1本の信号線を共用するように配列される2つの表示画素を、TFTを介して異なる走査線G（i）に接続する。ここで、本実施形態では、ある信号線S（j）を共用する2つの表示画素のうち、信号線S（j）の左隣（一方側）に隣接する表示画素を、当該表示画素を挟むようにして配設される2本の走査線のうちの奇数行目（上側）の走査線G（i）（ $i = 1, 3, 5, \dots, 2k - 1$ ）に接続し、信号線S（j）の右隣（他方側）に隣接する表示画素を、当該表示画素を挟むようにして配設される2本の走査線のうちの偶数行目（下側）の走査線G（i）（ $i = 2, 4, 6, \dots, 2k$ ）に接続する。図3に示す1行目の端の2つの表示画素Pixl、Pixrを例とすると、これらの表示画素Pixl、Pixrの間に信号線S（1）を配設する。そして、信号線S（1）の左隣に隣接する表示画素Pixlについては走査線G（1）に接続し、信号線S（1）の右隣に隣接する表示画素Pixrについては走査線G（2）に接続する。1行目の他の表示画素及び2行目以後の表示画素も同様にして走査線G（i）に接続する。なお、図3の例では、信号線S（j）の左隣に隣接する表示画素を奇数行の走査線G（i）に接続し、信号線S（j）の右隣に隣接する表示画素を偶数行の走査線G（i）に接続するようにしているが、逆に、信号線S（j）の左隣に隣接する表示画素を偶数行の走査線G（i）に接続し、信号線S（j）の右隣に隣接する表示画素を奇数行の走査線G（i）に接続するようにしても良い。即ち、信号線S（j）を挟むようにして行方向に配列される2列の表示画素のうちの一方の列の表示画素を奇数行又は偶数行の何れか一方の走査線G（i）に接続し、他方の列の表示画素を奇数行又は偶数行の何れか他方の走査線G（i）に接続するようにして、表示パネル100の列方向に沿った表示画素の走査線G（i）との接続関係を揃えるようにすれば良い。

#### 【0022】

図3のようにして、表示画素を走査線G（i）及び信号線S（j）に接続することにより、走査線G（i）の本数が表示画素の行数の2倍となる反面、信号線S（j）の本数を表示画素の列数の1/2倍とすることが可能となる。例えば、図3は、表示画素が6行×24列で構成されている例を示している。この場合、走査線G（i）は12本必要となるが、信号線S（j）は12本で良い。

10

20

30

40

50

## 【0023】

即ち、従来の配線構造では走査線が6本と信号線が24本の合計30本の配線が必要であるのに対し、本配線構造では走査線が12本と信号線が12本の合計24本の配線で済む。このため、表示エリア外の引き回し配線総本数が6本減少し、且つ走査ドライバの端子数と信号ドライバの端子数を加えた総端子数も6端子減少するため、狭額縁化が可能となる。

## 【0024】

走査ドライバ200は、シフトレジスタ等を備えて構成され、表示パネル100の走査線G(i)に走査信号を順次印加する。この走査ドライバ200は、図示しない制御回路から制御信号としての垂直同期信号Vsが入力される毎に、m本の走査線への走査信号の印加を開始する。この際、走査ドライバ200は、制御回路から制御信号としての水平制御信号Hsを受ける毎に、1行分のTF Tをオンするための走査信号をゲートオフレベルVglからゲートオンレベルVghに切り替える。これにより、この1行分のTF Tに接続された信号線S(j)を介して信号ドライバ300からの表示信号が画素電極に書き込まれる。ここで、垂直制御信号Vsは、表示パネル100の1画面分の表示を行うための期間である1垂直期間(1フレーム)毎に印加されるものである。また、本実施形態においては、水平制御信号Hsは、表示パネル100の1行分の表示画素(本実施形態では2行の走査線分の表示画素)に表示信号(階調信号)を書き込むための期間である1水平期間の半分の期間(1/2水平期間)毎に印加されるものである。

## 【0025】

信号側駆動部としての機能を有する信号ドライバ300は、表示パネル100の信号線S(j)に表示信号を印加する。この信号ドライバ300は、図4に示すように、サンプリングメモリ1301、データラッチ部1302、D/A変換回路(DAC)1303、及び表示信号電圧生成回路1304を有している。

## 【0026】

サンプリングメモリ1301は、図示しない制御回路からの水平同期信号Hsを受けて、画像データDを基準クロック信号CLKに同期して1表示画素分ずつ順次記憶する。このため、サンプリングメモリ1301は、信号線S(j)の数と同数(n個。図3の例では4個)のデータ格納領域を備えている。ここで、画像データDは、例えば8ビットのデジタルデータとして表される。

## 【0027】

データラッチ部1302は、図示しない制御回路から水平同期信号Hsを受けてサンプリングメモリ1301の各格納領域に記憶されている画像データDを一斉に取り込み、取り込んだ画像データDをD/A変換回路1303に出力する。

## 【0028】

D/A変換回路1303は、データラッチ部1302から出力された画像データDをデコードし、デコードした結果として示される階調レベル情報に対応した表示信号を表示信号電圧生成回路1304から供給される表示信号の中から選択し、選択した表示信号を、対応する信号線S(j)に出力する。このD/A変換回路1303は、複数のDAC部1303a及び出力アンプ部1303bを有している。DAC部1303aは、画像データDのデコード結果に応じて、表示信号電圧生成回路1304から供給される表示信号を選択する。出力アンプ部1303bは、対応するDAC部1303aによって選択された表示信号を増幅して対応する信号線S(j)に出力する。信号線S(j)に出力された表示信号は、走査ドライバ200によってオン状態とされたTF Tを介して画素電極に印加される。これにより、表示信号Vsigの印加によって画素電極に発生する画素電極電圧Vpixと共通電極に印加された共通電圧Vcomとの差の電圧VLCDが、画素電極と共通電極との間に挟持された液晶層LCに印加され、対応する表示画素での画像表示が行われる。

## 【0029】

表示信号電圧生成回路1304は、画像データDが取り得る階調レベル数(例えばDが

10

20

30

40

50

8ビットのデジタルデータとして表される場合には256)に対応した表示信号を、例えば、所定の正電源電圧VDDA、負電源電圧VSSA ( $VDDA > V_{com} > VSSA$ )をそれぞれ階調レベル数に対応した複数の抵抗によって分割する抵抗分割方式によって生成する。

#### 【0030】

ここで、液晶は、直流電圧を長時間印加すると特性が劣化する性質を有している。したがって、液晶の長寿命化等のためには、液晶に印加される電圧の極性(画素電極電圧と共通電圧との大小関係)を交流的に変化させる必要がある。このために、本実施形態における表示信号電圧生成回路1304は、電圧レベルが共通電圧Vcomよりも高い正極側の表示信号V+と電圧レベルが共通電圧Vcomよりも低い負極側の表示信号V-との2種の表示信号を生成可能になされている。表示信号V+と表示信号V-とは、それぞれが、画像データDが取り得る階調レベル数(例えばDが8ビットのデジタルデータとして表される場合には256)に対応した電圧レベルを有している。このような構成において、表示信号電圧生成回路1304は、図示しない制御回路からの極性反転制御信号Polに応じて正極側の表示信号V+と負極側の表示信号V-との何れかを選択してD/A変換回路1303に供給する。表示信号電圧生成回路1304は、例えば、極性反転制御信号Polがハイレベル(H)の場合に表示信号V+を選択し、極性反転制御信号Polがローレベル(L)の場合に表示信号V-を選択するものとする。

#### 【0031】

図2における電源調整回路400は、所定の電源から、走査ドライバ200の電源電圧Vgl、Vghと、信号ドライバ300の電源電圧VSSA、VDDAと、共通電圧Vcomとを生成し、生成した電圧に対応するブロックに供給する。ここで、電源調整回路400は、共通電圧印加部としての機能も有し、電圧レベルが表示信号Vsigよりも高い正極側の共通電圧Vcom+と電圧レベルが表示信号Vsigよりも低い負極側の共通電圧Vcom-との2種の共通電圧を生成可能になされており、図示しない制御回路からの極性反転制御信号Polに応じて正極側の共通電圧Vcom+と負極側の共通電圧Vcom-との何れかを選択して対向側基板102に形成された対向電極に供給する。電源調整回路400は、例えば、極性反転制御信号Polがハイレベル(H)の場合に共通電圧Vcom-を選択し、極性反転制御信号Polがローレベル(L)の場合に表示信号Vcom+を選択するものとする。

#### 【0032】

以下、図5を参照して上述した液晶表示装置の動作について説明する。図5は、本実施形態に係る液晶表示装置の動作について示すタイミングチャートである。ここで、図5(a)は奇数フレームにおける動作を示し、図5(b)は偶数フレームにおける動作を示す。また、図5(a)、図5(b)ともに、図3に示した走査線G(i)が12本の場合の動作を示している。勿論、走査線G(i)の本数は12本に限るものではない。

#### 【0033】

走査ドライバ200は、図示しない制御回路から垂直制御信号Vsが入力されることにより、表示パネル100の1画面分の表示の開始である1垂直期間の開始を認識する。その後、走査ドライバ200は、図示しない制御回路から水平制御信号Hsが入力される毎に、走査線G(1)から、順次、走査信号の電圧レベルをゲートオフレベルVglからゲートオンレベルVghに切り替える。走査信号の電圧レベルがゲートオンレベルVghになると、対応する走査線G(i)に接続されたTF Tが同時に選択状態となる。これにより、表示パネル100を構成する1行分の表示画素の半数ずつ表示信号の書き込みを行うことが可能となる。より詳しくは、走査線G(1)の走査信号がゲートオンレベルVghとなると、図3の1の番号を付した表示画素に接続されたTF Tが同時に選択状態となって表示信号の書き込みが可能となる。続いて、走査線G(2)の走査信号がゲートオンレベルVghとなると、図3の2の番号を付した表示画素に接続されたTF Tが同時に選択状態となって表示信号の書き込みが可能となる。以後も同様にして、走査線G(i)の走査信号の電圧レベルが順次ゲートオンレベルVghとなるに従って、図3で付した番号順

に T F T が選択状態となって表示信号の書き込みが可能となる。

#### 【0034】

また、信号ドライバ300は、図示しない制御回路から垂直制御信号V<sub>s</sub>が入力されることにより、表示パネル100の1画面分の表示の開始である1垂直期間の開始を認識する。その後、信号ドライバ300は、図示しない制御回路から水平制御信号H<sub>s</sub>が入力される毎に各表示画素への表示信号の書き込みタイミングの開始を認識する。そして、信号ドライバ300は、1/2行分（奇数列若しくは偶数列）の表示画素に対応した画像データDを取り込み、取り込んだ画像データDをデコードする。そして、画像データDによって示される、1/2行分の表示画素の各々に表示させるべき画像の階調レベルに対応した表示信号を信号線S（j）に印加する。

10

#### 【0035】

ここで、本実施形態では、表示パネル100の交流駆動にライン反転駆動（水平ライン反転駆動）を用いる。ライン反転駆動とは、表示パネル100を構成する表示画素の行単位で極性を反転させる駆動方式である。このようなライン反転駆動を行うため、極性反転制御信号P<sub>ol</sub>は、表示パネル100を構成する表示画素の1行の表示信号の書き込み期間である1水平期間（H）毎に極性が反転される。

#### 【0036】

上述した信号ドライバ300の動作と同期するように、走査ドライバ200によって1/2行分のT F Tが選択状態とされている。したがって、信号ドライバ300によって印加された表示信号が、選択状態となった1/2行分のT F Tを介して表示画素を構成する画素電極に印加される。ここで、画素電極と対向するように対向側基板102に形成された対向電極には電源調整回路400によって共通電圧V<sub>com</sub>（V<sub>com</sub>+又はV<sub>com</sub>-）が印加されている。このため、画素電極と対向電極とによって挟持された液晶には表示信号に基づく画素電極電圧V<sub>pix</sub>と共通電圧V<sub>com</sub>との差に対応した電圧V<sub>pix</sub>が印加される。液晶は、印加電圧の大きさによって光の透過特性が変化するため、表示パネル100の裏面に設けられたバックライト104からの光を表示パネル100の各表示画素に照射しつつ、液晶の透過率を制御することで、表示画素において所望の階調レベル（輝度）の表示を行うことが可能である。

20

#### 【0037】

ここで、極性反転動作について図5を参照してさらに説明する。なお、図5は信号線S（1）における極性反転動作について示しているが、実際には信号線S（1）～S（4）は同一の極性（電圧の大きさは必ずしも同一とは限らない）となる。

30

#### 【0038】

まず、奇数フレームにおける動作について説明する。図5（a）に示すように、奇数フレームにおいて、走査線G（1）の走査信号がゲートオンレベルV<sub>gh</sub>となる際には、極性反転制御信号P<sub>ol</sub>をHとしておく。この場合、信号ドライバ300の表示信号電圧生成回路1304は、正極性の表示信号V<sub>+</sub>を選択する。したがって、信号線S（1）に印加される表示信号の極性は正極性となる。なお、図5（a）では、走査線G（1）の走査信号がゲートオンレベルV<sub>gh</sub>となっている間に信号線S（1）に印加される表示信号をS<sub>1-1</sub>（+）として示している。また、電源調整回路400は、負極性の共通電圧V<sub>com</sub>-を選択する。したがって、表示パネル100の1行1列目の表示画素（図3のP<sub>ix1</sub>）には表示信号S<sub>1-1</sub>（+）に基づく画素電極電圧V<sub>pix</sub>と共通電圧V<sub>com</sub>-との差の電圧が印加される。また、走査線G（2）の走査信号がゲートオンレベルV<sub>gh</sub>となる際も、極性反転制御信号P<sub>ol</sub>はHとしておく。この場合、信号ドライバ300の表示信号電圧生成回路1304は、正極性の表示信号V<sub>+</sub>を選択する。したがって、信号線S（1）の表示信号の極性は正極性となる。なお、図5（a）では、走査線G（2）の走査信号がゲートオンレベルV<sub>gh</sub>となっている間に信号線S（1）に印加される表示信号をS<sub>1-2</sub>（+）として示している。また、電源調整回路400は、負極性の共通電圧V<sub>com</sub>-を選択する。したがって、表示パネル100の1行2列目（図3のP<sub>ixr</sub>）の表示画素には表示信号S<sub>1-2</sub>（+）に基づく画素電極電圧V<sub>pix</sub>と共通電圧V<sub>co</sub>

40

50

m-との差の電圧が印加される。このようにして、表示パネル100の1行目の表示画素の極性は全て正極性となる。

#### 【0039】

走査線G(3)の走査信号がゲートオンレベルV<sub>gh</sub>となる際には、極性反転制御信号P<sub>ol</sub>をLとしておく。この場合、信号ドライバ300の表示信号電圧生成回路1304は、負極性の表示信号V<sub>-</sub>を選択する。したがって、信号線S(1)に印加される表示信号の極性は負極性となる。なお、図5(a)では、走査線G(3)の走査信号がゲートオンレベルV<sub>gh</sub>となっている間に信号線S(1)に印加される表示信号をS1-3(-)として示している。また、電源調整回路400は、正極性の共通電圧V<sub>com+</sub>を選択する。したがって、表示パネル100の2行1列目の表示画素には表示信号S1-3(-)に基づく画素電極電圧V<sub>pix</sub>と共通電圧V<sub>com+</sub>との差の電圧が印加される。また、走査線G(4)の走査信号がゲートオンレベルV<sub>gh</sub>となる際も、極性反転制御信号P<sub>ol</sub>はLとしておく。この場合、信号ドライバ300の表示信号電圧生成回路1304は、正極性の表示信号V<sub>+</sub>を選択する。したがって、信号線S(1)に印加される表示信号の極性は正極性となる。なお、図5(a)では、走査線G(4)の走査信号がゲートオンレベルV<sub>gh</sub>となっている間に信号線S(1)に印加される表示信号をS1-4(-)として示している。また、電源調整回路400は、正極性の共通電圧V<sub>com+</sub>を選択する。したがって、表示パネル100の2行2列目の表示画素には表示信号S1-4(-)に基づく画素電極電圧V<sub>pix</sub>と共通電圧V<sub>com+</sub>との差の電圧が印加される。このようにして、表示パネル100の2行目の表示画素の極性は全て負極性となる。

10

20

#### 【0040】

以後も同様にして、奇数行と偶数行の2本の走査線の走査信号がゲートオンレベルV<sub>gh</sub>となる毎に極性反転制御信号P<sub>ol</sub>の極性が反転される。このようにして、走査線G(12)までの走査が行われると、表示パネル100の1画面分(1フレーム分)のライン反転駆動(1ライン反転駆動)が完了する。

#### 【0041】

また、偶数フレームの場合には、図5(b)で示すようにして、極性反転制御信号P<sub>ol</sub>の極性を図5(a)で示した奇数フレームの場合と逆転させる。これにより、偶数フレームの場合には、奇数フレームの場合に対して全ての表示画素の極性が反転する。

#### 【0042】

次に、本実施形態における効果について説明する。1本の信号線S(j)を、該信号線S(j)を挟むようにして行方向に隣接する2つの表示画素で共用する構成の表示パネルの場合、図6の上段で示すように、奇数列の表示画素に接続されるTF<sub>T</sub>は当該表示画素を挟むようにして配設される2本の走査線G(i)のうちの奇数行(上側)の走査線G(i)に接続され、偶数列の表示画素に接続されるTF<sub>T</sub>は当該表示画素を挟むようにして配設される2本の走査線G(i)のうちの偶数行(下側)の走査線G(i)に接続される。ここで、表示画素側基板101の製造時において、例えば走査線G(j)の延伸方向である行方向に沿って表示画素(画素電極)や、走査線G(i)、信号線S(j)のパターンずれ(製造位置ずれ)が発生すると、図6の下段で示すようにして、奇数行(上側)の走査線G(i)に接続された表示画素のグループと、偶数行側(下側)の走査線G(i)に接続された表示画素のグループとでフィードスルー電圧ΔVの異なりが発生する。この場合、表示パネル100の行方向で見ると、1表示画素毎にフィードスルー電圧ΔVの異なりが発生することになる。

30

40

#### 【0043】

ここで、例えば奇数行(上側)の走査線G(i)に接続された表示画素のグループのフィードスルー電圧ΔVが通常よりも小さくなり、偶数行側(下側)の走査線G(i)に接続された表示画素のグループのフィードスルー電圧ΔVが通常よりも大きくなるようなパターンずれ(図6の左下段)が発生したとする。以下の場合、表示画素は、液晶に電圧が印加されない時に黒状態であり、液晶に所定の電圧が印加された時に白状態となる、ノーマリーブラック表示であるものとする。

50

## 【0044】

図7は、図6の左下段のようなパターンずれが発生している場合において、表示パネル100の各表示画素に一定の電圧レベルの表示信号Vsigを印加してライン反転駆動を行った場合の電圧VLCDの変動を示す図である。

## 【0045】

図7に示すように、表示信号Vsigの極性が正極性（共通電圧Vcomの極性が負極性）の場合、奇数行（上側）の走査線G(i)に接続された表示画素のグループの画素電極電圧Vpixは、印加された表示信号Vsigに対して、本来のフィードスルー電圧ΔVによる低下量よりも小さい低下量の電圧となる。このため、奇数行（上側）の走査線G(i)に接続された表示画素に印加される電圧VLCDの電圧レベルは、本来のVLCDの電圧レベルよりも大きくなる。したがって、奇数行（上側）の走査線G(i)に接続された表示画素は、本来、表示させるべき階調レベルよりも明るい表示となる。一方、偶数行（下側）の走査線G(i)に接続された表示画素のグループの画素電極電圧Vpixは、印加された表示信号Vsigに対して、本来のフィードスルー電圧ΔVよりも大きい低下量の電圧となる。このため、偶数行（下側）の走査線G(i)に接続された表示画素に印加される電圧VLCDの電圧レベルは、本来のVLCDの電圧レベルよりも小さくなる。したがって、偶数行（下側）の走査線G(i)に接続された表示画素は、本来、表示させるべき階調レベルよりも暗い表示となる。

10

## 【0046】

逆に、表示信号Vsigの極性が負極性（共通電圧Vcomの極性が正極性）の場合、奇数行（上側）の走査線G(i)に接続された表示画素は、本来、表示させるべき階調レベルよりも暗い表示となり、偶数行側（下側）の走査線G(i)に接続された表示画素は、本来、表示させるべき階調レベルよりも明るい表示となる。

20

## 【0047】

なお、図6の右下段のようなパターンずれが発生した場合については図には示していない。この場合には、表示画素の明るさの関係が図7で示したものと逆になる。即ち、表示信号Vsigの極性が正極性（共通電圧Vcomの極性が負極性）の場合には、奇数行（上側）の走査線G(i)に接続された表示画素は、本来、表示させるべき階調レベルよりも暗い表示となり、偶数行側（下側）の走査線G(i)に接続された表示画素は、本来、表示させるべき階調レベルよりも明るい表示となる。また、表示信号Vsigの極性が負極性（共通電圧Vcomの極性が正極性）の場合には、奇数行（上側）の走査線G(i)に接続された表示画素は、本来、表示させるべき階調レベルよりも明るい表示となり、偶数行側（下側）の走査線G(i)に接続された表示画素は、本来、表示させるべき階調レベルよりも暗い表示となる。

30

## 【0048】

本実施形態では、このようなフィードスルー電圧ΔVの変動を考慮して、表示パネル100における表示画素と走査線G(i)との接続構造及び表示パネル100の交流駆動方式に特定のものを用いることにより、面フリッカと横縞と縦縞の発生を抑制する。

## 【0049】

表示パネル100の交流駆動の方式には、図7で示したライン反転駆動の他に、表示パネル100を構成する表示画素の列単位で極性を反転させるカラム反転駆動（垂直ライン反転駆動）や、表示パネル100を構成する表示画素単位で極性を反転させるドット反転駆動や、表示パネル100の画面単位で極性を反転させるフレーム反転駆動等が知られている。

40

## 【0050】

例えば、図6の左下段のようなパターンずれが発生している際にドット反転駆動を用いた場合には、図8のような表示が行われる。即ち、図8(a)に示すように、奇数フレームにおいては、奇数行（図8(a)に示す例えばG(1)、G(2)）の表示画素の表示が、本来、表示させるべき階調レベルよりも暗い表示となり、偶数行（図8(a)に示す例えばG(3)、G(4)）の表示画素の表示が、本来、表示させるべき階調レベルより

50

も明るい表示となる。一方、図 8 (b) に示すように、偶数フレームにおいては、奇数行（例えば G (1)、G (2)）の表示画素の表示が、本来、表示させるべき階調レベルよりも明るい表示となり、偶数行（例えば G (3)、G (4)）の表示画素の表示が、本来、表示させるべき階調レベルよりも暗い表示となる。この場合には、表示画素の 1 行毎に表示明るさが変動することになり、横縞状の表示むらが発生する。

#### 【0051】

また、図 6 の左下段のようなパターンずれが発生している際にカラム反転駆動を用いた場合には、図 9 のような表示が行われる。即ち、図 9 (a) に示すように、奇数フレームにおいては、全ての行の表示画素の表示が、本来、表示させるべき階調レベルよりも暗い表示となる。一方、図 9 (b) に示すように、偶数フレームにおいては、全ての行の表示画素の表示が、本来、表示させるべき階調レベルよりも明るい表示となる。この場合には、1 画面（1 フレーム）毎に表示明るさが変動することになり、面フリッカが発生する。

#### 【0052】

また、図 6 の左下段のようなパターンずれが発生している際にフレーム反転駆動を用いた場合には、図 10 のような表示が行われる。即ち、図 10 (a) に示すように、奇数フレームにおいては、各行の表示画素の表示が何れも、暗、明、暗、明、…の順で 1 表示画素毎に表示明るさが異なる表示となる。また、図 10 (b) に示すように、偶数フレームにおいては、各行の表示画素の表示が何れも、明、暗、明、暗、…の順で 1 表示画素毎に表示明るさが異なるものとなる。この場合には、表示画素の 1 列毎に表示明るさが変動することになり、縦縞状の表示むらが発生する。

#### 【0053】

これに対し、本実施形態では、図 3 に示したようにして、表示パネル 100 の列方向に沿った表示画素を奇数行の走査線 G (i) と偶数の走査線 G (i) の何れか一方に揃えて接続した上でライン反転駆動を行うようにしている。この場合には、図 11 のような表示が行われる。即ち、図 11 (a) に示すように、奇数フレームにおいては、奇数行（例えば G (1)、G (2)）の表示画素の表示が、暗、明、暗、明、…の順で 1 表示画素毎に表示明るさが異なる表示となる。一方、偶数行（例えば G (3)、G (4)）の表示画素の表示が、奇数行とは逆に、明、暗、明、暗、…の順で 1 表示画素毎に表示明るさが異なる表示となる。また、図 11 (b) に示すように、偶数フレームにおいては、奇数行（例えば G (1)、G (2)）の表示画素の表示が、明、暗、明、暗、…の順で 1 表示画素毎に表示明るさが異なる表示となる。一方、偶数行（例えば G (3)、G (4)）の表示画素が、奇数行とは逆に、暗、明、暗、明、…の順で 1 表示画素毎に表示明るさが異なる表示となる。この場合には、1 画面の空間的平均としてみた場合に表示明るさの偏りが発生せず、結果として面フリッカと横縞と縦縞の影響が抑制される。

#### 【0054】

さらに、ライン反転駆動を行う場合であっても表示画素と走査線 G (i) との接続構造を図 3 のような構造としない場合にはやはり表示むらが発生する。例えば、列方向に配列される表示画素を奇数行の走査線 G (i) と偶数行の走査線 G (i) とに交互に接続した構造を有する表示パネル 100 においてライン反転駆動を用いた場合には、図 12 のような表示が行われる。即ち、図 12 (a) に示すように、奇数フレームにおいては、各行の表示画素の表示が何れも、暗、明、暗、明、…の順で 1 表示画素毎に表示明るさが異なる表示となる。また、図 12 (b) に示すように、偶数フレームにおいては、各行の表示画素の表示が何れも、明、暗、明、暗、…の順で 1 表示画素毎に表示明るさが異なるものとなる。この場合には、表示画素の 1 列毎に表示明るさが変動することになり、縦縞状の表示むらが発生する。

#### 【0055】

以上説明したように、本実施形態では、ストライプ配列の表示パネル 100 において、信号線 S (j) を挟んで隣接する 2 つの表示画素のうちで一方側に隣接する表示画素を奇数行の走査線 G (i) に接続し、他方側に隣接する表示画素を偶数行の走査線 G (i) に接続した上で、表示信号の極性を走査線の 2 本毎に反転させてライン反転駆動を行うこと

によって、表示画素のパターンずれに伴う面フリッカと横縞と縦縞を抑制することが可能となる。

#### 【0056】

以上実施形態に基づいて本発明を説明したが、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形や応用が可能なことは勿論である。例えば、上述した実施形態においては、ライン反転駆動の際に表示信号  $V_{sig}$  と共通電圧  $V_{com}$  も両方の極性を反転させるようにしている。これに対し、共通電圧  $V_{com}$  を定電圧とし、表示信号  $V_{sig}$  の極性のみを反転させるライン反転駆動であっても上述した本実施形態の技術を適用することが可能である。

#### 【0057】

さらに、上記した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件の適当な組合せにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、上述したような課題を解決でき、上述したような効果が得られる場合には、この構成要件が削除された構成も発明として抽出され得る。

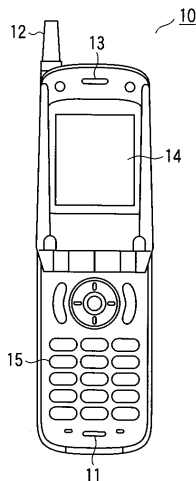
#### 【符号の説明】

#### 【0058】

14…液晶表示装置、100…表示パネル、101…表示画素側基板、102…対向側基板、103…シール材、104…バックライト、200…走査ドライバ、300…信号ドライバ

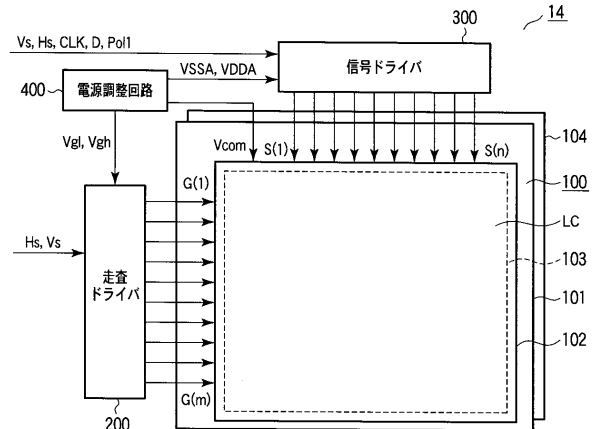
#### 【図1】

図1



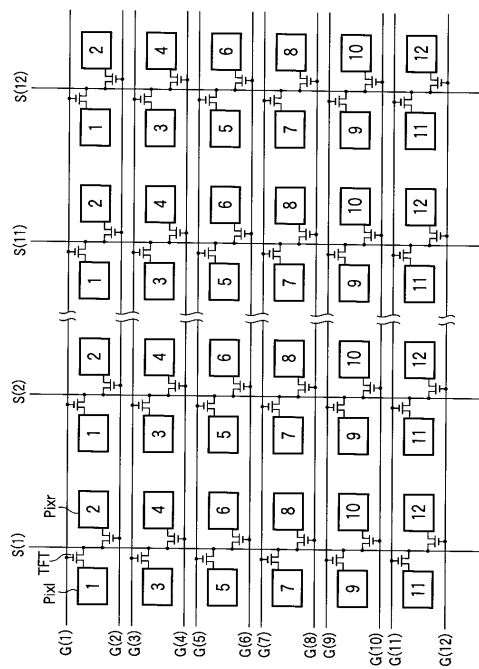
#### 【図2】

図2



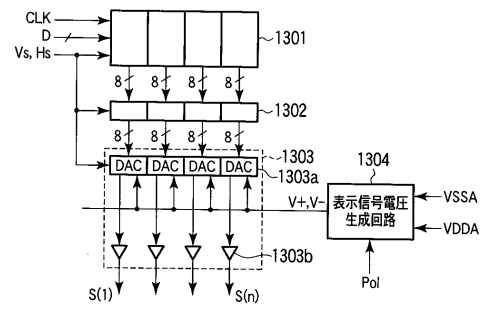
【図 3】

図 3



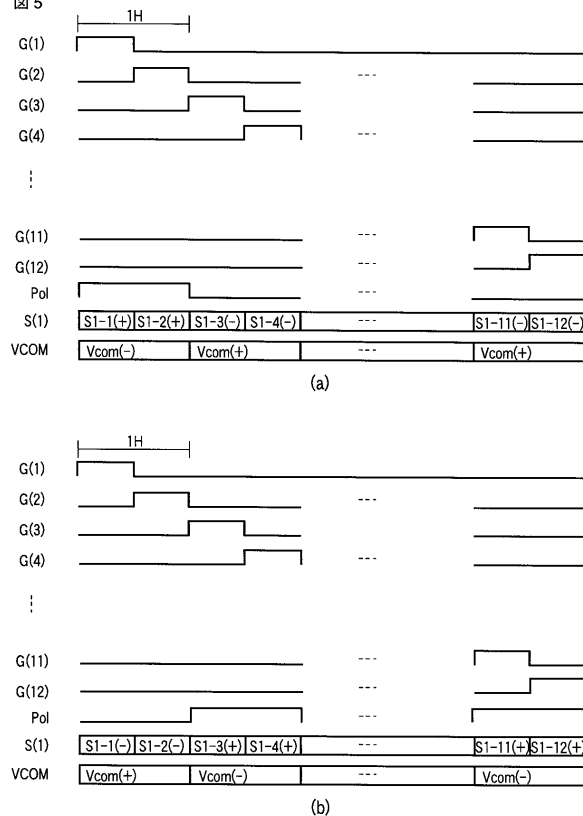
【図 4】

図 4



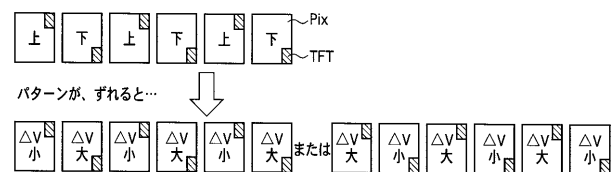
【図 5】

図 5



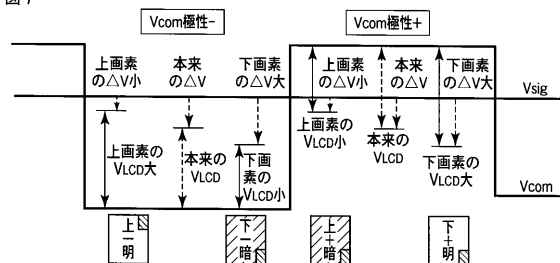
【図 6】

図 6

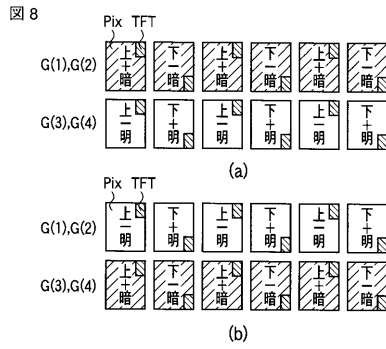


【図 7】

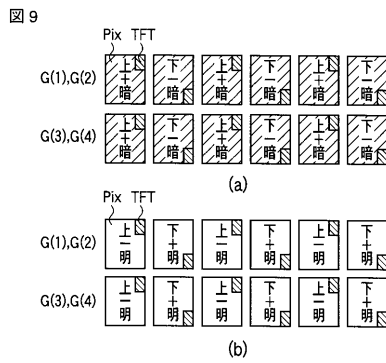
図 7



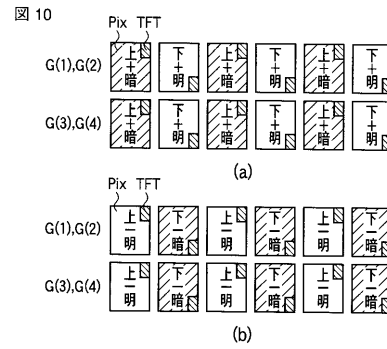
## 【図 8】



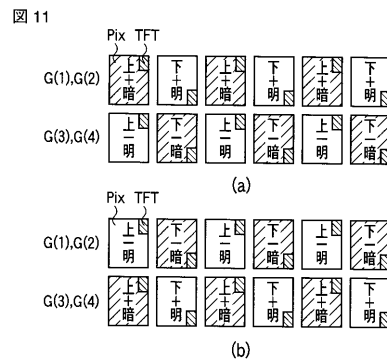
## 【図 9】



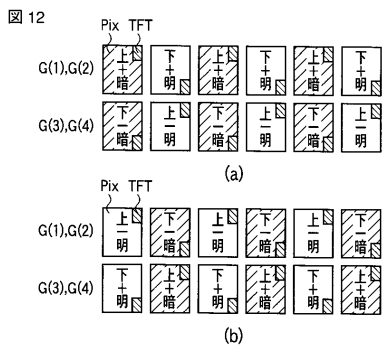
## 【図 10】



## 【図 11】



## 【図 12】



フロントページの続き

|             |               |             |
|-------------|---------------|-------------|
| (51)Int.Cl. | F I           | テーマコード (参考) |
|             | G 0 9 G 3/20  | 6 2 4 B     |
|             | G 0 9 G 3/20  | 6 4 2 A     |
|             | G 0 9 G 3/20  | 6 1 1 E     |
|             | G 0 2 F 1/133 | 5 5 0       |
|             | G 0 2 F 1/133 | 5 2 5       |
|             | G 0 9 G 3/20  | 6 8 0 H     |

(74)代理人 100084618  
 弁理士 村松 貞男

(74)代理人 100103034  
 弁理士 野河 信久

(74)代理人 100119976  
 弁理士 幸長 保次郎

(74)代理人 100153051  
 弁理士 河野 直樹

(74)代理人 100140176  
 弁理士 砂川 克

(74)代理人 100101812  
 弁理士 勝村 紘

(74)代理人 100124394  
 弁理士 佐藤 立志

(74)代理人 100112807  
 弁理士 岡田 貴志

(74)代理人 100111073  
 弁理士 堀内 美保子

(74)代理人 100134290  
 弁理士 竹内 将訓

(74)代理人 100127144  
 弁理士 市原 卓三

(74)代理人 100141933  
 弁理士 山下 元

(72)発明者 平山 隆一  
 東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

F ターム (参考) 2H193 ZA04 ZB08 ZC04 ZC05 ZC17 ZC25 ZD23 ZF04 ZF05 ZF34  
 ZF35  
 5C006 AA16 AC26 AC27 BB16 BC23 FA22 FA23  
 5C080 AA10 BB05 DD05 DD06 DD23 EE29 FF11 JJ01 JJ02 JJ04  
 JJ06 KK07

|                |                                                                                                                                                                                                                                                                                                                                                      |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                                                                                                               |         |            |
| 公开(公告)号        | <a href="#">JP2012068599A</a>                                                                                                                                                                                                                                                                                                                        | 公开(公告)日 | 2012-04-05 |
| 申请号            | JP2010215730                                                                                                                                                                                                                                                                                                                                         | 申请日     | 2010-09-27 |
| [标]申请(专利权)人(译) | 卡西欧计算机株式会社                                                                                                                                                                                                                                                                                                                                           |         |            |
| 申请(专利权)人(译)    | 卡西欧计算机有限公司                                                                                                                                                                                                                                                                                                                                           |         |            |
| [标]发明人         | 平山隆一                                                                                                                                                                                                                                                                                                                                                 |         |            |
| 发明人            | 平山 隆一                                                                                                                                                                                                                                                                                                                                                |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                                                                                                                                                                                                                                                                          |         |            |
| CPC分类号         | G09G3/3614 G09G3/3648 G09G2300/0426 G09G2320/0233 G09G2320/0247                                                                                                                                                                                                                                                                                      |         |            |
| FI分类号          | G09G3/36 G09G3/20.680.S G09G3/20.641.C G09G3/20.621.B G09G3/20.623.C G09G3/20.624.B G09G3/20.642.A G09G3/20.611.E G02F1/133.550 G02F1/133.525 G09G3/20.680.H                                                                                                                                                                                         |         |            |
| F-TERM分类号      | 2H193/ZA04 2H193/ZB08 2H193/ZC04 2H193/ZC05 2H193/ZC17 2H193/ZC25 2H193/ZD23 2H193/ZF04 2H193/ZF05 2H193/ZF34 2H193/ZF35 5C006/AA16 5C006/AC26 5C006/AC27 5C006/BB16 5C006/BC23 5C006/FA22 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD23 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C080/KK07 2H193/ZA08 |         |            |
| 代理人(译)         | 河野 哲<br>中村诚<br>河野直树<br>冈田隆<br>山下 元                                                                                                                                                                                                                                                                                                                   |         |            |
| 其他公开文献         | JP2012068599A5                                                                                                                                                                                                                                                                                                                                       |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                            |         |            |

#### 摘要(译)

要解决的问题：提供一种液晶显示装置，其具有在行方向上相邻的两个显示像素之间共享的一条信号线，并且即使在图案偏差的情况下也能够抑制表面闪烁，水平条纹和垂直条纹的影响。发明：液晶显示装置包括具有条纹排列的显示面板100，其中：在行方向上相邻的每两个显示像素设置一条信号线S(j)；两个显示像素彼此相邻，信号线S(j)在它们之间共用信号线S(j)；各个显示像素通过开关元件连接到不同的扫描线G(i)。在显示面板100中，其间具有信号线S(i)的彼此相邻的两个显示像素中的一个连接到奇数行中的扫描线G(i)，并且另一个显示像素连接到扫描线G(i)在偶数行中。通过信号驱动器300每两条扫描线反转显示信号的极性以执行行反转驱动，从而抑制伴随显示像素的图案偏差的显示不均匀性。

図2

