

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-237807

(P2011-237807A)

(43) 公開日 平成23年11月24日(2011.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 21/336 (2006.01)	HO1L 29/78 612D	5F110
HO1L 29/786 (2006.01)	GO2F 1/1343	
GO2F 1/1343 (2006.01)		

審査請求 有 請求項の数 6 O L (全 54 頁)

(21) 出願番号	特願2011-126883 (P2011-126883)	(71) 出願人	390019839
(22) 出願日	平成23年6月7日(2011.6.7)		三星電子株式会社
(62) 分割の表示	特願平11-336898の分割		Samsung Electronics
原出願日	平成11年11月26日(1999.11.26)		Co., Ltd.
(31) 優先権主張番号	1998P50877		大韓民国京畿道水原市靈通区梅灘洞416
(32) 優先日	平成10年11月26日(1998.11.26)		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(33) 優先権主張国	韓国 (KR)		Gyeonggi-do, Republic of Korea
(31) 優先権主張番号	1999P51376	(74) 代理人	100121382
(32) 優先日	平成11年11月18日(1999.11.18)		弁理士 山下 託嗣
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100094145
			弁理士 小野 由己男
		(74) 代理人	100106367
			弁理士 稲積 朋子

最終頁に続く

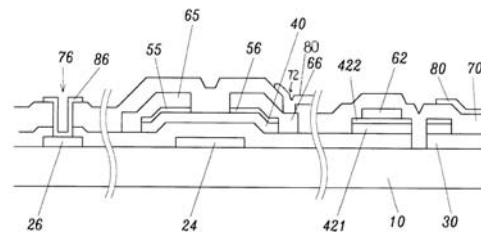
(54) 【発明の名称】 液晶表示装置用薄膜トランジスタ基板及びその製造方法

(57) 【要約】 (修正有)

【課題】液晶表示装置において、製造工程中に残留する導電膜によって画素電極及びデータ配線が互いに短絡されることを防止して画素欠陥を減少させる。

【解決手段】液晶表示装置は、絶縁基板と、絶縁基板の上に位置するゲート線と、ゲート線を覆っているゲート絶縁膜30と、ゲート絶縁膜上に位置し、ドレーン電極とデータ線とを含むデータ配線と、データ配線を覆っている保護膜70と、保護膜の上に位置してデータ配線と電気的に連結されている画素電極80とを含み、ゲート絶縁膜は第1開口部を有し、保護膜は第2開口部と接触口72とを含み、第2開口部は前記第1開口部を露出させ、第1開口部と前記第2開口部は画素の縁領域に位置し、接触口72は前記ドレーン電極の一部分を露出させる。

【選択図】 図14



【特許請求の範囲】**【請求項 1】**

絶縁基板と、
絶縁基板の上に位置するゲート線と、
前記ゲート線を覆っているゲート絶縁膜と、
前記ゲート絶縁膜上に位置し、ドレーン電極とデータ線とを含むデータ配線と、
前記データ配線を覆っている保護膜と、
前記保護膜の上に位置して前記データ配線と電氣的に連結されている画素電極とを含み

、
前記ゲート絶縁膜は第 1 開口部を有し、前記保護膜は第 2 開口部と接触口とを含み、
前記第 2 開口部は前記第 1 開口部を露出させ、
前記第 1 開口部と前記第 2 開口部は画素の縁領域に位置し、
前記接触口は前記ドレーン電極の一部分を露出させることを特徴とする液晶表示装置。

10

【請求項 2】

整列パターンをさらに含み、

前記第 2 開口部の少なくとも一部分は前記データ線と前記整列パターンとの間に位置することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 2 開口部の少なくとも一部分は前記ゲート線と前記画素電極との間に位置することを特徴とする請求項 1 または 2 に記載の液晶表示装置。

20

【請求項 4】

前記第 1 開口部と前記第 2 開口部は互いに重畳し、

前記第 1 開口部と前記第 2 開口部の重畳する部分は前記画素電極の少なくとも一部分と重畳することを特徴とする請求項 1 ～ 3 のいずれかに記載の液晶表示装置。

【請求項 5】

前記第 1 開口部と前記第 2 開口部は実質的に同一の面積を有することを特徴とする請求項 1 ～ 4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記ゲート絶縁膜の上に位置する半導体パターンと、

前記半導体パターンの上に位置して、前記ドレーン電極と対向するソース電極を更に含むことを特徴とする請求項 1 ～ 5 のいずれかに記載の液晶表示装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は液晶表示装置用薄膜トランジスタ基板及びその製造方法に関する。

【背景技術】**【0002】**

液晶表示装置は現在最も広く使用されている平板表示装置のうちの 1 つであって、電極が形成されている 2 枚の基板とその間に挿入されている液晶層とからなり、電極に電圧を印加して液晶層の液晶分子を再配列させることによって透過される光の量を調節する表示装置である。

40

【0003】

液晶表示装置のうちで現在主に使用されるものは、スイッチング素子として薄膜トランジスタを有しており、薄膜トランジスタが形成されている基板には互いに交差して行列形態の画素を定義する多数のゲート線とデータ線とが形成されており、それぞれの画素には画素電極が形成されている。

【発明の概要】**【発明が解決しようとする課題】****【0004】**

しかし、液晶表示装置用基板の製作過程に意図しなかった部分、特に画素電極と画素

50

電極との間、画素電極とデータ線との間などに導電物質が残留する場合には画素の閉じた状態でも画素が常に明るく表示される画素欠陥が発生する。

【0005】

また、液晶表示装置の駆動時、任意の画素電極はデータ線を通して伝達される画像信号が薄膜トランジスタを通して一回印加された後には次の信号が印加されるまで浮遊(floating)状態になるが、データ線には他の行の画像信号が印加し続けられる。従って、データ線を通して伝達される画像信号の電圧が浮遊状態である任意の画素電極の電位を変動させ、これによって液晶表示装置には意図しなかった画像が現れるようになる。このような現象は画素電極とデータ線との配置関係から発生する結合静電容量(coupling capacitance)が大きいほど激しく発生する。

10

【0006】

製造工程上、データ線と画素電極とは互いに異なる写真エッチング(photolithography)工程によって形成され、写真工程でマスク誤整列(mask misalign)が発生すると結合静電容量が変動する。特に、写真工程進行時に画面を多数のブロックに分割して露光する場合には各ブロックごとに誤整列の程度が異なるようになって各ブロックの間の明るさが異なるようになるステッチ(stitch)が発生する。このようなステッチ不良は液晶表示装置を列(column)反転駆動又は点(dot)反転駆動する場合にさらに激しくなる。

【0007】

従って、本発明は前記問題点を解決するためのものであって、その目的は、製造工程中に残留する導電膜によって画素電極及びデータ配線が互いに短絡されることを防止して画素欠陥を減少させることにある。

20

【0008】

また、本発明の他の目的は、液晶表示装置の製造工程中に発生する整列誤差を最小化することにある。

【課題を解決するための手段】

【0009】

このような目的を達成するために、絶縁基板と、絶縁基板の上に位置するゲート線と、ゲート線を覆っているゲート絶縁膜と、ゲート絶縁膜上に位置し、ドレーン電極とデータ線とを含むデータ配線と、データ配線を覆っている保護膜と、保護膜の上に位置してデータ配線と電氣的に連結されている画素電極とを含み、ゲート絶縁膜は第1開口部を有し、保護膜は第2開口部と接触口とを含み、第2開口部は第1開口部を露出させ、第1開口部と第2開口部は画素の縁領域に位置し、接触口はドレーン電極の一部を露出させる。

30

【0010】

ここで、整列パターンをさらに含み、第2開口部の少なくとも一部分はデータ線と整列パターンとの間に位置することが好ましい。

【0011】

また、第2開口部の少なくとも一部分はゲート線と画素電極との間に位置することが好ましい。

【0012】

さらに、第1開口部と第2開口部は互いに重畳し、第1開口部と第2開口部の重畳する部分は画素電極の少なくとも一部分と重畳することが好ましい。

40

【0013】

第1開口部と第2開口部は実質的に同一の面積を有することが好ましい。

【0014】

さらに、ゲート絶縁膜の上に位置する半導体パターンと、半導体パターンの上に位置して、ドレーン電極と対向するソース電極を更にも含むことが好ましい。

【発明の効果】

【0015】

以上のように、データ線と共に整列パターンを画素電極に隣接するように形成して製造工程の整列誤差を最小化することができ、分割露光時にもデータ線と画素電極との間で発

50

生する結合静電容量を画面全体にわたって一定にすることができるのでステッチ不良を防止することができる。また、整列パターンを画素の縁に配置することによって漏洩される光を遮断することができ、画素電極とデータ線との間に開口部を形成することによって画素電極とデータ線とが短絡されることを防止することができる。

【図面の簡単な説明】

【0016】

【図1】図1は、本発明の第1実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図2】図2は、図1のII-II'線に沿って切断した薄膜トランジスタの断面図である。

【図3】図3は、図1のIII-III'線に沿って切断したゲートパッドの断面図である

10

【図4】図4は、図1のIV-IV'線に沿って切断したデータパッドの断面図である。

【図5】図5は、図1のV-V'線の断面図である。

【図6】図6は、本発明による液晶表示装置用薄膜トランジスタ基板の製造方法の第1実施例を工程順序によって示した断面図である。

【図7】図7は、本発明による液晶表示装置用薄膜トランジスタ基板の製造方法の第1実施例を工程順序によって示した断面図である。

【図8】図8は、本発明による液晶表示装置用薄膜トランジスタ基板の製造方法の第1実施例を工程順序によって示した断面図である。

【図9】図9は、本発明による液晶表示装置用薄膜トランジスタ基板の製造方法の第1実施例を工程順序によって示した断面図である。

20

【図10】図10は、本発明による液晶表示装置用薄膜トランジスタ基板の製造方法の第1実施例を工程順序によって示した断面図である。

【図11】図11は、本発明による液晶表示装置用薄膜トランジスタ基板の製造方法においてゲートパッドを露出させる段階における開口部を形成する製造方法を示した断面図である。

【図12】図12は、本発明による液晶表示装置用薄膜トランジスタ基板の製造方法においてゲートパッドを露出させる段階における開口部を形成する製造方法を示した断面図である。

【図13】図13は、本発明による液晶表示装置用薄膜トランジスタ基板の製造方法においてゲートパッドを露出させる段階における開口部を形成する製造方法を示した断面図である。

30

【図14】図14は、本発明による液晶表示装置用薄膜トランジスタ基板の製造方法においてゲートパッドを露出させる段階における開口部を形成する製造方法を示した断面図である。

【図15】図15は、本発明の第2実施例による二重のゲート線を有する液晶表示装置用薄膜トランジスタ基板の構造を示した配置図である。

【図16】図16は、図15のXVI-XVI'線の断面図である。

【図17】図17は、本発明の第3実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図18】図18は、図17のXVIII-XVIII'線に沿って切断した薄膜トランジスタの断面図である。

40

【図19】図19は、図17のXIX-XIX'線の断面図である。

【図20】図20は、図17のXX-XX'線に沿って切断したゲートパッド部の断面図である。

【図21】図21は、図17のXXI-XXI'線に沿って切断したデータパッド部の断面図である。

【図22】図22は、本発明の第3実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図23】図23は、本発明の第3実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

50

【図 2 4】図 2 4 は、本発明の第 3 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図 2 5】図 2 5 は、本発明の第 3 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図 2 6】図 2 6 は、本発明の第 3 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図 2 7】図 2 7 は、本発明の第 3 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図 2 8】図 2 8 は、本発明の第 4 実施例によるゲートパッド部を示した平面図及び断面図である。

10

【図 2 9】図 2 9 は、本発明の第 4 実施例によるデータパッド部を示した平面図及び断面図である。

【図 3 0】図 3 0 は、本発明の第 4 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図 3 1】図 3 1 は、本発明の第 4 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図 3 2】図 3 2 は、本発明の第 4 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図 3 3】図 3 3 は、本発明の第 4 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

20

【図 3 4】図 3 4 は、本発明の第 5 実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図 3 5】図 3 5 は、図 3 4 の XXXV - XXXV' 線の断面図である。

【図 3 6】図 3 6 は、本発明の第 6 実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図 3 7】図 3 7 は、図 3 6 の XXXVII - XXXVII' 線の断面図である。

【図 3 8】図 3 8 は、本発明の第 7 実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図 3 9】図 3 9 は、図 3 8 の XXXIX - XXXIX' の断面図である。

【図 4 0】図 4 0 は、図 3 6 の XXXVII - XXXVII' 線の断面図を製造工程の順序によって示した図面である。

30

【図 4 1】図 4 1 は、図 3 6 の XXXVII - XXXVII' 線の断面図を製造工程の順序によって示した図面である。

【図 4 2】図 4 2 は、図 3 8 の XXXIX - XXXIX' 線の断面図を製造工程の順序によって示した図面である。

【図 4 3】図 4 3 は、図 3 8 の XXXIX - XXXIX' 線の断面図を製造工程の順序によって示した図面である。

【図 4 4】図 4 4 は、本発明の第 8 実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図 4 5】図 4 5 は、図 4 4 に示した薄膜トランジスタ基板の XLV - XLV' 線の断面図である。

40

【図 4 6】図 4 6 は、本発明の第 9 実施例による液晶表示装置用薄膜トランジスタ基板の配置図である。

【図 4 7】図 4 7 は、図 4 6 に示した薄膜トランジスタ基板の XLVII - XLVII' 線の断面図である。

【図 4 8】図 4 8 は、本発明の第 9 実施例による液晶表示装置用薄膜トランジスタ基板のデータ線の断線を修理する方法を示した配置図である。

【図 4 9】図 4 9 は、本発明の第 9 実施例による液晶表示装置用薄膜トランジスタ基板のデータ線及び共通電極の短絡を修理する方法を示した配置図である。

【図 5 0】図 5 0 は、本発明の第 8 実施例による液晶表示装置用薄膜トランジスタ基板の

50

製造方法を工程順序によって示した断面図である。

【図５１】図５１は、本発明の第８実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図５２】図５２は、本発明の第８実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【図５３】図５３は、本発明の第８実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【発明を実施するための形態】

【００１７】

以下、添付図面に基づいて本発明の実施例による液晶表示装置用薄膜トランジスタ基板及びその製造方法を本発明が属する技術分野における通常の知識を有する者が容易に実施し得るように詳しく説明する。

【００１８】

図１は本発明の第１実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図２は図１のⅡ－Ⅱ'線に沿って切断した薄膜トランジスタの断面図であり、図３は図１のⅢ－Ⅲ'線に沿って切断したゲートパッドの断面図であり、図４は図１のⅣ－Ⅳ'線に沿って切断したデータパッドの断面図であり、図５は図１のⅤ－Ⅴ'線の断面図であって、データ線及び画素電極の短絡を防止するために保護膜に開口部が形成されている構造である。

【００１９】

図１ないし図５に示されているように、透明絶縁基板１０の上に横方向に長くゲート線２２が形成されており、ゲート線２２からゲート電極２４が延長されており、ゲート線２２の端部にはゲート信号を印加するためのゲートパッド２６が形成されている。

【００２０】

ゲート配線２２、２４、２６をゲート絶縁膜３０が覆っており、ゲート電極２４の上部のゲート絶縁膜３０の上には半導体である非晶質珪素層４０がゲート電極２４を覆う形態で形成されている。また、ゲート絶縁膜３０の上にデータ線６２が縦方向に長く形成されており、データ線６２の端には画像信号の印加のためのデータパッド６４が形成されている。データ線６２から延長されたソース電極６５がゲート電極２４の一方の縁と重畳しており、ゲート電極２４を中心にしてソース電極６５の反対側にドレーン電極６６がゲート電極２４と重畳している。

【００２１】

非晶質珪素層４０とソース及びドレーン電極６５、６６が接触する面との間には接触抵抗特性を向上させるためのドーピングされた非晶質珪素層５５、５６が形成されている。

【００２２】

データ線６２と、データパッド６４と、ソース及びドレーン電極６５、６６などのデータ配線及び非晶質珪素層４０を保護膜７０が覆っている。保護膜７０にはドレーン電極６６及びデータパッド６４を露出させる接触口７２、７４がそれぞれ形成されており、ゲートパッド２６を露出させる接触口７６が保護膜７０及びゲート絶縁膜３０に形成されている。

【００２３】

データ線６２とゲート線２２とが交差して区画する画素内の保護膜７０の上にはITOのような透明物質からなる画素電極８０が形成され、接触口７２を通してドレーン電極６６と接触している。また、接触口７６、７４を通してゲートパッド２６及びデータパッド６４と接触する補助パッドパターン８６、８４が形成されている。

【００２４】

図１及び図５に示されているように、データ線６２又はゲート線２２と画素電極８０との間には保護膜７０の一部又は保護膜７０及びその下部の非晶質珪素層４０が除去された開口部７８が長く形成されている。

【００２５】

10

20

30

40

50

非晶質珪素物質膜 4 2 1 及びドーピングされた非晶質珪素物質膜 4 2 2 からなる残存物質 4 2 がデータ線 6 2 と画素電極 8 0 との間に残っている場合には保護膜 7 0 及び残存物質 4 2 が同時に除去される形態に開口部 7 8 が形成される。このように、データ線 6 2 と接触している残存物質 4 2 がデータ線 6 2 と画素電極 8 0 との間で切れているので、工程進行過程で保護膜 7 0 に隙間 7 9 が発生することによって画素電極 8 0 と残存物質 4 2 とが連結されても、画素電極 8 0 とデータ線 6 2 とが電氣的に連結されない。

【 0 0 2 6 】

このような本発明の第 1 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法について図 1 ないし 5 及び図 6 ないし 1 0 に基づいて説明する。

【 0 0 2 7 】

図 6 ないし図 1 0 は液晶表示装置の製造方法の第 1 実施例を工程順序によって示した断面図であって、残留物質を除去するための開口部を保護膜エッチング工程時に形成する方法を示したものである。

【 0 0 2 8 】

図 6 に示されているように、透明な絶縁基板 1 0 の上にゲート金属を蒸着しパターニングしてゲート線 2 2 と、ゲートパッド 2 6 と、ゲート電極 2 4 とを形成した後、図 7 に示されているように、その上にゲート絶縁膜 3 0 を形成し、非晶質珪素及びドーピングされた非晶質珪素を順に積層してからパターニングして非晶質珪素層 4 0 及びドーピングされた非晶質珪素層 5 0 を形成する。この過程で、意図しなかった部分に半導体物質 4 2 1、4 2 2 からなる残留導電膜 4 2 が残る可能性もある。

【 0 0 2 9 】

次に、図 8 に示されているように、データ金属を蒸着しパターニングしてデータ線 6 2 と、データパッド 6 4 と、ソース電極 6 5 及びドレイン電極 6 6 とを形成した後、ソース及びドレイン電極 6 5、6 6 をマスクとしてドーピングされた非晶質珪素層 5 0 の一部を除去して抵抗性接触層 5 5、5 6 を形成する。この過程でデータ金属の一部が意図しなかった位置に残留する可能性もある。

【 0 0 3 0 】

図 9 に示されているように、その上に保護膜 7 0 を蒸着しエッチングすることにより、ドレイン電極 6 6 を露出させる接触口 7 2、データパッド 6 4 を露出させる接触口 7 4、ゲートパッド 2 6 を露出させる接触口 7 6 を形成する。この段階で、データ線 6 2 の外側で半導体物質 4 2 1、4 2 2 などの残留物質 4 2 と、ゲート絶縁膜 3 0 と、保護膜 7 0 とを同時にエッチングして長い開口部 7 8 を形成する。この時、保護膜 7 0 及び / 又はゲート絶縁膜 3 0 と残留物質 4 2 とのエッチング選択比が小さかったり、残留物質 4 2 のエッチング速度が速い条件下で乾式エッチングを実施し、エッチング気体及びエッチング時間を適切に調節して残留物質 4 2 を十分に除去する。

【 0 0 3 1 】

その次、図 1 0 に示されているように、ITO などの透明導電物質を蒸着してからパターニングして接触口 7 2 を通してドレイン電極 6 6 と接触する画素電極 8 0 を形成し、ゲートパッド 2 6 及びデータパッド 6 4 を保護するための補助パッドパターン 8 6、8 4 を接触口 7 6、7 4 を通してゲートパッド 2 6 及びデータパッド 6 4 とそれぞれ接触するように形成する。

【 0 0 3 2 】

次いで、半導体層を形成した後、ゲート絶縁膜をパターニングしてゲートパッドを露出させる段階で開口部を形成する方法について図 1 1 ないし図 1 4 に基づいて詳しく説明する。

【 0 0 3 3 】

前述の図 6 及び図 7 と同様に、透明な絶縁基板 1 0 の上にゲート金属を蒸着しパターニングしてゲート線 2 2 と、ゲートパッド 2 6 と、ゲート電極 2 4 とを形成した後、その上にゲート絶縁膜 3 0 を形成し、非晶質珪素及びドーピングされた非晶質珪素を順に積層してからパターニングして非晶質珪素層 4 0 及びドーピングされた非晶質珪素層 5 0 を形成

10

20

30

40

50

する。

【0034】

次に、図11に示されているように、ゲート絶縁膜30をパターニングしてゲートパッド26を露出させる接触口76を形成する。この段階で、データ線62が位置する部分と画素電極80が位置する部分との間に縦方向に長い開口部78を形成する。この時、非晶質珪素などの残留物質42とゲート絶縁膜30とのエッチング選択比が小さかったり残留物質のエッチング速度が速い条件下で開口部78を形成しなければならない。

【0035】

図12に示されているように、データ金属を蒸着しパターニングしてデータ線62と、データパッド64と、ソース電極65及びドレイン電極66とを形成した後、ソース電極65及びドレイン電極66をマスクとして露出されているドーピングされた非晶質シリコン層50をエッチングして抵抗性接触層55、56を完成する。

【0036】

図13に示されているように、その上に保護膜70を蒸着し、ドレイン電極66を露出させる接触口72及びデータパッド64及びゲートパッド26を露出させる接触口74、76をそれぞれ形成する。

【0037】

次に、図14に示されているように、ITOのような透明導電物質を蒸着しパターニングして画素電極80と、補助ゲートパッド86及び補助データパッド84とを形成する。この段階で、ITO残留物質が画素の間を連結する形態で残る場合には追加エッチング工程を実施して連結部位を切る。

【0038】

このように、第1実施例による製造方法では、画素電極80とデータ線62との間にわたって形成されている半導体残存物質42をゲート絶縁膜30又は保護膜70と共に溝を掘るようにエッチングして除去することによって、残存物質42によって画素電極80とデータ線62との間に発生した短絡不良部を断線させる。

【0039】

勿論、画素電極80を形成する段階で画素電極導電材料が残留する場合、追加写真エッチング工程を実施して開口部を形成することもできる。この場合、工程が追加されることとなるが、半導体残留物質及びデータ金属残留物質など全ての導電残留物質を完全に除去することができるという長所がある。

【0040】

次いで、二重のゲート線を有する液晶表示装置用薄膜トランジスタ基板の構造について図面に基づいて詳しく説明する。

【0041】

図15は本発明の第2実施例による二重のゲート線を有する液晶表示装置に画素不良を除去するための開口部が適用された構造を示した配置図であり、図16は図15のXVI-XVI'線の断面図である。

【0042】

図15に示されているように、ゲート線22、28が二重化されており、ゲート線22、28を上下に連結する2つの連結部27が画素電極80の縁と重畳する形態で形成されていること以外は、図1ないし図5に示した構造と同一である。

【0043】

図15及び図16に示されているように、データ線62と画素電極80又は連結部27との間にそれぞれの開口部77、78が縦方向に長く形成されていることによって、データ線62と画素電極80との間、又は画素電極80と隣接画素の画素電極80との間に残る可能性がある残留物質43が2つの部分431、432に分かれる。即ち、残留物質43の中のデータ線62と接触する部分431が画素電極80と重畳或いは短絡されている部分432と互いに分離されていることによって、データ線62に印加される表示信号が画素電極80の電位を揺るがしたり、画素電極80に直接流入しない。これによって、画

10

20

30

40

50

素内又は画素間の点欠陥が除去され得る。

【 0 0 4 4 】

この時、図 1 6 に示されているように、保護膜 7 0 が除去された開口部 7 8 又は保護膜 7 0 及びゲート絶縁膜 3 0 を同時に除去した開口部 7 7 の構造が全ての画素に適用され得る。

【 0 0 4 5 】

次いで、画素電極がデータ配線の下部に位置する構造を有する第 3 及び第 4 実施例とその製造方法とを説明する。

【 0 0 4 6 】

図 1 7 ないし図 2 1 は本発明の第 3 実施例による液晶表示装置用薄膜トランジスタ基板の構造を示す。

10

【 0 0 4 7 】

図 1 7 は本発明の第 3 実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図 1 8 は図 1 7 のXVIII - XVIII' 線に沿って切断した薄膜トランジスタの断面図であり、図 1 9 は図 1 7 のXIX - XIX' 線の断面図であり、図 2 0 は図 1 7 のXX - XX' 線に沿って切断したゲートパッド部の断面図であり、図 2 1 は図 1 7 のXXI - XXI' 線に沿って切断したデータパッド部の断面図である。

【 0 0 4 8 】

前述の実施例と同様に、基板 1 0 の上にゲート線 2 2 と、ゲート電極 2 4 と、ゲートパッド 2 6 などのゲート配線が形成されている。

20

【 0 0 4 9 】

ゲート配線をゲート絶縁膜 3 0 が覆っており、ゲート絶縁膜 3 0 には接触口 3 6 が形成されていてゲートパッド 2 6 の一部を露出させる。また、ゲート絶縁膜 3 0 の上に前述の実施例と同様な形態で、半導体パターンである非晶質珪素層 4 0 及び抵抗性接触層パターンであるドーピングされた非晶質珪素層 5 5、5 6 が形成されている。

【 0 0 5 0 】

前述のように、第 3 実施例では画素電極 8 0 がゲート絶縁膜 3 0 の上に形成されており、駆動回路部分と接触する補助パッドパターン 8 6、8 4 がゲートパッド 2 6 の付近及びデータパッド 6 4 が形成される付近に形成されている。

30

【 0 0 5 1 】

画素電極 8 0 の外側に沿ってゲート絶縁膜 3 0 が除去された開口部 3 8、3 9 が形成されていて、画素電極 8 0 が形成される領域に半導体物質 4 2 (図 1 9 参照) が残存して隣接した画素電極 8 0 が短絡される可能性を除去する。

30

【 0 0 5 2 】

前述の実施例と同様に、データ線 6 2 と、ソース電極 6 5 及びドレーン電極 6 6 とが形成されている。この時、図 1 9 に示されているように、データ線 6 2 は開口部 3 8、3 9 を介して画素電極 8 0 と離間して形成されている。

【 0 0 5 3 】

図 2 0 に示されているように、ゲートパッドの付近には接触口 3 6 を通してゲートパッド 2 6 と接触し補助ゲートパッド 8 6 とは直接接触する連結パターン 6 3 がデータ配線と同一な物質から形成されており、連結パターン 6 3 には補助ゲートパッド 8 6 の中間部分が露出されるように開口部 6 7 が形成されている。

40

【 0 0 5 4 】

また、データパッド部を示す図 2 1 のように、データパッド 6 4 が補助データパッド 8 4 を覆っており、補助データパッド 8 4 の中間部分が露出されるようにデータパッド 6 4 の一部が除去された開口部 6 9 が形成されている。

【 0 0 5 5 】

即ち、補助パッドパターン 8 6、8 4 を媒介としてゲートパッド 2 6 及びデータパッド 6 4 に外部信号が印加される。

【 0 0 5 6 】

50

データ線 6 2 と、ソース電極 6 5 及びドレーン電極 6 5 と、連結パターン 6 3 と、データパッド 6 4 など保護膜 7 0 が覆っており、補助パッドパターン 8 6、8 4 の一部が露出されるように開口部 7 6、7 4 が形成されており、画素電極 8 0 の上部の保護膜 7 0 も除去されている。

【0057】

前述したように、画素電極 8 0 の縁に沿って開口部 3 8、3 9 が形成されているのでデータ線 6 2 と画素電極 8 0 又は 2 つの画素電極の間に半導体物質 4 2 の残存による短絡が発生しない。

【0058】

次いで、このような構造の液晶表示装置を製造する方法について図 2 2 ないし図 2 7 に基づいて説明する。

10

【0059】

図 2 2 ないし図 2 7 は本発明の第 3 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【0060】

図 2 2 に示されているように、基板 1 0 の上にゲート線 2 2 と、ゲート電極 2 4 と、ゲートパッド 2 6 などのゲート配線を形成する。

【0061】

次に、図 2 3 に示されているように、その上にゲート絶縁膜 3 0 と、非晶質珪素膜と、ドーピングされた非晶質珪素膜とを連続して蒸着した後、非晶質珪素膜及びドーピングされた非晶質珪素膜をパターニングして半導体パターンである非晶質珪素層 4 0 とオーミック (ohmic) 接触層 5 0 とを形成する。半導体パターンを形成する過程で意図しなかった部分、特にデータ線 6 2 及び画素電極 8 0 が形成される部分に半導体残留物質 4 2 が残る可能性がある。

20

【0062】

図 2 4 に示されているように、ITO のような透明導電物質を全面に蒸着しパターニングして画素電極 8 0 と、ゲートパッド部及びデータパッド部とに補助パッドパターン 8 6、8 4 をそれぞれ形成する。

【0063】

図 2 5 に示されているように、乾式エッチングでゲートパッド 2 6 の上部のゲート絶縁膜 3 0 を除去して接触口 3 6 を形成する。この段階で、画素電極 8 0 の外側に沿ってゲート絶縁膜 3 0 及び残留物質 4 2 を除去するために開口部 3 8、3 9 を形成する。この乾式エッチングの後、画素電極 8 0 の形成段階で残った ITO 残留物質を除去するための湿式エッチングを追加に実施して ITO 残留物質による画素電極 8 0 の間の短絡が切れるようにする。

30

【0064】

又は、ゲート絶縁膜 3 0 を乾式エッチングして開口部 3 8、3 9 を形成する前段階で、ITO 画素電極 8 0 に使用した同一マスクで ITO 残留物質を乾式エッチングする。

【0065】

結局、この段階で ITO 残留物質及び半導体残留物質 4 2 が同時に除去される。

40

【0066】

図 2 6 に示されているように、データ金属を蒸着しパターニングしてデータ線 6 2 と、ソース電極 6 5 及びドレーン電極 6 6 と、ゲートパッド部の連結パターン 6 3 と、データパッド部のデータパッド 6 4 など形成した後、ソース電極 6 5 及びドレーン電極 6 5 をマスクとしてドーピングされた非晶質珪素層 5 0 の露出した部分をエッチングして抵抗性接触層 5 5、5 6 を形成する。この時、連結パターン 6 3 は接触口 3 6 を通してゲートパッド 2 6 と接触する。

【0067】

この時、補助パッドパターン 8 6、8 4 の中間部分が露出されるように連結パターン 6 3 及びデータパッド 6 4 の一部をエッチングして開口部 6 7、6 9 を形成する。

50

【 0 0 6 8 】

図 2 7 に示されているように、保護膜 7 0 を全面に蒸着しエッチングして、画素電極 8 0 を露出させ、補助パッドパターン 8 6 、 8 4 が露出されるように接触口 7 6 、 7 4 を形成する。

【 0 0 6 9 】

本発明の第 4 実施例による液晶表示装置用薄膜トランジスタ基板は本発明の第 3 実施例のゲート及びデータパッド部とは異なるパッド部構造を有する。

【 0 0 7 0 】

以下に、図 2 8 及び図 2 9 に基づいて第 4 実施例による構造を説明し、図 3 0 ないし図 3 3 に基づいて第 4 実施例の構造を実現する製造方法を説明する。

10

【 0 0 7 1 】

図 2 8 は本発明の第 4 実施例による液晶表示装置用基板のゲートパッド部を示した平面図及び断面図であり、図 2 9 は本発明の第 4 実施例による液晶表示装置用基板のデータパッド部を示した平面図及び断面図である。

【 0 0 7 2 】

図 2 8 及び図 2 9 に示されているように、基板 1 0 の上にゲートパッド 2 6 が形成されており、その上にはゲート絶縁膜 3 0 が覆われており、ゲート絶縁膜 3 0 にはゲートパッド 2 6 を露出させる接触口 3 6 が形成されている

データパッド部において、ゲート絶縁膜 3 0 の上にはクロム (C r) などから構成されるデータパッド 6 4 が形成されている。このデータパッド 6 4 と同一な物質から構成される連結パターン 6 3 が接触口 3 6 を通してゲートパッド 2 6 と連結されるように形成されている。

20

【 0 0 7 3 】

データパッド 6 4 及び連結パターン 6 3 を保護膜 7 0 が覆っており、保護膜 7 0 には連結パターン 6 3 及びデータパッド 6 4 を露出させる形態で接触口 7 6 、 7 4 が形成されている。

【 0 0 7 4 】

クロムなどの金属は空气中に露出した状態であっても酸化しにくいため第 3 実施例のような補助パッドパターンが不必要になる。

【 0 0 7 5 】

30

このような構造の液晶表示装置の製造方法を図 3 0 ないし図 3 3 に基づいて説明する。

【 0 0 7 6 】

図 3 0 ないし図 3 3 は本発明の第 4 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法を工程順序によって示した断面図である。

【 0 0 7 7 】

図 3 0 に示されているように、ゲート線 2 2 と、ゲート電極 2 4 と、ゲートパッド 2 6 とを形成した後、その上にゲート絶縁膜 3 0 を蒸着する。

【 0 0 7 8 】

第 3 実施例と同一な方法で半導体パターン 4 0 、 5 0 と、 I T O 画素電極 8 0 と、開口部 3 8 、 3 9 とを形成する (図 2 3 及び図 2 4 参照) 。この過程で、図 3 1 に示されているように、ゲートパッド 2 6 を露出させる接触口 3 6 を形成する。

40

【 0 0 7 9 】

次に、図 3 2 に示されているように、データ線 6 2 と、ソース電極 6 5 及びドレーン電極 6 6 と、ゲートパッド部の連結パターン 6 3 と、データパッド 6 4 とを形成する。この時、連結パターン 6 3 は接触口 3 6 を通してゲートパッド 2 6 と接触する。

【 0 0 8 0 】

図 3 3 に示されているように、保護膜 7 0 を蒸着し画素電極 8 0 の上部の保護膜 7 0 を除去する (図 2 5 参照) 。この段階で、連結パターン 6 3 及びデータパッド 6 4 を露出させる開口部 7 6 、 7 4 を形成する。

【 0 0 8 1 】

50

このように、ゲートパッド部及びデータパッド部以外は第 3 実施例と同一な構造及び製造方法で形成される。

【 0 0 8 2 】

前述の第 1 ないし第 4 実施例では残留する導電物質による画素欠陥を除去する場合のみについて説明した。次いで、画素欠陥と誤整列又はステッチ不良を同時に最少化することができる構造について詳しく説明する。

【 0 0 8 3 】

まず、図 3 4 及び図 3 5 に基づいてステッチ不良のみを除去する構造及び原理について考察する。

【 0 0 8 4 】

図 3 4 は本発明の第 5 実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図 3 5 は図 3 4 の XXXV - XXXV' 線の断面図である。

【 0 0 8 5 】

透明な絶縁基板 1 0 の上に横方向にゲート線 2 2 が形成されており、その上にゲート絶縁膜 3 0 が積層されており、ゲート絶縁膜 3 0 の上には縦方向にデータ線 6 2 が形成されており、データ線 6 2 の両側にデータ線 6 2 と平行にデータ線 6 2 と分離された整列パターン 6 8 が形成されている。ここで、整列パターン 6 8 はデータ線 6 2 形成段階で共に形成されるのでデータ線 6 2 との整列誤差が発生する恐れはない。また、ゲート絶縁膜 3 0 の上には薄膜トランジスタを形成する非晶質珪素パターン 4 0 が形成されており、非晶質珪素パターン 4 0 の上にゲート線 2 4 を中心にして両側に分離されている接触層 5 5、5 6 が形成されており、接触層 5 5、5 6 の上にはソース電極 6 5 及びドレーン電極 6 6 が形成されている。データ線 6 2 と、整列パターン 6 8 と、ソース電極 6 5 と、ドレーン電極 6 6 との上には保護膜 7 0 が積層されており、保護膜 7 0 の上には画素電極 8 0 がデータ線 6 2 と隣接しない整列パターン 6 8 の一部と重畳するように形成されている。画素電極 8 0 は保護膜 7 0 に形成されている接触口 7 2 を通してドレーン電極 6 6 と連結されている。

【 0 0 8 6 】

これによって、画素電極 8 0 とデータ線 6 2 との間の静電容量 C_1 は、大略画素電極 8 0 と整列パターン 6 8 との間の静電容量 C_2 と、整列パターン 6 8 とデータ線 6 2 との間の静電容量 C_3 とを直列連結した容量で示される。即ち、

$$C_1 = (C_2 \times C_3) / (C_2 + C_3) \quad (1)$$

である。この時、整列パターン 6 8 とデータ線 6 2 との間の距離は $3 \mu m$ から $5 \mu m$ の範囲であるのに比べて整列パターン 6 8 と画素電極 8 0 との間の距離は $0.2 \mu m$ 程度であり、整列パターン 6 8 と画素電極 8 0 とは一部が重畳しているので画素電極 8 0 と整列パターン 6 8 との間の静電容量 C_2 に比べて整列パターン 6 8 とデータ線 6 2 との間の静電容量 C_3 が非常に小さい。前記式 (1) で、画素電極 8 0 と整列パターン 6 8 との間の静電容量 C_2 より整列パターン 6 8 とデータ線 6 2 との間の静電容量 C_3 の大きさが非常に小さい場合、画素電極 8 0 とデータ線 6 2 との間の結合静電容量 C_1 は、凡そ整列パターン 6 8 とデータ線 6 2 との間の静電容量 C_3 と同一であるといえることができる。結局、整列パターン 6 8 とデータ線 6 2 との間の静電容量 C_3 によって画素電極 8 0 とデータ線 6 2 との間の結合静電容量 C_1 が決定される。さらに、データ線 6 2 と整列パターン 6 8 との間には整列誤差が発生する恐れがないので基板 1 0 の全面にわたってデータ線 6 2 と画素電極 8 0 との間の結合静電容量は一定になり、従って、ステッチ不良が発生しない。

【 0 0 8 7 】

図 3 6 は本発明の第 6 実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図 3 7 は図 3 6 の XXXVII - XXXVII' 線の断面図である。

【 0 0 8 8 】

第 6 実施例は第 5 実施例とほぼ同一の構造を有する。ただ、第 1 ないし第 4 実施例と類似してデータ線 6 2 と整列パターン 6 8 との間の保護膜 7 0 及びゲート絶縁膜 3 0 が除去

されて基板 10 を露出させる開口部 78 が形成されている。

【0089】

ここで、開口部 78 はデータ線 62 及び整列パターン 68 をエッチングするために形成したものであって、開口部 78 によってデータ線 62 と整列パターン 68 との間隔が決定されるので結合静電容量を一定にすることができることは勿論、データ線 62 と整列パターン 68 との間又はデータ線 62 と画素電極 80 との間に残留する導電物質が存在するのでデータ線 62 と整列パターン 68 又は画素電極 80 が短絡されるのを除去するようにして画素不良を防止することができるようにする。

【0090】

図 38 は本発明の第 7 実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図 39 は図 38 の XXXIX - XXXIX' の断面図である。

10

【0091】

第 7 実施例のゲート線 22 と、ゲート絶縁膜 30 と、非晶質珪素パターン 40 と、接触層 55、56 と、データ線 62 と、整列パターン 68 と、ソース電極 65 と、ドレーン電極 66 とは第 6 実施例と同一な構造を有する。差異点は画素電極 80 がゲート絶縁膜 30 の上に形成されていてドレーン電極 66 及び整列パターン 68 と一部分が重畳して直接接触しており、画素電極 80 の上に保護膜 70 が積層されている。

【0092】

これによって、整列パターン 68 と画素電極 80 との間には静電容量が発生しないのでデータ線 62 と画素電極 80 との間の静電容量はデータ線 62 と整列パターン 68 との間の静電容量と完全に同一になる。従って、ステッチ不良を完全に解消することができる。

20

【0093】

次いで、図面に基づいて本発明の第 6 及び第 7 実施例による液晶表示装置用薄膜トランジスタ基板を製造する方法を説明する。

【0094】

図 40 及び図 41 は、図 36 の XXXVII - XXXVII' 線の断面図を製造工程の順序によって示した図面である。

【0095】

図 40 に示されているように、基板の上にゲート導電材料を蒸着しパターニング (patterning) してゲート線 22 を形成し、その上にゲート絶縁膜 30 と、非晶質珪素層と、ドーピングされた非晶質珪素層とを順に蒸着した後、非晶質珪素層及びドーピングされた非晶質珪素層をパターニングして非晶質珪素パターン 40 と両側に分離されない接触層とを形成する。次に、データ導電材料を蒸着しパターニングしてデータ線 62 と、整列パターン 68 と、ソース電極 65 と、ドレーン電極 66 とを形成し、ソース電極 65 及びドレーン電極 66 をマスクとして接触層 55、56 をエッチングして両側に分離する。

30

【0096】

次いで、図 41 に示されているように、保護膜 70 を蒸着しパターニングしてドレーン電極 66 を露出させる接触口 72 と、データ線 62 と整列パターン 68 との互いに隣接した側面を露出させる開口部 78 とを形成した後、ITO (indium tin oxide) などの導電物質を蒸着しパターニングして画素電極 80 を形成する。ここで、保護膜 70 のパターニングは乾式エッチング方法によって進められる。

40

【0097】

最後に、保護膜 70 をマスクとして開口部 78 を通して露出されているデータ線 62 及び整列パターン 68 をエッチングして除去する。この時、ゲート絶縁膜 30 までエッチングすることもできる。

【0098】

このような方法で薄膜トランジスタ基板を製造するとデータ線 62 と整列パターン 68 との間隔が開口部 78 によって決定されるので、データ線 62 と整列パターン 68 との間隔を一定にすることが容易であり、データ線 62 と整列パターン 68 又は画素電極 80 が短絡されることを防止して画素不良を除去することができる。

50

【 0 0 9 9 】

図 4 2 及び図 4 3 は図 3 8 のXXXIX - XXXIX' 線の断面図を製造工程の順序によって示した図面である。

【 0 1 0 0 】

第 7 実施例も、図 4 2 に示されているように、ソース電極 6 5 及びドレーン電極 6 6 をマスクとして接触層 5 5、5 6 をエッチングして両側に分離する段階までは図 4 0 に示した第 6 実施例と同一である。次いで、ゲート絶縁膜 3 0 の上に I T O などの導電材料を蒸着しパターンニングしてドレーン電極 6 6 の一部及び整列パターン 6 8 の一部とも重畳して接触するように画素電極 8 0 を形成する。

【 0 1 0 1 】

次に、図 4 3 に示されているように、保護膜 7 0 を蒸着しパターンニングしてデータ線 6 2 及び整列パターン 6 8 の一部を露出させる開口部 7 8 を形成する。

【 0 1 0 2 】

最後に、開口部 7 8 を通して露出されているデータ線 6 2 及び整列パターン 6 8 をエッチングして除去する。この時、データ線 6 2 と整列パターン 6 8 及び画素電極の間に残留する導電性残留物質も共に除去する。

【 0 1 0 3 】

次いで、図 4 4 及び図 4 5 に基づいて本発明の第 8 実施例による液晶表示装置用薄膜トランジスタ基板の構造について詳しく説明する。

【 0 1 0 4 】

図 4 4 は本発明の第 8 実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図 4 5 は図 4 4 に示した薄膜トランジスタ基板のXLV - XLV' 線の断面図である。

【 0 1 0 5 】

まず、絶縁基板 1 0 の上にアルミニウム (A l) 又はアルミニウム合金 (A l alloy)、モリブデン (M o) 又はモリブデン - タングステン (M o W) 合金、クロム (C r)、タンタル (T a) などの金属又は導電体からなるゲート配線が形成される。ゲート配線は横方向に二重に伸びている走査信号線又はゲート線 2 2 と、ゲート線 2 2 の一部である薄膜トランジスタのゲート電極 2 4 と、二重のゲート線 2 2 を連結するゲート線連結部 2 8 とを含み、ゲート配線は、図示していないが、ゲート線の端に連結されていて外部からの走査信号の印加を受けてゲート線 2 2 に伝達するゲートパッドを含むことができる。ゲート配線 2 2、2 8 は後述する画素電極 8 0 と重畳して画素の電荷保存能力を向上させるための維持容量を有する維持蓄電器をなし、維持容量が充分でない場合にはゲート配線 2 2、2 4、2 8 と同一な層で後述する画素電極 8 0 と重畳する維持容量用配線を別途に形成することもできる。

【 0 1 0 6 】

ゲート配線 2 2、2 4、2 8 は単一層から形成されることができ、二重層又は三重層から形成されることができ。二重層以上に形成する場合、1 つの層は抵抗が小さな物質から形成し、他の層は他の物質との接触特性が良好な物質から形成するのが好ましく、C r / A l (又は A l 合金) の二重層又は A l / M o の二重層がその例である。

【 0 1 0 7 】

ゲート配線 2 2、2 4、2 8 の上には窒化珪素 (S i N _x) などからなるゲート絶縁膜 3 0 が形成されてゲート配線 2 2、2 4、2 8 を覆っている。

【 0 1 0 8 】

ゲート絶縁膜 3 0 の上には水素化非晶質珪素 (hydrogenated amorphous silicon) などの半導体からなる半導体パターン 4 0、4 8 が形成されており、半導体パターン 4 0、4 8 の上には燐 (P) などの n 形不純物で高濃度にドーピングされている非晶質珪素などからなる抵抗性接触層 (ohmic contact layer) パターン又は中間層パターン 5 5、5 6、5 8 が形成されている。

【 0 1 0 9 】

接触層パターン 5 5、5 6、5 8 の上には M o 又は M o W 合金、C r、A l 又は A l 合

10

20

30

40

50

金、Taなどの導電物質からなるデータ配線と整列パターンとが形成されている。データ配線は縦方向に形成されているデータ線62と、データ線62の分枝である薄膜トランジスタのソース電極65からなるデータ線部とを含み、また、データ線部62、65と分離されておりゲート電極24又は薄膜トランジスタのチャンネル部Cに対してソース電極65の反対側に位置する薄膜トランジスタのドレーン電極66を含み、データ配線は、図示してはいないが、データ線62の一端に連結されて外部からの画像信号の印加を受けるデータパッドをさらに含むことができる。整列パターン68は接触層パターン58の上部にデータ線62と同一な方向に形成されている。

【0110】

データ配線62、65、66及び整列パターン68はゲート配線22、24、28と同様に単一層から形成されることもできるが、二重層又は三重層から形成されることもできる。勿論、二重層以上に形成する場合、1つの層は抵抗が小さな物質から形成し、他の層は他の物質との接触特性が良好な物質から形成するのが好ましい。

10

【0111】

接触層パターン55、56はその下部の半導体パターン40とその上部のデータ配線62、65、66との接触抵抗を低下させる役割を果たし、データ配線62、65、66と完全に同一な形態を有する。即ち、データ線部の中間層パターン55はデータ線部62、65と同一であり、ドレーン電極用中間層パターン56はドレーン電極66と同一である。一方、整列パターン68の下部には半導体パターン48と接触層パターン58とが形成されているが、一部は整列パターン68の内側に形成されている。

20

【0112】

一方、半導体パターン40は薄膜トランジスタのチャンネル部C以外はデータ配線62、65、66及び接触層パターン55、56と同一な形態を有している。

【0113】

データ配線62、65、66及びデータ配線で覆われない半導体パターン40のチャンネル部Cの上には保護膜70が形成されており、保護膜70はドレーン電極66を露出させる接触口72を有しており、データ線62の両側にはゲート絶縁膜30と共にデータ線62と整列パターン68との間の基板10を露出させる開口部78を有している。ここで、データ線62から遠く離れて位置した開口部78の境界線は整列パターン68の内側に形成されていてデータ線62に隣接した整列パターン68の境界線は開口部78を通して露出されており、データ線62に隣接した整列パターン68の下部の半導体パターン48及び接触層パターン58は整列パターン68の境界線の内側に形成されている。勿論、データ線62に隣接した開口部78の境界線もデータ線68の内側に位置するように開口部78が形成されることもでき、開口部78の境界線がデータ線62と整列パターン68との間に位置するように開口部78が形成されることもできる。ここで、保護膜70はデータパッドを露出させる接触口を有することができ、ゲート絶縁膜30と共にゲートパッドを露出させる接触口を有することもできる。また、保護膜70は窒化珪素又はアクリル系などの有機絶縁物質からなることができる。

30

【0114】

保護膜70の上には薄膜トランジスタから画像信号を受けて上板の電極と共に電気場を生成する画素電極80が形成されている。画素電極80はITO(indium tin oxide)又はIZO(indium zinc oxide)などの透明な導電物質からなり、接触口72を通してドレーン電極66と物理的・電氣的に連結されて画像信号の伝達を受ける。ここで、データ線62に隣接した画素電極80は開口部78を通して露出された整列パターン68の上部まで形成されている。勿論、画素電極80を開口部78まで至らないように保護膜70の上部のみに形成することができ、整列パターン68を過ぎて形成されることもできる。画素電極80はゲート配線22、24、28と重畳して維持容量を形成するが、維持容量が充分でない場合には維持配線を別途に形成して十分な維持容量を確保することもできる。一方、画素電極80と同一な層には保護膜70の接触口を通してゲートパッド及びデータパッドと連結される補助ゲートパッド及び補助データパッドを形成することができ、これ

40

50

らの適用如何は選択的である。

【 0 1 1 5 】

ここでは画素電極 8 0 の材料の例として透明な I T O 又は I Z O をあげたが、反射型液晶表示装置の場合には不透明な導電物質を使用しても良い。

【 0 1 1 6 】

このような本発明の構造では画素電極 8 0 とデータ線 6 2 との間の保護膜 7 0 に隙間が形成されて導電物質が存在しても、画素電極 8 0 とデータ線 6 2 との間に開口部 7 8 を形成するので、画素電極 8 0 及びデータ線 6 2 の短絡は発生しない。従って、残留する導電性物質によって画素が常に明るく表示される画素不良は発生しない。

【 0 1 1 7 】

また、本発明では整列パターン 6 8 を形成して画素電極 8 0 の境界線が整列パターン 6 8 に隣接するように形成することによって、製造工程時に整列誤差を最小化することができ、分割露光工程を利用した液晶表示装置の製造方法でもステッチを除去することができる。

【 0 1 1 8 】

また、整列パターン 6 8 を画素電極 8 0 の縁に形成して、画素の縁から漏洩される光を遮断することができる。

【 0 1 1 9 】

一方、整列パターン 6 8 は修理用配線、即ち、ゲート線 2 2 及びデータ線 6 2 の断線 / 短絡又はデータ線 6 2 及び上部基板の共通電極の短絡を修理するための配線として使用されることもできる。以下にこれについて図面に基づいて詳しく説明する。

【 0 1 2 0 】

図 4 6 は本発明の第 9 実施例による液晶表示装置用薄膜トランジスタ基板の配置図であり、図 4 7 は図 4 6 に示した薄膜トランジスタ基板の XLVII - XLVII ' 線の断面図である。

【 0 1 2 1 】

図 4 6 及び図 4 7 に示されているように、大部分の構造は第 8 実施例と類似している。

【 0 1 2 2 】

しかし、ゲート配線 2 2、2 4、2 8 と同一な層に両端がデータ線 6 2 を中心にして両側に形成されている整列パターン 6 8 の両端と重畳している修理用配線 2 9 が形成されており、画素電極 8 0 は保護膜 7 0 の上部のみに形成され整列パターン 6 8 と画素電極 8 0 とは互いに連結されていない。また、データ線 6 2 とゲート線 2 2 とが交差する部分には補助データ線 6 9、8 9 が形成されている。この時、データ線 6 2 と同一な層に形成されている補助データ線 6 9 はデータ線 6 2 に直接連結されており、画素電極 8 0 と同一な層に形成されている補助データ線 8 9 は両端がデータ線 6 2 と重畳している。これら補助データ線 6 9、8 9 は全てゲート線 2 2 と交差する部分のデータ線 6 2 が断線される場合にデータ線 6 2 に伝達される信号を迂回させるために使用される。勿論、補助データ線 8 9 を利用する場合にはデータ線 6 2 と重畳する補助データ線 8 9 の両端 A 部分 (●) をレーザーを利用してデータ線 6 2 と連結させる。

【 0 1 2 3 】

一方、B 部分 (*) でゲート線 2 2 及びデータ線 6 2 の短絡が発生する場合には短絡された B 部分 (*) を中心にして両側のゲート線 2 2 の中のゲート線連結部 2 8 の間の C 部分 (. . .) を断線させる。

【 0 1 2 4 】

本発明の実施例による構造では、画素電極 8 0 と重畳して維持容量を形成するゲート線連結部 2 8 が画素の中央に配置されているためゲート連結部 2 8 がデータ線 6 2 に隣接するように形成されている場合より画素電極 8 0 を整列することが容易である。また、この場合にはゲート線 2 2 及びデータ線 6 2 の短絡が発生する可能性が非常に希薄であると共に、これら 2 2、6 2 の短絡を修理することが非常に容易である。

【 0 1 2 5 】

次いで、データ線 6 2 が断線される場合にこれを修理する方法について図面に基づいて

10

20

30

40

50

詳しく説明する。

【 0 1 2 6 】

図 4 8 は本発明の第 9 実施例による液晶表示装置用薄膜トランジスタ基板のデータ線の断線を修理する方法を示した配置図である。

【 0 1 2 7 】

図 4 8 に示されているように、A 部分 (*) でデータ線 6 2 が断線される場合には A 部分 (*) を中心にして両側のデータ線 6 2 と修理用配線 2 9 とが重畳する B 部分 (●) 及び修理用配線 2 9 と整列パターン 6 8 の両端が重畳する C 部分 (●) をレーザーを利用して短絡させて、データ線 6 2 を通して伝達される映像信号を修理用配線 2 9 及び整列パターン 6 8 を通して迂回させる。

10

【 0 1 2 8 】

次いで、データ線 6 2 と上部基板の共通電極 (図示しない) とが短絡される場合にこれを修理する方法について図面に基づいて詳しく説明する。

【 0 1 2 9 】

図 4 9 は本発明の第 9 実施例による液晶表示装置用薄膜トランジスタ基板のデータ線及び共通電極の短絡を修理する方法を示した配置図である。

【 0 1 3 0 】

図 4 9 に示されているように、A 部分 (*) でデータ線 6 2 と上部基板の共通電極 (図示しない) とが短絡される場合には A 部分 (*) を中心にして両側のデータ線 6 2 と修理用配線 2 9 とが重畳する B 部分 (●) 及び修理用配線 2 9 と整列パターン 6 8 の両端が重畳する C 部分 (●) をレーザーを利用して短絡させて、データ線 6 2 を通して伝達される映像信号を修理用配線 2 9 及び整列パターン 6 8 を通して迂回させるようにする。また、A 部分 (*) と B 部分 (●) との間の D 部分 (. . .) のデータ線 6 2 をそれぞれ断線させる。

20

【 0 1 3 1 】

これによって、本発明の第 8 実施例による液晶表示装置用薄膜トランジスタ基板の製造方法について図 5 0 ないし図 5 3 と前述の図 4 4 及び図 4 5 に基づいて詳しく説明する。

【 0 1 3 2 】

まず、図 5 0 に示されているように、金属などの導電体層を積層しマスクを利用した写真エッチング工程でパターンニングして、基板 1 0 の上にゲート線 2 2 とゲート電極 2 4 とゲート線連結部 2 8 とを含むゲート配線を形成する。ここで、修理用配線 2 9 (図 4 8 参照) を追加に形成することができ、ゲートパッドも共に形成される。

30

【 0 1 3 3 】

その次、図 5 1 に示されているように、ゲート絶縁膜 3 0 と、半導体層 4 5 と、中間層 5 0 とを連続蒸着し、次いで、金属などの導電体層 6 0 を蒸着した後、その上に感光膜を塗布し、部分的に異なる透過率を有するマスクを利用した写真工程で感光膜を露光し現像して部分的に異なる厚さを有する感光膜パターン 1 1 2、1 1 4 を形成する。この時、感光膜パターン 1 1 2、1 1 4 のうちの薄膜トランジスタのチャンネル部 C、即ち、ソース電極 6 5 とドレイン電極 6 6 との間に位置した第 1 部分 1 1 4 はデータ配線 6 2、6 5、6 6 及び整列パターン 6 8 が形成される部分に位置した第 2 部分 1 1 2 より厚さが小さくなるようにし、他の部分の感光膜は全て除去する。

40

【 0 1 3 4 】

このように、中間厚さを有する感光膜パターン 1 1 2 はマスクに露光器の解像度より小さいスリット (slit) 又は格子形態のパターンを形成したり半透明膜を形成して光の照射量を調節して感光膜を露光及び現像すると可能である。他の方法は感光膜のリフロー (reflow) を利用することである。

【 0 1 3 5 】

次いで、感光膜パターン 1 1 2、1 1 4 をエッチングマスクとして使用してその下部の膜、即ち、導電体層 6 0 と、中間層 5 0 と、半導体層 4 5 とに対するエッチングを進める。この時、感光膜パターン 1 1 2、1 1 4 をエッチングマスクとして導電体層 6 0 と中間

50

層 5 0 と半導体層 4 5 とをエッチングすると、図 5 2 に示されているような半導体パターン 4 0、4 8 を完成することができる。次いで、感光膜パターン 1 1 2 を除去し感光膜パターン 1 1 4 をエッチングマスクとして使用して導電体層 6 0 及び中間層 5 0 をエッチングすると、図 5 2 に示されているようなデータ配線 6 2、6 5、6 6 及び整列パターン 6 8 を完成することができる。ここで、補助データ線 6 9 も形成することができ、データパッドも形成する。ここで、半導体パターン 4 0、4 8 はデータ配線 6 2、6 5、6 6 の外に出るように形成されることもある。

【 0 1 3 6 】

このようにしてデータ配線 6 2、6 5、6 6 と整列パターン 6 8 とを形成した後、図 5 3 に示されているような窒化珪素を C V D 方法で蒸着したり有機絶縁物質をスピンコーティングして保護膜 7 0 を形成する。次いで、マスクを利用して写真エッチング工程で保護膜 7 0 をゲート絶縁膜 3 0 と共にパターンニングしてドレーン電極 6 6 を露出させる接触口 7 2 と、整列パターン 6 8 とデータ線 6 2 との間の基板 1 0 を露出させる開口部 7 8 とを形成する。この時、開口部 7 8 では接触層パターン 5 8 と、半導体パターン 4 8 と、ゲート絶縁膜 3 0 とが整列パターン 6 8 の下部までエッチングされてアンダーカット (under cut) が発生するようにエッチングを進めるのが好ましい。この時、保護膜 7 0 にゲートパッド及びデータパッドをそれぞれ露出させる接触口を形成することができる。

【 0 1 3 7 】

最後に、図 4 4 ないし図 4 5 に示されているように、I T O 層を蒸着し、マスクを利用した写真エッチング工程で画素電極 8 0 を形成する。この時、図 4 6 に示されているような補助データ線 8 9 を形成することができ、接触口を通してゲートパッド及びデータパッドとそれぞれ連結される補助ゲートパッド及び補助データパッドを形成することもできる。この時、データ線 6 2 に隣接した画素電極 8 0 の境界線はデータ線に隣接した整列パターン 6 8 の境界線より遠く又は同一に離れて形成されるのが好ましく、前述したように、画素電極 8 0 は整列パターン 6 8 と連結されるように形成することもでき、保護膜 7 0 の上部に整列パターン 6 8 と一部のみが重畳するように形成することもできる。

【 0 1 3 8 】

このような本発明の実施例による製造工程では、半導体パターン 4 0、4 8 及びデータ配線 6 2、6 5、6 6 を形成する工程で整列パターン 6 8 とデータ線 6 2 との間に導電性物質が残留してもその後に保護膜 7 0 に開口部 7 8 を形成する工程があるので半導体パターン 4 2 及びデータ配線 6 2、6 5、6 6 と整列パターン 6 8 及び半導体パターン 4 8 の間の短絡は発生しない。また、画素電極 8 0 の形成時にも保護膜 7 0 に隙間があるので I T O がデータ線 6 2 まで染み込んでも開口部 7 8 で整列パターン 6 8 の下部がアンダーカットに形成され画素電極 8 0 とデータ線 6 2 との間の短絡は発生しない。

【 符号の説明 】

【 0 1 3 9 】

- 2 2 ゲート線
- 2 4 ゲート電極
- 2 6 ゲートパッド
- 3 0 ゲート絶縁膜
- 4 0 非晶質珪素層
- 5 5、5 6 抵抗性接触層
- 6 2 データ線
- 6 4 データパッド
- 6 5 ソース電極
- 6 6 ドレーン電極
- 7 0 保護膜
- 7 2、7 4、7 6 接触口
- 7 8 開口部
- 7 9 隙間

10

20

30

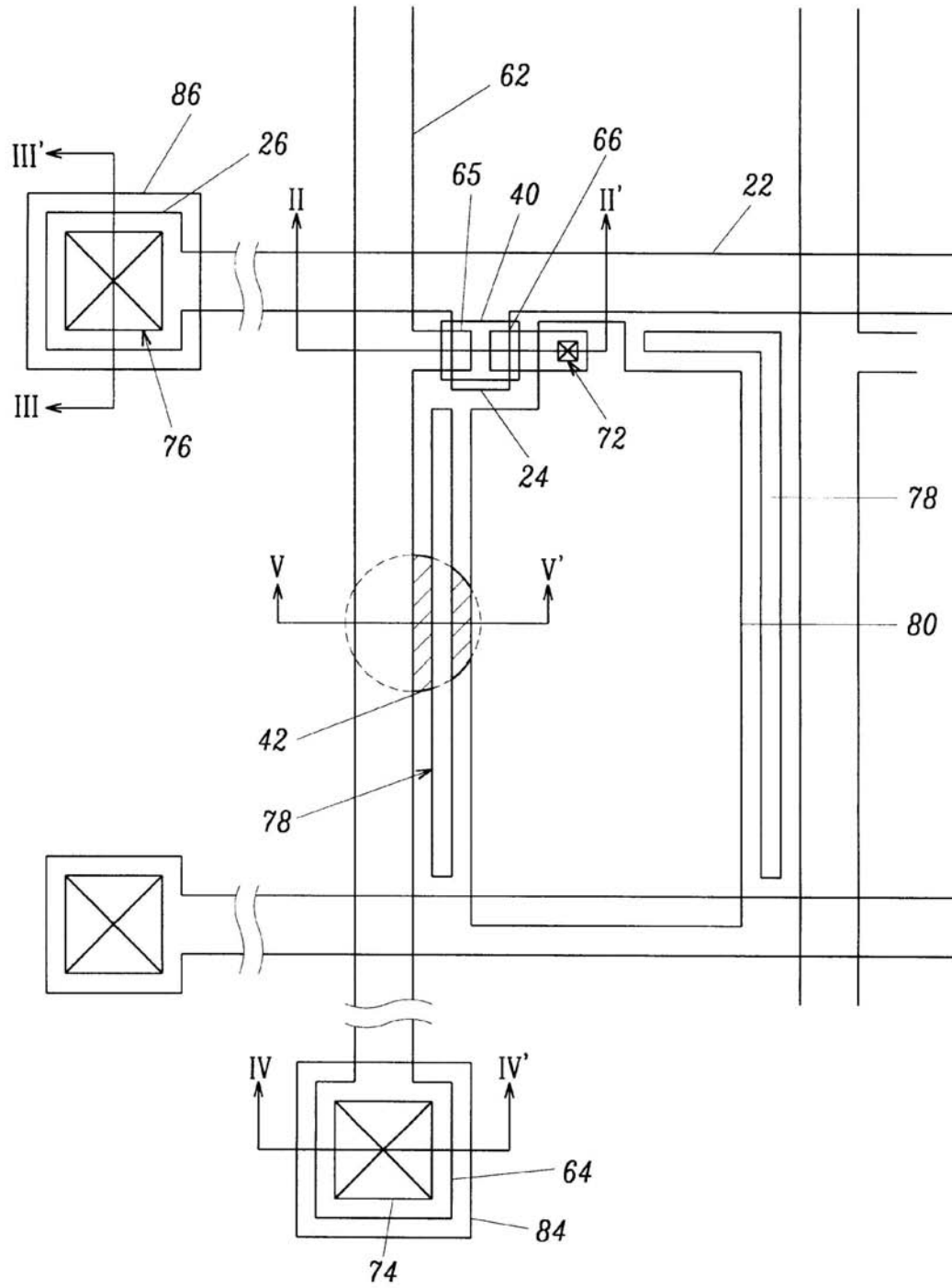
40

50

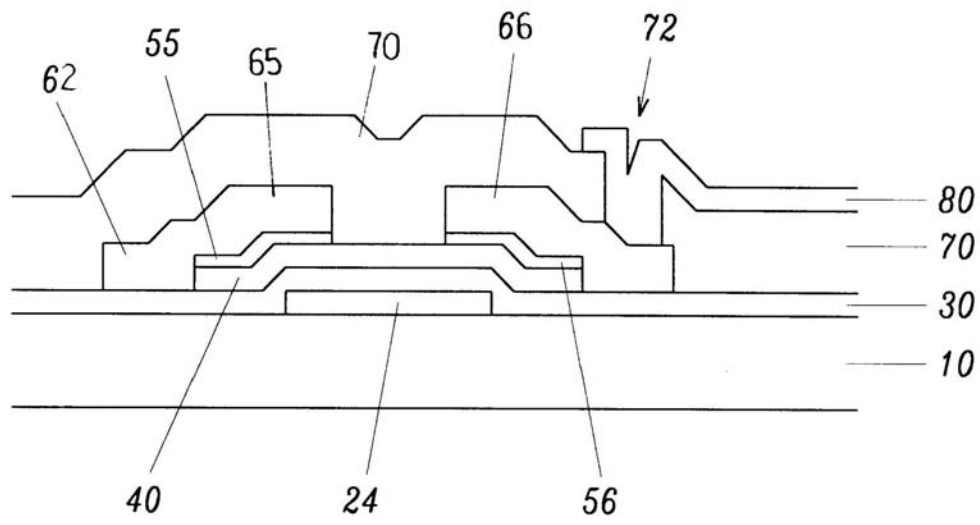
8 0 画素電極

8 4、8 6 補助パッドパターン

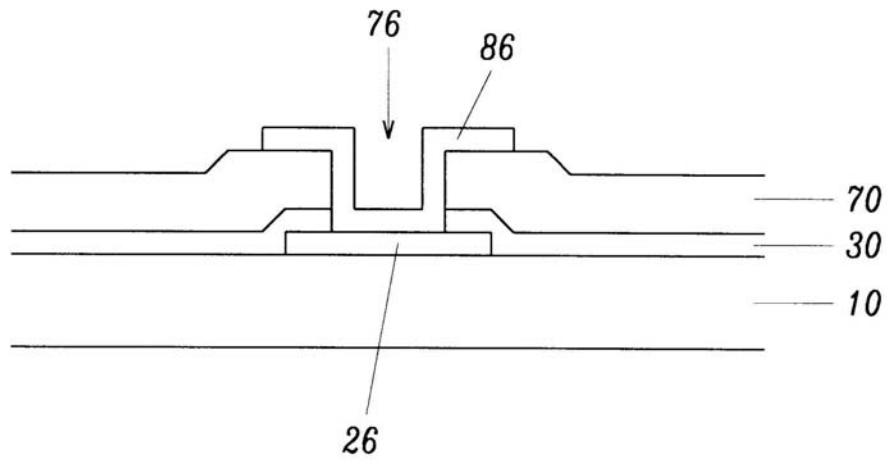
【図 1】



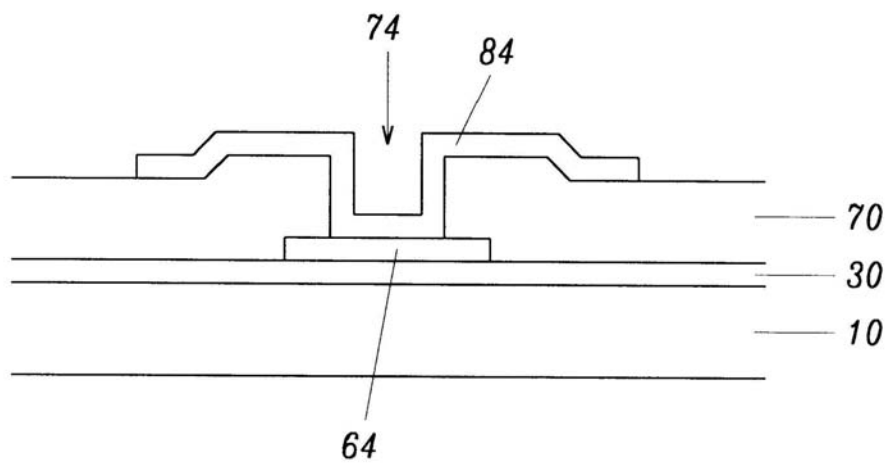
【図 2】



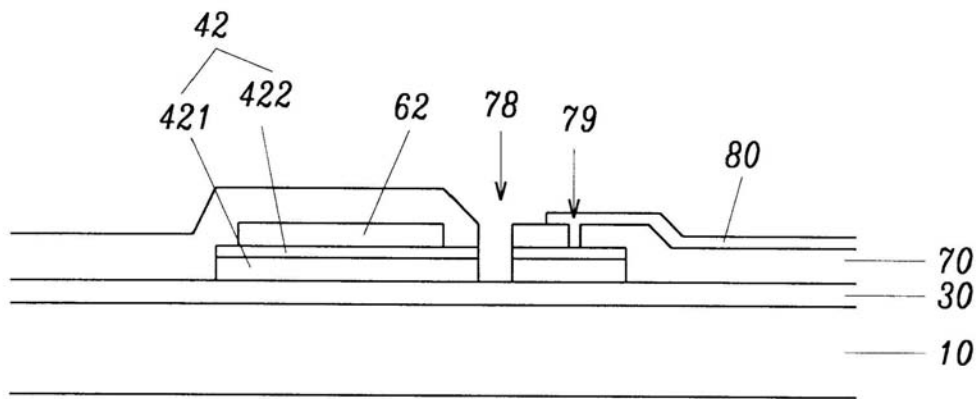
【図 3】



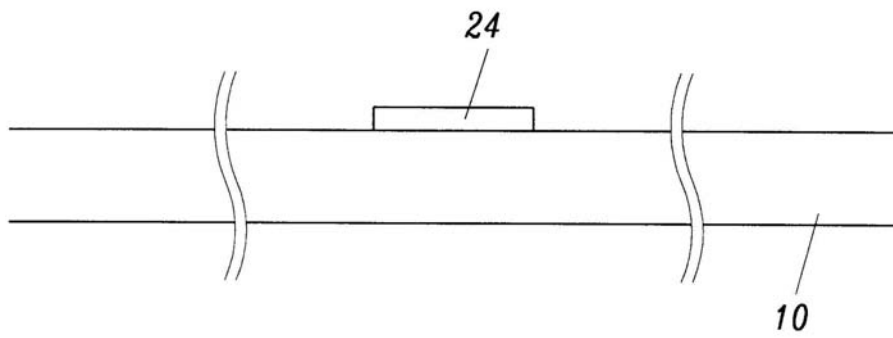
【図 4】



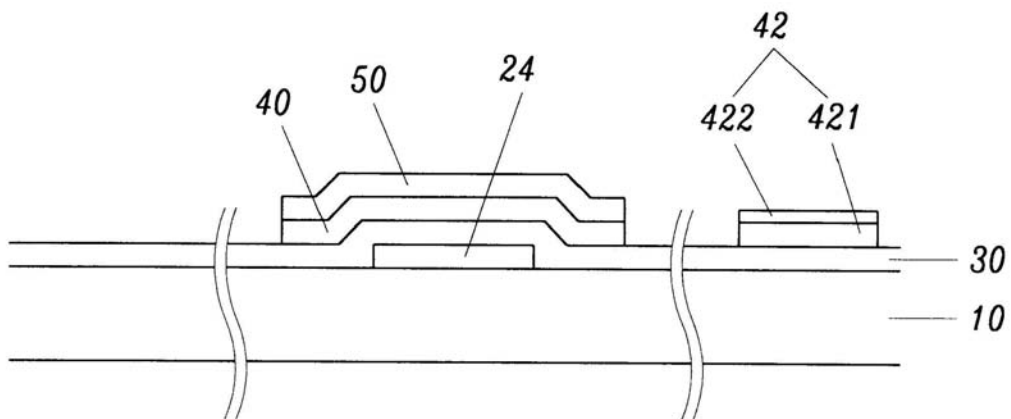
【図 5】



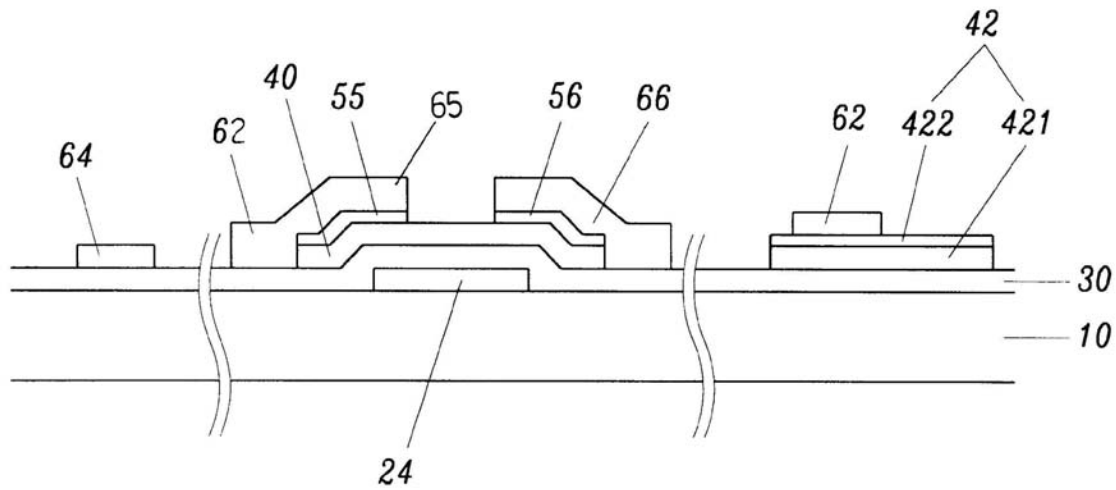
【図 6】



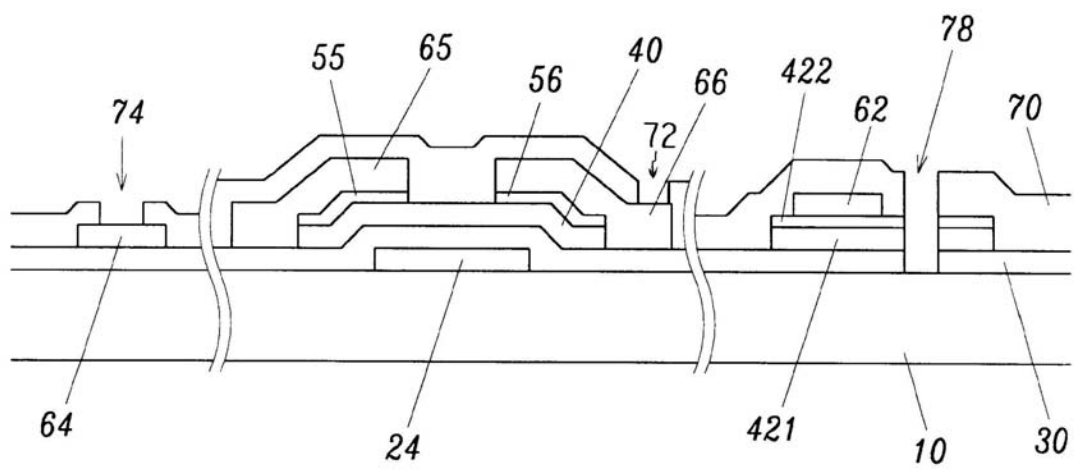
【図 7】



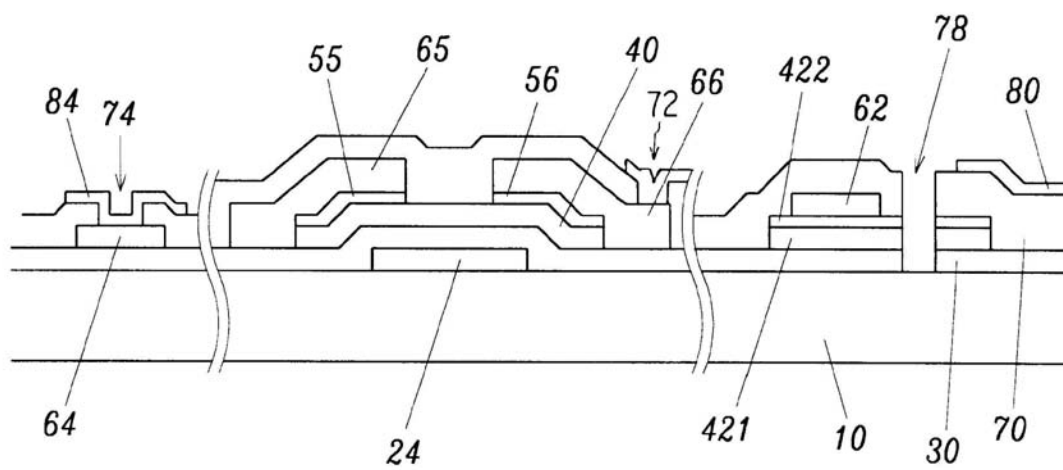
【図 8】



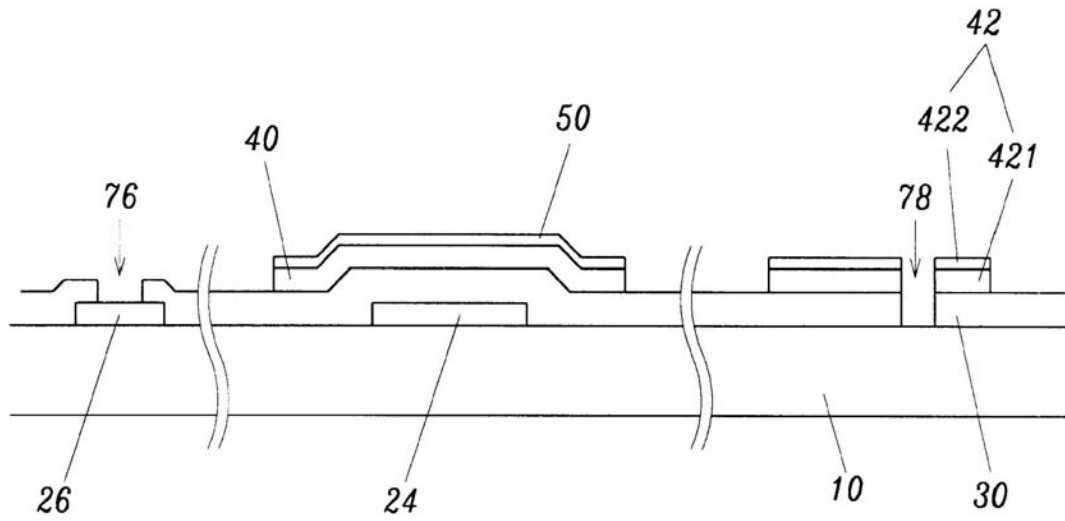
【図 9】



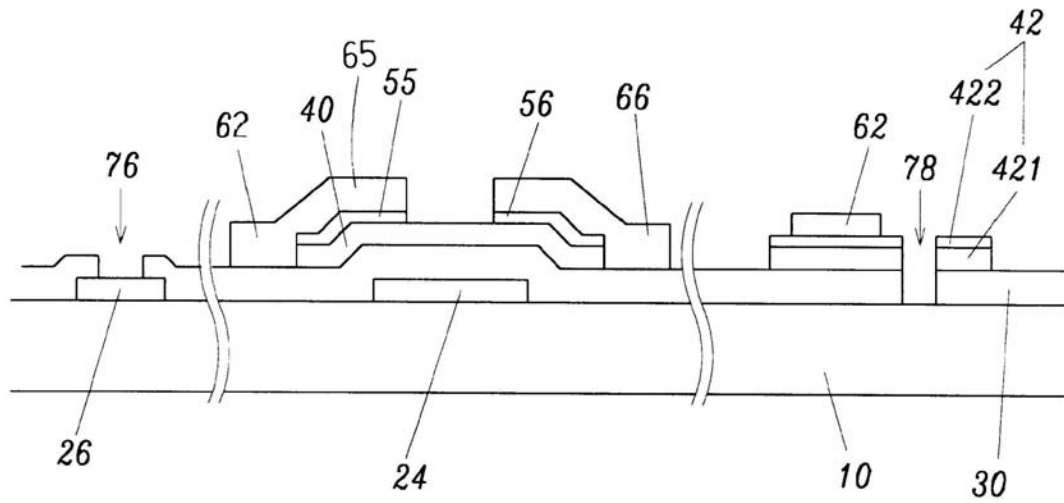
【図 10】



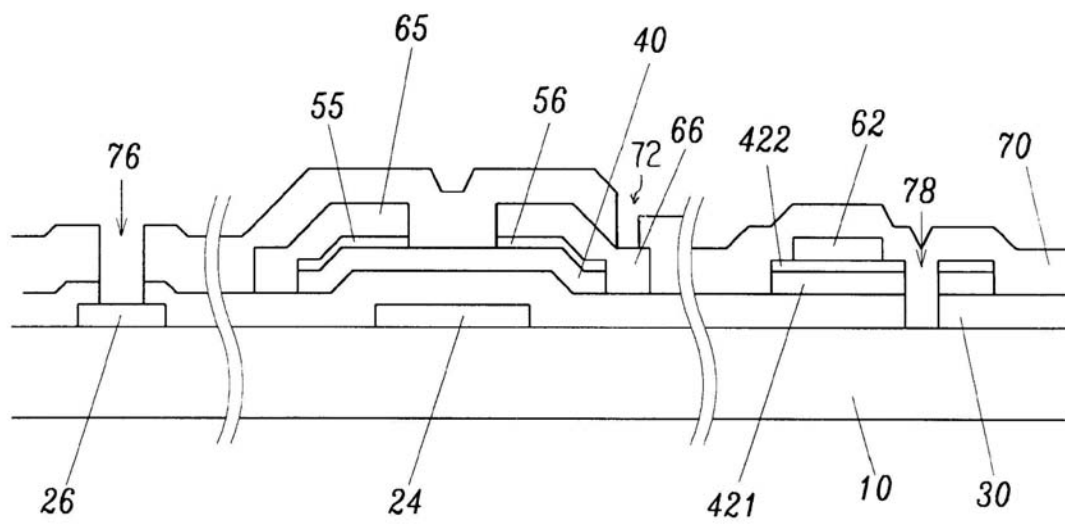
【図 1 1】



【図 1 2】



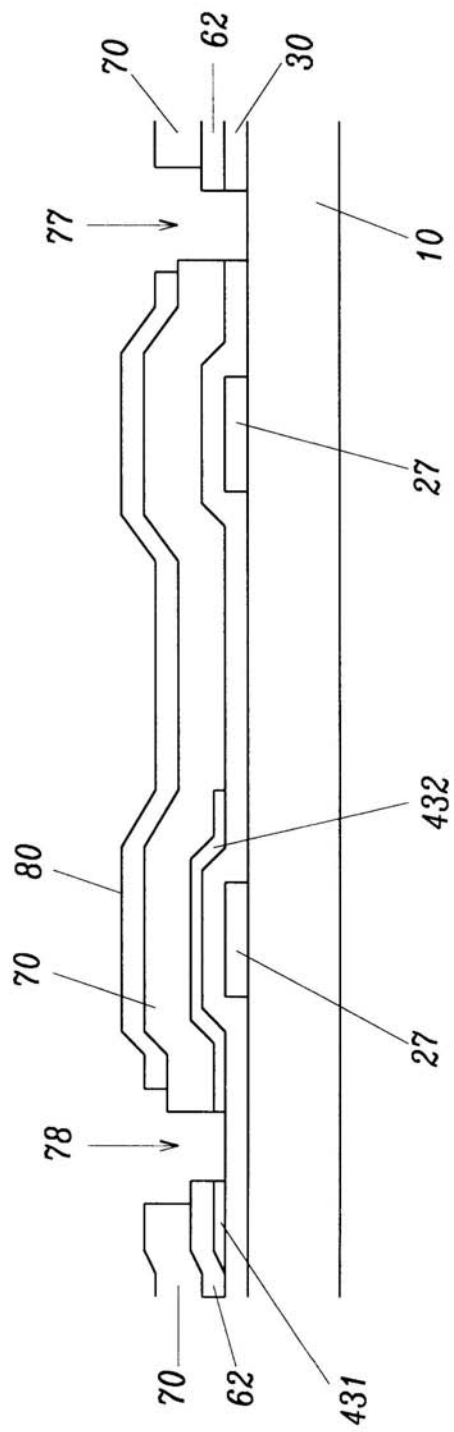
【図 1 3】



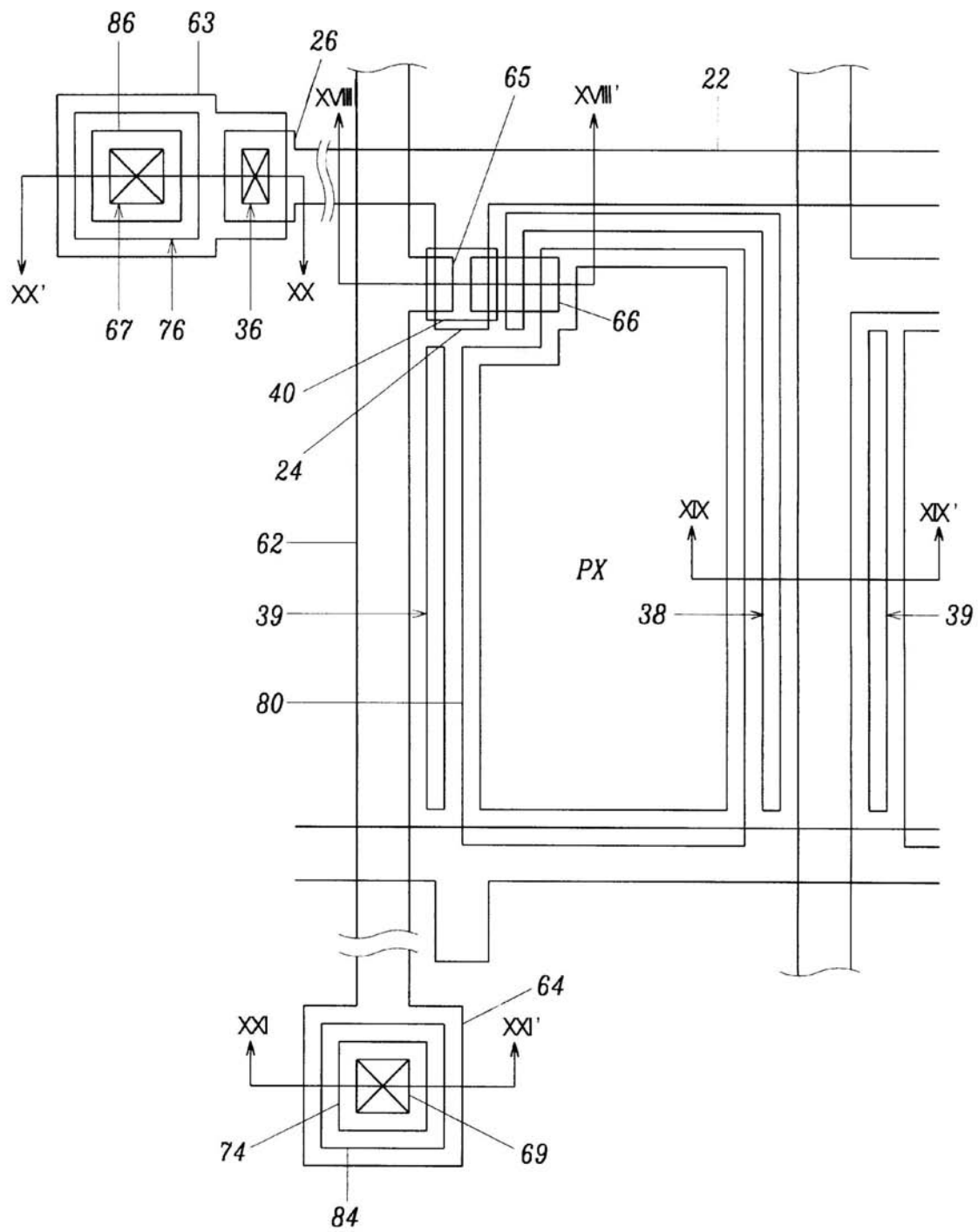
This cross-sectional view shows a semiconductor device with a substrate 10. A base layer 24 is formed on the substrate. On top of the base layer, there are several components: a first set of contacts 26 and 28, a first gate stack 30, a second set of contacts 32 and 34, a second gate stack 36, and a third set of contacts 38 and 40. The gate stacks 30 and 36 are formed on a layer 42. The contacts 26, 28, 32, 34, 38, and 40 are formed on a layer 44. The device is covered by a passivation layer 46. The labels 76, 86, 55, 56, 40, 80, 66, 422, 62, 80, 70, 26, 24, 421, 10, and 30 are used to identify specific features and layers.

This diagram shows a cross-sectional view of a device assembly. A central rectangular component (27) is surrounded by other parts. On the left, there's a vertical stack of components including 62, 78, and 43. At the top left, a bracketed group (66) contains parts 40 and 24. To the right of the main body, there's another vertical component (77). At the bottom center, a small square feature (72) is shown. Various other labels like 22, 28, 65, and 80 point to different structural elements. Two section lines are marked: X-VI on the left and X-VI' on the right.

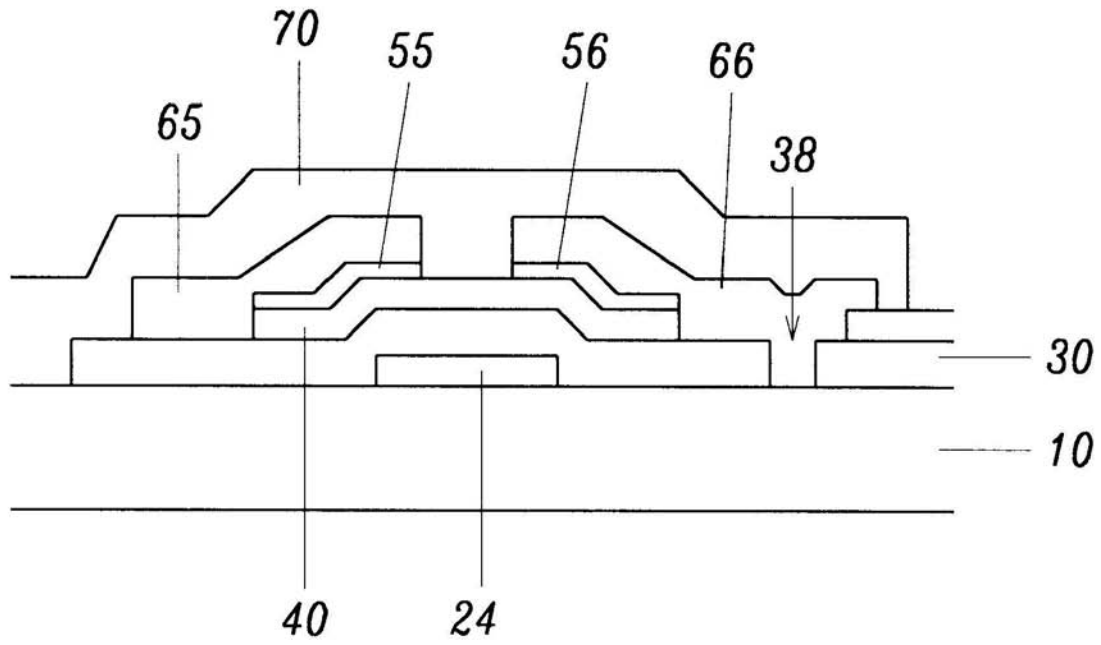
【図 16】



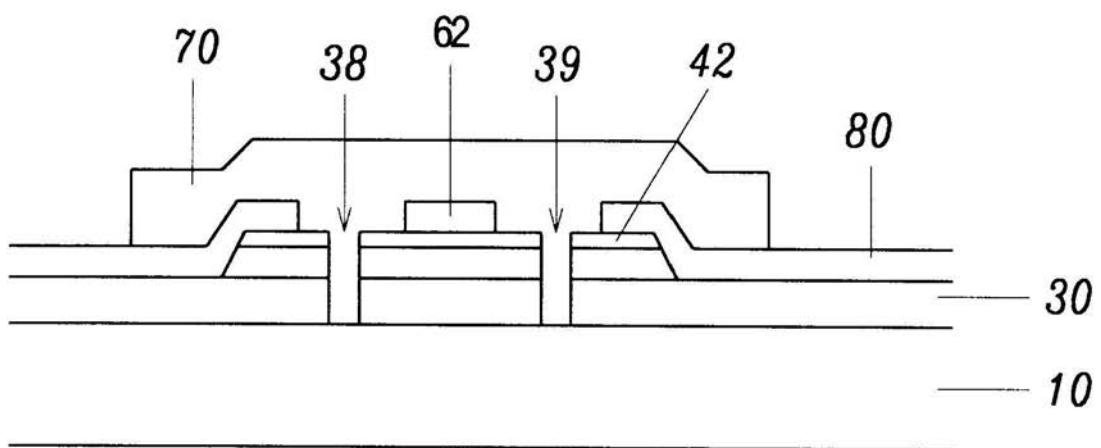
【図 17】



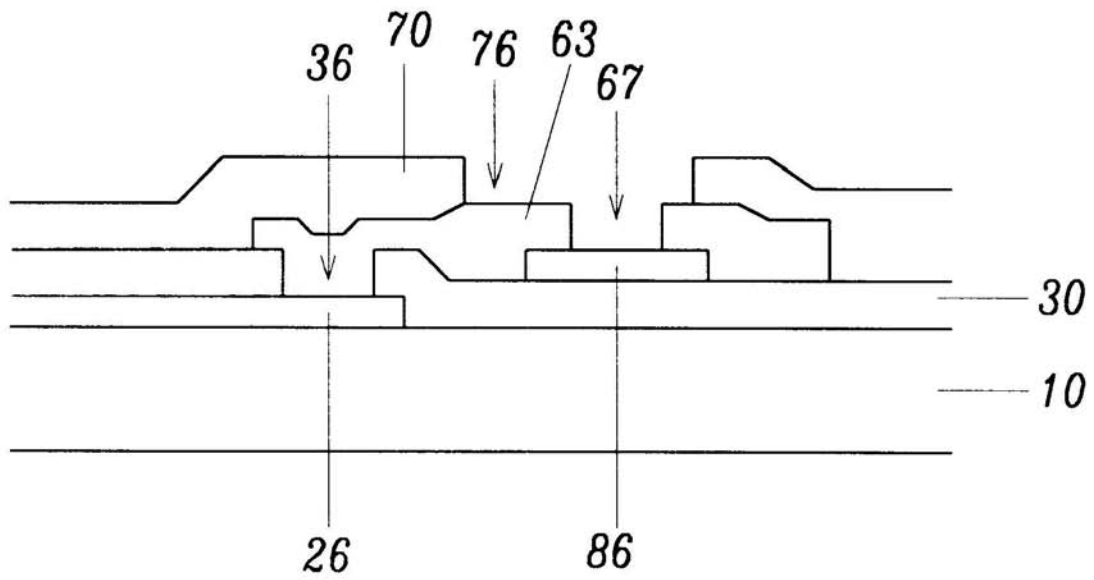
【図 18】



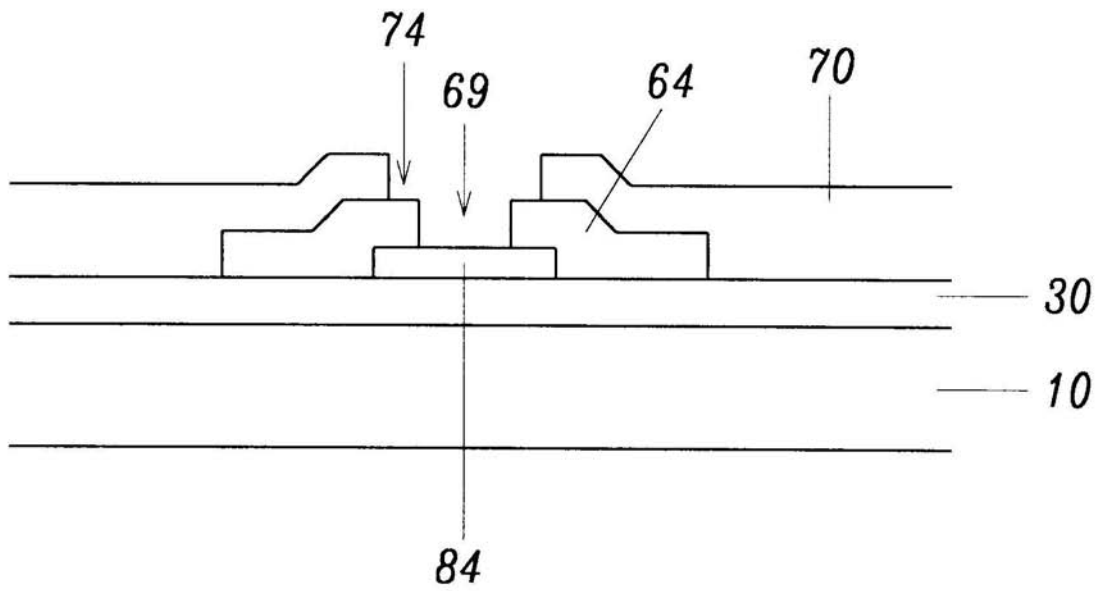
【図 19】



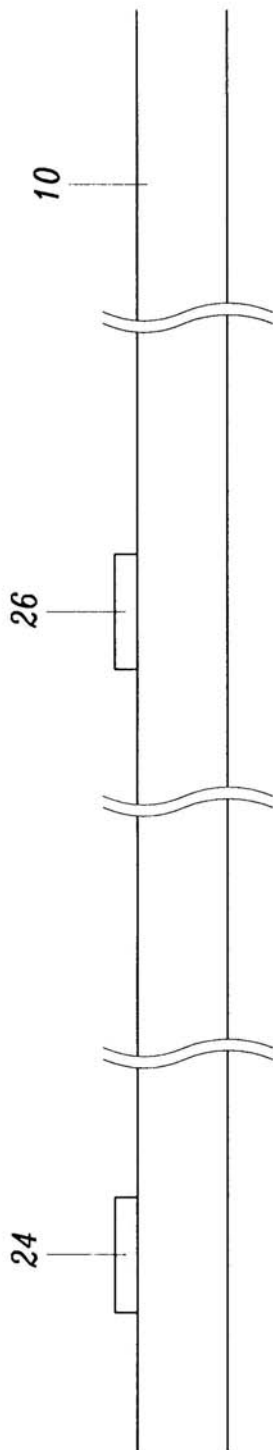
【図 20】



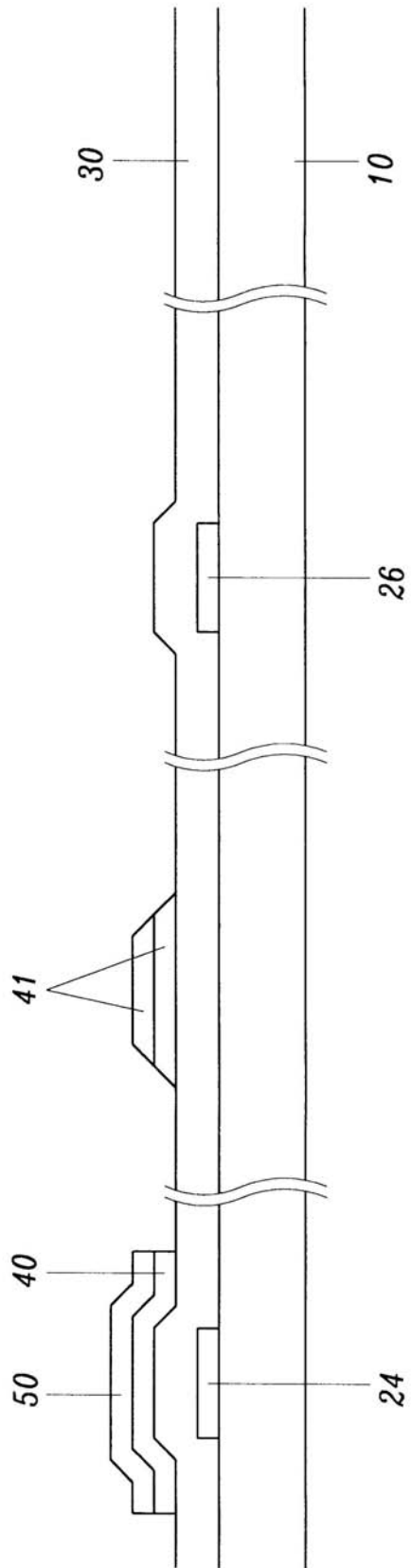
【図 21】



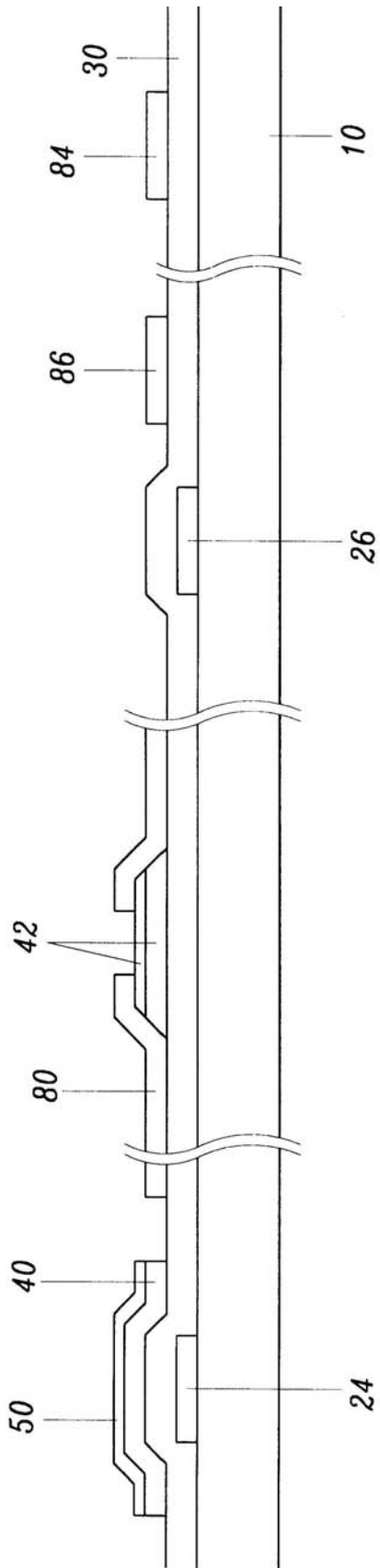
【図 22】



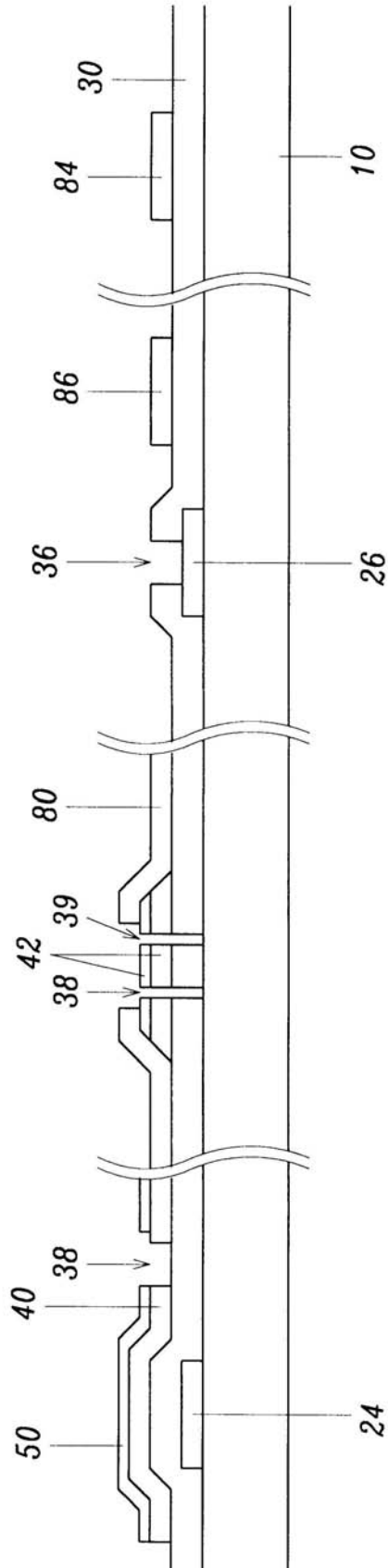
【図 23】



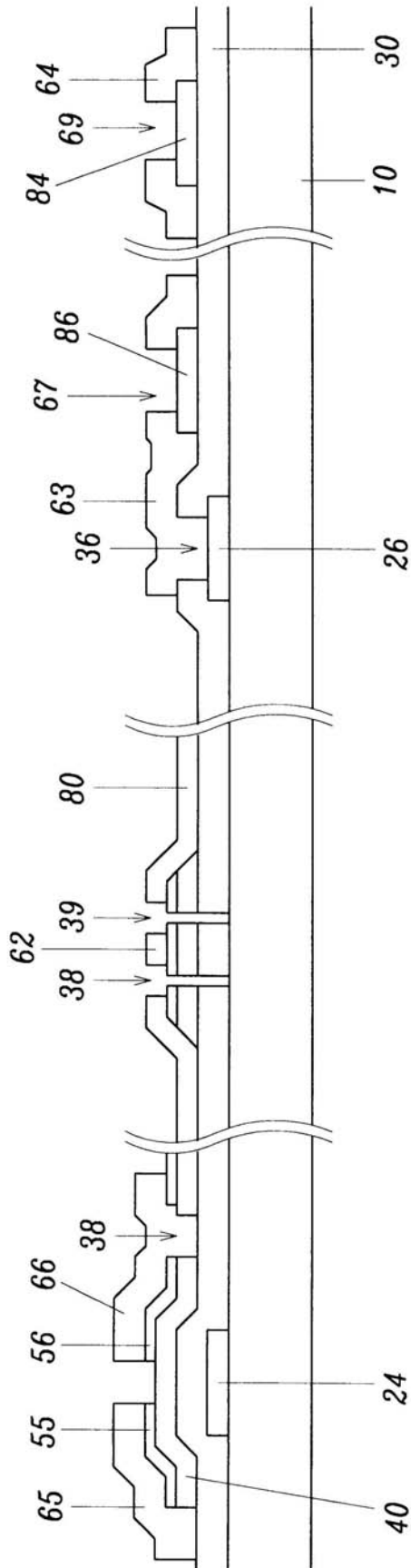
【図 24】



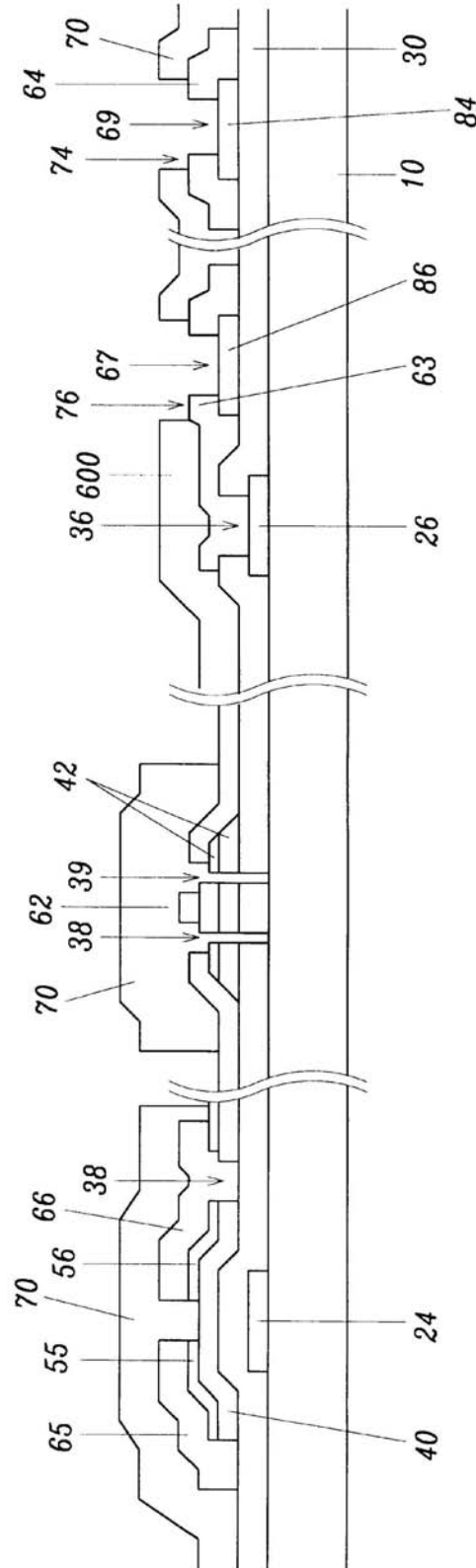
【図 25】



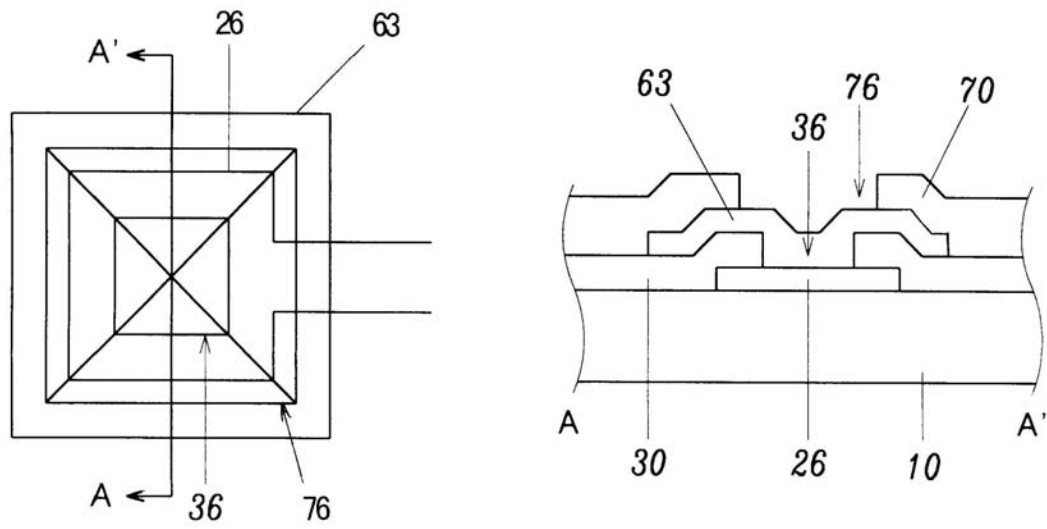
【図 26】



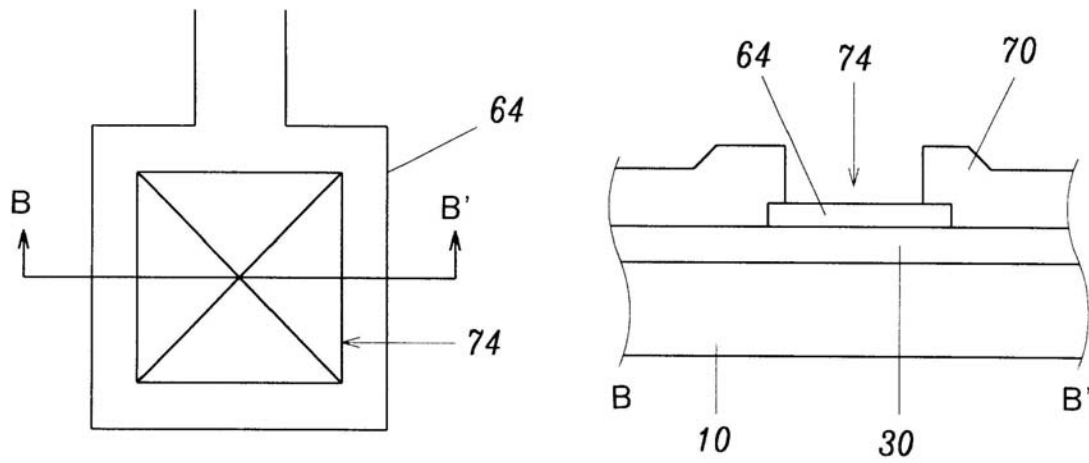
【図 27】



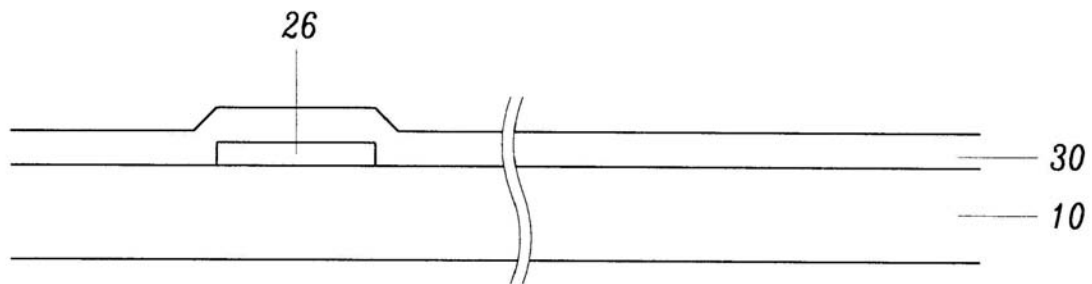
【図 28】



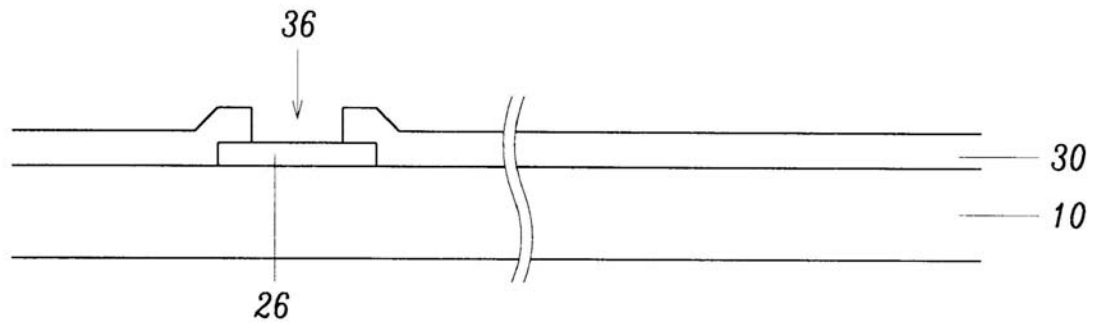
【図 29】



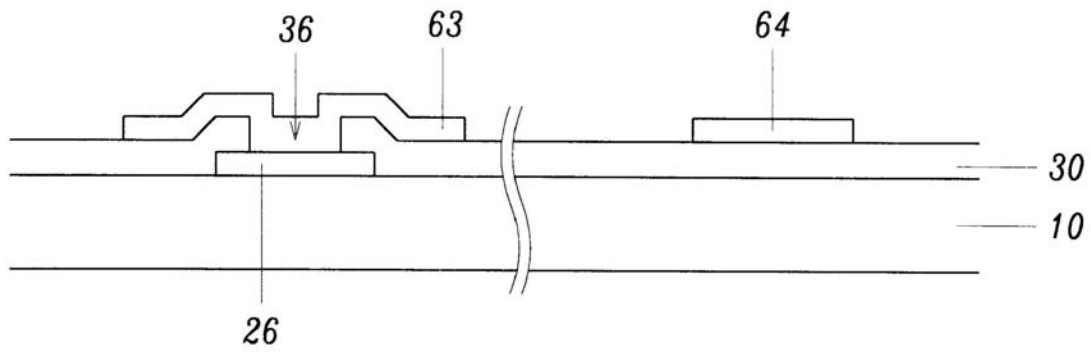
【図 30】



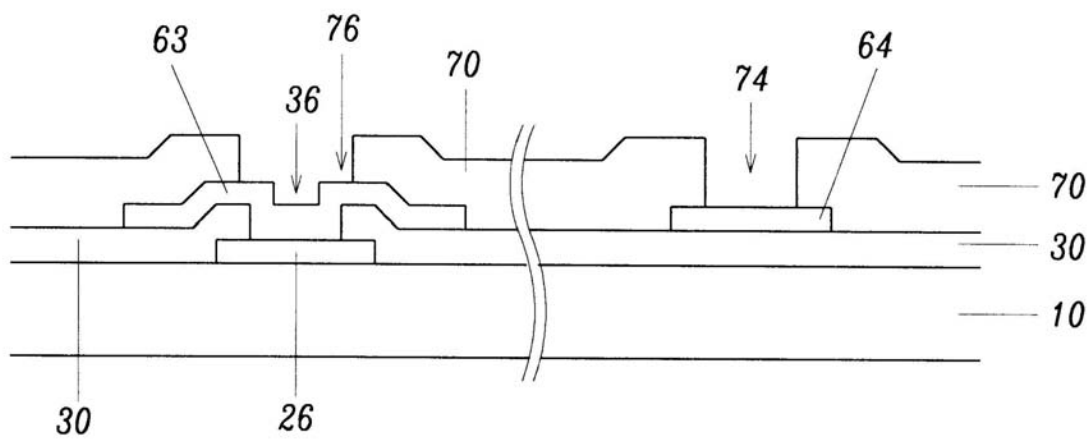
【図 3 1】



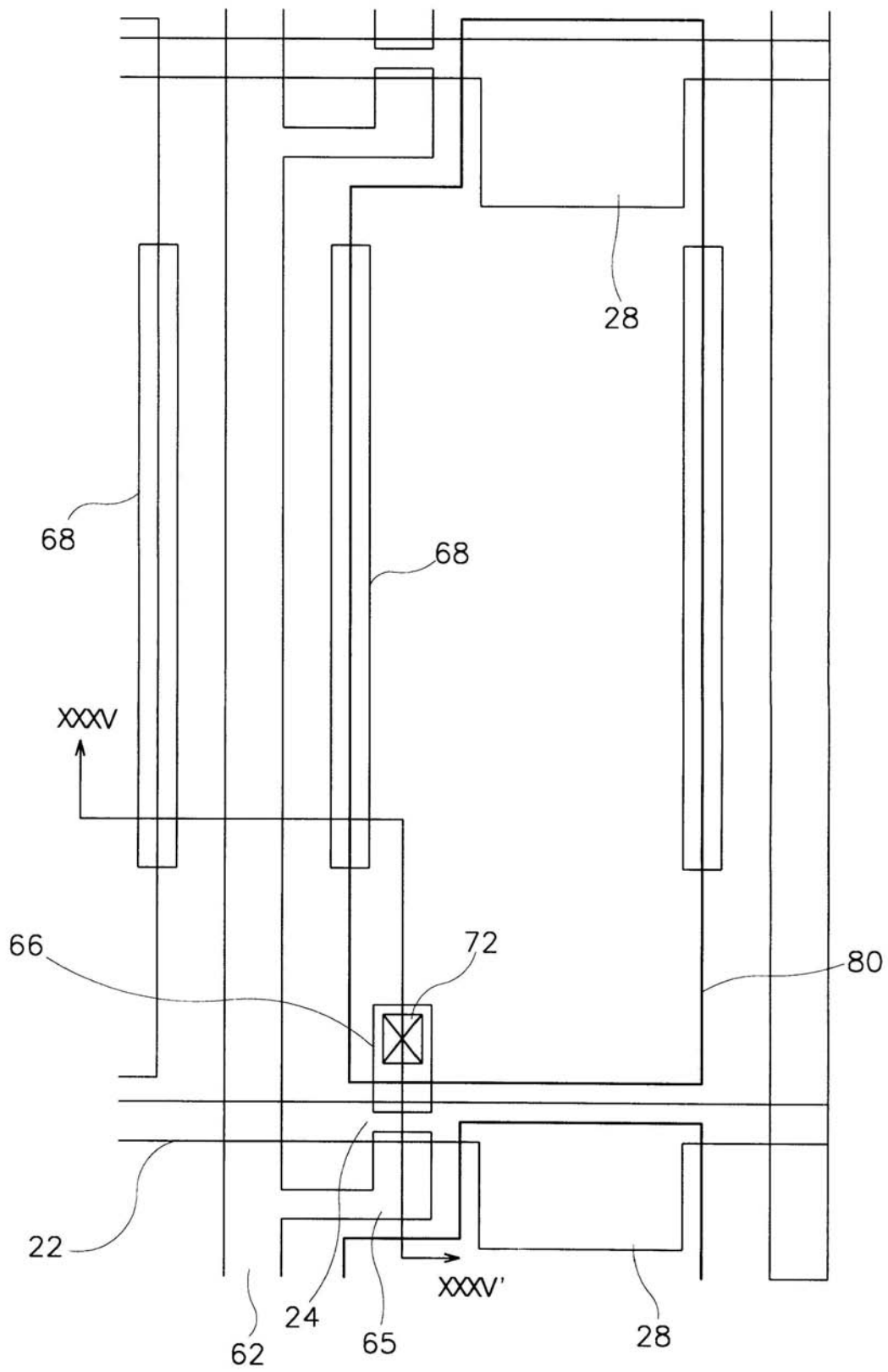
【図 3 2】



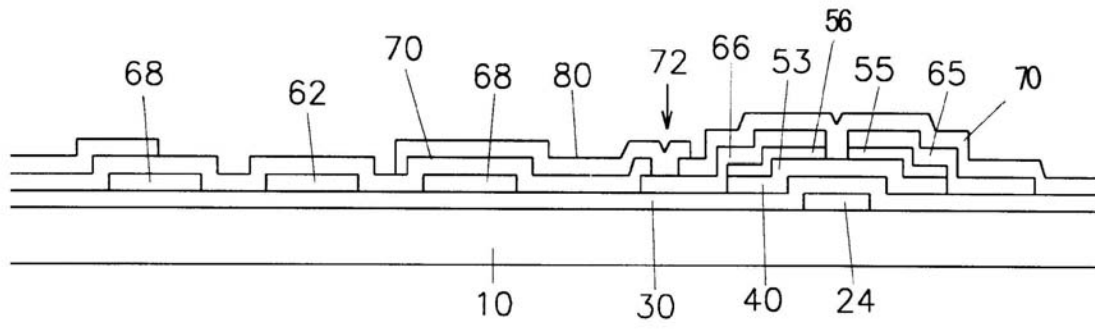
【図 3 3】



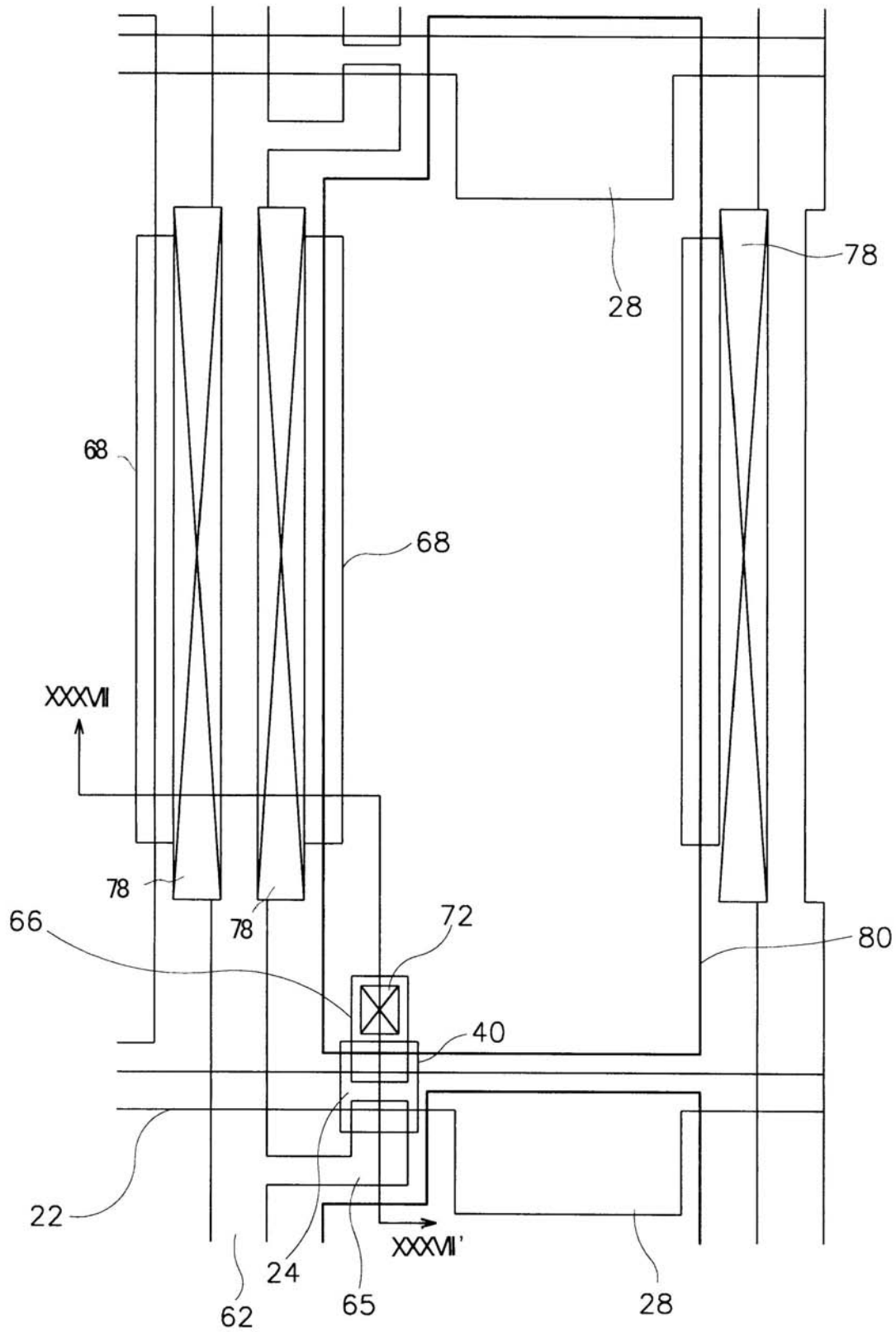
【図 34】



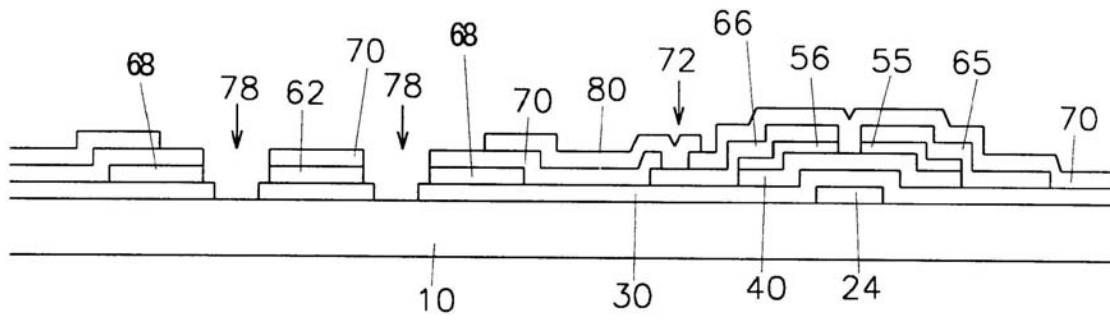
【図 35】



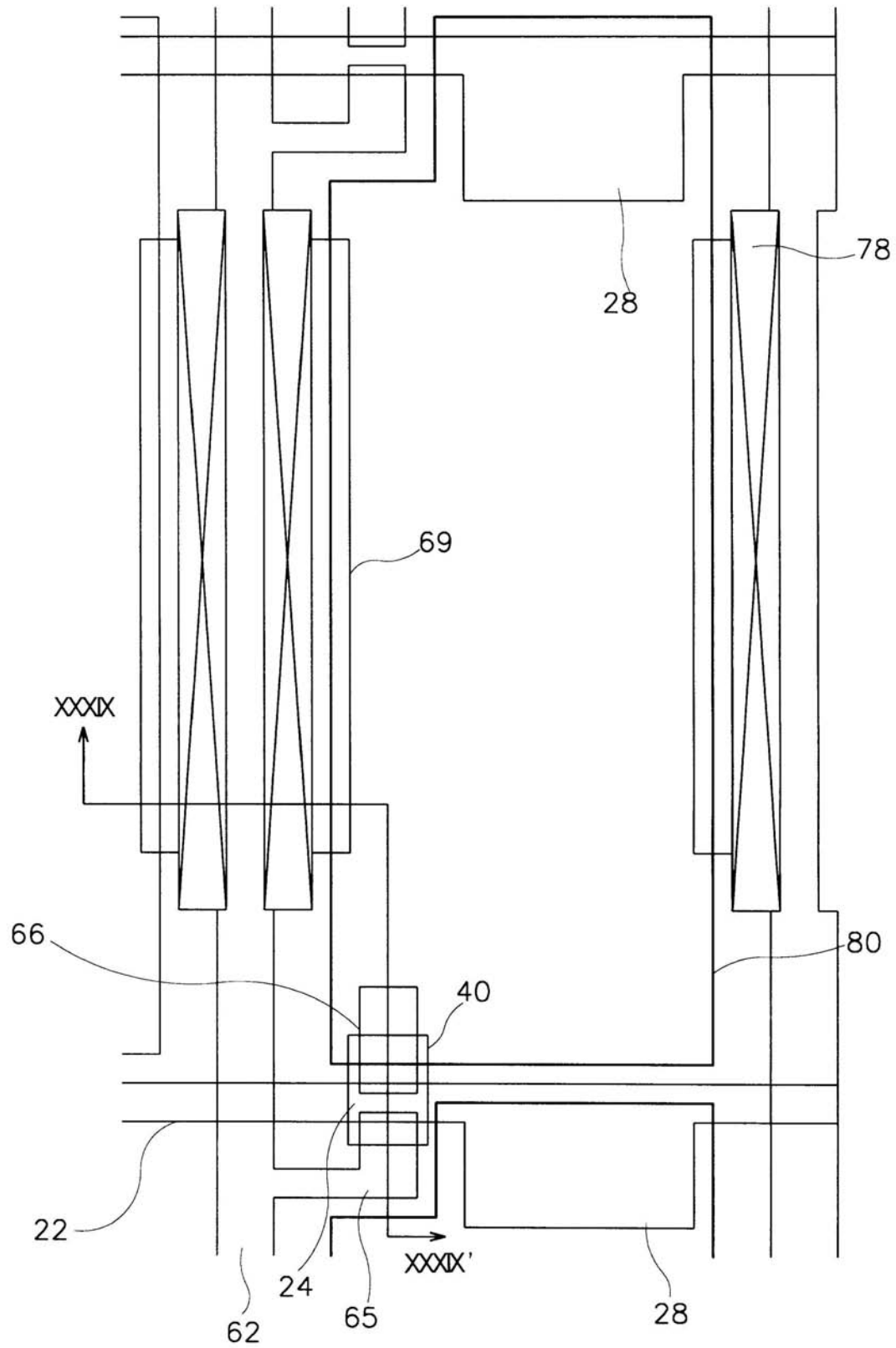
【図 36】



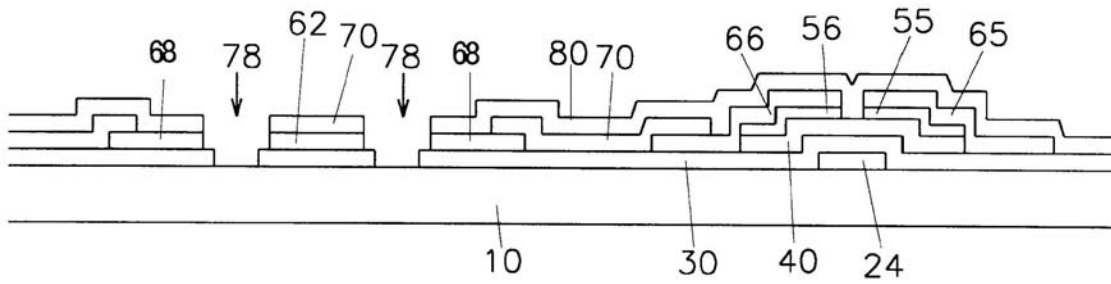
【図 37】



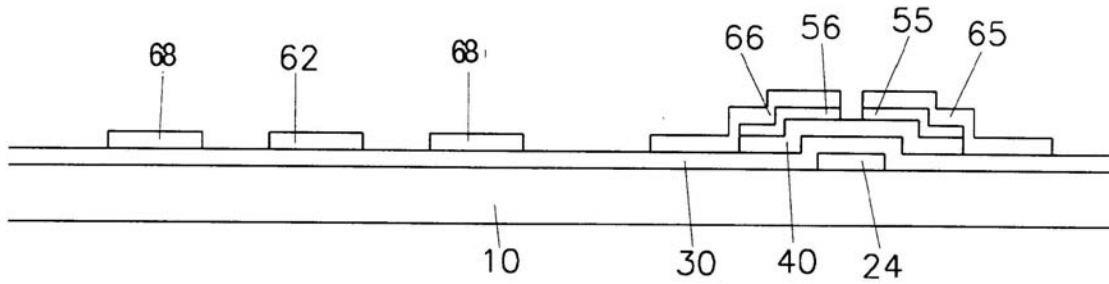
【図 38】



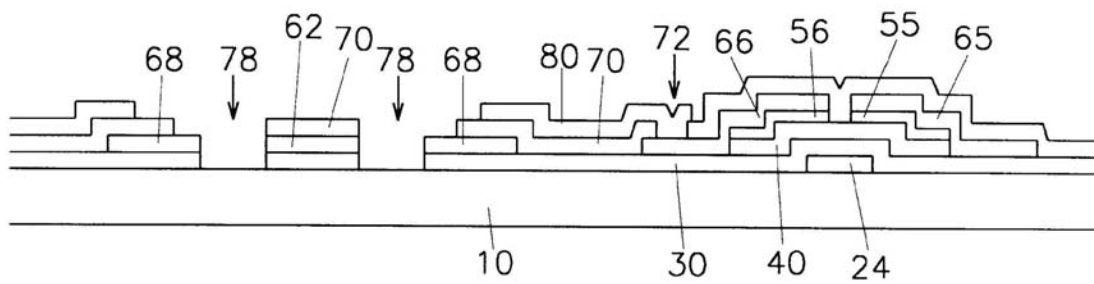
【図 39】



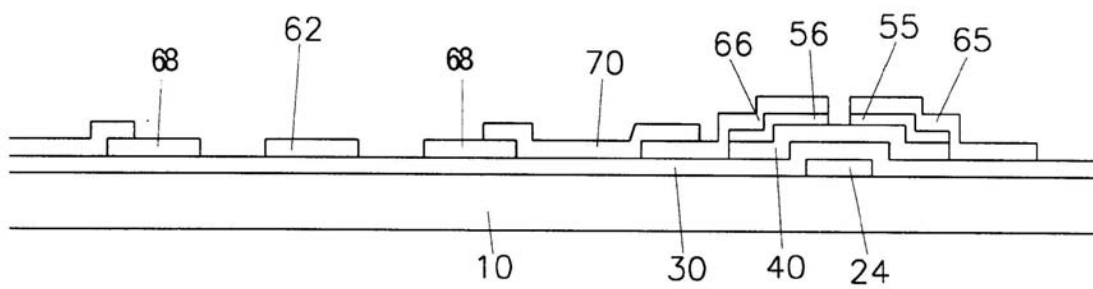
【図 40】



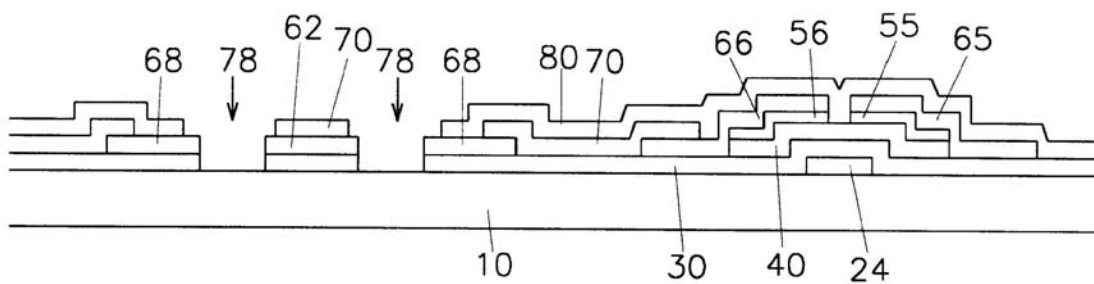
【図 41】



【図 42】



【図 43】



【図 4 4】

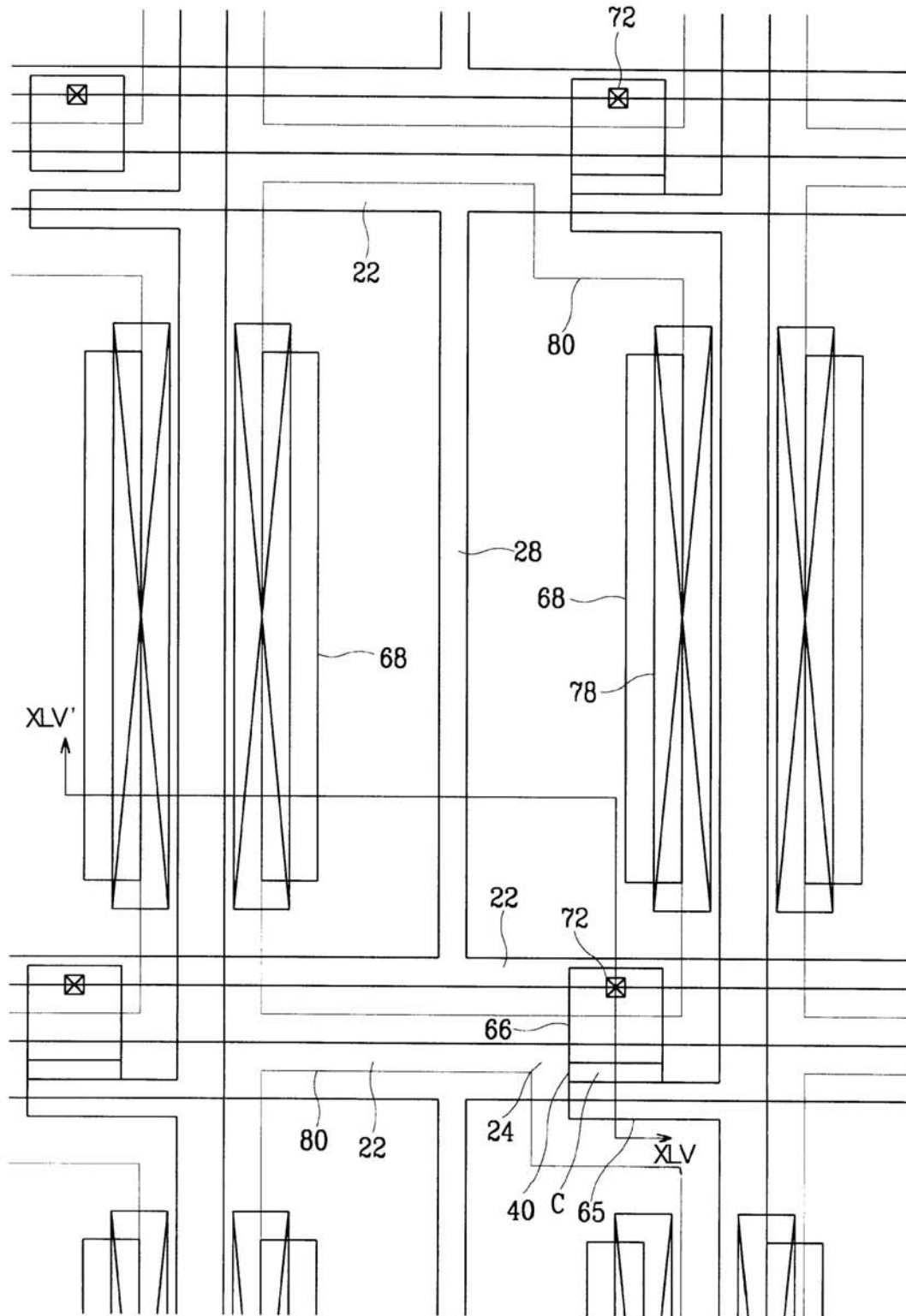
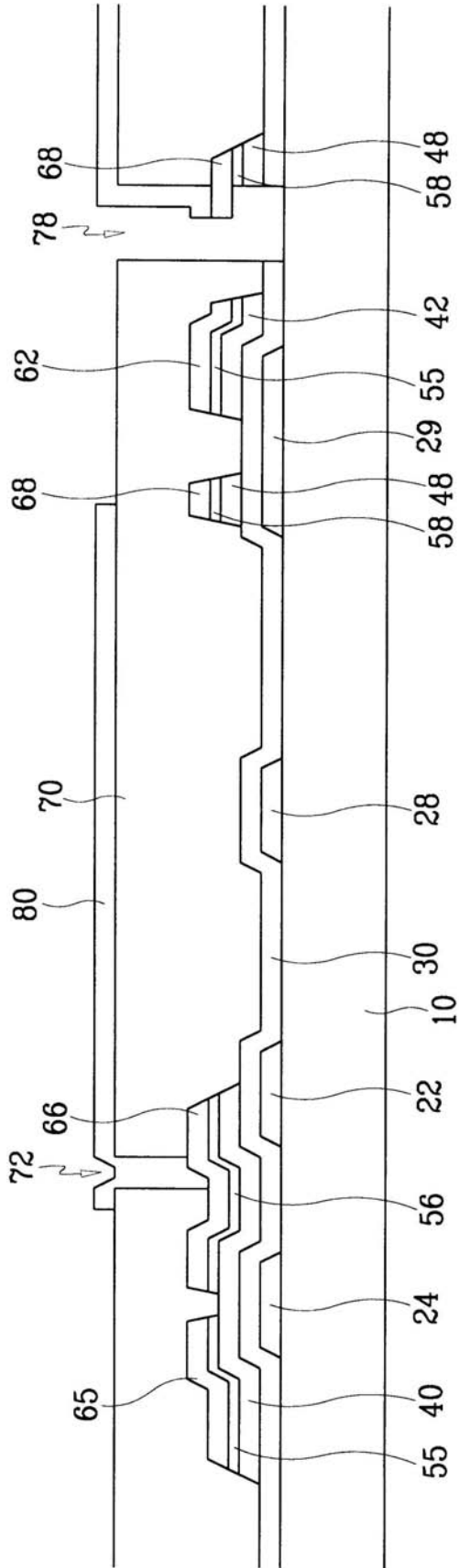
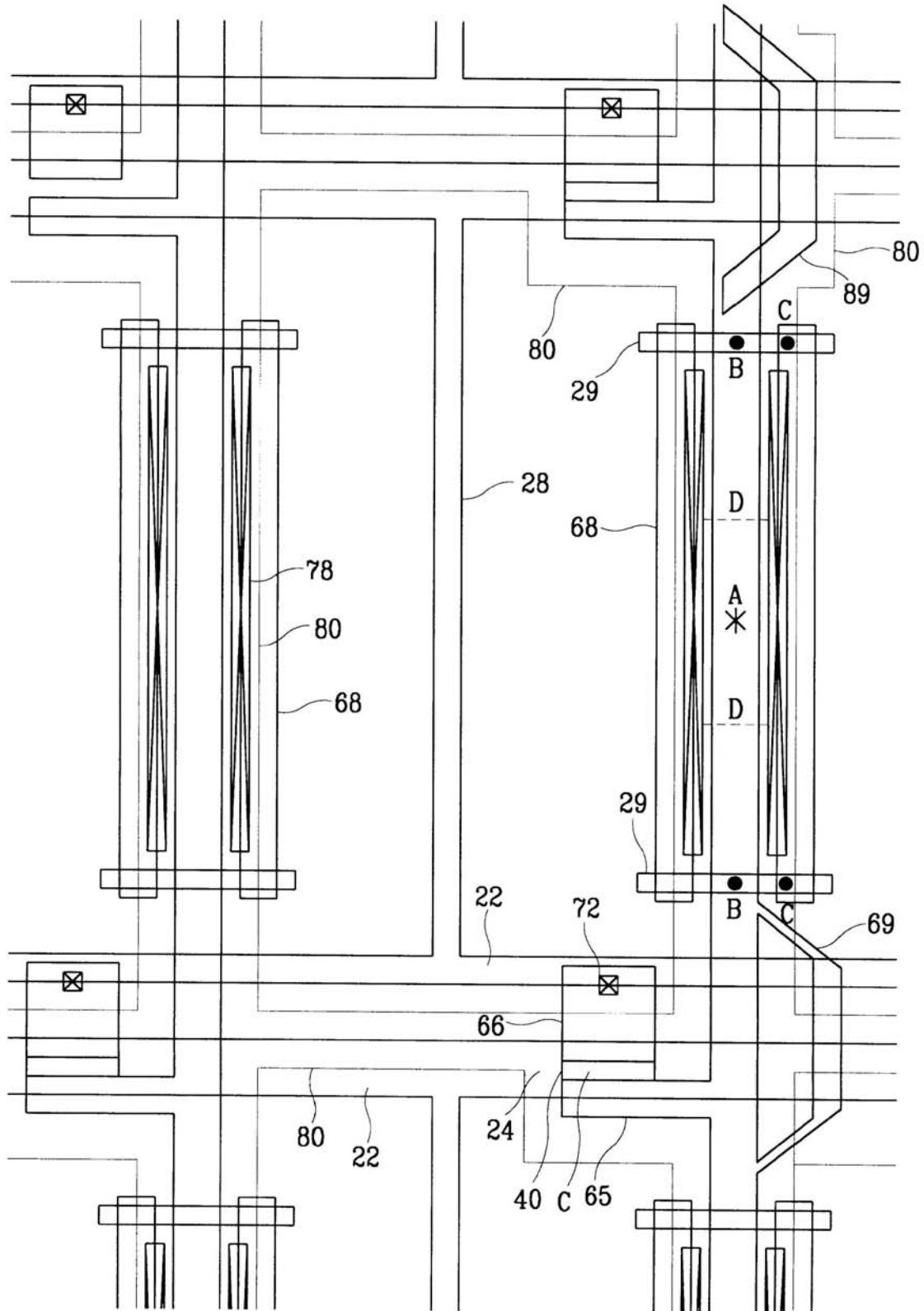


Figure 1 is a plan view of a mechanical assembly. It features two vertical assemblies, each consisting of two vertical rods (78) held together by a central component (80) and secured by a nut (68). The assembly is mounted on a base (22) which includes a central rectangular opening (28). Various components are labeled with numbers: 24, 28, 29, 30, 32, 34, 36, 38, 40, 42, 44, 46, 48, 50, 52, 54, 56, 58, 60, 62, 64, 66, 68, 70, 72, 74, 76, 78, 80, 82, 84, 86, 88, 90, 92, 94, 96, 98, 100. Letters A, B, and C are also used to denote specific points or regions. A dashed line labeled XLVII' is shown on the left side, and a solid line labeled XLVII is shown on the right side. The assembly is shown in a perspective view, with the top and bottom surfaces visible.

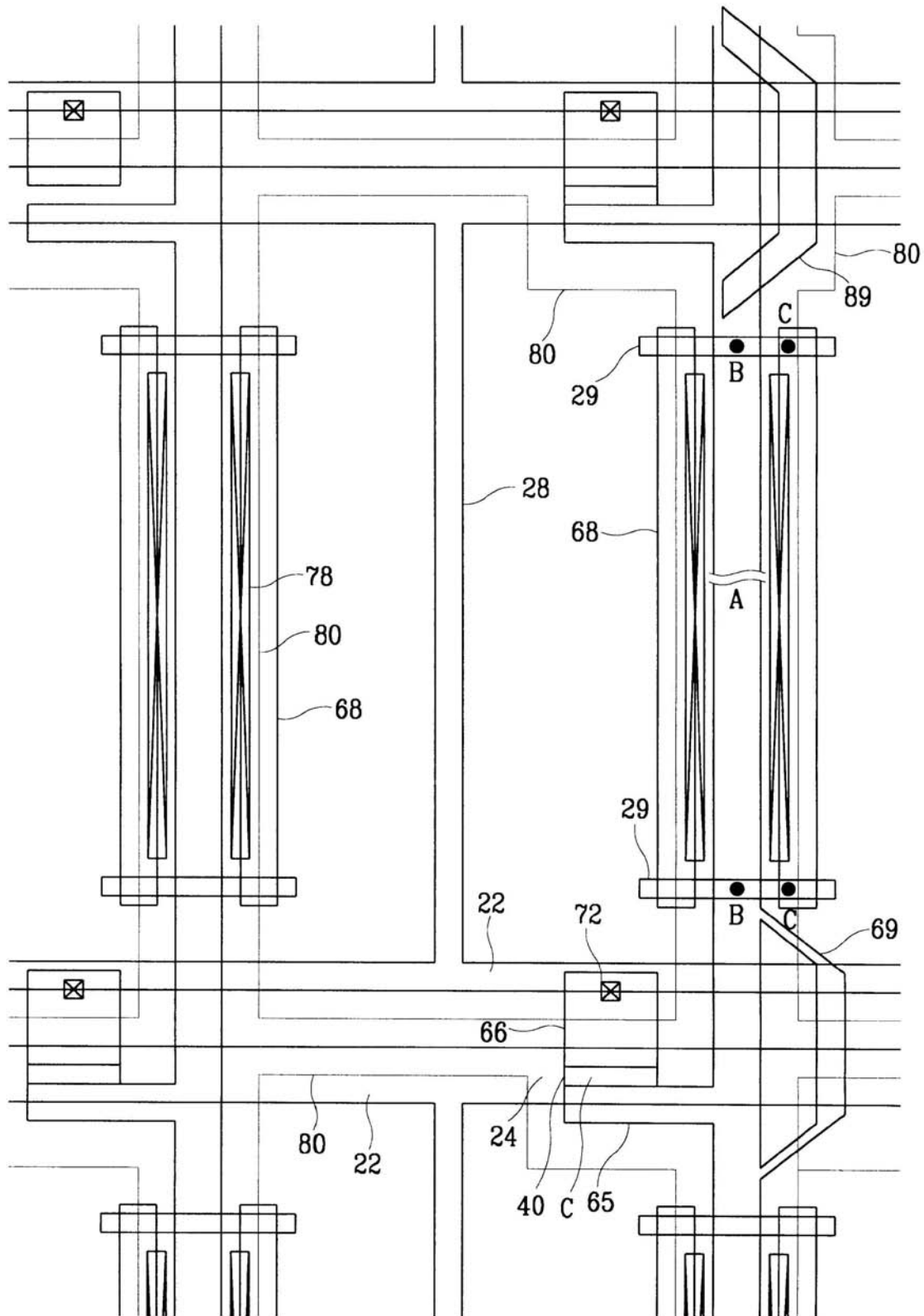
【図 47】



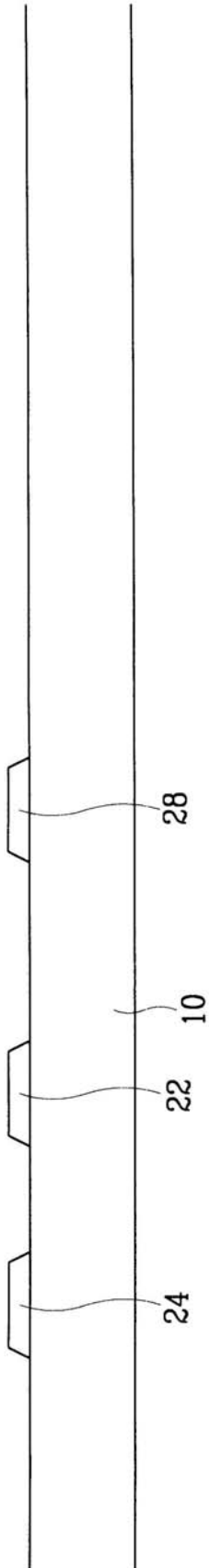
【図 48】



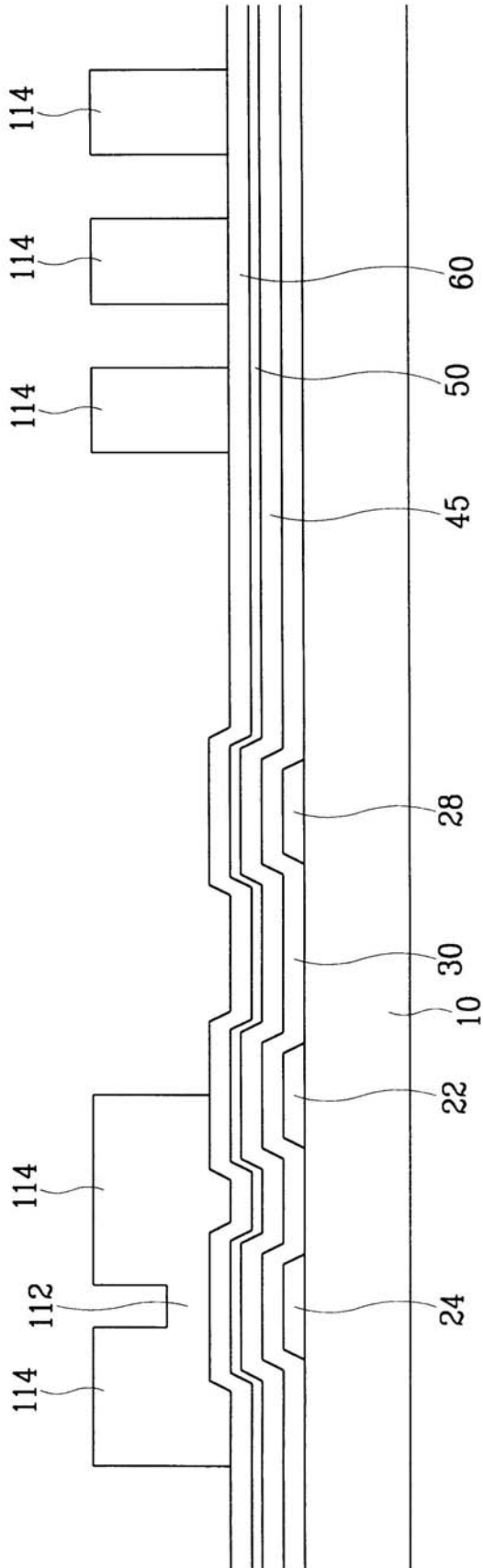
【図 49】



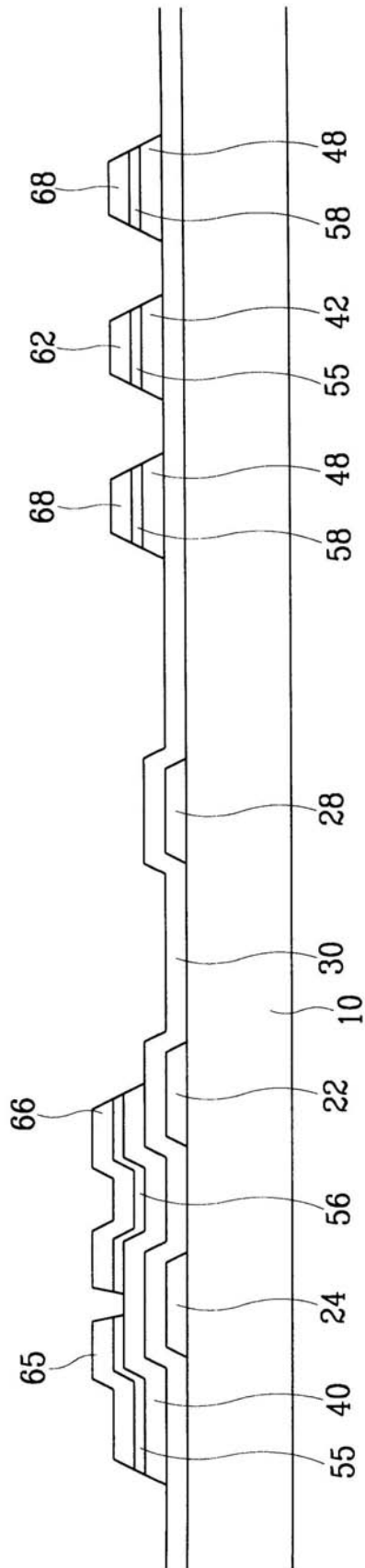
【図 50】



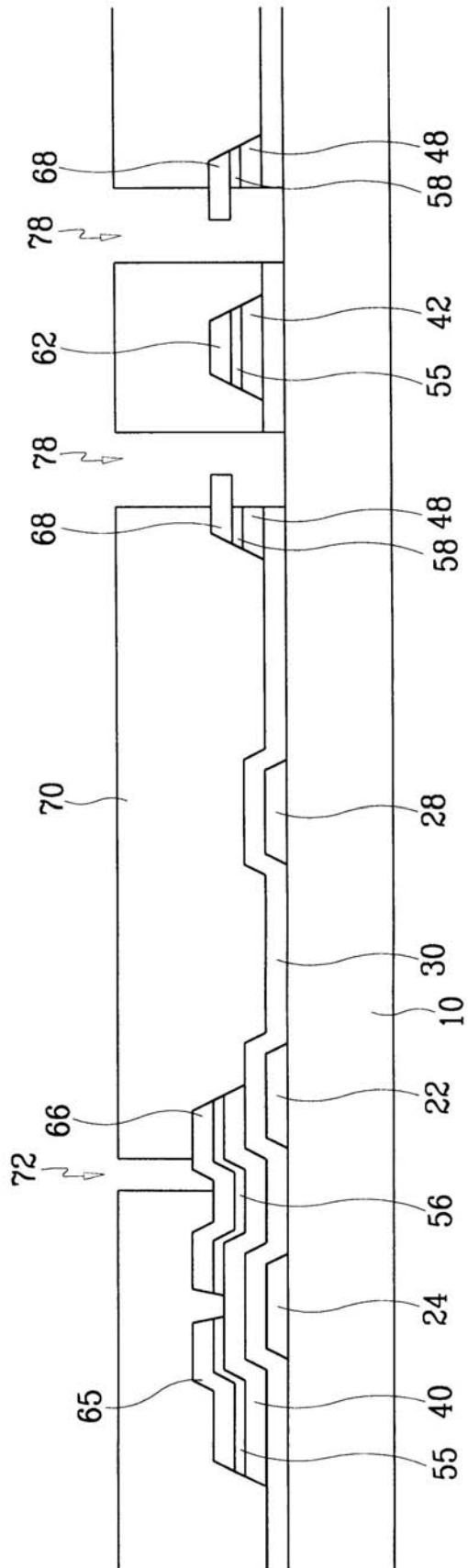
【図 5 1】



【図 5 2】



【図 5 3】



 フロントページの続き

- (72)発明者 金 東 奎
大韓民国京畿道水原市八達区仁溪洞鮮京アパート 3 0 2 棟 8 0 1 号
- (72)発明者 ソン, ジュン - ホ
大韓民国京畿道水原市八達区牛満洞牛満住公アパート 2 0 3 棟 1 2 0 4 号
- (72)発明者 チャン, ジョン - ウン
大韓民国京畿道水原市長安区華西 1 洞 1 9 2 番地
- (72)発明者 チェ, ジェ - ホ
大韓民国ソウル市江北区樊 3 洞住公アパート 2 0 6 棟 8 0 9 号
- (72)発明者 羅 炳 善
大韓民国京畿道水原市八達区梅灘 2 洞成一アパート 1 0 2 棟 5 0 1 号
- (72)発明者 パク, ヨン - ベ
大韓民国京畿道龍仁市水枝邑竹田里 8 5 5 番地碧山アパート 3 0 1 棟 6 0 5 号
- (72)発明者 ハ, ソン - ウック
大韓民国ソウル市松坡区蠶室 7 洞宇星アパート 2 5 棟 9 0 2 号
- F ターム(参考) 2H092 GA29 GA43 GA61 JA26 JA46 JB24 JB33 JB68 JB69 JB73
KA05 KA12 KB04 MA04 MA07 MA13 MA27 MA47 MA52 NA12
NA13 NA16 NA23
5F110 AA26 BB01 CC07 EE03 EE04 EE06 EE14 EE28 EE43 FF03
GG02 GG15 HK03 HK04 HK06 HK09 HK16 HK21 HK22 HK25
HK32 HL07 HL22 NN72 NN73 QQ02 QQ09

专利名称(译)	用于液晶显示装置的薄膜晶体管基板及其制造方法		
公开(公告)号	JP2011237807A	公开(公告)日	2011-11-24
申请号	JP2011126883	申请日	2011-06-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金東奎 ソンジュンホ チャンジョンウン チェジェホ 羅炳善 パクヨンベ ハソンウック		
发明人	金 東 奎 ソン,ジュン-ホ チャン,ジョン-ウン チェ,ジェ-ホ 羅 炳 善 パク,ヨン-ベ ハ,ソン-ウック		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786 G02F1/1343 G02F1/136 G02F1/1362 G02F1/1365 H01L21/77		
CPC分类号	G02F1/136286 G02F2001/136295 H01L27/124		
FI分类号	G02F1/1368 H01L29/78.612.D G02F1/1343		
F-TERM分类号	2H092/GA29 2H092/GA43 2H092/GA61 2H092/JA26 2H092/JA46 2H092/JB24 2H092/JB33 2H092/JB68 2H092/JB69 2H092/JB73 2H092/KA05 2H092/KA12 2H092/KB04 2H092/MA04 2H092/MA07 2H092/MA13 2H092/MA27 2H092/MA47 2H092/MA52 2H092/NA12 2H092/NA13 2H092/NA16 2H092/NA23 5F110/AA26 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE28 5F110/EE43 5F110/FF03 5F110/GG02 5F110/GG15 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK32 5F110/HL07 5F110/HL22 5F110/NN72 5F110/NN73 5F110/QQ02 5F110/QQ09 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB82 2H192/CC16 2H192/EA68 2H192/FA65 2H192/GA42 2H192/GD73 2H192/HB37 2H192/HB38 2H192/HB49		
代理人(译)	山下大沽嗣		
优先权	1998P50877 1998-11-26 KR 1999P51376 1999-11-18 KR		
其他公开文献	JP5379824B2		
外部链接	Espacenet		

摘要(译)

在液晶显示装置中，通过在制造过程中残留的导电膜来防止像素电极和数据线彼此短路，以减少像素缺陷。液晶显示装置包括：绝缘基板；位于绝缘基板上的栅极线；覆盖栅极线的栅极绝缘膜；位于栅极绝缘膜上的漏极；以及数据线。像素电极80位于保护膜上并且电连接至数据线，并且栅极绝缘膜具有第一开口。并且保护膜包括第二开口和接触开口72，第二开口暴露第一开口，并且第一开口和第二开口位于像素的边缘区域中。接触孔72暴露漏电极的一部分。[选择图]图14

