

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-164478

(P2011-164478A)

(43) 公開日 平成23年8月25日(2011.8.25)

(51) Int.Cl.

G02F 1/1343 (2006.01)

F I

G02F 1/1343

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 24 O L (全 49 頁)

(21) 出願番号 特願2010-29202 (P2010-29202)
(22) 出願日 平成22年2月12日 (2010.2.12)

(71) 出願人 000001443
カシオ計算機株式会社
東京都渋谷区本町1丁目6番2号
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100095441
弁理士 白根 俊郎

最終頁に続く

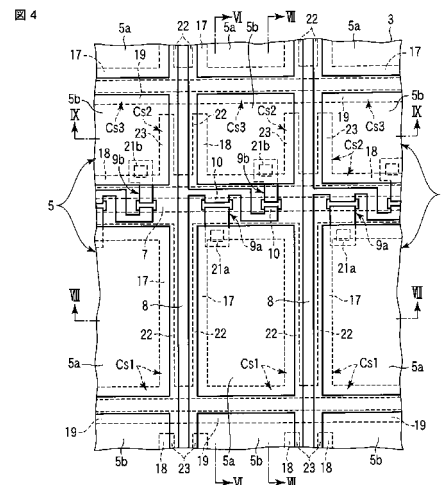
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】視野角を十分に広くし、しかも表示装置相互間の視野角のばらつきを容易に補正する。

【解決手段】画素毎に、第一画素電極5aと第二画素電極5bとを形成し、第一画素電極5aとの間に第一補償容量Cs1を形成する第一容量電極17と、第二画素電極5bとの間に第二及び第三補償容量Cs2, Cs3を形成する第二及び第三容量電極18, 19と、第一画素電極5aの外側に配置された第一の横電界生成電極22と、第二画素電極5bの外側に配置された第二の横電界生成電極23と、第一画素電極5aが設けられた領域を第一と第二の領域に区分するように形成された第一誘電体層と、第二画素電極5bが設けられた領域を第三と第四の領域に区分するように形成された第二誘電体層とを設け、第一容量電極17と第二容量電極18とに第一の電圧を印加し、第三容量電極19に第二の電圧を印加する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

第一の薄膜トランジスタに接続された第一画素電極と第二の薄膜トランジスタに接続された第二画素電極とが画素毎に形成され、

前記第一の薄膜トランジスタと前記第二の薄膜トランジスタとが、互いに同じデータ信号線及び走査信号線に接続され、

前記第一画素電極と共通電極との間及び前記第二画素電極と前記共通電極との間に液晶層が形成された液晶表示装置であって、

前記第一画素電極との間に第一誘電層が介在されて第一補償容量を形成する第一容量電極と、

前記第二画素電極との間に第二誘電層が介在されて第二補償容量を形成する第二容量電極と、

前記第二画素電極との間に第三誘電層が介在されて第三補償容量を形成する第三容量電極と、

前記画素のうちの前記第一画素電極が設けられた第一画素部と前記第二画素電極が設けられた第二画素部の少なくとも何れか一方に設けられ、その画素部を区分した二つの領域のうちの一方の領域の液晶分子を所定の第一のチルト方向にチルトさせ、他方の領域の液晶分子を前記第一の方向とは異なる第二のチルト方向にチルトさせるチルト方向規定手段と、

前記第一容量電極と前記第二容量電極とに前記共通電極への印加電圧と同じ第一の電圧を印加し、前記第三容量電極に前記第一の電圧とは異なる第二の電圧を印加する手段と、を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記第一画素部と前記第二画素部の何れか一方のみに、前記チルト方向規定手段が設けられていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第一画素部と前記第二画素部は互いに異なる面積を有しており、前記各画素部のうち、面積が大きい画素部に前記チルト方向規定手段が設けられていることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記チルト方向規定手段は、前記画素電極と前記共通電極との間に生じた電界による液晶分子のチルト方向を前記第一のチルト方向と第二のチルト方向とに規定することを特徴とする請求項 1 から 3 の何れかに記載の液晶表示装置。

【請求項 5】

前記チルト方向規定手段は、前記画素電極と前記共通電極との間に生じた電界の向きを、前記一方の領域において前記第一のチルト方向に歪ませ、前記他方の領域において前記第二のチルト方向に歪ませる手段からなることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記チルト方向規定手段は、前記画素電極の前記一方の領域側の辺及び前記他方の領域側の辺の外側に配置され、前記画素電極との間に横電界を生じさせる横電界生成手段と、前記画素部を前記第一画素電極の前記一方の辺側の第一領域と前記他方の辺側の第二領域とに区分するように配置され、前記第一画素電極と前記共通電極との間に生じた電界の強度を部分的に低下させる電界減衰手段とからなることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

第一の薄膜トランジスタに接続された第一画素電極と第二の薄膜トランジスタに接続された第二画素電極とが画素毎に形成され、

前記第一の薄膜トランジスタと前記第二の薄膜トランジスタとが、互いに同じデータ信号線及び走査信号線に接続され、

10

20

30

40

50

前記第一画素電極と共通電極との間及び前記第二画素電極と前記共通電極との間に液晶層が形成された液晶表示装置であって、

前記第一画素電極との間に第一誘電層が介在されて第一補償容量を形成する第一容量電極と、

前記第二画素電極との間に第二誘電層が介在されて第二補償容量を形成する第二容量電極と、

前記第二画素電極との間に第三誘電層が介在されて第三補償容量を形成する第三容量電極と、

前記第一画素電極の少なくとも一方の側とその反対側の二つの辺の外側に前記第一画素電極と絶縁して配置され、前記第一画素電極との間に横電界を生じさせる第一の横電界生成電極と、

前記第二画素電極の少なくとも互いに反対側の二つの辺の外側に前記第二画素電極と絶縁して配置され、前記第二画素電極との間に横電界を生じさせる第二の横電界生成電極と、

前記共通電極上または前記共通電極に、前記画素のうちの前記第一画素電極が設けられた第一画素部を、前記第一画素電極の前記一方の辺側の第一領域と前記他方の辺側の第二領域とに区分するように形成され、前記第一画素電極と前記共通電極との間に生じた電界の強度を低下させる第一の電界減衰手段と、

前記共通電極上または前記共通電極に、前記画素のうちの前記第二画素電極が設けられた第二画素部を、前記第二画素電極の前記一方の辺側の第三領域と前記他方の辺側の第四領域とに区分するように形成され、前記第二画素電極と前記共通電極との間に生じた電界の強度を低下させる第二の電界減衰手段と、

前記第一容量電極と前記第二容量電極とに前記共通電極への印加電圧と同じ第一の電圧を印加し、前記第三容量電極に前記第一の電圧とは異なる第二の電圧を印加する手段と、を備えたことを特徴とする液晶表示装置。

【請求項 8】

前記第一の横電界生成電極は、前記第一画素電極の前記二つの辺のうちの一方の辺側と他方の辺側とで互いに逆向きの横電界を生じさせるように形成され、前記第二の横電界生成電極は、前記第二画素電極の前記二つの辺のうちの一方の辺側と他方の辺側とで互いに逆向きの横電界を生じさせるように形成されていることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第一の横電界生成電極及び前記第二の横電界生成電極に、前記第一容量電極と前記第二容量電極とに印加される前記第一の電圧と同じ電圧が印加されることを特徴とする請求項 7 または 8 に記載の液晶表示装置。

【請求項 10】

前記第一画素電極と前記第二画素電極との間を延伸するように前記走査信号線が配置されていることを特徴とする請求項 7 から 9 の何れかに記載の液晶表示装置。

【請求項 11】

前記第一画素電極と前記第二画素電極はそれぞれ、前記走査信号線の延伸方向と平行な二つの横辺と、前記走査信号線の延伸方向に対して交差する二つの縦辺とを有する四角形状に形成されていることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記第一容量電極は、前記第一画素電極の全ての辺に重なるように形成されていることを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

前記第二容量電極は、前記第二画素電極の前記二つの横辺の何れか一方と前記二つの縦辺の両方とに重なるように形成され、前記第三容量電極は、前記第二容量電極との間に所定の間隔をあけて、前記第二画素電極の前記二つの横辺の他方に重なるように形成されていることを特徴とする請求項 12 に記載の液晶表示装置。

10

20

30

40

50

【請求項 14】

前記第一の横電界生成電極は、前記第一画素電極の各辺のうち、前記二つの縦辺の外側に配置され、前記第二の横電界生成電極は、前記第二画素電極の各辺のうち、前記二つの縦辺の外側に配置されていることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】

前記第一の横電界生成電極は、前記第一容量電極と一体に形成され、前記第二の横電界生成電極は、前記第二容量電極と一体に形成されていることを特徴とする請求項 14 に記載の液晶表示装置。

【請求項 16】

前記第一の電界減衰手段は、前記第一画素部を、前記第一領域と前記第二領域とに二等分するように配置され、前記第二の電界減衰手段は、前記第二画素部を、前記第三領域と前記第四領域とに二等分するように配置されていることを特徴とする請求項 7 から 15 の何れかに記載の液晶表示装置。

10

【請求項 17】

前記第一の電界減衰手段及び第二の電界減衰手段は、前記第一画素電極及び前記第二画素電極の前記縦辺と平行な直線形状に形成されていることを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 18】

前記第一の電界減衰手段と前記第二の電界減衰手段はそれぞれ、前記共通電極の前記液晶層と対向する面上に形成された誘電体層からなっていることを特徴とする請求項 7 から 17 の何れかに記載の液晶表示装置。

20

【請求項 19】

前記第一の電界減衰手段と前記第二の電界減衰手段はそれぞれ、前記共通電極に設けられたスリットからなっていることを特徴とする請求項 7 から 17 の何れかに記載の液晶表示装置。

【請求項 20】

前記第一画素電極及び前記第二画素電極を覆って第一配向膜が設けられ、前記共通電極及び前記電界減衰手段を覆って第二配向膜が設けられており、前記第一配向膜と前記第二配向膜はそれぞれ、前記第一及び第二の電界減衰手段の延伸方向に対して交差する方向にラビングされていることを特徴とする請求項 7 から 18 の何れかに記載の液晶表示装置。

30

【請求項 21】

前記第一配向膜は、前記第一及び第二の電界減衰手段の延伸方向に対して一方の方向に 45° の角度で交差する方向にラビングされ、前記第二配向膜は、前記第一及び第二の電界減衰手段の延伸方向に対して前記一方の方向とは反対方向に 45° の角度で交差する方向にラビングされており、前記液晶層は、正の誘電異方性を有する液晶からなり、その液晶分子が、前記第一画素電極及び第二画素電極と前記共通電極との間において 90° のツイスト角でツイスト配向していることを特徴とする請求項 20 に記載の液晶表示装置。

【請求項 22】

前記第一配向膜は、前記第一及び第二の電界減衰手段の延伸方向に対して一方の方向に 90° の角度で交差する方向にラビングされ、前記第二配向膜は、前記第一及び第二の電界減衰手段の延伸方向に対して前記一方の方向とは反対方向に 90° の角度で交差する方向にラビングされており、前記液晶層は、正の誘電異方性を有する液晶からなり、その液晶分子が、分子長軸を前記第一配向膜及び前記第二配向膜のラビング方向に揃えてホモジニアス配向していることを特徴とする請求項 20 に記載の液晶表示装置。

40

【請求項 23】

前記第一の電圧は、電圧レベルが所定の周期で反転する矩形波交流電圧であり、前記第二の電圧は、一定レベルの直流電圧であることを特徴とする請求項 1 から 22 の何れかに記載の液晶表示装置。

【請求項 24】

前記第一の電圧は、電圧レベルが所定の周期で反転する矩形波交流電圧であり、前記第

50

二の電圧は、電圧レベルが前記第一の電圧と同じ周期で反転し、且つ、振幅が前記第一の電圧の振幅よりも小さい矩形波交流電圧であることを特徴とする請求項 1 から 22 の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、広い視野角をもった液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、表示の視野角を広くすることが望まれている。そのために、画素を二つの領域に区分し、その一方の領域の視野角特性と他方の領域の視野角特性とを異ならせることにより、前記二つの領域の視野角特性が相乗した広い視野角を得ることが考えられている。

10

【0003】

この種の広視野角液晶表示装置としては、従来、例えば特許文献 1 に記載されているように、第一の薄膜トランジスタに接続された第一画素電極と第二の薄膜トランジスタに接続された第二画素電極とを画素毎に形成し、前記第一の薄膜トランジスタの充電能力と、前記第二の薄膜トランジスタの充電能力とを異ならせることにより、前記一方の領域の液晶と他方の領域の液晶とに、異なる値の電圧を印加するようにしたものがある。

【0004】

20

また、他の広視野角液晶表示装置としては、特許文献 2 に記載されているように、液晶層を挟んで対向する第一基板と第二基板の何れか一方に、各画素にそれぞれ対応させて、例えば断面形状が三角形の凸部を設け、前記凸部を覆って配向膜を形成することにより、各画素毎に、液晶分子が配向膜のラビング方向に向かってプレチルトした第一の領域と、液晶分子が前記配向膜のラビング方向とは逆向きにプレチルトした第二の領域とを形成したものがある。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 7 - 152013 号公報

30

【特許文献 2】特開平 7 - 333612 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、前記特許文献 1 及び特許文献 2 に記載された液晶表示装置は、何れも視野角が十分に広いとは言えない。

【0007】

しかも、液晶表示装置は、各種の工程を経て製造されるため、同機種の液晶表示装置であっても、製造工程で生じた絶縁膜厚や液晶層厚等の誤差により、表示装置相互間に視野角のばらつきを生じることがあるが、前記特許文献 1 及び特許文献 2 に記載された液晶表示装置は、前記視野角のばらつきの補正が難しい。

40

【0008】

この発明は、視野角を十分に広くし、しかも表示装置相互間の視野角のばらつきを容易に補正することができる液晶表示装置を提供することを目的としたものである。

【課題を解決するための手段】

【0009】

請求項 1 に記載の発明は、第一の薄膜トランジスタに接続された第一画素電極と第二の薄膜トランジスタに接続された第二画素電極とが画素毎に形成され、

前記第一の薄膜トランジスタと前記第二の薄膜トランジスタとが、互いに同じデータ信号線及び走査信号線に接続され、

50

前記第一画素電極と共通電極との間及び前記第二画素電極と前記共通電極との間に液晶層が形成された液晶表示装置であって、

前記第一画素電極との間に第一誘電層が介在されて第一補償容量を形成する第一容量電極と、

前記第二画素電極との間に第二誘電層が介在されて第二補償容量を形成する第二容量電極と、

前記第二画素電極との間に第三誘電層が介在されて第三補償容量を形成する第三容量電極と、

前記画素のうちの前記第一画素電極が設けられた第一画素部と前記第二画素電極が設けられた第二画素部の少なくとも何れか一方に設けられ、その画素部を区分した二つの領域のうちの一方の領域の液晶分子を所定の第一のチルト方向にチルトさせ、他方の領域の液晶分子を前記第一の方向とは異なる第二のチルト方向にチルトさせるチルト方向規定手段と、

前記第一容量電極と前記第二容量電極とに前記共通電極への印加電圧と同じ第一の電圧を印加し、前記第三容量電極に前記第一の電圧とは異なる第二の電圧を印加する手段と、を備えたことを特徴とする。

【0010】

請求項2に記載の発明は、前記請求項1に記載の液晶表示装置において、前記第一画素部と前記第二画素部の何れか一方のみに、前記チルト方向規定手段が設けられていることを特徴とする。

【0011】

請求項3に記載の発明は、前記請求項2に記載の液晶表示装置において、前記第一画素部と前記第二画素部は互いに異なる面積を有しており、前記各画素部のうち、面積が大きい画素部に前記チルト方向規定手段が設けられていることを特徴とする。

【0012】

請求項4に記載の発明は、前記請求項1から3の何れかに記載の液晶表示装置において、前記チルト方向規定手段は、前記画素電極と前記共通電極との間に生じた電界による液晶分子のチルト方向を前記第一のチルト方向と第二のチルト方向とに規定することを特徴とする。

【0013】

請求項5に記載の発明は、前記請求項4に記載の液晶表示装置において、前記チルト方向規定手段は、前記画素電極と前記共通電極との間に生じた電界の向きを、前記一方の領域において前記第一のチルト方向に歪ませ、前記他方の領域において前記第二のチルト方向に歪ませる手段からなることを特徴とする。

【0014】

請求項6に記載の発明は、前記請求項5に記載の液晶表示装置において、前記チルト方向規定手段は、前記画素電極の前記一方の領域側の辺及び前記他方の領域側の辺の外側に配置され、前記画素電極との間に横電界を生じさせる横電界生成手段と、前記画素部を前記第一画素電極の前記一方の辺側の第一領域と前記他方の辺側の第二領域とに区分するように配置され、前記第一画素電極と前記共通電極との間に生じた電界の強度を部分的に低下させる電界減衰手段と、

請求項7に記載の発明は、第一の薄膜トランジスタに接続された第一画素電極と第二の薄膜トランジスタに接続された第二画素電極とが画素毎に形成され、

前記第一の薄膜トランジスタと前記第二の薄膜トランジスタとが、互いに同じデータ信号線及び走査信号線に接続され、

前記第一画素電極と共通電極との間及び前記第二画素電極と前記共通電極との間に液晶層が形成された液晶表示装置であって、

前記第一画素電極との間に第一誘電層が介在されて第一補償容量を形成する第一容量電極と、

前記第二画素電極との間に第二誘電層が介在されて第二補償容量を形成する第二容量電

10

20

30

40

50

極と、

前記第二画素電極との間に第三誘電層が介在されて第三補償容量を形成する第三容量電極と、

前記第一画素電極の少なくとも一方の側とその反対側の二つの辺の外側に前記第一画素電極と絶縁して配置され、前記第一画素電極との間に横電界を生じさせる第一の横電界生成電極と、

前記第二画素電極の少なくとも互いに反対側の二つの辺の外側に前記第二画素電極と絶縁して配置され、前記第二画素電極との間に横電界を生じさせる第二の横電界生成電極と、

前記共通電極上または前記共通電極に、前記画素のうちの前記第一画素電極が設けられた第一画素部を、前記第一画素電極の前記一方の辺側の第一領域と前記他方の辺側の第二領域とに区分するように形成され、前記第一画素電極と前記共通電極との間に生じた電界の強度を部分的に低下させる第一の電界減衰手段と、

前記共通電極上または前記共通電極に、前記画素のうちの前記第二画素電極が設けられた第二画素部を、前記第二画素電極の前記一方の辺側の第三領域と前記他方の辺側の第四領域とに区分するように形成され、前記第二画素電極と前記共通電極との間に生じた電界の強度を部分的に低下させる第二の電界減衰手段と、

前記第一容量電極と前記第二容量電極とに前記共通電極への印加電圧と同じ第一の電圧を印加し、前記第三容量電極に前記第一の電圧とは異なる第二の電圧を印加する手段と、を備えたことを特徴とする液晶表示装置。

【0015】

請求項8に記載の発明は、前記請求項7に記載の液晶表示装置において、前記第一の横電界生成電極は、前記第一画素電極の前記二つの辺のうちの一方の辺側と他方の辺側とで互いに逆向きの横電界を生じさせるように形成され、前記第二の横電界生成電極は、前記第二画素電極の前記二つの辺のうちの一方の辺側と他方の辺側とで互いに逆向きの横電界を生じさせるように形成されていることを特徴とする。

【0016】

請求項9に記載の発明は、前記請求項7または8に記載の液晶表示装置において、前記第一の横電界生成電極及び前記第二の横電界生成電極に、前記第一容量電極と前記第二容量電極とに印加される前記第一の電圧と同じ電圧が印加されることを特徴とする。

【0017】

請求項10に記載の発明は、前記請求項7から9の何れかに記載の液晶表示装置において、前記第一画素電極と前記第二画素電極との間を延伸するように前記走査信号線が配置されていることを特徴とする。

【0018】

請求項11に記載の発明は、前記請求項10に記載の液晶表示装置において、前記第一画素電極と前記第二画素電極はそれぞれ、前記走査信号線の延伸方向と平行な二つの横辺と、前記走査信号線の延伸方向に対して交差する二つの縦辺とを有する四角形状に形成されていることを特徴とする。

【0019】

請求項12に記載の発明は、前記請求項11に記載の液晶表示装置において、前記第一容量電極は、前記第一画素電極の全ての辺に重なるように形成されていることを特徴とする。

【0020】

請求項13に記載の発明は、前記請求項12に記載の液晶表示装置において、前記第二容量電極は、前記第二画素電極の前記二つの横辺の何れか一方と前記二つの縦辺の両方とに重なるように形成され、前記第三容量電極は、前記第二容量電極との間に所定の間隔をあけて、前記第二画素電極の前記二つの横辺の他方に重なるように形成されていることを特徴とする。

【0021】

請求項 1 4 に記載の発明は、前記請求項 1 3 に記載の液晶表示装置において、前記第一の横電界生成電極は、前記第一画素電極の各辺のうち、前記二つの縦辺の外側に配置され、前記第二の横電界生成電極は、前記第二画素電極の各辺のうち、前記二つの縦辺の外側に配置されていることを特徴とする。

【 0 0 2 2 】

請求項 1 5 に記載の発明は、前記請求項 1 4 に記載の液晶表示装置において、前記第一の横電界生成電極は、前記第一容量電極と一体に形成され、前記第二の横電界生成電極は、前記第二容量電極と一体に形成されていることを特徴とする。

【 0 0 2 3 】

請求項 1 6 に記載の発明は、前記請求項 7 から 1 5 の何れかに記載の液晶表示装置において、前記第一の電界減衰手段は、前記第一画素部を、前記第一領域と前記第二領域とに二等分するように配置され、前記第二の電界減衰手段は、前記第二画素部を、前記第三領域と前記第四領域とに二等分するように配置されていることを特徴とする。

10

【 0 0 2 4 】

請求項 1 7 に記載の発明は、前記請求項 1 6 に記載の液晶表示装置において、前記第一の電界減衰手段及び第二の電界減衰手段は、前記第一画素電極及び前記第二画素電極の前記縦辺と平行な直線形状に形成されていることを特徴とする。

【 0 0 2 5 】

請求項 1 8 に記載の発明は、前記請求項 7 から 1 7 の何れかに記載の液晶表示装置において、前記第一の電界減衰手段と前記第二の電界減衰手段はそれぞれ、前記共通電極の前記液晶層と対向する面上に形成された誘電体層からなっていることを特徴とする。

20

【 0 0 2 6 】

請求項 1 9 に記載の発明は、前記請求項 7 から 1 7 の何れかに記載の液晶表示装置において、前記第一の電界減衰手段と前記第二の電界減衰手段はそれぞれ、前記共通電極に設けられたスリットからなっていることを特徴とする。

【 0 0 2 7 】

請求項 2 0 に記載の発明は、前記請求項 7 から 1 8 の何れかに記載の液晶表示装置において、前記第一画素電極及び前記第二画素電極を覆って第一配向膜が設けられ、前記共通電極及び前記電界減衰手段を覆って第二配向膜が設けられており、前記第一配向膜と前記第二配向膜はそれぞれ、前記第一及び第二の電界減衰手段の延伸方向に対して交差する方向にラビングされていることを特徴とする。

30

【 0 0 2 8 】

請求項 2 1 に記載の発明は、前記請求項 2 0 に記載の液晶表示装置において、前記第一配向膜は、前記第一及び第二の電界減衰手段の延伸方向に対して一方の方向に 45° の角度で交差する方向にラビングされ、前記第二配向膜は、前記第一及び第二の電界減衰手段の延伸方向に対して前記一方の方向とは反対方向に 45° の角度で交差する方向にラビングされており、前記液晶層は、正の誘電異方性を有する液晶からなり、その液晶分子が、前記第一画素電極及び第二画素電極と前記共通電極との間において 90° のツイスト角でツイスト配向していることを特徴とする。

【 0 0 2 9 】

40

請求項 2 2 に記載の発明は、前記請求項 2 0 に記載の液晶表示装置において、前記第一配向膜は、前記第一及び第二の電界減衰手段の延伸方向に対して一方の方向に 90° の角度で交差する方向にラビングされ、前記第二配向膜は、前記第一及び第二の電界減衰手段の延伸方向に対して前記一方の方向とは反対方向に 90° の角度で交差する方向にラビングされており、前記液晶層は、正の誘電異方性を有する液晶からなり、その液晶分子が、分子長軸を前記第一配向膜及び前記第二配向膜のラビング方向に揃えてホモジニアス配向していることを特徴とする。

【 0 0 3 0 】

請求項 2 3 に記載の発明は、前記請求項 1 から 2 2 の何れかに記載の液晶表示装置において、前記第一の電圧は、電圧レベルが所定の周期で反転する矩形波交流電圧であり、前

50

記第二の電圧は、一定レベルの直流電圧であることを特徴とする。

【 0 0 3 1 】

請求項 2 4 に記載の発明は、前記請求項 1 から 2 2 の何れかに記載の液晶表示装置において、前記第一の電圧は、電圧レベルが所定の周期で反転する矩形波交流電圧であり、前記第二の電圧は、電圧レベルが前記第一の電圧と同じ周期で反転し、且つ、振幅が前記第一の電圧の振幅よりも小さい矩形波交流電圧であることを特徴とする。

【発明の効果】

【 0 0 3 2 】

この発明によれば、視野角を十分に広くし、しかも表示装置相互間の視野角のばらつきを容易に補正することができる。

10

【図面の簡単な説明】

【 0 0 3 3 】

【図 1】この発明の第一実施例を示す液晶表示装置の構成図。

【図 2】第一実施例における液晶表示素子の平面図。

【図 3】前記液晶表示素子の側面図。

【図 4】前記液晶表示素子の第一基板の一部分の被覆絶縁膜及び第一配向膜を省略した平面図。

【図 5】図 4 の一つの画素部分の拡大図。

【図 6】図 4 の VI - VI 矢視線に沿う拡大断面図。

【図 7】図 4 の VII - VII 矢視線に沿う拡大断面図。

20

【図 8】図 4 の VIII - VIII 矢視線に沿う拡大断面図。

【図 9】図 4 の IX - IX 矢視線に沿う拡大断面図。

【図 10】図 8 の X 部の拡大図。

【図 11】前記液晶表示素子の液晶分子の初期配向状態及び第一及び第二偏光板の吸収軸の向きを示す平面図。

【図 12】第一実施例における第一、第二、第三容量電極及び第一、第二の横電界生成電極と第一、第二の電界減衰手段の配置図。

【図 13】前記液晶表示素子の一つの画素の回路図。

【図 14】前記液晶表示素子を駆動する走査信号とデータ信号と第一及び第二の電圧の波形図。

30

【図 15】前記第一の電圧と第二の電圧の電圧差を示す図。

【図 16】前記画素の第一画素部における第一画素電極と共通電極との間に印加される電圧を示す図。

【図 17】前記画素の第二画素部における第二画素電極と共通電極との間に印加される電圧を示す図。

【図 18】前記第一画素部と第二画素部の液晶層での電圧 - 透過率特性図。

【図 19】第一実施例の液晶表示装置における無電界時の液晶分子の配向状態を模式的に示す断面図。

【図 20】第一実施例の液晶表示装置における駆動電界の歪みと液晶分子の配向状態を模式的に示す断面図。

40

【図 21】第一実施例の液晶表示装置における一つの画素の液晶分子のノーマルチルト領域とリバースチルト領域を示す平面図。

【図 22】第一比較例の液晶表示装置の視角 - 輝度特性図。

【図 23】第二比較例の液晶表示装置の視角 - 輝度特性図。

【図 24】第三比較例の液晶表示装置の視角 - 輝度特性図。

【図 25】第一実施例の液晶表示装置の視角 - 輝度特性図。

【図 26】第一及び第二の電界減衰手段の変形例を示す断面図。

【図 27】第一及び第二の電界減衰手段の他の変形例を示す断面図。

【図 28】第一及び第二の電界減衰手段の他の変形例を示す断面図。

【図 29】図 1 4 の走査信号とデータ信号と第一及び第二電圧のうちの第二電圧を矩形波

50

交流電圧とした例を示す図。

【図 3 0】図 1 4 の走査信号とデータ信号と第一及び第二電圧のうちの第二電圧を他の矩形波交流電圧とした例を示す図。

【図 3 1】第一実施例における第二容量電極及び第二の横電界生成電極と第三容量電極の他の配置例を示す図。

【図 3 2】第一実施例における第一容量電極と第二容量電極及び第二の横電界生成電極の変形例を示す図。

【図 3 3】この発明の第二実施例を示す液晶表示素子の第一基板の一部分の第一被覆絶縁膜と第二被覆絶縁膜及び第一配向膜を省略した平面図。

【図 3 4】図 3 3 の一つの画素部分の拡大図。

【図 3 5】図 3 3 のXXXV - XXXV矢視線に沿う拡大断面図。

【図 3 6】図 3 3 のXXXVI - XXXVI矢視線に沿う拡大断面図。

【図 3 7】第二実施例における第一、第二、第三容量電極及び第一、第二の横電界生成電極と第一、第二の電界減衰手段の配置図。

【図 3 8】この発明の第三実施例を示す液晶表示素子の第一基板の図 3 5 に対応する部分の断面図。

【図 3 9】第三実施例における第一、第二、第三容量電極及び第一、第二の横電界生成電極と第一、第二の電界減衰手段の配置図。

【図 4 0】この発明の第四実施例を示す液晶表示素子の第一基板の図 3 5 に対応する部分の断面図。

【図 4 1】第四実施例における第一、第二、第三容量電極及び第一、第二の横電界生成電極と第一、第二の電界減衰手段の配置図。

【図 4 2】この発明の第五実施例を示す第一、第二、第三容量電極及び第一、第二の横電界生成電極と第一、第二の電界減衰手段の配置図。

【図 4 3】この発明の第六実施例を示す液晶表示素子の第一基板の図 3 5 に対応する部分の断面図。

【図 4 4】第六実施例における第一、第二、第三容量電極及び第一、第二の横電界生成電極と第一、第二の電界減衰手段の配置図。

【図 4 5】この発明の第七実施例の液晶表示装置における無電界時の液晶分子の配向状態を模式的に示す断面図。

【図 4 6】第七実施例の液晶表示装置における駆動電界の歪みと液晶分子の配向状態を模式的に示す断面図。

【図 4 7】この発明の第八実施例を示す液晶表示素子の第一基板の一つの画素部分の被覆絶縁膜及び第一配向膜を省略した平面図。

【発明を実施するための形態】

【0034】

[第一実施例]

この発明の第一実施例の液晶表示装置は、図 1 のように、液晶表示素子 1 と前記液晶表示素子 1 を駆動する駆動手段 4 0 とにより構成されている。

【0035】

前記液晶表示素子 1 は、薄膜トランジスタ（以下、TFTと記す）をスイッチング素子としたアクティブマトリックス型液晶表示素子であり、複数の画素 3 3 が、図 2 のように、行方向（図において左右方向）及び列方向（図において上下方向）に配列させて形成されている。

【0036】

この液晶表示素子 1 は、図 2 ～図 9 のように、対向配置された透明な第一基板 3 と第二基板 4 を備えている。そして、前記第一基板（例えば表示面側とは反対側の基板）3 の第二基板 4 と対向する面に、複数の透明な画素電極 5 が行方向及び列方向に配列させて設けられ、前記第二基板 4 の第一基板 3 と対向する面に、前記各画素電極 5 と対向する一枚膜状の透明な共通電極 6 が設けられている。

10

20

30

40

50

【 0 0 3 7 】

さらに、前記第一基板 3 には、各画素電極 5 の行毎に行方向に延伸させて配線された複数の走査信号線 7 と、各画素電極 5 の列毎に列方向に延伸させて配線された複数のデータ信号線 8 とが設けられている。

【 0 0 3 8 】

前記各画素電極 5 はそれぞれ、電氣的に分離して形成された第一画素電極 5 a と第二画素電極 5 b とからなっている。この第一画素電極 5 a と第二画素電極 5 b はそれぞれ、前記走査信号線 7 の延伸方向と平行な二つの横辺と、前記走査信号線 7 の延伸方向に対して交差する二つの縦辺とを有する四角形状に形成されている。

【 0 0 3 9 】

この実施例において、第一画素電極 5 a と第二画素電極 5 b は、同じ横幅（行方向の幅）を有しており、第一画素電極 5 a は、縦幅（列方向の幅）が前記横幅の約 2 倍である縦長矩形形状に形成され、第二画素電極 5 b は、縦幅と横幅が同程度の正方形形状に形成されている。

【 0 0 4 0 】

そして、前記走査信号線 7 は、第一画素電極 5 a と第二画素電極 5 b との間を延伸するように配置されている。また、前記データ信号線 8 は、各列の画素電極 5 の一側の領域に、列方向に延伸するように配置されている。

【 0 0 4 1 】

また、前記第一基板 3 には、前記各画素電極 5 にそれぞれ対応させて、前記第一画素電極 5 a に接続された第一の T F T 9 a と、前記第二画素電極 5 b に接続された第二の T F T 9 a とが配置されている。この第一 T F T 9 a と第二 T F T 9 b は、前記第一画素電極 5 a と第二画素電極 5 b との間の領域に、前記行方向に並べて配置されている。

【 0 0 4 2 】

前記第一 T F T 9 a と第二 T F T 9 b はそれぞれ、図 4、図 5、図 6 及び図 7 のように、第一基板 3 上に形成されたゲート電極 1 0 と、前記第一基板 3 上の全域に前記ゲート電極 1 0 を覆って形成された透明なゲート絶縁膜 1 1 と、前記ゲート絶縁膜 1 1 上に前記ゲート電極 1 0 と対向させて形成された真正アモルファスシリコンからなる半導体薄膜 1 2 と、前記半導体薄膜 1 2 の上面の中央部に設けられたチャネル保護膜 1 3 と、前記半導体薄膜 1 2 のチャネル領域を挟んで、その一方の側と他方の側との上にそれぞれ n 型アモルファスシリコンからなるコンタクト層 1 4 を介して形成されたソース電極 1 5 及びドレイン電極 1 6 とからなっている。

【 0 0 4 3 】

なお、前記第一 T F T 9 a と第二 T F T 9 b は、互いに逆向きの形状に形成されている。すなわち、第一 T F T 9 a は、第一画素電極 5 a と対向する側にドレイン電極 1 6 が設けられ、その反対側にソース電極 1 5 が設けられた形状に形成されている。また、第二 T F T 9 b は、第二画素電極 5 b と対向する側にドレイン電極 1 6 が設けられ、その反対側にソース電極 1 5 が設けられた形状に形成されている。

【 0 0 4 4 】

そして、前記第一 T F T 9 a のゲート電極 1 0 と第二 T F T 9 b のゲート電極 1 0 は、互いに同じ走査信号線 7 に接続されている。また、前記第一 T F T 9 a のソース電極 1 5 と第二 T F T 9 b のソース電極 1 5 は、互いに同じデータ信号線 8 に接続されている。

【 0 0 4 5 】

なお、前記各走査信号線 7 は、前記第一基板 3 上に、第一及び第二 T F T 9 a , 9 b のゲート電極 1 0 , 1 0 と同じ金属膜により、前記各ゲート電極 1 0 , 1 0 と一体に形成されている。

【 0 0 4 6 】

一方、前記各データ信号線 8 は、前記ゲート絶縁膜 1 1 の上に、第一及び第二 T F T 9 a , 9 b のソース、ドレイン電極 1 5 , 1 6 と同じ金属膜により、前記各ソース電極 1 5 , 1 5 と一体に形成されている。

10

20

30

40

50

【 0 0 4 7 】

なお、前記データ信号線 8 には、各行の画素電極 5 の第一画素電極 5 a と第二画素電極 5 b との間の領域に向かって延びる複数の分岐線 8 a が一体に形成されている。この分岐線 8 a は、互いに逆向きの形状に形成された前記第一 T F T 9 a と第二 T F T 9 b のうちの前記データ信号線 8 に近い側に配置された第一 T F T 9 a のソース電極 1 5 側を通り、さらに前記データ信号線 8 から遠い側に配置された第二 T F T 9 b のソース電極 1 5 側に達するように屈曲させた形状に形成されている。そして、前記データ信号線 8 は、前記分岐線 8 a を介して、前記第一 T F T 9 a のソース電極 1 5 及び第二 T F T 9 b のソース電極 1 5 に一体的に接続されている。

【 0 0 4 8 】

この実施例において、前記第一 T F T 9 a 及び第二 T F T 9 b と各走査信号線 7 と第一、第二及び第三容量電極 1 7 , 1 8 , 1 9 と各データ信号線 8 は、次のような工程で形成される。

【 0 0 4 9 】

[工程 1]

まず、第一基板 3 上に、各走査信号線 7 及びゲート電極 1 0 と前記各容量電極 1 7 , 1 8 , 1 9 を、金属膜の成膜及びそのパターニングにより形成する。

【 0 0 5 0 】

[工程 2]

次に、前記ゲート絶縁膜 1 1 と半導体薄膜 1 2 とチャネル保護膜 1 3 とを順次成膜し、前記チャネル保護膜 1 3 を半導体薄膜 1 2 の中央部を覆う形状にパターニングする。

【 0 0 5 1 】

[工程 3]

次に、前記コンタクト層 1 4 と、ソース、ドレイン電極及びデータ信号線用の金属膜とを順次成膜し、前記金属膜とコンタクト層 1 4 及び半導体薄膜 1 2 を一括して前記ソース電極 1 5 及びドレイン電極と各データ信号線 8 の形状にパターニングする。

【 0 0 5 2 】

そのため、前記各データ信号線 8 は、前記各 T F T 9 a , 9 b を構成する積層膜のうちの半導体薄膜 1 2 とコンタクト層 1 4 とからなる下地層の上に形成されている。

【 0 0 5 3 】

さらに、前記ゲート絶縁膜 1 1 の上には、前記各 T F T 9 a , 9 b 及び前記各データ信号線 8 を覆って透明な被覆絶縁膜 2 0 が設けられており、この被覆絶縁膜 2 0 の上に前記第一画素電極 5 a と第二画素電極 5 b が形成されている。そして、前記第一画素電極 5 a は、前記第一 T F T 9 a のドレイン電極 1 6 に接続され、第二画素電極 5 b は、前記第二 T F T 9 b のドレイン電極 1 6 に接続されている。

【 0 0 5 4 】

なお、前記第一画素電極 5 a と第二画素電極 5 b は、前記被覆絶縁膜 2 0 の第一 T F T 9 a 及び第二 T F T 9 b のドレイン電極 1 6 , 1 6 上の部分に第一及び第二のコンタクト孔 2 1 a , 2 1 b を穿設した後に、前記被覆絶縁膜 2 0 上に I T O 膜を成膜し、その I T O 膜を第一及び第二画素電極 5 a , 5 b の形状にパターニングすることにより形成される。

【 0 0 5 5 】

従って、第一画素電極 5 a は、前記第一のコンタクト孔 2 1 a において第一 T F T 9 a のドレイン電極 1 6 に接続され、前記第二画素電極 5 b は、前記第二のコンタクト孔 2 1 b において第二 T F T 9 b のドレイン電極 1 6 に接続されている。

【 0 0 5 6 】

すなわち、前記液晶表示素子 1 は、第一 T F T 9 a に接続された第一画素電極 5 a と第二 T F T 9 b に接続された第二画素電極 5 b とが画素 3 3 毎に形成され、前記第一 T F T 9 a と第二 T F T 9 b とが、互いに同じデータ信号線 8 及び走査信号線 7 に接続されたものである。

10

20

30

40

50

【 0 0 5 7 】

そのため、各画素 3 3 はそれぞれ、前記第一画素電極 5 a と第二画素電極 5 b との間の部分を境にして、第一画素電極 5 a が設けられた第一画素部 3 3 a と、第二画素電極 5 b が設けられた第二画素部 3 3 b とに区分されている。以下、第一画素部 3 3 a をメイン画素部、第二画素電極 5 b が設けられた第二画素部 3 3 b をサブ画素部という。この実施例において、前記メイン画素部 3 3 a とサブ画素部 3 3 b との面積比（第一画素電極 5 a と第二画素電極 5 b との面積比）は、メイン画素部：サブ画素部 = 7 : 3 に設定されている。

【 0 0 5 8 】

前記第一 T F T 9 a と第二 T F T 9 b は、同じ走査信号線 7 からの所定電位の走査信号により同時にオンし、同じデータ信号線 8 から供給されたデータ信号を前記第一画素電極 5 a と前記第二画素電極 5 b に各々印加する。

10

【 0 0 5 9 】

さらに、前記第一基板 3 には、各画素 3 3 毎に、第一画素電極 5 a との間に第一誘電層が介在されて第一補償容量 C s 1 を形成する第一容量電極 1 7 と、第二画素電極 5 b との間に第二誘電層が介在されて第二補償容量 C s 2 を形成する第二容量電極 1 8 と、前記第二画素電極 5 b との間に第三誘電層が介在されて第三補償容量 C s 3 を形成する第三容量電極 1 9 とが設けられている。

【 0 0 6 0 】

前記第一容量電極 1 7 と第二容量電極 1 8 及び第三容量電極 1 9 は、図 4、図 5 及び図 1 2 のような形状に形成されている。すなわち、第一容量電極 1 7 は、第一画素電極 5 a の全ての辺に重なるような矩形枠形状に形成されている。

20

【 0 0 6 1 】

そして、各第一容量電極 1 7 は、行毎に、隣り合う第一容量電極 1 7 , 1 7 の前記走査信号線 7 に隣接する辺とは反対側の辺の端部同士を連続させて形成することにより共通接続されている。

【 0 0 6 2 】

一方、前記第二容量電極 1 8 と第三容量電極 1 9 とのうち、第二容量電極 1 8 は、第二画素電極 5 b の二つの横辺の何れか一方と二つの縦辺の両方とに重なるように配置され、第三容量電極 1 9 は、前記第二画素電極 5 b の二つの横辺の他方と重なるように配置されている。

30

【 0 0 6 3 】

この実施例において、第二容量電極 1 8 は、第二画素電極 5 b の二つの横辺のうちの走査信号線 7 に隣接する辺と二つの縦辺の両方とに重なるように、これらの各辺に沿って連続した三方枠形状に形成されている。そして、各第二容量電極 1 8 は、行毎に、隣り合う第二容量電極 1 8 , 1 8 の前記走査信号線 7 に隣接する辺の端部同士を連続させて形成することにより共通接続されている。

【 0 0 6 4 】

また、第三容量電極 1 9 は、第二画素電極 5 b の二つの横辺のうち、前記走査信号線 7 に隣接する辺とは反対側の一边と重なるように、前記反対側の辺に沿った直線形状に形成されている。そして、各第三容量電極 1 9 は、行毎に、隣り合う第三容量電極 1 9 , 1 9 の端部同士を連続させて形成することにより共通接続されている。

40

【 0 0 6 5 】

さらに、各走査信号線 7 と、各画素 3 3 毎に設けられた第一、第二及び第三容量電極 1 7 , 1 8 , 1 9 は、前記第一基板 3 上に、前記各 T F T 9 a , 9 b のゲート電極 1 0 と同じ金属膜により形成されており、前記ゲート絶縁膜 1 1 により覆われている。なお、各走査信号線 7 は、第一 T F T 9 a 及び第二 T F T 9 b のゲート電極 1 0 , 1 0 と一体に形成されている。また、第一容量電極 1 7 と第二容量電極 1 8 はそれぞれ、前記走査信号線 7 との間に間隔を設けて形成されている。

【 0 0 6 6 】

50

そして、第一容量電極 17 は、第一画素電極 5 a の全ての辺と、前記ゲート絶縁膜 11 と被覆絶縁膜 20 との二層膜からなる第一誘電層を介して対向し、前記第一画素電極 5 a との間に第一補償容量 $Cs1$ を形成している。

【0067】

また、第二容量電極 18 は、第二画素電極 5 b の前記三辺（走査信号線 7 に隣接する横辺及び二つの縦辺）と、前記ゲート絶縁膜 11 と被覆絶縁膜 20 との二層膜からなる第二誘電層を介して対向し、前記第二画素電極 5 b との間に第二補償容量 $Cs2$ を形成している。

【0068】

さらに、第三容量電極 19 は、前記第二画素電極 5 b の前記一辺（走査信号線 7 に隣接する辺とは反対側の横辺）と、前記ゲート絶縁膜 11 と被覆絶縁膜 20 との二層膜からなる第三誘電層を介して対向し、前記第二画素電極 5 b との間に前記第三補償容量 $Cs3$ を形成している。

【0069】

すなわち、前記第一補償容量 $Cs1$ の第一誘電層と、前記第二各補償容量 $Cs2$ の第二誘電層と、前記第三補償容量 $Cs3$ の第三誘電層は、同一の層（ゲート絶縁膜 11 と被覆絶縁膜 20 との二層膜）として形成されている。

【0070】

前記第一補償容量 $Cs1$ を形成する第一容量電極 17 と、前記第二補償容量 $Cs2$ を形成する第二容量電極 18 には、前記共通電極 6 への印加電圧と同じ第一の電圧が印加され、前記第三補償容量 $Cs3$ を形成する第三容量電極 19 には、前記第一の電圧とは異なる第二の電圧が印加される。

【0071】

なお、前記ドライバ搭載部 3 a には、前記第一の電圧を供給するための第一電圧入力端子 36 a と、前記第二の電圧を供給するための第二電圧入力端子 36 b とが形成されている。また、図では省略しているが、第一基板 3 の画面エリア 1 a の外側には、前記第一電圧入力端子 36 a に接続された一本の第一電圧供給線と、前記第二電圧入力端子 36 b に接続された一本の第二電圧供給線とがデータ信号線 8 と平行に配線されている。

【0072】

そして、行毎に共通接続された全ての行の第一容量電極 17 と、行毎に共通接続された全ての行の第二容量電極 18 は、前記一本の第一電圧供給線に接続されている。すなわち、各行の第一容量電極 17 と、各行の第二容量電極 18 には、前記第一電圧入力端子 36 a に供給された第一電圧が印加される。

【0073】

また、行毎に共通接続された全ての行の第三容量電極 19 は、前記一本の第二電圧供給線に接続されている。すなわち、各行の第三容量電極 19 には、前記第二電圧入力端子 36 b に供給された第一電圧が印加される。

【0074】

さらに、前記液晶表示素子 1 は、各画素 33 のメイン画素部 33 a に設けられ、該メイン画素部 33 a を区分した第一と第二の二つの領域 34 a, 34 b のうちの第一領域 34 a の液晶分子を所定の第一のチルト方向にチルトさせ、第二領域 34 b の液晶分子を前記第一の方向とは異なる第二のチルト方向にチルトさせる第一のチルト方向規定手段と、各画素 33 のサブ画素部 33 b に設けられ、該サブ画素部 33 b を区分した第三と第四の二つの領域 34 c, 34 d のうちの第三領域 34 c の液晶分子を前記第一のチルト方向にチルトさせ、第四領域 34 b の液晶分子を前記第二のチルト方向にチルトさせる第二のチルト方向規定手段とを備えている。

【0075】

前記第一及び第二のチルト方向規定手段は、第一画素電極 5 a 及び第二画素電極 5 b と共通電極 6 との間に生じた電界による液晶分子のチルト方向を前記第一のチルト方向と第二のチルト方向とに規定するように構成されている。

10

20

30

40

50

【 0 0 7 6 】

この実施例において、第一のチルト方向規定手段は、第一画素電極 5 a と共通電極 6 との間に生じた電界の向きを、前記第一領域 3 4 a において前記第一のチルト方向に歪ませ、前記第二領域 3 4 b において前記第二のチルト方向に歪ませる手段からなっている。

【 0 0 7 7 】

また、第二のチルト方向規定手段は、第二画素電極 5 b と共通電極 6 との間に生じた電界の向きを、前記第三領域 3 4 c において前記第一のチルト方向に歪ませ、前記第四領域 3 4 d において前記第二のチルト方向に歪ませる手段からなっている。

【 0 0 7 8 】

さらに、前記第一のチルト方向規定手段は、第一画素電極 5 a の第一領域 3 4 a 側の辺及び第二領域 4 3 b 側の辺の外側に配置され、前記第一画素電極 5 a との間に横電界を生じさせる第一の横電界生成手段と、前記第一画素電極 5 a と共通電極 6 との間に生じた電界の強度を部分的に低下させる第一の電界減衰手段 2 6 a とからなっている。

【 0 0 7 9 】

また、前記第二のチルト方向規定手段は、第二画素電極 5 b の第三領域 3 4 c 側の辺及び第四領域 4 3 d 側の辺の外側に配置され、前記第二画素電極 5 b との間に横電界を生じさせる第二の横電界生成手段と、前記第二画素電極 5 b と共通電極 6 との間に生じた電界の強度を部分的に低下させる第二の電界減衰手段 2 6 b とからなっている。

【 0 0 8 0 】

前記第一の横電界生成手段は、第一基板 3 に、第一画素電極 5 a の一方の側とその反対側の二つの辺の外側に前記第一画素電極 5 a と絶縁して配置された第一の横電界生成電極 2 2 からなっている。この第一の横電界生成電極 2 2 は、第一画素電極 5 a への印加電圧とは異なる所定の電圧を印加され、第一画素電極 5 a の前記二つの辺との間に、前記一方の側と前記反対側とで互いに逆向きの横電界を生じさせる。

【 0 0 8 1 】

前記第二の横電界生成手段は、第一基板 3 に、前記第二画素電極 5 b の一方の側とその反対側の二つの辺の外側に前記第二画素電極 5 b と絶縁して配置された第二の横電界生成電極 2 3 からなっている。この第二の横電界生成電極 2 3 は、前記所定の電圧（第一の横電界生成電極 2 2 への印加電圧と同じ電圧）を印加され、第二画素電極 5 b の前記二つの辺との間に、前記一方の側と前記反対側とで互いに逆向きの横電界を生じさせる。

【 0 0 8 2 】

この実施例において、第一の横電界生成電極 2 2 は、第一画素電極 5 a の各辺のうち、二つの縦辺の外側に配置され、第二の横電界生成電極 2 3 は、第二画素電極 5 b の各辺のうち、二つの縦辺の外側に配置されている。

【 0 0 8 3 】

そして、この実施例では、前記第一の横電界生成電極 2 2 と第二の横電界生成電極 2 3 とに、前記第一容量電極 1 7 と第二容量電極 1 8 とに印加される第一の電圧と同じ電圧を印加するようにしている。

【 0 0 8 4 】

そのために、第一の横電界生成電極 2 2 は、前記第一容量電極 1 7 のうちの第一画素電極 5 a の二つの縦辺に重なる部分と一体に形成され、第二の横電界生成電極 2 3 は、前記第二容量電極 1 8 のうちの第二画素電極 5 b の二つの縦辺に重なる部分と一体に形成されている。

【 0 0 8 5 】

すなわち、前記第一容量電極 1 7 は、第一画素電極 5 a の全ての辺に重なるような矩形枠形状に形成されると共に、第一画素電極 5 a の二つの縦辺に重なる縦枠部をそれぞれ、その全長にわたって、前記第一画素電極 5 a に重なる側とは反対側の縁部を第一画素電極 5 a の外方に張り出させた幅広形状に形成された第一の金属膜からなっている。そして、第一の横電界生成電極 2 2 は、前記第一の金属膜の二つの縦枠部のうちの第一画素電極 5 a の外方に張り出す部分により形成されている。

10

20

30

40

50

【0086】

また、前記第二容量電極18は、第二画素電極5bの走査信号線7に隣接する横辺と二つの縦辺の両方とに重なるような三方枠形状に形成されると共に、第二画素電極5bの二つの縦辺に重なる縦枠部をそれぞれ、その全長にわたって、前記第二画素電極5bに重なる側とは反対側の縁部を第二画素電極5bの外方に張り出させた幅広形状に形成された第二の金属膜からなっている。そして、第二の横電界生成電極23は、前記第二の金属膜の二つの縦枠部の第二画素電極5bの外方に張り出す部分により形成されている。

【0087】

従って、前記第一の横電界生成電極22と第二の横電界生成電極23には、前記第一電圧入力端子36aに供給された第一電圧が、前記第一容量電極17及び第二容量電極18を介して印加される。

10

【0088】

一方、前記第二基板4には、図6～図9のように、赤色フィルタ24R、緑色フィルタ24G及び青色フィルタ24Bの三色のカラーフィルタが、各画素33の列毎に交互に並べて形成されている。さらに、前記第二基板4には、各行及び各列の隣り合う画素33、30の間の領域及び各画素33のメイン画素部33aとサブ画素部33bとの間の領域に対応させて遮光膜25が形成されている。

【0089】

この実施例において、前記遮光膜25は、例えば黒色系の顔料を添加した感光性樹脂により形成されており、前記三色のカラーフィルタ24R、24G、24Bは、第二基板4上の遮光膜25の無い領域に形成されている。

20

【0090】

そして、前記共通電極6は、前記カラーフィルタ24R、24G、24B及び遮光膜25上に、各画素33の配列領域の全域にわたって形成されている。この共通電極6は、前記枠状のシール材30による基板接合部に設けられたクロス接続部(図示せず)を介して、前記ドライバ搭載部3aに形成された第一電圧入力端子36aに、前記第一及び第二容量電極17、18と第一及び第二の横電界生成電極22、23と共に接続されている。

【0091】

また、前記第一の電界減衰手段26aと第二の電界減衰手段26bは、第二基板2に設けられている。そして、第一の電界減衰手段26aは、前記メイン画素部33aを第一領域34aと第二領域34bとに区分するように配置され、前記第二の電界減衰手段26bは、前記メイン画素部33aを第一領域34aと第二領域34bとに区分するように配置されている。

30

【0092】

前記第一の電界減衰手段26aと第二の電界減衰手段26bはそれぞれ、共通電極6上に形成された誘電体層からなっている。以下、前記第一の電界減衰手段26aを第一誘電体層、第二の電界減衰手段26bを第二誘電体層という。

【0093】

前記第一誘電体層26aは、前記メイン画素部33aを、第一画素電極5aの二つの縦辺のうちの一方の縦辺側の第一領域34aと他方の縦辺側の第二領域34bとに区分するように形成されている。この第一誘電体層26aは、第一画素電極5aと共通電極6との間に生じた電界の強度を、前記第一誘電体層26aに対応する領域において部分的に低下させる。

40

【0094】

また、前記第二誘電体層26bは、前記サブ画素部33bを、第二画素電極5bの二つの縦辺のうちの一方の縦辺側の第三領域34cと他方の縦辺側の第四領域34dとに区分するように形成されている。この第二誘電体層26bは、第二画素電極5bと共通電極6との間に生じた電界の強度を、前記第二誘電体層26bに対応する領域において部分的に低下させる。

【0095】

50

この実施例において、前記第一誘電体層 2 6 a は、第一画素電極 5 a の二つの縦辺間の中間部に対応する位置に、前記メイン画素部 3 3 a を一方の縦辺側の第一領域 3 4 a と、他方の縦辺側の第二領域とに二等分するように配置されている。また、前記第二誘電体層 2 6 b は、第二画素電極 5 b の二つの縦辺間の中間部に対応する位置に、前記サブ画素部 3 3 b を一方の縦辺側の第三領域 3 4 c と他方の縦辺側の第四領域 3 4 d とに二等分するように配置されている。

【0096】

さらに、前記第一誘電体層 2 6 a は、第一画素電極 5 a の縦辺と平行に、且つ前記第一画素電極 5 a の縦幅の全長に対応する長さ延伸到れた直線形状に形成され、第二誘電体層 2 6 b は、第二画素電極 5 b の縦辺と平行に、且つ前記第二画素電極 5 b の縦幅の全長に対応する長さ延伸到れた直線形状に形成されている。

10

【0097】

前記第一誘電体層 2 6 a と第二誘電体層 2 6 b はそれぞれ、1 ~ 2 μm の膜厚及び 1 0 ~ 1 5 μm の幅の帯状膜であり、その中央部の膜面が平坦面に形成され、両側部の膜面がそれぞれ膜上面から両側面にかけて円弧状の曲面に形成された断面形状を有している。

【0098】

この誘電体層 2 6 a , 2 6 b は、前記共通電極 6 の上に光硬化性樹脂を膜厚に塗布し、その塗布膜を露光及び現像処理によって帯形状にパターンングした後に、加熱処理により、前記樹脂膜の上面と両側面との間の角部を曲面化する方法で形成することができる。

20

【0099】

また、前記第一基板 3 には、前記各画素電極 5 を覆って第一配向膜 2 8 が設けられ、第二基板 4 には、前記共通電極 6 と第一及び第二誘電体層 2 6 a , 2 6 b を覆って第二配向膜 2 9 が設けられている。

【0100】

この第一配向膜 2 8 及び第二配向膜 2 9 は、液晶分子を第一基板 3 及び第二基板 4 の板面に対して 0 ~ 1 ° 程度の極く小さいプレチルト角で配向させる水平配向性をもったポリイミド膜等からなっている。そして、第一配向膜 2 8 と第二配向膜 2 9 はそれぞれ、前記第一誘電体層 2 6 a 及び第二誘電体層 2 6 b の延伸方向に対して交差する方向にラビングされている。

30

【0101】

また、前記第一基板 3 と第二基板 4 は、図 2 及び図 3 のように、所定の間隙を設けて対向配置され、画面エリア 1 a を囲む枠状のシール材 3 0 を介して貼り合わされている。そして、前記第一画素電極 5 a と共通電極 6 との間及び第二画素電極 5 b と前記共通電極 6 との間に液晶層 2 が形成されている。前記液晶層 2 は、前記第一基板 3 と第二基板 4 との間の間隙の前記シール材 3 0 で囲まれた領域に、誘電異方性が性のネマティック液晶を封入して形成されている。

【0102】

さらに、前記第一基板 3 の外面には、第一偏光板 3 1 が、その吸収軸を所定の方角に向けて配置され、前記第二基板 4 の外面には、第二偏光板 3 2 が、その吸収軸を所定の方角に向けて配置されている。

40

【0103】

この実施例の液晶表示素子 1 は、例えば T N 型液晶表示素子であり、図 5 及び図 1 1 のように、第一配向膜 2 8 は、第一誘電体層 2 6 a 及び第二誘電体層 2 6 b の延伸方向に対して一方の方角（図において右回り方角）に 4 5 ° の角度で交差する方向にラビングされ、第二配向膜 2 9 は、前記第一誘電体層 2 6 a 及び第二誘電体層 2 6 b の延伸方向に対して前記一方の方角とは反対方角（図において左回り方角）に 4 5 ° の角度で交差する方向にラビングされている。

【0104】

そして、前記液晶層 2 の液晶分子 2 a は、図 1 1 のように、第一基板 3 の近傍において第一配向膜 2 8 のラビング方向 2 8 r に分子長軸を向けて配列し、第二基板 4 の近傍にお

50

いて第二配向膜 29 のラビング方向 29 r に分子長軸を向けて配列すると共に、前記各配向膜 28 , 39 のラビング方向 28 r , 29 r の上流側（ラビングの開始端側）から下流側（ラビングの終了端側）に向かって配向膜面から離れる方向に 0 ~ 1 ° 程度の角度でブレチルトした状態で、第一基板 3 と第二基板 4 との間、つまり第一画素電極 5 a 及び第二画素電極 5 b と共通電極 6 との間において 90 ° のツイスト角でツイスト配向している。

【0105】

なお、第一誘電体層 26 a 及び第二誘電体層 26 b の延伸方向に対する第一配向膜 28 及び第二配向膜 29 のラビング方向 28 r , 29 r の角度は、厳密に 45 ° でなくてもよく、また、液晶分子 24 のツイスト角も、厳密に 90 ° でなくてもよい。すなわち、前記誘電体層 26 a , 26 b の延伸方向に対する前記配向膜 28 , 29 のラビング方向 28 r , 29 r の角度は、± 5 ° 程度の誤差が許容され、前記液晶分子 24 のツイスト角は、± 10 ° 程度の誤差が許容される。

【0106】

また、前記第一偏光板 31 と第二偏光板 32 は、前記第一画素電極 5 a 及び第二画素電極 5 b と共通電極 6 との間に電圧を印加しない無電界時の表示が最も明るい明表示であるノーマリーホワイトモードの液晶表示素子を構成するように配置されている。すなわち、図 11 のように、第一偏光板 31 は、その吸収軸 31 a を前記第一配向膜 28 のラビング方向 28 r と平行な方向に向けて配置され、第二偏光板 32 は、その吸収軸 32 a を前記第一偏光板 31 の吸収軸 31 a と直交する方向に向けて配置されている。

【0107】

さらに、前記第一基板 3 には、図 2 及び図 3 のように、例えば前記列方向（画面エリア 1 a の上下方向）の一端側に、前記第二基板 4 の外方に張出すドライバ搭載部 3 a が形成されており、このドライバ搭載部 3 a に、複数の入力端子と複数の走査信号出力端子及び複数のデータ信号出力端子（いずれも図示せず）が形成された LSI からなるドライバ素子 35 が搭載されている。

【0108】

そして、各走査信号線 7 は、画面エリア 1 a の外側を迂回させて前記ドライバ素子 35 の各走査信号出力端子にそれぞれ接続され、各データ信号線 8 は、前記ドライバ素子 35 の各データ信号出力端子にそれぞれ接続されている。

【0109】

また、図では省略しているが、液晶表示素子 1 の背後（表示面側とは反対側）には、前記液晶表示素子 1 の画面エリア 1 a の全域に向けて均一な照度の光を照射する面光源が配置されている。

【0110】

前記液晶表示素子 1 は、共通電極 6 に所定の波形の電圧を印加し、第一及び第二容量電極 17 , 18 と第一及び第二の横電界生成電極 22 , 23 とに前記共通電極 6 への印加電圧と同じ第一の電圧を印加し、第三容量電極 19 に前記第一の電圧とは異なる第二の電圧を印加すると共に、各画素 33 の行（以下、画素行という）を一行ずつ順次選択し、各画素行毎にその行の各画素 33 の第一画素電極 5 a 及び第二画素電極 5 b に、各データ信号線 8 から供給されたデータ信号を第一 TFT 9 a 及び第二 TFT 9 b を介して印加することにより駆動される。

【0111】

次に、前記液晶表示素子 1 を駆動する駆動手段 40 について説明する。この駆動手段 40 は、外部から入力される画像データを一時的に記憶する画像メモリ 41 と、前記液晶表示素子 1 の各走査信号線 7 に走査信号を印加する走査信号線駆動回路 42 と、前記液晶表示素子 1 の各データ信号線 8 にデータ信号を印加するデータ信号線駆動回路 43 とを備えている。なお、前記走査信号線駆動回路 41 とデータ信号線駆動回路 42 は、前記液晶表示素子 1 のドライバ搭載部 3 a に搭載されたドライバ素子 35 に形成されている。

【0112】

さらに、前記駆動手段 40 は、第一電圧発生回路 44 と、第二電圧発生回路 45 と、前

10

20

30

40

50

記走査信号線駆動回路 4 2 及びデータ信号線駆動回路 4 3 と前記第一電圧発生回路 4 4 及び第二電圧発生回路 4 5 を制御する制御部 4 6 を備えている。

【0113】

前記走査信号線駆動回路 4 2 は、制御部 4 6 からの同期用クロック信号等の制御信号に基づいて、前記各走査信号線 7 にそれぞれ、前記第一 T F T 9 a 及び第二 T F T 9 b をオン、オフさせる走査信号を印加する。

【0114】

図 1 2 において、 t_1 , t_2 , t_3 , t_4 , ... t_n は、一画面を表示する 1 フレーム（第一行から最終行までの各画素行を順次選択して全ての画素行の各画素 3 3 に一画面分のデータ信号を印加する期間）を前記各画素の行数で分割した各画素行の選択期間であり、 t_1 は第一行の選択期間、 t_2 は第二行の選択期間、 t_3 は第三行の選択期間、 t_4 は第四行の選択期間、 t_5 は第五行の選択期間、 t_n は最終行（ n 行）の選択期間である。

10

【0115】

また、図 1 2 において、 G_1 , G_2 , G_3 , G_4 , ... G_n は各走査信号線 7 にそれぞれ印加される走査信号であり、 G_1 は第一行の走査信号線 7 に印加される走査信号、 G_2 は第二行の走査信号線 7 に印加される走査信号、 G_3 は第三行の走査信号線 7 に印加される走査信号、 G_4 は第四行の走査信号線 7 に印加される走査信号、 G_5 は第五行の走査信号線 7 に印加される走査信号、 G_n は最終行（ n 行）の走査信号線 7 に印加される走査信号である。

20

【0116】

これらの走査信号は、該走査信号を印加する走査信号線 7 が対応する画素行の選択期間 t_1 , t_2 , t_3 , t_4 , ... t_n の開始時よりも所定時間遅れた書込み開始時に、第一 T F T 9 a 及び第二 T F T 9 b をオンさせる所定値のオン電位になり、前記選択期間 t_1 , t_2 , t_3 , t_4 , ... t_n の終了時よりも所定時間早い書込み終了時に、前記第一 T F T 9 a 及び第二 T F T 9 b をオフさせるオフ電位になる波形の信号であり、他の期間は前記オフ電圧に保たれる。

【0117】

前記データ信号線駆動回路 4 3 は、制御部 4 6 からの制御信号に基づいて、前記画像メモリ 4 1 に一時的に記憶された画像データを一行の画素分ずつ前記制御部 4 6 を介して取り込み、前記各画素行の選択期間毎に、前記一行の画素分の各画像データそれぞれの階調値に対応したデータ信号を前記各データ信号線 8 に印加する。

30

【0118】

また、前記第一電圧発生回路 4 4 は、制御部 4 6 からの制御信号に基づいて、第一の電圧 V_1 を発生する。この第一電圧 V_1 は、前記液晶表示素子 1 のドライバ搭載部 3 a に形成された第一電圧入力端子 3 6 a を介して、共通電極 6 と、各行の第一容量電極 1 7 及び第二容量電極 1 8 とに印加される（図 1 2 参照）。

【0119】

すなわち、前記各行の第一容量電極 1 7 及び第二容量電極 1 8 に印加される電圧 V_{com} は、前記共通電極 6 への印加電圧と同じ電圧である。以下、前記共通電極 6 への印加電圧 V_{com} をコモン信号という。

40

【0120】

前記第一電圧発生回路 4 4 から共通電極 6 と各行の第一容量電極 1 7 及び第二容量電極 1 8 に印加される第一電圧 V_1 は、電圧レベルが所定の周期で反転する矩形波交流電圧である。

【0121】

この実施例において、前記第一電圧 V_1 は、図 1 4 に示したように、各画素行の選択期間 t_1 , t_2 , t_3 , t_4 , ... t_n 毎に電圧レベルが反転し、さらに前記電圧レベルが 1 フレーム毎に反転する矩形波交流電圧である。

【0122】

また、図 1 4 に示したデータ信号 D は、各画素行のうちの一つの画素行の選択期間に、

50

前記走査信号線駆動回路 4 2 から各データ信号線 8 に印加される信号であり、各画素行の選択期間 t_1 , t_2 , t_3 , t_4 , ... t_n 毎に各データ信号線 8 に印加される各データ信号 D はそれぞれ、前記選択期間 t_1 , t_2 , t_3 , t_4 , ... t_n 毎に、共通電極 6 に印加される前記第一電圧 V_1 との差が前記各画像データそれぞれの階調値に対応する値になるように電位が変化する矩形波信号である。

【0123】

一方、前記第二電圧発生回路 4 5 は、制御部 4 6 からの制御信号に基づいて、前記第一電圧 V_1 とは異なる第二の電圧 V_2 を発生する。この第二電圧 V_2 は、図 1 4 に示したように、一定レベルの直流電圧であり、前記液晶表示素子 1 のドライバ搭載部 3 a に形成された第二電圧入力端子 3 6 b を介して、各行の第三容量電極 1 9 に印加される（図 1 2 参照）。

10

【0124】

この実施例において、前記第二電圧 V_2 は、図 1 4 のように、前記第一電圧 V_1 のハイレベル値 V_{1H} とローレベル値 V_{1L} との間の値の電圧、例えば前記各レベル値 V_{1H} , V_{1L} の中間値、または前記中間値付近の値の電圧である。

【0125】

この液晶表示装置において、前記液晶表示素子 1 の各画素 3 3 はそれぞれ、図 1 3 のような回路で表すことができる。すなわち、画素 3 3 のメイン画素部 3 3 a は、第一画素電極 5 a と共通電極 6 及びその間の液晶層 2 とからなる第一画素容量 C_{LC1} と、前記第一画素電極 5 a と第一容量電極 1 7 及びその間の第一誘電層（ゲート絶縁膜 1 1 と被覆絶縁膜 2 0 との二層膜）とからなる第一補償容量 C_{s1} とが第一画素電極 5 a において接続され、前記第一画素電極 5 a に第一 TFT 9 a が接続された回路からなっている。

20

【0126】

また、前記画素 3 3 のサブ画素部 3 3 b は、第二画素電極 5 b と共通電極 6 及びその間の液晶層 2 とからなる第二画素容量 C_{LC2} と、前記第二画素電極 5 b と第二容量電極 1 8 及びその間の第二誘電層（ゲート絶縁膜 1 1 と被覆絶縁膜 2 0 との二層膜）とからなる第二補償容量 C_{s2} と、前記第二画素電極 5 b と第三容量電極 1 9 及びその間の第三誘電層（ゲート絶縁膜 1 1 と被覆絶縁膜 2 0 との二層膜）とからなる第三補償容量 C_{s3} とが第二画素電極 5 b において接続され、前記第二画素電極 5 b に第二 TFT 9 b が接続された回路からなっている。

30

【0127】

そして、前記共通電極 6 には、各画素行の選択期間毎に電圧レベルがハイレベル値 V_{1H} とローレベル値 V_{1L} とに反転するコモン信号 V_{com} が印加され、前記第一容量電極 1 7 と前記第二容量電極 1 8 にはそれぞれ、前記コモン信号 V_{com} と同じ第一電圧 V_1 が印加され、前記第三容量電極 1 9 には、前記第一電圧 V_1 とは異なる第二電圧 V_2 が印加される。

【0128】

また、選択された画素行の各画素 3 3 の第一画素電極 5 a と第二画素電極 5 b には、第一 TFT 9 a 及び第二 TFT 9 b のオンにより、データ信号線 8 から供給されたデータ信号 D がそれぞれ印加される。

40

【0129】

前記第一画素電極 5 a と共通電極 6 との間と、前記第二画素電極 5 b と共通電極 6 との間に印加される電圧（以下、書込み電圧という）はそれぞれ、前記第一電圧 V_1 と前記データ信号 D との電圧差に対応した値の電圧であり、その書込み電圧が前記第一画素容量 C_{LC1} と前記第二画素容量 C_{LC2} とにチャージされる。

【0130】

また、前記第一容量電極 1 7 と前記第二容量電極 1 8 への印加電圧はそれぞれ前記共通電極 6 へ印加されるコモン信号 V_{com} と同じ第一電圧 V_1 であるため、前記第一補償容量 C_{s1} と第二補償容量 C_{s2} にはそれぞれ前記書込み電圧と同じ電圧がチャージされる。

50

【 0 1 3 1 】

一方、前記第三容量電極 19 への印加電圧は前記第一電圧 V_1 とは異なる第二電圧 V_2 であるため、前記第三補償容量 C_{s3} には、前記書込み電圧とは異なる電圧（書込み電圧に対して第一電圧 V_1 と第二電圧 V_2 との差に対応した電圧差をもった電圧）がチャージされる。

【 0 1 3 2 】

なお、第一画素電極 5a と走査信号線 7 及びデータ信号線 8 との間には、第一 TFT 9a のゲート - ソース間容量及びドレイン - ソース間容量等の寄生容量（以下、第一寄生容量という）が存在する。また、第二画素電極 5b と走査信号線 7 及び走査信号線 7 との間には、第二 TFT 9b のゲート - ソース間容量及びドレイン - ソース間容量等の寄生容量（以下、第二寄生容量という）が存在する。

10

【 0 1 3 3 】

そのため、第一 TFT 9a 及び第二 TFT 9b がオフし、書込みが終了すると、第一画素容量 C_{LC1} 及び第二補償容量 C_{s2} にチャージされた電圧が、前記第一寄生容量への電圧の引込みによってある程度低下し、第二画素容量 C_{LC2} と第二補償容量 C_{s2} 及び第三補償容量 C_{s3} にチャージされた電圧が、前記第二寄生容量への電圧の引込みによってある程度低下する。

【 0 1 3 4 】

そして、前記メイン画素部 33a の液晶は、前記第一画素容量 C_{LC1} のチャージ電圧（第一画素電極 5a と共通電極 6 との間の電圧）により駆動される。また、前記サブ画素部 33b の液晶は、前記第二画素容量 C_{LC2} のチャージ電圧（第二画素電極 5b と共通電極 6 との間の電圧）により駆動される。

20

【 0 1 3 5 】

図 16 は、第一行の各画素 33 のうちの一つの画素 33 のメイン画素部 33a における第一画素電極 5a と共通電極 6 との間に印加される電圧を示し、図 17 は、前記一つの画素 33 のサブ画素部 33b における第二画素電極 5b と共通電極 6 との間に印加される電圧を示している。図 16 において、 V_{p1} は第一画素電極 5a の電位である。また、図 17 において、 V_{p2} は第二画素電極 5b の電位である。なお、図 16 及び図 17 では、前記第一画素電極 5a 及び第二画素電極 5b の電位 V_{p1} 、 V_{p2} とコモン信号 V_{com} とを区別しやすいように、これらの立上がり及び立下がりを傾斜させている。

30

【 0 1 3 6 】

図 16 のように、第一画素電極 5a と共通電極 6 との間の電圧は、前記第一行の選択期間 t_1 のうちの TFT 9a、9b のオン期間に、データ信号線 8 から第一 TFT 9a を介して第一画素電極 5a に印加されたデータ信号 D と、共通電極 6 に印加されたコモン信号 V_{com} との電位差に対応した書込み電圧 V_a になる。

【 0 1 3 7 】

そして、前記第一 TFT 9a がオフすると、第一画素電極 5a と共通電極 6 との間の電圧が、前記書込み電圧 V_a に対して前記第一寄生容量による引込み電圧 ΔV_1 分だけ低下した電圧 V_{a1} になる。以下、この電圧 V_{a1} を第一保持電圧という。

【 0 1 3 8 】

40

また、前記共通電極 6 に印加されるコモン信号 V_{com} の電圧レベルは、各画素行の選択期間 t_1 、 t_2 、 t_3 、 t_4 、... t_n 毎に反転するが、前記コモン信号 V_{com} と第一容量電極 17 に印加される第一電圧 V_1 は同じ電圧であるため、前記コモン信号 V_{com} の電圧レベルが反転しても、第一画素容量 C_{LC1} 及び第一補償容量 C_{s1} のチャージ電圧は変化しない。そのため、前記第一画素電極 5a と共通電極 6 との間の電圧は、第二行以下の各画素行の選択期間線 t_2 、 t_3 、 t_4 、... t_n においても前記第一保持電圧 V_{a1} に保たれる。

【 0 1 3 9 】

従って、前記第一画素電極 5a と共通電極 6 との間の第一保持電圧 V_{a1} は、前記コモン信号 V_{com} の電圧レベル反転にかかわらず、第一行の選択期間 t_1 の書込み終了後か

50

ら 1 フレームの終了時までの期間中、実質的に同じ電圧に維持され、その電圧が、前記メイン画素部 3 3 a の液晶に 1 フレームの実効電圧として印加される。

【 0 1 4 0 】

また、第二画素電極 5 b と共通電極 6 との間の電圧は、図 1 7 のように、前記第一行の選択期間 t_1 のうちの T F T 9 a , 9 b のオン期間に、前記データ信号線 8 から第二 T F T 9 b を介して第二画素電極 5 b に印加されたデータ信号 D と、共通電極 6 に印加されたコモン信号 V c o m との電位差に対応した書込み電圧 V a になる。この書込み電圧 V a は、前記第一画素電極 5 a と共通電極 6 との間に印加された書込み電圧 V a と同じ値の電圧である。

【 0 1 4 1 】

10

そして、前記第二 T F T 9 b がオフすると、前記第二画素電極 5 b と共通電極 6 との間の電圧が、前記書込み電圧 V a に対して前記第二寄生容量による引込み電圧 ΔV_2 分だけ降下した電圧 V a 2 になる。以下、この電圧 V a 2 を第二保持電圧という。なお、前記第二寄生容量による引込み電圧 ΔV_2 は、前記第一寄生容量による引込み電圧 ΔV_1 と同じであり、従って、前記第二保持電圧 V a 2 は、前記第一保持電圧 V a 1 と同じ値の電圧である。

【 0 1 4 2 】

一方、前記第二容量電極 1 8 への印加電圧である第一電圧 V 1 は、共通電極 6 に印加されるコモン信号 V c o m と同じ電圧（各画素行の選択期間 t_1 , t_2 , t_3 , ... t_n 毎に電圧レベルが反転する電圧）であるが、第三容量電極 1 9 への印加電圧である第二電圧 V 2 は、前記第一電圧 V 1 とは異なる一定レベルの直流電圧である。

20

【 0 1 4 3 】

そのため、前記コモン信号 V c o m の電圧レベルが前記第一行の選択期間 t_1 の電圧レベルに対して反転すると、共通電極 6 と第三容量電極 1 9 との間の電圧値の低下に伴って、第一画素容量 C_{Lc1} と第二補償容量 C_{s2} 及び第三補償容量 C_{s3} のそれぞれのチャージ電圧が、これらの C_{Lc1} , C_{s2} , C_{s3} の容量値に対応した比率で降圧する。

【 0 1 4 4 】

また、前記コモン信号 V c o m の電圧レベルが前記第一行の選択期間 t_1 の電圧レベルと同じになると、前記第一画素容量 C_{Lc1} 及び前記第二補償容量 C_{s2} のチャージ電圧と前記第三補償容量 C_{s3} のチャージ電圧がそれぞれ前記第一画素行の選択期間 t_1 における書込み終了後の電圧（第二 T F T 9 b がオフした後の電圧）になる。

30

【 0 1 4 5 】

そのため、第二画素電極 5 b と共通電極 6 との間の電圧は、第二行以下の各画素行のうちの偶数番の画素行の選択期間（コモン信号 V c o m の電圧レベルが第一行の選択期間 t_1 の電圧レベルに対して反転する選択期間） t_2 , t_4 , ... に、前記第二保持電圧 V p 2 に対して降圧した電圧 V a 3 になり、奇数番の画素行の選択期間（コモン信号 V c o m の電圧レベルが第一行の選択期間 t_1 の電圧レベルと同じになる選択期間） t_3 , t_5 , ... に、前記第二保持電圧 V p 2 と実質的に同じ電圧に戻る。

【 0 1 4 6 】

従って、前記サブ画素部 3 3 b の液晶には、各画素行の選択期間 t_1 , t_2 , t_3 , ... t_n 毎に交互に印加される前記電圧 V a 2 , V a 3 を平均した値の電圧が、1 フレームの実効電圧として印加される。

40

【 0 1 4 7 】

なお、前記第二保持電圧 V a 2 と、この第二保持電圧 V a 2 に対して降圧した電圧 V a 3 は、次の (1) 式及び (2) 式により求めることができる。

【 0 1 4 8 】

$$V_{a2} = (C_{ic} + C_2) \times (V_{pix} - V_{comL}) + C_3 \times (V_{pix} - C_3) + C_{ds} \times (V_{pix} - V_{sigH}) + C_{gs} \times (V_{pix} - V_{gl}) \quad \dots$$

(1)

$$V_{a3} = (C_{ic} + C_2) \times (V_{pix} - V_{comH}) + C_3 \times (V_{pix} - C_3)$$

50

$$+ C_{ds} \times (V_{pix} - V_{sigL}) + C_{gs} \times (V_{pix} - V_{gl}) \quad \dots$$

(2)

 C_{lc} ; 第二画素容量 C_{lc2} の容量値 C_2 ; 第二補償容量 C_{s2} の容量値 C_3 ; 第三補償容量 C_{s3} の容量値 C_{gs} ; 第二 TFT 9 b のゲート - ソース間容量 C_{ds} ; 第二 TFT 9 b のドレイン - ソース間容量 V_{sigH} ; 第一画素行の選択期間におけるデータ信号の電位 V_{sigL} ; 第二画素行の選択期間におけるデータ信号の電位 V_{gl} ; 走査信号のオフ電圧 V_{pix} ; 第二画素電極 5 b の電位 V_{comL} ; コモン信号 V_{com} のローレベル電圧値 V_{comH} ; コモン信号 V_{com} のハイレベル電圧値

また、前記サブ画素部 33 b の液晶に印加される 1 フレームの実効電圧は、次の (3) 式により求めることができる。

【0149】

$$\text{実効電圧} = \{ (V_{a2}^2 + V_{a3}^2) / 2 \}^{1/2} \quad \dots (3)$$

このように、各画素 33 のサブ画素部 33 b の 1 フレームの実効電圧は、同じ画素 33 のメイン画素部 33 a の 1 フレームの実効電圧に対して降圧した電圧であり、従って、同じ階調値のデータ信号に対して、前記サブ画素部 33 b の液晶分子が、前記メイン画素部 33 a の液晶分子の立上がり角よりも小さい角度で立上がる。

【0150】

そのため、各画素 33 のサブ画素部 33 b の液晶層 2 での電圧 - 透過率特性は、前記メイン画素部 33 a の液晶層 2 での電圧 - 透過率特性とは異なる特性である。図 18 は前記液晶表示素子 1 におけるメイン画素部 33 a とサブ画素部 33 b の電圧 - 透過率特性を示している。図 18 のように、前記サブ画素部 33 b の電圧 - 透過率特性は、前記メイン画素部 33 a の電圧 - 透過率特性に対して高電圧側にシフトした特性である。

【0151】

従って、液晶層 2 の層厚 (第一基板 3 と第二基板 4 との間の間隙) 等を、メイン画素部 33 a の電圧 - 透過率特性が所定の視野角が得られる特性になるように設計し、さらに、前記第二電圧 V_2 の値を、サブ画素部 33 b の電圧 - 透過率特性が前記メイン画素部 33 a の電圧 - 透過率特性に対して所定量だけシフトした特性、つまりメイン画素部 33 a の視野角とは異なる視野角が得られる特性になるように前記第二電圧 V_2 の値を設定することにより、メイン画素部 33 a の視野角特性とサブ画素部 33 b の視野角特性とが相乗した広い視野角を得ることができる。

【0152】

また、メイン画素部 33 a の視野角特性とサブ画素部 33 b の視野角特性とが相乗した視野角は、前記メイン画素部 33 a とサブ画素部 33 b との面積比に対応するため、この面積比を選択することにより、所定の広さの視野角を得ることができる。

【0153】

さらに、前記液晶表示装置は、各画素 33 毎に、第一画素電極 5 a の二つの縦辺の外側に配置された第一の横電界生成電極 22 と、前記第二画素電極 5 b の二つの縦辺の外側に配置された第二の横電界生成電極 23 とを設けると共に、前記共通電極 6 の液晶層と対向する面上に、前記第一画素電極 5 a が設けられたメイン画素部 33 a を第一領域 34 a と第二領域 34 b とに区分するように配置された第一誘電体層 26 a と、前記第二画素電極 5 b が設けられたサブ画素部 33 b を第三領域 34 c と第四領域 34 d とに区分するように配置された第二誘電体層 26 b とを設けている。

【0154】

そのため、前記第一画素電極 5 a 及び第二画素電極 5 b と共通電極 6 との間に電圧を印加したときの液晶分子 2 a のチルト方向を、前記メイン画素部 33 a において前記第一領

10

20

30

40

50

域 3 4 a と第二領域 3 4 b とで互いに異ならせ、前記サブ画素部 3 3 b において前記第三領域 3 4 c と第四領域 3 4 d とで互いに異ならせることができる。

【 0 1 5 5 】

すなわち、第一画素電極 5 a 及び第二画素電極 5 b と共通電極 6 との間に電圧を印加しない無電界時は、メイン画素部 3 3 a 及びサブ画素部 3 3 b の液晶分子 2 4 が、第一基板 3 及び第二基板 4 の板面に対して 0 ~ 1 ° の角度でプレチルトした初期のツイスト配向状態に配向する。図 1 9 は、メイン画素部 3 3 a における無電界時の液晶分子 2 a の配向状態を模式的に示している。

【 0 1 5 6 】

一方、前記共通電極 6 にコモン信号 V c o m を印加し、第一画素電極 5 a 及び第二画素電極 5 b に第一 T F T 9 a 及び第二 T F T 9 b を介してデータ信号 D を印加すると、第一画素電極 5 a と共通電極 6 との間及び第二画素電極 5 b と共通電極 6 との間に、これらの電極 5 a , 6 間及び 5 b , 6 間の電圧値に対応した強さの電界（以下、駆動電界という）が生じると共に、前記第一の横電界生成電極 2 2 及び第二の横電界生成電極 2 3 に、前記コモン信号 V c o m と同じ第一電圧 V 1 が印加される。図 2 0 は、メイン画素部 3 3 a における駆動電界の歪みと液晶分子 2 a の配向状態を模式的に示している。

10

【 0 1 5 7 】

前記駆動電界の印加時は、前記第一の横電界生成電極 2 2 及び第二の横電界生成電極 2 3 への前記第一電圧 V 1 の印加により、図 2 0 のように、第一画素電極 5 a と第一の横電界生成電極 2 2 との間と、第二画素電極 5 b と第二の横電界生成電極 2 3 との間にそれぞれ横電界 e 1 , e 2 が生じる。前記第一画素電極 5 a と第一の横電界生成電極 2 2 との間に生じる横電界 e 1 , e 2 は、第一画素電極 5 a の一方の縦辺側と他方の縦辺側とで互いに逆向きの電界である。また、前記第二画素電極 5 b と第二の横電界生成電極 2 3 との間に生じる横電界 e 1 , e 2 も、第二画素電極 5 b の一方の縦辺側と他方の縦辺側とで互いに逆向きの電界である。

20

【 0 1 5 8 】

従って、第一画素電極 5 a と共通電極 6 との間に生じた駆動電界の向きが、前記横電界 e 1 , e 2 に誘引されて、第一画素電極 5 a の一方の縦辺側と他方の縦辺側とで互いに逆方向に傾くように歪む。また、第二画素電極 5 b と共通電極 6 との間に生じた駆動電界の向きが、前記横電界 e 1 , e 2 に誘引されて、第二画素電極 5 b の一方の縦辺側と他方の縦辺側とで互いに逆方向に傾くように歪む。

30

【 0 1 5 9 】

また、前記駆動電界は、第一画素電極 5 a 及び第二画素電極 5 b に印加されたデータ信号の階調値に対応した強さの電界であるが、前記共通電極 6 上に、前記メイン画素部 3 3 a を第一領域 3 4 a と第二領域 3 4 b とに区分するように第一誘電体層 2 6 a が設けられ、前記サブ画素部 3 3 b を第三領域 3 4 c と第四領域 3 4 d とに区分するように第二誘電体層 2 6 b が設けられているため、前記駆動電界の強度が、第一誘電体層 2 6 a に対応する領域及び第二誘電体層 2 6 b に対応する領域において、これらの誘電体層 2 6 a , 2 6 b での電圧降下により部分的に低下する。

40

【 0 1 6 0 】

そのため、メイン画素部 3 3 a においては、前記駆動電界の向きが、第一誘電体層 2 6 a に対応する部分を境にして、第一画素電極 5 a の一方の縦辺側に向かって斜めに傾いた方向と、前記第一画素電極 5 a の他方の縦辺側に向かって斜めに傾いた方向とに歪む。同様に、サブ画素部 3 3 b においては、前記駆動電界の向きが、第二誘電体層 2 6 b に対応する部分を境にして、第二画素電極 5 b の一方の縦辺側に向かって斜めに傾いた方向と、前記第二画素電極 5 b の他方の縦辺側に向かって斜めに傾いた方向とに歪む。

【 0 1 6 1 】

そして、第一画素電極 5 a の右側に生じた横電界 e 1 による駆動電界の傾き方向と、第一誘電体層 2 6 a での電圧降下による前記第一誘電体層 2 6 a の中心よりも右側の領域における駆動電界の傾き方向は同じ向きであるため、前記メイン画素部 3 3 a のうち、右側

50

の第一領域 3 4 a の駆動電界 E 1 が、前記第一領域 3 4 a の全域において、第一画素電極 5 a から共通電極 6 に向かって右側に傾いた方向に歪む。図 2 0 において、破線 E 1 a は、第一領域 3 4 a における駆動電界 E 1 の等電位線を示している。

【 0 1 6 2 】

また、第一画素電極 5 a の左側に生じた横電界 e 2 による駆動電界の傾き方向と、第一誘電体層 2 6 a での電圧降下による前記第一誘電体層 2 6 a の中心よりも左側の領域における駆動電界の傾き方向は同じ向きであるため、前記メイン画素部 3 3 a のうち、左側の第二領域 3 4 b の駆動電界 E 2 が、前記第二領域 3 4 b の全域において、第一画素電極 5 a から共通電極 6 に向かって左側に傾いた方向に歪む。図 2 0 において、破線 E 2 a は、第二領域 3 4 b における駆動電界 E 2 の等電位線を示している。

10

【 0 1 6 3 】

従って、第一領域 3 4 a の液晶分子 2 a は、前記第一領域 3 4 a における駆動電界 E 1 の歪み方向に向いた分子端側が基板 3 , 4 に対して立上がる方向（図 2 0 において、第一基板 3 に対して右上がり方向、第二基板 2 に対して左下がり方向）にチルトする。この第一領域 3 4 a における液晶分子 2 a のチルト方向は、図 1 9 の初期配向状態におけるプレチルトの傾き方向と同じ向きで、基板 3 , 4 に対するチルト角が大きくなった方向である。以下、この第一領域 3 4 a における駆動電界による液晶分子 2 a のチルトをノーマルチルトという。

【 0 1 6 4 】

また、第二領域 3 4 b の液晶分子 2 a は、前記第二領域 3 4 b における駆動電界 E 2 の歪み方向に向いた分子端側が基板 3 , 4 に対して立上がる方向（図 2 0 において、第一基板 3 に対して左上がり方向、第二基板 2 に対して右下がり方向）にチルトする。この第二領域 3 4 b における液晶分子 2 a のチルト方向は、図 1 9 の初期配向状態におけるプレチルトの傾き方向とは逆向きで基板 3 , 4 に対するチルト角が大きくなった方向である。以下、この第二領域 3 4 b における駆動電界による液晶分子 2 a のチルトをリバースチルトという。

20

【 0 1 6 5 】

これは、サブ画素部 3 3 b においても同じであり、サブ画素部 3 3 b では、右側の第三領域 3 4 c の液晶分子 2 a がノーマルチルトし、左側の第四領域 3 4 d の液晶分子 2 a がノーマルチルトする。

30

【 0 1 6 6 】

図 2 1 において、右上がりの平行斜線を施した領域は、液晶分子 2 a がノーマルチルトする領域、左上がりの平行斜線を施した領域は、液晶分子 2 a がノーマルチルトする領域、この実施例では、メイン画素部 3 3 a の第一領域 3 4 a と、サブ画素部 3 3 b の第三領域 3 4 c において液晶分子 2 a がノーマルチルトし、メイン画素部 3 3 a の第二領域 3 4 b と、サブ画素部 3 3 b の第四領域 3 4 d において液晶分子 2 a がリバースチルトする。

【 0 1 6 7 】

このように、前記液晶表示素子 1 は、各画素 3 3 の液晶分子 2 a が、第一画素電極 5 a 及び第二画素電極 5 b と共通電極 6 との間への駆動電界の印加により、メイン画素部 3 3 a の第一領域 3 4 a と第二領域 3 4 b とで互いに反対方向にチルトし、サブ画素部 3 3 b の第三領域 3 4 c と第四領域 3 4 d とで互いに反対方向にチルトする。

40

【 0 1 6 8 】

そのため、前記メイン画素部 3 3 a の第一領域 3 4 a と第二領域 3 4 b は互いに異なる視野角特性を示し、またサブ画素部 3 3 b の第三領域 3 4 c と第四領域 3 4 d も互いに異なる視野角特性を示す。

【 0 1 6 9 】

そして、上述したように、前記サブ画素部 3 3 b の液晶層 2 での電圧 - 透過率特性は、前記メイン画素部 3 3 a の液晶層 2 での電圧 - 透過率特性に対して高電圧側にシフトした特性であるため、前記メイン画素部 3 3 a の第一領域 3 4 a の視野角特性とサブ画素部 3 3 b の第三領域 3 4 c の視野角特性は互いに異なる特性であり、また、メイン画素部 3 3

50

aの第二領域34bの視野角特性とサブ画素部33bの第四領域34cの視野角特性も互いに異なる特性である。

【0170】

従って、上記液晶表示装置によれば、前記第一、第二、第三及び第四の各領域34a, 44b, 44c, 44dの互いに異なる視野角特性が相乗した、十分に広い視野角を得ることができる。

【0171】

また、上記実施例では、前記第一誘電体層26aを、メイン画素部33aを第一領域34aと第二領域34bとに二等分するように配置し、前記第二誘電体層26bを、サブ画素部33bを第三領域34cと第四領域34dとに二等分するように配置している。

10

【0172】

そのため、液晶分子2aがノーマルチルトする領域と、液晶分子2aがリバースチルトする領域との面積比、つまりメイン画素部33aの第一領域34aと第二領域34bとの面積比と、サブ画素部33bの第三領域34cと第四領域34dとの面積比は、それぞれ1:1である。従って、ノーマルチルト領域の視野角特性とリバースチルト領域の視野角特性とが均等なバランスで相乗した視野角特性を得ることができる。

【0173】

図22は第一比較例の液晶表示装置の視角-輝度特性を示し、図23は第二比較例の液晶表示装置の視角-輝度特性を示し、図24は第三比較例の液晶表示装置の視角-輝度特性を示し、図25は上記実施例の液晶表示装置の視角-輝度特性を示している。

20

【0174】

なお、前記各比較例及び実施例の液晶表示素子は、何れも、6時方向から見たときにコントラストが最も高くなるように設計されたTN型液晶表示装置であり、視角-輝度特性は、各画素電極に、 L_0 （最も暗い階調値）～ L_{21} （最も明るい階調値）の22階調のうちの $L_0, L_1, L_2, L_7, L_{10}, L_{12}, L_{16}, L_{18}, L_{19}, L_{20}, L_{21}$ の各階調値のデータ信号を印加したときの特性である。また、図22～図25において、視角は、9時方向の視角を 0° としたときの前記 0° 方向に対して反時計回り（左回り）の角度であり、輝度は、各視角における液晶表示素子の法線に対して所定角度傾いた方向の輝度である。

【0175】

30

前記第一比較例の液晶表示装置は、各画素毎に、一つの画素電極と一つのTFEを設け、前記画素電極の各辺との間に補償容量を形成する矩形棒状の容量電極を配置したものであり、上記実施例のような横電界生成電極及び電界減衰手段（誘電体層）は備えていない。

【0176】

この第一比較例の液晶表示装置の視角-輝度特性は、図22のような特性であり、 90° （6時）付近の視角において、 L_{10} よりも高階調側の表示に階調潰れや階調反転を生じ、また、 270° （12時）付近の視角において、 L_{12} よりも低階調側の表示に階調潰れや階調反転を生じる。

【0177】

40

前記第二比較例の液晶表示装置は、各画素毎に、第一画素電極及び第二TFEと第二画素電極及び第二TFEを設け、前記第一画素電極の各辺との間に第一補償容量を形成する矩形棒形状の第一容量電極と、前記第二画素電極の三辺との間に第二補償容量を形成する三方棒形状の第二容量電極と、前記第二画素電極の他の一辺との間に第三補償容量を形成する直線形状の第三容量電極とを配置すると共に、上記実施例と同様に、前記第一容量電極と第二補償容量とに前記第一電圧 V_1 を印加し、第三補償容量に前記第二電圧 V_2 を印加するようにしたものであり、上記実施例のような横電界生成電極及び電界減衰手段（誘電体層）は備えていない。なお、第一画素電極が設けられたメイン画素部と第二画素電極が設けられたサブ画素部との面積比は、メイン画素部：サブ画素部＝7：3に設定されている。

50

【0178】

この第二比較例の液晶表示装置の視角 - 輝度特性は、図 23 のように、前記第一比較例に比べて、 270° (12 時) 付近の視角における低階調側での階調潰れや階調反転が改善された特性であり、従って前記 270° 付近の視野角が広がる。

【0179】

前記第三比較例の液晶表示装置は、各画素毎に、一つの画素電極と一つの TFT を設け、前記画素電極との間に補償容量を形成する矩形枠状の容量電極を配置すると共に、前記画素電極の二つの縦辺の外側に横電界生成電極を配置し、共通電極の液晶層と対向する面上に、画素電極と共通電極との間に生じた電界の強度を低下させる誘電体層を、前記画素電極の一方の辺側の領域と他方の辺側の領域とに区分するように配置したものである。

10

【0180】

この第三比較例の液晶表示装置の視角 - 輝度特性は、図 24 のように、前記第一比較例に比べて改善された特性であるが、 90° 付近及び 270° (12 時) 付近の視角において、 $L_2 \sim L_{12}$ の各階調の表示に階調潰れや階調反転が見られる。

【0181】

上記各比較例の液晶表示装置に対して、上記実施例の液晶表示装置は、図 25 のような視角 - 輝度特性をもっている。なお、この視角 - 輝度特性は、前記メイン画素部 33a とサブ画素部 33b との面積比が、メイン画素部 : サブ画素部 = 7 : 3 に設定された液晶表示装置の特性である。

【0182】

20

図 55 のように、上記実施例の液晶表示装置の視角 - 輝度特性は、 $0^\circ \sim 360^\circ$ の各視角において、階調潰れや階調反転が殆んど無い表示が得られる特性であり、従って、十分に広い視野角を得ることができる。

【0183】

さらに、上記実施例の液晶表示装置は、前記第三容量電極 19 に印加する電圧を制御するだけで視野角を微調整することができる。そのため、製造工程で生じた絶縁膜厚や基板間隙等の誤差により、表示装置相互間に視野角のばらつきが生じても、前記視野角のばらつきを容易に補正することができる。

【0184】

すなわち、上記実施例の液晶表示装置は、前記第一容量電極 17 と第二容量電極 18 とに共通電極 6 への印加電圧と同じ第一電圧 V_1 を印加し、前記第三容量電極 19 に前記第一の電圧 V_1 とは異なる第二電圧 V_2 を印加するようにしているため、前記第三容量電極 19 に印加する第二電圧 V_2 を制御することにより、前記サブ画素部 33b の電圧 - 透過率特性を変化させることができる。

30

【0185】

前記サブ画素部 33b の電圧 - 透過率特性は、図 18 に示したように、前記メイン画素部 33a の電圧 - 透過率特性に対して高電圧側にシフトした特性であり、そのシフト量は、前記第二容量電極 18 に印加された第一電圧 V_1 と、前記第三容量電極 19 に印加された第二電圧 V_2 との差に対応する。

【0186】

40

この実施例において、前記メイン画素部 33a の電圧 - 透過率特性に対するサブ画素部 33b の電圧 - 透過率特性のシフト量は、前記第一電圧 V_1 に対する第二電圧 V_2 の差を小さくするのに伴って小さくなり、前記第一電圧 V_1 に対する第二電圧 V_2 の差を大きくするのに伴って大きくなる。

【0187】

そして、前記サブ画素部 33b の電圧 - 透過率特性をシフトさせると、それに伴って前記第 1 領域 34a と第二領域 43b のそれぞれの視野角特性が調整されるため、前記第一、第二、第三及び第四の各領域 34a, 44b, 44c, 44d の視野角特性が相乗した視野角を所定の値に設定することができる。

【0188】

50

このように、上記液晶表示装置は、前記サブ画素部 33b の電圧 - 透過率特性を変化させることができるため、前記サブ画素部 33b の視野角特性を任意に調整することができる。従って、前記メイン画素部 33a の視野角特性とサブ画素部 33b の視野角特性とを相乗させた視野角を所定の値になるように微調整し、表示装置相互間の視野角のばらつきを補正することができる。この視野角のばらつきの補正は、前記第三容量電極 19 に印加する第二電圧 V_2 を制御するだけで容易に行うことができる。

【0189】

しかも、上記液晶表示装置は、前記第二容量電極 18 を、第二画素電極 5b の二つの横辺の何れか一方（上記実施例では走査信号線 7 に隣接する辺）と二つの縦辺の両方とに重なるように形成し、前記第三容量電極 19 を、前記第二容量電極 18 との間に所定の間隔をあけて、前記第二画素電極 5b の二つの横辺の他方（上記実施例では走査信号線 7 に隣接する辺とは反対側の辺）と重なるように形成しているため、前記第二補償容量 C_{s2} の容量値を、前記第三補償容量 C_{s3} の容量値に対して大きくすることができる。

10

【0190】

そのため、第三容量電極 19 への印加電圧値に若干の変動があっても、第二画素電極 5b に対応するサブ画素部 33b の液晶層 2 での電圧 - 透過率特性がみだりに変動することはない。従って、より微細に電圧 - 透過率特性を調整することが可能になる。また、前記第三容量電極 19 へのノイズ電圧の印加による前記サブ画素部 33b の液晶層 2 での電圧 - 透過率特性の変動も抑制することができる。

【0191】

20

さらに、上記実施例の液晶表示装置は、前記第一画素電極 5a 及び第二画素電極 5b と共通電極 6 との間への電界の印加により、メイン画素部 33a の液晶分子 2a が、前記第一誘電体層 26a に対応する部分を境にして、前記第一領域 34a と第二領域 34b とで互いに異なる方向にチルトし、サブ画素部 33b の液晶分子 2a が、前記第二誘電体層 26b に対応する部分を境にして、前記第三領域 34c と第四領域 34d とで互いに異なる方向にチルトする。

【0192】

そのため、液晶分子 2a がノーマルチルトする領域（メイン画素部 33a の第一領域 34a 及びサブ画素部 33b の第三領域 34c）と、液晶分子 2a がリバースチルトする領域（メイン画素部 33a の第二領域 34b 及びサブ画素部 33b の第四領域 34d）との面積比を常に一定にし、定常的に安定した広視野角表示を行うことができる。

30

【0193】

また、上記実施例では、前記第一容量電極 17 を、第一画素電極 5a の全ての辺に重なるように矩形枠形状に形成しているため、前記第一補償容量 C_{s1} の容量値を充分大きくすることができる。

【0194】

さらに、上記実施例では、前記第一画素電極 5a と第二画素電極 5b との間を延伸するように走査信号線 7 を配置しているため、他の領域に走査信号線 7 の配置スペースを確保する場合に比べて、画素 33 の開口率を高くすることができる。

【0195】

40

しかも、上記実施例では、第一画素電極 5a と第二画素電極 5b との間の領域に第一 TFT 9a と第二 TFT 9b とを配置しているため、これらの TFT 9a, 9b を画素 33 外の領域に配置する場合に比べて、隣り合う画素 33, 30 間の間隔を小さくすることができる。

【0196】

また、上記実施例では、走査信号線 7 と第一、第二及び第三容量電極 17, 18, 19 を第一基板 3 上に形成すると共に、第一容量電極 17 と第二容量電極 18 をそれぞれ走査信号線 7 との間に間隔を設けて形成している。そのため、前記走査信号線 7 と各容量電極 17, 18, 19 とを一括して同時に、しかも第一容量電極 17 と走査信号線 7 及び第二容量電極 18 と走査信号線 7 とを短絡させること無く形成することができる。

50

【0197】

さらに上記実施例では、前記走査信号線7と各容量電極17, 18, 19を第一及び第二TFT9a, 9bのゲート絶縁膜11により覆い、前記ゲート絶縁膜11の上にデータ信号線8を形成し、第一画素電極5aと第二画素電極5bを、前記ゲート絶縁膜11の上に各TFT9a, 9b及びデータ信号線8を覆って設けられた被覆絶縁膜20の上に形成している。そのため、第一画素電極5aと第一容量電極17との間の第一誘電層と、第二画素電極5bと第二容量電極18との間の第二誘電層と、第二画素電極5bと第三容量電極19との間の第三誘電層とをそれぞれ、前記ゲート絶縁膜11と被覆絶縁膜20との積層膜により形成することができる。

【0198】

そして、このように第一誘電層、第二誘電層及び第三誘電層を、同一の層として形成しることにより、前記各補償容量Cs1, Cs2, Cs3を一括して同時に形成することができる。

【0199】

また、上記実施例では、前記共通電極6に印加するコモン信号Vcomと前記第一容量電極17に印加する第一電圧V1 ($V_{com} = V_1$)を、電圧レベルが所定の周期で反転する矩形波交流電圧、例えば1フレーム中の各画素行の選択期間t1, t2, t3, t4, ... tn毎に電圧レベルが反転する矩形波交流電圧としている。そのため、前記各画素33のメイン画素部33aの液晶に、前記第一行の選択期間t1の書込み終了後から1フレームの終了時までの期間中、前記第一保持電圧Va1対応した一定値の実効電圧を印加することができる。

【0200】

さらに、上記実施例では、前記第二容量電極18に、前記共通電極6及び第一容量電極17への印加電圧と同じ第一電圧(矩形波交流電圧)V1を印加し、前記第三容量電極19に、一定レベル、例えば前記第一電圧V1のハイレベル値V1Hとローレベル値V1Lとの間の値の直流電圧からなる第二電圧V2を印加している。そのため、第二画素電極5bと共通電極6との間の電圧を、図17のように、第二保持電圧Va2とそれよりも降圧した電圧Va3とに交互に変化させ、各画素33のサブ画素部33bの液晶に、第一行の選択期間t1の書込み終了後から1フレームの終了時までの期間中、前記二つの電圧Va2, Va3を平均した値の実効電圧を印加することができる。

【0201】

また、上記実施例では、前記第一の横電界生成電極22及び第二の横電界生成電極23に、前記第一容量電極17と第二容量電極18とに印加される第一電圧V1と同じ電圧を印加するようにしているため、第一の横電界生成電極22及び第二の横電界生成電極23に前記第一電圧V1とは異なる電圧を印加する場合に比べて、駆動手段40を簡略化することができる。

【0202】

さらに、上記実施例では、前記第一の横電界生成電極22を、前記第一容量電極17と一体に形成し、前記第二の横電界生成電極23を、前記第二容量電極18と一体に形成しているため、前記各横電界生成電極22, 23を、前記各容量電極17, 18と同時に形成できると共に、前記各容量電極17, 18と各横電界生成電極22, 23への第一電圧V1の印加を一括して行うことができる。

【0203】

なお、上記実施例では、前記第一誘電体層26aと第二誘電体層26bを、上面と両側面との間の角部を曲面にした断面形状に形成しているが、これらの誘電体膜26a, 26bは、図26に示した変形例のように、上面と両側面との間の角部をそのまま残した断面形状に形成してもよい。

【0204】

さらに、前記各誘電体膜26a, 26bは、図27に示した他の変形例のように、半楕円状または半円状の断面形状に形成しても、図28に示した他の変形例のように、幅方向

10

20

30

40

50

の中心部に頂部をもった二等辺三角形形状の断面形状に形成してもよい。

【0205】

また、前記第三容量電極19に印加する第二電圧V2は、前記第一電圧V1のハイレベル値V1_Hとローレベル値V1_Lとの間の値の電圧に限らず、任意の値の直流電圧でもよく、その場合も、サブ画素部33bの液晶に、前記各選択期間t1, t2, t3, t4, ... t_n毎に交互に変化する二つの電圧値を平均した、前記メイン画素部33aの実効電圧とは異なる値の実効電圧を印加することができる。

【0206】

さらに、前記第三容量電極19に印加する第二電圧V2は、一定レベルの直流電圧に限らず、電圧レベルが前記第一電圧V1と同じ周期で反転し、且つ、振幅が前記第一電圧V1の振幅よりも小さい矩形波交流電圧でもよい。

10

【0207】

図29は、前記第二電圧V2を矩形波交流電圧とした例を示している。この第二電圧V2は、第一電圧V1と同位相で、且つ振幅が前記第一電圧V1の振幅よりも小さい矩形波交流電圧である。

【0208】

また、図30は、前記第二電圧V2を矩形波交流電圧とした他の例を示している。この第二電圧V2は、第一電圧V1とは逆位相で、且つ振幅が前記第一電圧V1の振幅よりも小さい矩形波交流電圧である。

【0209】

20

前記図29または図30の何れの波形の第二電圧V2を前記第三容量電極19に印加しても、前記第二画素電極5bと共通電極6との間の電圧を、前記第二保持電圧Va2とそれよりも降圧した電圧とに交互に変化させることができる。従って、前記各画素33のサブ画素部33bの液晶に、前記第一行の選択期間t1の書き込み終了後から1フレームの終了時までの期間中、前記メイン画素部33aの実効電圧とは異なる値の実効電圧を印加することができる。

【0210】

また、上記実施例では、前記第二容量電極18と第三容量電極19を図3及び図4のような形状に形成しているが、図31に示した変形例のように、前記第二容量電極17を、前記第二画素電極5bの二つの横辺のうちの走査信号線7に隣接する辺とは反対側の辺と二つの縦辺とに重なるような三方枠形状に形成し、第三容量電極19を、前記第二画素電極5bの走査信号線7に隣接する一辺に重なるような直線形状に形成してもよい。この場合も、前記第二の横電界生成電極23を、前記第二容量電極18のうちの第二画素電極5bの二つの縦辺に重なる縦枠部と一体に形成することができる。なお、前記第1誘電体層26aと第二誘電体層26bは、上記実施例と同じ位置に配置されている。また、前記第一配向膜28と第二配向膜29のラビング方向28r, 29rは、上記実施例と同じである。

30

【0211】

さらに、上記実施例では、第一、第二及び第三容量電極17, 18, 19を図4、図5及び図12のような形状に形成しているが、前記第一容量電極17は、図32のように、各行の隣り合う第一容量電極17, 17同士が、第一画素電極5aの縦辺に重なる縦枠部において、その全長にわたって一体に繋がった形状に形成してもよい。この場合は、前記隣り合う第一容量電極17, 17同士が一体に繋がった部分により第一の横電界生成電極22を形成することができる。

40

【0212】

また、前記第二容量電極18は、図32のように、各行の隣り合う第二容量電極18, 18同士が、第二画素電極5bの縦辺と重なる縦枠部において、その全長にわたって一体に繋がった形状に形成してもよい。この場合は、前記隣り合う第二容量電極18, 18同士が一体に繋がった部分により第二の横電界生成電極23を形成することができる。

【0213】

50

なお、図 3 2 においても、第三容量電極 1 9 は、上記実施例と同じ直線形状に形成されている。また、前記第 1 誘電体層 2 6 a と第二誘電体層 2 6 b は、上記実施例と同じ位置に配置されている。さらに、前記第一配向膜 2 8 と第二配向膜 2 9 のラビング方向 2 8 r , 2 9 r は、上記実施例と同じである。

【 0 2 1 4 】

〔 第二実施例 〕

次に、この発明の第二実施例を図 3 3 ~ 図 3 7 を参照して説明する。なお、この第二実施例において、上記第一実施例に対応するものには同符号を付し、同一のものについてはその説明を省略する。

【 0 2 1 5 】

10

この第二実施例において、前記第一 T F T 9 a と第二 T F T 9 b は、上記第一実施例と同じ積層膜により構成されている。また、各走査信号線 7 は、前記第一基板 3 上に形成され、前記第一 T F T 9 a 及び第二 T F T 9 b のゲート絶縁膜 1 1 により覆われている。そして、各データ信号線 8 は、前記ゲート絶縁膜 1 1 の上に形成されている。なお、この第二実施例においても、前記各データ信号線 8 は、前記各 T F T 9 a , 9 b を構成する積層膜のうちの半導体薄膜 1 2 とコンタクト層 1 4 とからなる下地層の上に形成されている。

【 0 2 1 6 】

そして、第一、第二及び第三容量電極 1 7 , 1 8 , 1 9 は、前記ゲート絶縁膜 1 1 の上に前記 T F T 9 a , 9 b 及び各データ信号線 8 を覆って設けられた透明な第一被覆絶縁膜 2 0 a の上に、図 2 9 に示した電極形状と同じ形状に形成されている。

20

【 0 2 1 7 】

また、第一画素電極 5 a と第二画素電極 5 b は、前記第一被覆絶縁膜 2 0 a 上に、前記各容量電極 1 7 , 1 8 , 1 9 を覆って設けられた第二被覆絶縁膜 2 0 b の上に、前記第一被覆絶縁膜 2 0 a 及び前記第二被覆絶縁膜 2 0 b に設けられた第一及び第二のコンタクト孔 2 1 a , 2 1 b において前記第一 T F T 9 a のドレイン電極 1 6 と前記第二 T F T 9 b のドレイン電極 1 6 に各々接続して形成されている。

【 0 2 1 8 】

すなわち、この第二実施例において、前記第一画素電極 5 a と前記第一容量電極 1 7 との間の第一誘電層と、前記第二画素電極 5 b と前記第二容量電極 1 8 との間の第二誘電層と、前記第二画素電極 5 b と前記第三容量電極 1 9 との間の第三誘電層はそれぞれ、前記第二被覆絶縁膜 2 0 b からなっている。

30

【 0 2 1 9 】

なお、この第二実施例では、前記第一画素電極 5 a 及び第二画素電極 5 b が、前記コンタクト孔 2 1 a , 2 1 b 内に入り込んだ部分（第一及び第二 T F T 9 a , 9 b のドレイン電極 1 6 との接続部）において前記各容量電極 1 7 , 1 8 , 1 9 と短絡しないように、前記各容量電極 1 7 , 1 8 , 1 9 のコンタクト孔付近の部分を前記コンタクト孔 2 1 a , 2 1 b から充分に離間させた形状に形成している。

【 0 2 2 0 】

また、第一の横電界生成電極 2 2 は、前記第一容量電極 1 7 のうちの第一画素電極 5 a の二つの縦辺に重なる縦枠部の外側に一体に形成され、第二の横電界生成電極 2 3 は、前記第二容量電極 1 8 のうちの第二画素電極 5 b の二つの縦辺に重なる縦枠部の外側に一体に形成されている。さらに、共通電極 6 上に第一及び第二の電界減衰手段として設けられた第一及び第二の誘電体層 2 2 , 2 3 は、上記第一実施例と同じ位置に形成されている。

40

【 0 2 2 1 】

この第二実施例においても、第一容量電極 1 7 と第二容量電極 1 8 とに共通電極 6 への印加電圧と同じ第一電圧 V 1 を印加し、第三容量電極 1 9 に前記第一電圧 V 1 とは異なる第二電圧 V 2 を印加することにより、前記サブ画素部 3 3 b の電圧 - 透過率特性を、前記メイン画素部 3 3 a の電圧 - 透過率特性に対してシフトさせることができる。

【 0 2 2 2 】

さらに、第一及び第二の横電界生成電極 2 2 , 2 3 は、前記第二電圧 V 2 を印加され、

50

第一画素電極 5 a との間及び第二画素電極 5 b との間に横電界を生じさせる。また、第一画素電極 5 a 及び第二画素電極 5 b と共通電極 6 との間に生じた駆動電界のうち、第一誘電体層 2 6 a に対応する領域及び第二誘電体層 2 6 b に対応する領域の電界の強度が、前記第一及び第二誘電体層 2 6 b での電圧降下により低下する。

【0223】

そのため、メイン画素部 3 3 a の駆動電界の向きを、第一領域 3 4 a と第二領域 3 4 b とで互いに逆方向に歪ませ、前記第一領域 3 4 a の液晶分子と第二領域 3 4 b の液晶分子を互いに逆向きにチルトさせると共に、サブ画素部 3 3 b の駆動電界の向きを、第三領域 3 4 c と第四領域 3 4 d とで互いに逆方向に歪ませ、前記第三領域 3 4 c の液晶分子と第四領域 3 4 d の液晶分子を互いに逆向きにチルトさせることができる。

10

【0224】

従って、前記第一、第二、第三及び第四の各領域 3 4 a , 4 4 b , 4 4 c , 4 4 d の視野角特性を互いに異ならせ、これらの視野角特性が相乗した十分に広い視野角を得ることができる。また、この第二実施例においても、前記第三容量電極 1 9 に印加する第二電圧 V_2 を制御することにより、前記サブ画素部 3 3 b の電圧 - 透過率特性を変化させることができるため、表示装置相互間の視野角のばらつきを容易に補正することができる。

【0225】

そして、この第二実施例では、前記第一、第二及び第三容量電極 1 7 , 1 8 , 1 9 を、ゲート絶縁膜 1 1 の上に各 T F T 9 a , 9 b 及び各データ信号線 8 を覆って設けられた第一被覆絶縁膜 2 0 a の上に形成しているため、これらの容量電極 1 7 , 1 8 , 1 9 を一括して同時に形成することができる。

20

【0226】

また、この第二実施例では、各容量電極 1 7 , 1 8 , 1 9 を第二被覆絶縁膜 2 0 b により覆い、この第二被覆絶縁膜 2 0 b の上に第一画素電極 5 a と第二画素電極 5 b を形成している。

【0227】

すなわち、前記第一補償容量 C_{s1} の第一誘電層と、前記第二各補償容量 C_{s2} の第二誘電層と、前記第三補償容量 C_{s3} の第三誘電層は、前記第二被覆絶縁膜 2 0 b からなる同一の層として形成されている。そのため、前記各補償容量 C_{s1} , C_{s2} , C_{s3} を一括して同時に形成することができる。

30

【0228】

さらに、この第二実施例によれば、データ信号線 8 が、第一被覆絶縁膜 2 0 a の上に形成された各容量電極 1 7 , 1 8 , 1 9 により覆われているため、第一画素電極 5 a 及び第二画素電極 5 b と前記データ信号線 8 との間隔を小さくすることができる。従って、上記第一実施例よりも第一画素電極 5 a 及び第二画素電極 5 b の横幅を広くし、各画素 3 3 のメイン画素部 3 3 a 及びサブ画素部 3 3 b の面積を大きくすることができる。

【0229】

しかも、前記各容量電極 1 7 , 1 8 , 1 9 のデータ信号線 8 を覆う部分が、第一画素電極 5 a 及び第二画素電極 5 b とデータ信号線 8 との間を電氣的にシールドする効果をもつため、第一画素電極 5 a と共通電極 6 との間に印加された電圧に対する第一画素電極 5 a とデータ信号線 8 との間の寄生容量による影響と、第二画素電極 5 b と共通電極 6 との間に印加された電圧に対する第二画素電極 5 b とデータ信号線 8 との間の寄生容量による影響とを、それぞれ小さくすることができる。

40

【0230】

なお、上記第二実施例では、第一容量電極 1 7 と第二容量電極 1 8 をそれぞれ走査信号線 7 との間に間隔を設けて形成しているが、走査信号線 7 は第一基板 3 上に形成され、第一、第二及び第三容量電極 1 7 , 1 8 , 1 9 は第一被覆絶縁膜 2 0 a の上に形成されているため、第一容量電極 1 7 または第二容量電極 1 8 を走査信号線 7 と重なるような形状に形成しても、その容量電極と走査信号線 7 とが短絡することは無い。

【0231】

50

[第三実施例]

図 3 8 及び図 3 9 に示した第三実施例は、前記第二実施例の液晶表示装置において、第二容量電極 1 8 の各辺のうちの走査信号線 7 の延伸方向に沿った辺を、前記走査信号線 7 及び各 T F T 9 a , 9 b と重なる幅に形成したものである。この第三実施例においても、第一の横電界生成電極 2 2 は、前記第一容量電極 1 7 のうちの第一画素電極 5 a の二つの縦辺に重なる縦枠部の外側に一体に形成され、第二の横電界生成電極 2 3 は、前記第二容量電極 1 8 のうちの第二画素電極 5 b の二つの縦辺に重なる縦枠部の外側に一体に形成されている。また、共通電極 6 上に第一及び第二の電界減衰手段として設けられた第一及び第二の誘電体層 2 2 , 2 3 は、上記第一実施例と同じ位置に形成されている。

【 0 2 3 2 】

なお、この第三実施例では、第二容量電極 1 8 の走査信号線 7 及び各 T F T 9 a , 9 b と重なる部分が第二画素電極 5 b の外方に張り出しているため、この張り出し部と第二画素電極 5 b との間に、第二の横電界生成電極 2 3 と第二画素電極 5 b との間に生じる横電界（以下、第一方向の横電界という）の向きに対して交差する方向の横電界（以下、第二方向の横電界という）が生じる。そのため、前記第二方向の横電界の影響により、サブ画素部 3 3 b の第三領域 3 4 c 及び第四領域 3 4 d における駆動電界の歪み方向が、上記第一及び第二実施例に比べて或る程度乱れる。

【 0 2 3 3 】

しかし、前記第二方向の横電界の影響による駆動電界の歪みは、前記第一方向の横電界と第二誘電体層 2 6 b による電界強度の低下との相乗作用による駆動電界の歪みに比べて小さいため、第二画素電極 5 b と共通電極 6 との間に生じた駆動電界が、サブ画素部 3 3 b の第三領域 3 4 c の殆んど全域及び第四領域 3 4 d の殆んど全域において上記第一及び第二実施例と同様な方向に歪む。

【 0 2 3 4 】

従って、この第三実施例においても、前記第一、第二、第三及び第四の各領域 3 4 a , 4 4 b , 4 4 c , 4 4 d の視野角特性を互いに異ならせ、これらの視野角特性が相乗した充分に広い視野角を得ることができる。また、前記第三容量電極 1 9 に印加する第二電圧 V 2 を制御することにより、表示装置相互間の視野角のばらつきを容易に補正することができる。

【 0 2 3 5 】

そして、この第三実施例によれば、前記第二容量電極 1 8 の走査信号線 7 を覆う部分が、第二画素電極 5 b と走査信号線 7 との間を電氣的にシールドする効果をもつため、第二画素電極 5 b と共通電極 6 との間に印加された駆動電圧に対する第二画素電極 5 b とデータ信号線 8 との間の寄生容量による影響を小さくすることができる。

【 0 2 3 6 】

[第四実施例]

図 4 0 及び図 4 1 に示した第四実施例は、前記第二実施例の液晶表示装置において、第二画素電極 5 b の走査信号線 7 に隣接する横辺と二つの縦辺とに重なるように形成された第二容量電極 1 8 を、該第二容量電極 1 8 が対応する画素 3 3 と同じ画素に対応する第一容量電極 1 7 と一体に形成したものである。この第四実施例においても、第一の横電界生成電極 2 2 は、前記第一容量電極 1 7 のうちの第一画素電極 5 a の二つの縦辺に重なる縦枠部の外側に一体に形成され、第二の横電界生成電極 2 3 は、前記第二容量電極 1 8 のうちの第二画素電極 5 b の二つの縦辺に重なる縦枠部の外側に一体に形成されている。また、共通電極 6 上に第一及び第二の電界減衰手段として設けられた第一及び第二の誘電体層 2 2 , 2 3 は、上記第一実施例と同じ位置に形成されている。

【 0 2 3 7 】

この第四実施例では、前記第一容量電極 1 7 と第二容量電極 1 8 とを一体に繋ぐ部分と第一画素電極 5 a 及び第二画素電極 5 b との間に第二方向の横電界（第三実施例における第二方向の横電界と同じ向きの横電界）が生じるが、上記第三実施例と同様に、前記第二方向の横電界の影響による駆動電界の歪みは小さい。そのため、第一画素電極 5 a と共通

10

20

30

40

50

電極 6 との間に生じた駆動電界が、メイン画素部 3 3 a の第一領域 3 4 a の殆んど全域及び第二領域 3 4 b の殆んど全域において上記第一及び第二実施例と同様な方向に歪み、また、第二画素電極 5 b と共通電極 6 との間に生じた駆動電界が、サブ画素部 3 3 b の第三領域 3 4 c の殆んど全域及び第四領域 3 4 d の殆んど全域において上記第一及び第二実施例と同様な方向に歪む。

【 0 2 3 8 】

従って、この第四実施例においても、前記第一、第二、第三及び第四の各領域 3 4 a , 4 4 b , 4 4 c , 4 4 d の視野角特性を互いに異ならせ、これらの視野角特性が相乗した充分に広い視野角を得ることができる。また、前記第三容量電極 1 9 に印加する第二電圧 V_2 を制御することにより、表示装置相互間の視野角のばらつきを容易に補正することができる。

10

【 0 2 3 9 】

そして、この第四実施例によれば、第一画素電極 5 a と共通電極 6 との間及び第二画素電極 5 b と共通電極 6 との間に印加された駆動電圧に対する第二画素電極 5 b と走査信号線 7 との間の寄生容量による影響を小さくすることができる。また、第一容量電極 1 7 と第二容量電極 1 8 への第一電圧 V_1 の印加を一括して行うことができる。

【 0 2 4 0 】

[第五実施例]

図 4 2 に示した第五実施例は、前記第二実施例の液晶表示装置において、第二容量電極 1 8 を、第二画素電極 5 b の走査信号線 7 に隣接する辺とは反対側の横辺と二つの縦辺とに重なるように形成すると共に、この第二容量電極 1 8 を、データ信号線 8 の延伸方向に隣接する他の画素（隣り合う行の画素）3 3 の第一容量電極 1 7 と一体に形成したものである。この第五実施例においても、第一の横電界生成電極 2 2 は、前記第一容量電極 1 7 のうちの第一画素電極 5 a の二つの縦辺に重なる部分の外側に一体に形成され、第二の横電界生成電極 2 3 は、前記第二容量電極 1 8 のうちの第二画素電極 5 b の二つの縦辺に重なる部分の外側に一体に形成されている。また、共通電極 6 上に第一及び第二の電界減衰手段として設けられた第一及び第二の誘電体層 2 2 , 2 3 は、上記第一実施例と同じ位置に形成されている。

20

【 0 2 4 1 】

この第五実施例では、データ信号線 8 の延伸方向に隣接する二つの画素 3 3 , 3 3 のうち、一方の画素 3 3 の第二容量電極 1 8 と他方の画素 3 3 の第一容量電極 1 7 とを一体に繋ぐ部分が、前記一方の画素 3 3 の第二画素電極 5 b 及び他方の画素 3 3 の第一画素電極 5 a の外方に張り出しているため、この張り出し部と一方の画素の第二画素電極 5 b との間、及び前記張り出し部と他方の画素 3 3 の第一画素電極 5 a との間に第二方向の横電界（第三実施例における第二方向の横電界と同じ向きの横電界）が生じる。

30

【 0 2 4 2 】

しかし、上記第三実施例と同様に、前記第二方向の横電界の影響による駆動電界の歪みは小さいため、前記隣接する二つの画素 3 3 , 3 3 の何れにおいても、第一画素電極 5 a と共通電極 6 との間に生じた駆動電界が、メイン画素部 3 3 a の第一領域 3 4 a の殆んど全域及び第二領域 3 4 b の殆んど全域において上記第一及び第二実施例と同様な方向に歪み、また、第二画素電極 5 b と共通電極 6 との間に生じた駆動電界が、サブ画素部 3 3 b の第三領域 3 4 c の殆んど全域及び第四領域 3 4 d の殆んど全域において上記第一及び第二実施例と同様な方向に歪む。

40

【 0 2 4 3 】

従って、この第六実施例においても、前記第一、第二、第三及び第四の各領域 3 4 a , 4 4 b , 4 4 c , 4 4 d の視野角特性を互いに異ならせ、これらの視野角特性が相乗した充分に広い視野角を得ることができる。また、前記第三容量電極 1 9 に印加する第二電圧 V_2 を制御することにより、表示装置相互間の視野角のばらつきを容易に補正することができる。

【 0 2 4 4 】

50

そして、この第五実施例によれば、隣り合う二つの画素行のうちの一方向の第一容量電極 17 と他方の行の第二容量電極 18 への第一電圧 V_1 の印加を一括して行うことができる。

【0245】

[第六実施例]

図 43 及び図 44 に示した第六実施例は、前記第二実施例の液晶表示装置において、第一、第二及び第三容量電極 17, 18, 19 を、前記第一容量電極 17 の二つの縦辺と一体に形成された第一の横電界生成電極 22 及び前記第二容量電極 18 の二つの縦辺と一体に形成された第二の横電界生成電極 23 を含んで、金属膜 100 と、第一画素電極 5a 及び第二画素電極 5b 側の縁部を前記金属膜 100 よりも張り出させて形成された ITO 膜等の透明導電膜 101 との積層膜により形成したものである。なお、この第六実施例においても、第一の横電界生成電極 22 は、前記第一容量電極 17 のうちの第一画素電極 5a の二つの縦辺に重なる部分の外側に一体に形成され、第二の横電界生成電極 23 は、前記第二容量電極 18 のうちの第二画素電極 5b の二つの縦辺に重なる部分の外側に一体に形成されている。また、共通電極 6 上に第一及び第二の電界減衰手段として設けられた第一及び第二の誘電体層 22, 23 は、上記第一実施例と同じ位置に形成されている。

【0246】

この第六実施例によれば、上記第一及び第二実施例と同様な効果が得られると共に、前記積層膜のうちの透明導電膜 101 を、第一画素電極 5a 及び第二画素電極 5b と所定の幅で重ならせることにより十分な容量値の各補償容量 C_{s1} , C_{s2} , C_{s3} を形成することができるため、前記金属膜 100 の第一画素電極 5a 及び第二画素電極 5b との重なり幅を小さくし各画素 33 の開口率を高くすることができる。

【0247】

なお、図 43 及び図 44 には、前記第二実施例の液晶表示装置における各容量電極 17, 18, 19 を前記積層膜により形成した例を示したが、上記第一実施例及び第三実施例から第五実施例の液晶表示装置における各容量電極 17, 18, 19 を前記積層膜により形成してもよい。

【0248】

また、上記第六実施例では、第一、第二及び第三容量電極 17, 18, 19 の全てを前記積層膜により形成しているが、第一、第二及び第三容量電極 17, 18, 19 のうちの一つまたは二つの容量電極を前記積層膜により形成し、他の容量電極は金属膜で形成してもよい。

【0249】

その場合、第一、第二及び第三容量電極 17, 18, 19 のうちの少なくとも第二画素電極 5b との重なり面積が最も小さい第三容量電極 19 を前記積層膜により形成するのが望ましく、このようにすることにより、前記第三補償容量 C_{s3} の容量値を十分に確保することができる。

【0250】

[第七実施例]

図 45 及び図 46 に示した第七実施例は、第一画素電極 5a と共通電極 6 との間に生じた駆動電界の強度及び第二画素電極 5b と共通電極 6 との間に生じた駆動電界の強度を部分的に低下させる第一及び第二の電界減衰手段を、前記共通電極 6 にスリット 27 を設けることにより形成したものであり、他の構成は上記第一～第六の実施例の何れかと同じである。

【0251】

なお、この第七実施例においても、第一の横電界生成電極 22 は、前記第一容量電極 17 のうちの第一画素電極 5a の二つの縦辺に重なる部分の外側に一体に形成され、第二の横電界生成電極 23 は、前記第二容量電極 18 のうちの第二画素電極 5b の二つの縦辺に重なる部分の外側に一体に形成されている。また、共通電極 6 に第一及び第二の電界減衰手段として設けられた前記スリット 27 は、各画素 33 のメイン画素部 33a とサブ画素

部 3 3 b とに、上記第一実施例における第一誘電体層 2 6 a 及び第二誘電体層 2 6 a の位置と同じ位置に設けられている。

【 0 2 5 2 】

この第七実施例においても、第一画素電極 5 a 及び第二画素電極 5 b と共通電極 6 との間に電圧を印加しない無電界時は、メイン画素部 3 3 a 及びサブ画素部 3 3 b の液晶分子 2 4 が、第一基板 3 及び第二基板 4 の板面に対して 0 ~ 1 ° の角度でプレチルトした初期のツイスト配向状態に配向する。図 4 5 は、メイン画素部 3 3 a における無電界時の液晶分子 2 a の配向状態を模式的に示している。

【 0 2 5 3 】

一方、第一画素電極 5 a と共通電極 6 との間及び第二画素電極 5 b と共通電極 6 との間に駆動電界を印加したときは、上記第一実施例と同様に、前記第一の横電界生成電極 2 2 及び第二の横電界生成電極 2 3 にもコモン信号 V c o m と同じ第一電圧 V 1 が印加される。図 4 6 は、メイン画素部 3 3 a における駆動電界の歪みと液晶分子 2 a の配向状態を模式的に示している。

10

【 0 2 5 4 】

前記駆動電界の印加時は、前記第一の横電界生成電極 2 2 及び第二の横電界生成電極 2 3 への前記第一電圧 V 1 の印加により、図 4 6 のように、第一画素電極 5 a と第一の横電界生成電極 2 2 との間と、第二画素電極 5 b と第二の横電界生成電極 2 3 との間にそれぞれ横電界 e 1 , e 2 が生じる。

【 0 2 5 5 】

また、この第七実施例では、共通電極 6 に、メイン画素部 3 3 a を第一領域 3 4 a と第二領域 3 4 b とに区分し、サブ画素部 3 3 b を第三領域 3 4 c と第四領域 3 4 d とに区分するようにスリット 2 7 を設けているため、第一画素電極 5 a 及び第二画素電極 5 b と共通電極 6 との間に、前記スリット 2 7 が設けられた部分の電界強度が低い強度分布の駆動電界が印加される。

20

【 0 2 5 6 】

そのため、前記駆動電界の向きが、メイン画素部 3 3 a において、前記スリット 2 7 に対応する部分を境にして、第一画素電極 5 a の一方の縦辺側に向かって斜めに傾いた方向と、第一画素電極 5 a の他方の縦辺側に向かって斜めに傾いた方向とに歪む。同様に、サブ画素部 3 3 b においては、前記駆動電界の向きが、前記スリット 2 7 に対応する部分を境にして、第二画素電極 5 b の一方の縦辺側に向かって斜めに傾いた方向と、第二画素電極 5 b の他方の縦辺側に向かって斜めに傾いた方向とに歪む。

30

【 0 2 5 7 】

従って、この第七実施例においても、前記メイン画素部 3 3 a のうち、右側の第一領域 3 4 a の駆動電界 E 1 が、前記第一領域 3 4 a の全域において、第一画素電極 5 a から共通電極 6 に向かって右側に傾いた方向に歪み、左側の第二領域 3 4 b の駆動電界 E 2 が、前記第二領域 3 4 b の全域において、第一画素電極 5 a から共通電極 6 に向かって左側に傾いた方向に歪む。図 4 6 において、破線 E 1 a は、第一領域 3 4 a における駆動電界 E 1 の等電位線を示し、破線 E 2 a は、第二領域 3 4 b における駆動電界 E 2 の等電位線を示している。

40

【 0 2 5 8 】

そして、液晶分子 2 a は、前記駆動電界 E 1 , E 2 の歪み方向に向いた分子端側が基板 3 , 4 に対して立上がる方向にチルトする。すなわち、メイン画素部 3 3 a の右側の第一領域 3 4 a では液晶分子 2 a がノーマルチルトし、左側の第二領域 3 4 b では液晶分子 2 a がリバースチルトする。

【 0 2 5 9 】

これは、サブ画素部 3 3 b においても同じであり、サブ画素部 3 3 b では、駆動電界の印加により、右側の第三領域 3 4 c の液晶分子 2 a がノーマルチルトし、左側の第四領域 3 4 d の液晶分子 2 a がノーマルチルトする。

【 0 2 6 0 】

50

そのため、前記メイン画素部 3 3 a の第一領域 3 4 a と第二領域 3 4 b は互いに異なる視野角特性を示し、また、前記メイン画素部 3 3 a の液晶層 2 での電圧 - 透過率特性に対して高電圧側にシフトした電圧 - 透過率特性を有するサブ画素部 3 3 b の第三領域 3 4 c と第四領域 3 4 d も互いに異なる視野角特性を示す。従って、前記第一、第二、第三及び第四の各領域 3 4 a , 4 4 b , 4 4 c , 4 4 d の互いに異なる視野角特性が相乗した、充分に広い視野角を得ることができる。

【 0 2 6 1 】

また、この第七実施例においても、前記第三容量電極 1 9 に印加する第二電圧 V 2 を制御することにより、前記サブ画素部 3 3 b の電圧 - 透過率特性を変化させることができるため、表示装置相互間の視野角のばらつきを容易に補正することができる。

10

【 0 2 6 2 】

[第八実施例]

図 4 7 に示した第八実施例は、非ツイストのホモジニアス配向型液晶表示装置であり、第一配向膜 2 8 と第二配向膜 2 9 のラビング方向 2 8 r , 2 9 r 及び液晶分子 2 a の初期配向状態と、前記第一偏光板 3 1 と第二偏光板 3 2 の吸収軸 3 1 a , 3 2 a の向き以外は、前記第一実施例と同じ構成である。すなわち、この第八実施例においても、第一の横電界生成電極 2 2 は、前記第一容量電極 1 7 のうちの第一画素電極 5 a の二つの縦辺に重なる部分の外側に一体に形成され、第二の横電界生成電極 2 3 は、前記第二容量電極 1 8 のうちの第二画素電極 5 b の二つの縦辺に重なる部分の外側に一体に形成されている。また、共通電極 6 上に第一及び第二の電界減衰手段として設けられた第一及び第二の誘電体層 2 2 , 2 3 は、上記第一実施例と同じ位置に形成されている。なお、この第八実施例では、第一及び第二の電界減衰手段として、前記第 1 実施例における誘電体層 2 6 a , 2 6 b を備えているが、前記第一及び第二の電界減衰手段は、上記第七実施例のように、共通電極 6 にスリット 2 7 を設けて形成してもよい。

20

【 0 2 6 3 】

この第八実施例において、前記第一配向膜 2 8 は、前記第一及び第二の誘電体層 2 6 a , 2 6 b (またはスリット 2 7) の延伸方向に対して一方の方向に 90° の角度で交差する方向 2 8 r にラビングされ、第二配向膜 2 9 は、前記誘電体層 2 6 a , 2 6 b (またはスリット 2 7) の延伸方向に対して前記一方の方向とは反対方向に 90° の角度で交差する方向 2 9 r にラビングされている。なお、前記誘電体層 2 6 a , 2 6 b (またはスリット 2 7) の延伸方向に対する前記配向膜 2 8 , 2 9 のラビング方向 2 8 r , 2 9 r の角度は、± 5° 程度の誤差が許容される。

30

【 0 2 6 4 】

また、液晶層 2 は、正の誘電異方性を有するネマティック液晶からなっており、その液晶分子 2 a は、分子長軸を前記第一配向膜 2 8 及び第二配向膜 2 9 のラビング方向 2 8 r , 2 9 r に揃えてホモジニアス配向している。そして、第一偏光板 3 1 は、その吸収軸 3 1 a を前記第一配向膜 2 8 及び第二配向膜 2 9 のラビング方向 2 8 r , 2 9 r に対して 45° の角度で交差させて配置され、第二偏光板 3 2 は、その吸収軸 3 2 a を前記第一偏光板 3 1 の吸収軸 3 1 a に対して直交させて配置されている。

【 0 2 6 5 】

この第八実施例の液晶表示装置においても、各画素 3 3 毎に、第一画素電極 5 a が設けられたメイン画素部 3 3 a の第一領域 3 4 a と第二領域 3 4 b とが互いに異なる視野角特性を示し、また、前記メイン画素部 3 3 a の液晶層 2 での電圧 - 透過率特性に対して高電圧側にシフトした電圧 - 透過率特性を有するサブ画素部 3 3 b の第三領域 3 4 c と第四領域 3 4 d とが互いに異なる視野角特性を示す。従って、前記第一、第二、第三及び第四の各領域 3 4 a , 4 4 b , 4 4 c , 4 4 d の互いに異なる視野角特性が相乗した、充分に広い視野角を得ることができる。

40

【 0 2 6 6 】

また、この第八実施例においても、前記第三容量電極 1 9 に印加する第二電圧 V 2 を制御することにより、前記サブ画素部 3 3 b の電圧 - 透過率特性を変化させることができる

50

ため、表示装置相互間の視野角のばらつきを容易に補正することができる。

【0267】

〔他の実施例〕

なお、上記各実施例では、第一、第二及び第三容量電極17, 18, 19の全てを第一基板3上または第一被覆絶縁膜20a上に形成しているが、各容量電極17, 18, 19のうちの一つまたは二つの容量電極を、上記第一実施例と同様に第一基板3上に形成し、他の容量電極を、上記第一実施例から第六実施例と同様に第一被覆絶縁膜20a上に形成してもよい。

【0268】

その場合は、各補償容量 C_{s1} , C_{s2} , C_{s3} のうちの第一基板3上に設けられた容量電極により形成された一つまたは二つの補償容量の誘電層を、ゲート絶縁膜11とその上の被覆絶縁膜20との積層膜により形成し、第一被覆絶縁膜20a上に設けられた補償容量の誘電層を、第一被覆絶縁膜20aの上の第二被覆絶縁膜20bにより形成することができる。

10

【0269】

また、上記各実施例では、第一の横電界生成電極22を第一容量電極17と一体に形成し、第二の横電界生成電極23を第二容量電極17と一体に形成しているが、これらの横電界生成電極22, 23を前記第一容量電極17及び第二容量電極17とは別の導電膜により形成してもよい。その場合、前記横電界生成電極22, 23に印加する電圧は、前記第一容量電極17及び第二容量電極17に印加する第一電圧 V_1 とは異なる電圧でもよい。

20

【0270】

さらに、上記各実施例では、誘電体層26a, 26bまたはスリット27からなる第一及び第二電界減衰手段を、メイン画素部33a及びサブ画素部33bを二等分するように配置しているが、前記第一の電界減衰手段を、前記二等分する位置から第一画素電極5aの何れか一方の縦辺方向にずらして配置し、メイン画素部33aの第一領域34aと第二領域34bとの面積比を、第一領域>第二領域、或いは、第一領域<第二領域の関係になるようにしてもよい。同様に、前記第二の電界減衰手段を、前記二等分する位置から第二画素電極5bの何れか一方の縦辺方向にずらして配置し、サブ画素部33bの第三領域34cと第四領域34dとの面積比を、第三領域>第四領域、或いは、第三領域<第四領域の関係になるようにしてもよい。

30

【0271】

また、上記各実施例では、第一の横電界生成電極22を第一画素電極5aの二つの縦辺の外側に配置し、第二の横電界生成電極23を第二画素電極5bの二つの縦辺の外側に配置しているが、前記第一の横電界生成電極22を第一画素電極5aの二つの横辺の外側に配置し、第二の横電界生成電極23を第二画素電極5bの二つの横辺の外側に配置してもよい。

【0272】

その場合は、前記第一及び第二の電界減衰手段(誘電体層26a, 26bまたはスリット27)を、メイン画素部33aを第一画素電極5aの一方の横辺側の第一領域と他方の横辺側の第二領域とに区分し、サブ画素部33bを第二画素電極5bの一方の横辺側の第三領域と他方の横辺側の第四領域とに区分するように形成することにより、駆動電界の印加による液晶分子2aのチルト方向を、前記第一領域と第二領域とで異ならせ、前記第三領域と第四領域とで異ならせることができる。

40

【0273】

さらに、この場合は、第一配向膜28と第二配向膜29をそれぞれ、前記第一及び第二の電界減衰手段の延伸方向に対して交差する方向にラビングすればよく、このようにすることにより、前記第一、第二、第三及び第四の各領域34a, 44b, 44c, 44dの視野角特性を互いに互いに異ならせ、これらの視野角特性が相乗した、十分に広い視野角を得ることができる。

50

【0274】

上記のように第一の横電界生成電極22を第一画素電極5aの二つの横辺の外側に配置し、第二の横電界生成電極23を第二画素電極5bの二つの横辺の外側に配置する場合、前記第一の横電界生成電極22は、矩形枠形状に形成された第一容量電極17のうちの第一画素電極5aの二つの横辺に重なる部分と一体に形成してもよい。

【0275】

また、前記第二の横電界生成電極23は、そのうちの第二画素電極5bの一方の横辺の外側に配置する電極部（以下、第一電極部という）を、三方枠形状に形成された第二容量電極18のうちの第二画素電極5bの一方の横辺に重なる部分と一体に形成し、第二画素電極5bの他方の横辺の外側に配置する電極部（以下、第二電極部という）を、直線形状の第三容量電極19と一体に形成してもよい。

10

【0276】

この場合は、前記第二の横電界生成電極23の第一電極部に前記第一電圧V1が印加され、第二電極部に前記第二電圧V2が印加される。そのため、前記第一電極部と第二画素電極5bとの間に生じる横電界と、前記第二電極部と第二画素電極5bとの間に生じる横電界は、異なる強さの電界であるが、これらの横電界がそれぞれ第二画素電極5bと共通電極6との間に生じた駆動電界の向きを歪めさせるように作用するため、上記実施例と同様な効果を得ることができる。

【0277】

また、前記第一の横電界生成電極22と第二の横電界生成電極23は、第一画素電極5aの全ての辺の外側と、第二画素電極5bの全ての辺の外側とに配置してもよい。その場合は、第二の横電界生成電極23を、三方枠形状の第一電極部と、直線形状の第二電極部とに分離し、そのうちの第一電極部を前記第二容量電極18と一体に形成し、第二電極部を前記第三容量電極19と一体に形成してもよい。

20

【0278】

さらに、第二容量電極18と第三容量電極19は、その一方の容量電極を、第二画素電極5bの一方の横辺と一方の縦辺とに重なる「」形状に形成し、他方の容量電極を、前記一方の容量電極との間に所定の間隔をあけて、第二画素電極5bの他方の横辺と他方の縦辺とに重なる「」形状に形成してもよい。その場合は、第二の横電界生成電極23を、「」形状の第一電極部と、「」形状の第二電極部とに分離し、その一方の電極部を前記第二容量電極18と一体に形成し、他方の電極部を前記第三容量電極19と一体に形成してもよい。

30

【0279】

また、上記のように第一の横電界生成電極22と第二の横電界生成電極23を、第一画素電極5aの全ての辺の外側と、第二画素電極5bの全ての辺の外側とに配置する場合は、前記第一及び第二の電界減衰手段を、第一画素電極5a及び第二画素電極5bの縦辺及び横辺に対して斜めに傾いた方向に延伸させて形成し、第一配向膜28と第二配向膜29をそれぞれ、前記第一及び第二の電界減衰手段の延伸方向に対して交差する方向にラビングしてもよい。

【0280】

さらに、上記各実施例では、第一画素電極5a及び第二画素電極5bと共通電極6との間に生じた駆動電界の向きを、メイン画素部33aの第一領域34a及びサブ画素部33bの第三領域34cにおいて第一のチルト方向に歪ませ、前記メイン画素部33aの第二領域34b及びサブ画素部33bの第四領域34dにおいて第二のチルト方向に歪めさせるために、第一及び第二の横電界生成手段（横電界生成電極22, 23）と、第一画素電極5aと共通電極6との間に生じた駆動電界の強度を部分的に低下させる第一及び第二の電界減衰手段（誘電体層26a, 26bまたはスリット27）とからなるチルト方向規定手段を備えているが、前記駆動電界の向きを上記のように歪めさせるチルト方向規定手段は、他の手段でもよい。

40

【0281】

50

また、上記各実施例では、前記駆動電界による液晶分子のチルト方向を前記第一のチルト方向と第二のチルト方向とに規定するようにしているが、チルト方向規定手段は、初期配向状態における液晶分子のプレチルト方向を、メイン画素部 3 3 a の第一領域 3 4 a 及びサブ画素部 3 3 b の第三領域 3 4 c と、前記メイン画素部 3 3 a の第二領域 3 4 b 及びサブ画素部 3 3 b の第四領域 3 4 d とで互いに異ならせるものでもよい。

【0282】

その場合、チルト方向規定手段としては、第一基板 3 と第二基板 4 の何れか一方に、各画素 3 0 にそれぞれ対応させて、例えば断面形状が三角形の凸部を設け、前記凸部を覆って配向膜を形成することが考えられる。

【0283】

また、上記各実施例では、メイン画素部 3 3 a とサブ画素部 3 3 b の両方にチルト方向規定手段を設けているが、前記メイン画素部 3 3 a とサブ画素部 3 3 b の何れか一方のみにチルト方向規定手段を設けてもよい。

【0284】

その場合、メイン画素部 3 3 a の面積とサブ画素部 3 3 b の面積とを互いに異ならせるときは、前記各画素部 3 3 a , 3 3 b のうち、面積が大きい画素部に前記チルト方向規定手段を設けるのが好ましい。

【0285】

すなわち、メイン画素部 3 3 a の面積とサブ画素部 3 3 b の面積とが異なるときは、面積の小さい画素部の視野角特性よりも、面積の大きい画素部の視野角特性が液晶表示装置の視野角に大きく関与する。

【0286】

従って、メイン画素部 3 3 a とサブ画素部 3 3 b の何れか一方のみにチルト方向規定手段を設ける場合は、前記チルト方向規定手段を面積が大きい画素部に設け、この画素部に液晶分子のチルト方向が異なる二つの領域を形成するのが好ましく、このようにすることにより、充分に広い視野角を得ることができる。

【0287】

なお、上記各実施例では、メイン画素部 3 3 a の面積をサブ画素部 3 3 b の面積よりも大きくしているが、それと反対に、サブ画素部の面積をメイン画素部の面積よりも大きくしてもよい。その場合、メイン画素部 3 3 a とサブ画素部 3 3 b の何れか一方のみにチルト方向規定手段を設けるときは、面積の大きいサブ画素部にチルト方向規定手段を設ければよい。

【0288】

また、前記メイン画素部 3 3 a とサブ画素部 3 3 b は、同じ面積になるように形成してもよく、その場合、メイン画素部 3 3 a とサブ画素部 3 3 b の何れか一方のみにチルト方向規定手段を設けてもよい。

【0289】

さらに、上記各実施例における液晶表示素子 1 は、各画素 3 3 を行方向と列方向とにそれぞれ直線的に配列したものであるが、各画素 3 3 の配列は、同じ色のカラーフィルタが設けられた画素を、行毎に、行方向に 1 . 5 ピッチずらして配置したデルタ配列でもよい。

【0290】

また、この発明は、N T 型または非ツイストのホモジニアス配向型液晶表示装置に限らず、他の液晶表示装置、例えば負の誘電異方性を有する液晶を用い、その液晶分子を基板面に対して垂直な方向に分子長軸を向けて配向させた垂直配向型液晶表示装置等にも適用することができる。

【符号の説明】

【0291】

1 ... 液晶表示素子、2 ... 液晶層、3 , 4 ... 基板、5 a ... 第一画素電極、5 b ... 第二画素電極、6 ... 共通電極、7 ... 走査信号線、8 ... データ信号線、9 a ... 第一 T F T 、9 b ... 第

10

20

30

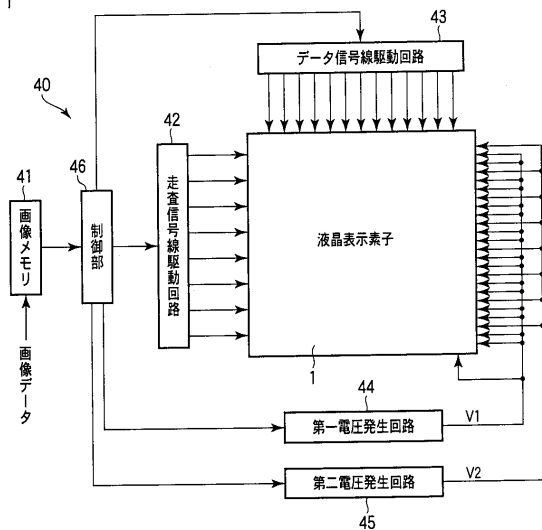
40

50

二 T F T、17...第一容量電極、18...第二容量電極、19...第三容量電極、Cs1...第一補償容量、Cs2...第二補償容量、Cs3...第三補償容量、22...第一の横電界生成電極、23...第二の横電界生成電極、26a, 26b...誘電体層（電界減衰手段）、27...スリット（電界減衰手段）、28, 29...配向膜、28r, 29r...ラビング方向、33...画素、33a...メイン画素部（第一画素部）、33b...サブ画素部（第二画素部）、34a...第一領域、34b...第二領域、34c...第三領域、34d...第四領域、40...駆動手段

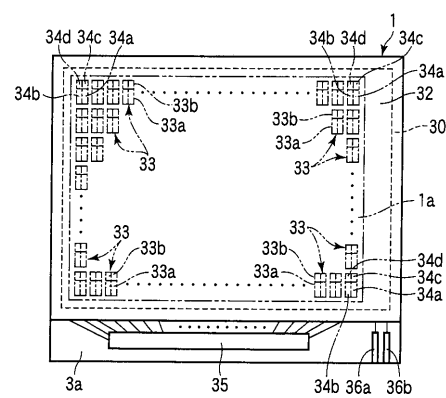
【図1】

図1



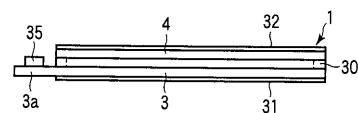
【図2】

図2



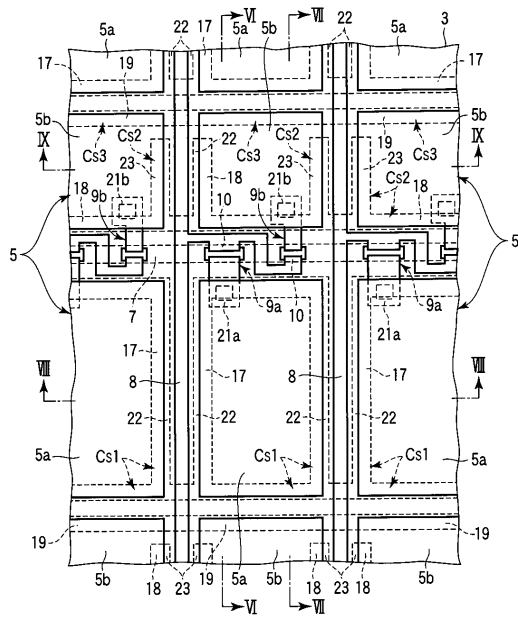
【図3】

図3



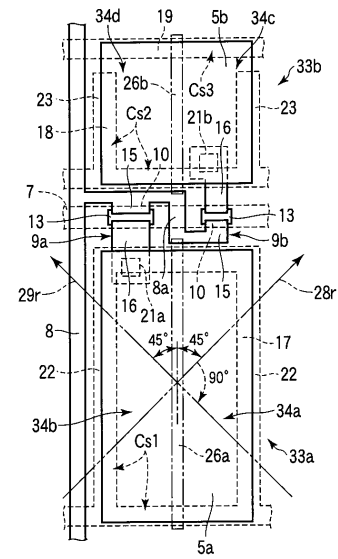
【図 4】

図 4



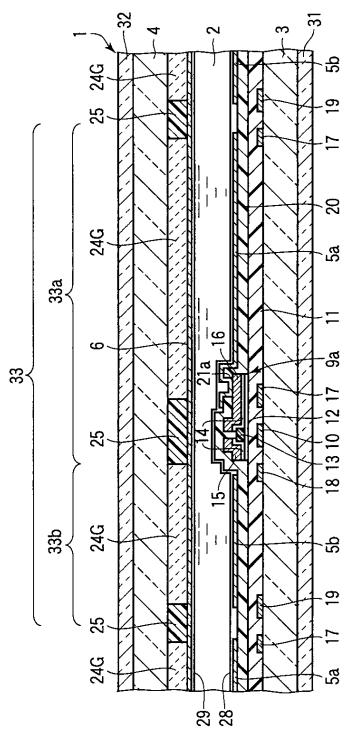
【図 5】

図 5



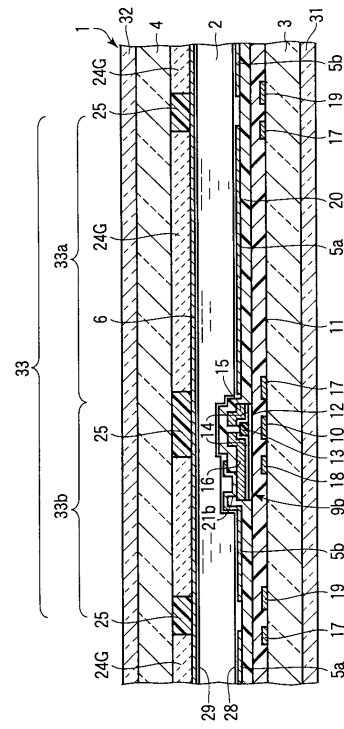
【図 6】

図 6

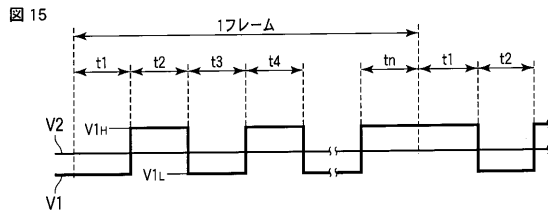


【図 7】

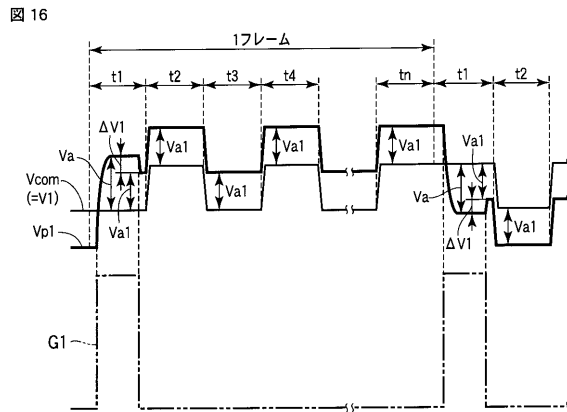
図 7



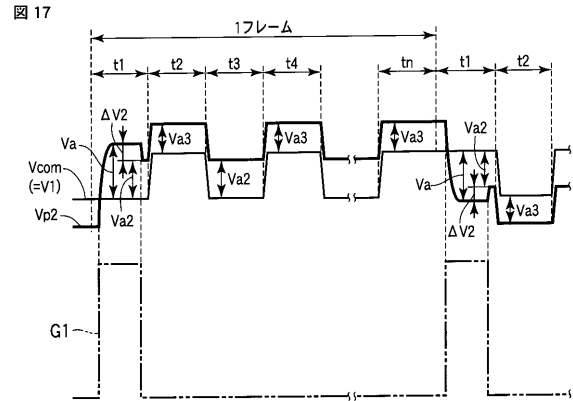
【図 15】



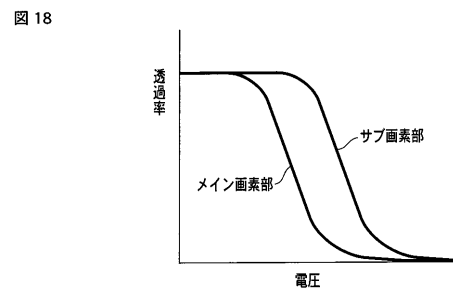
【図 16】



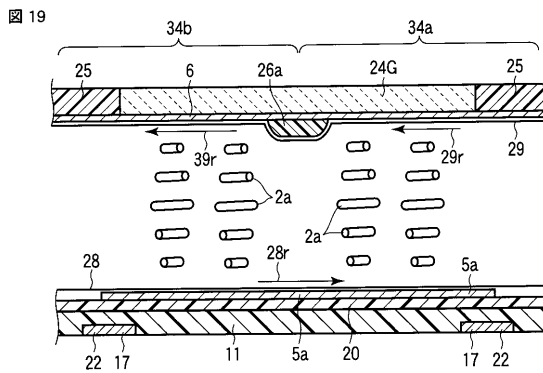
【図 17】



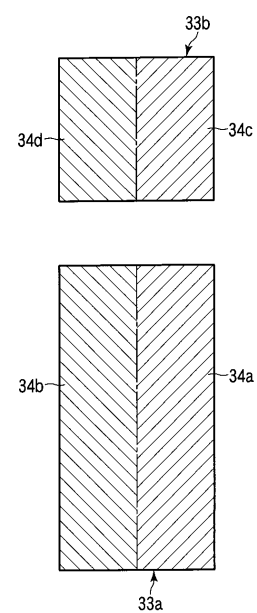
【図 18】



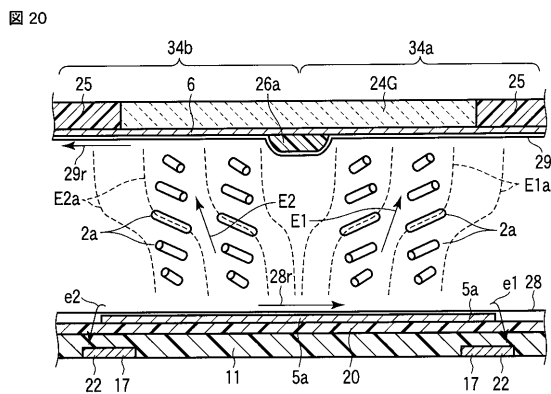
【図 19】



【図 21】

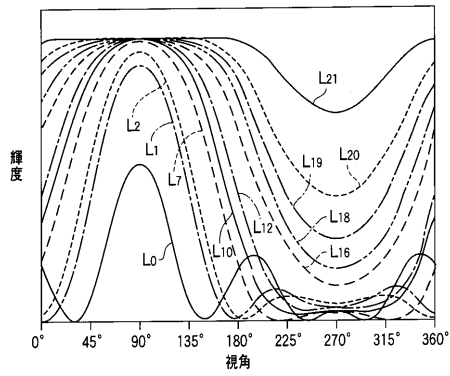


【図 20】



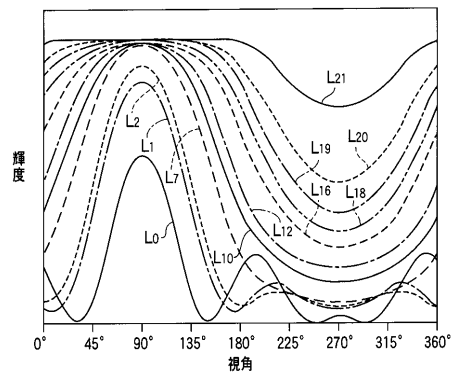
【図 2 2】

図 22



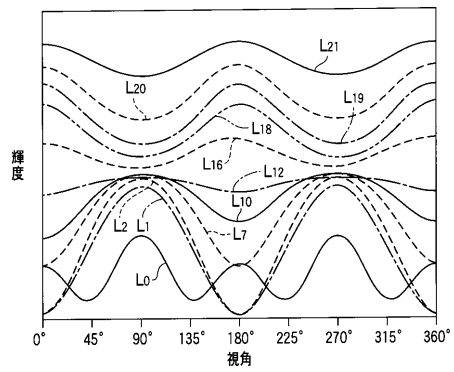
【図 2 3】

図 23



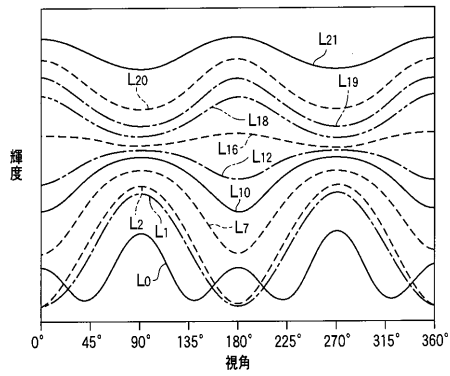
【図 2 4】

図 24



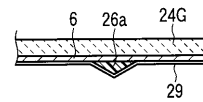
【図 2 5】

図 25



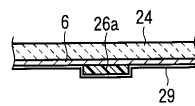
【図 2 8】

図 28



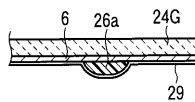
【図 2 6】

図 26



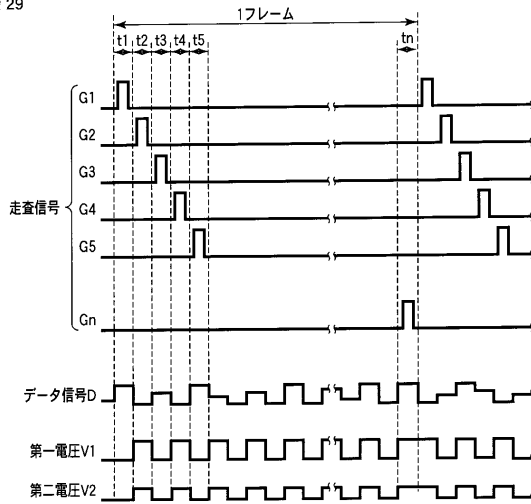
【図 2 7】

図 27



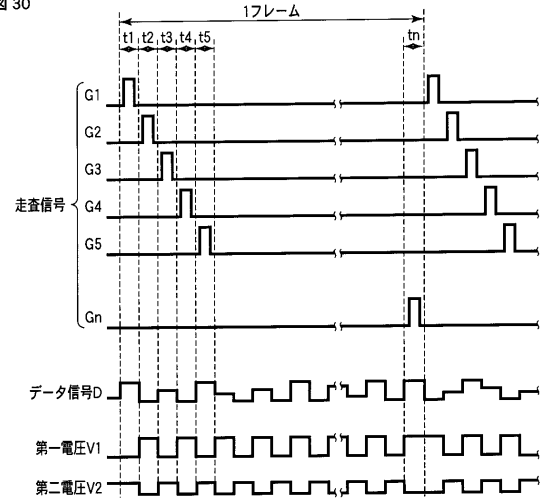
【図 29】

図 29



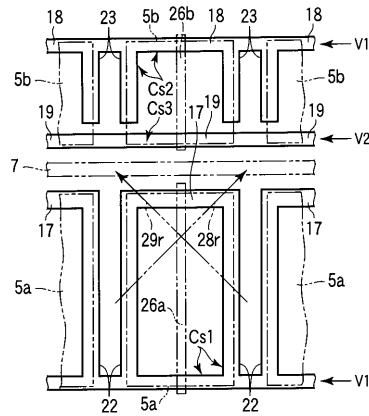
【図 30】

図 30



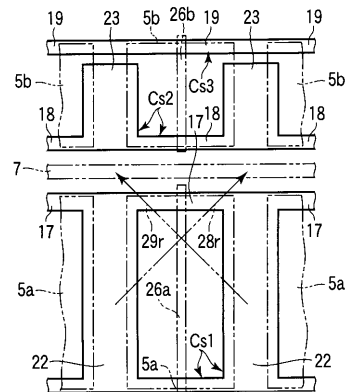
【図 31】

図 31



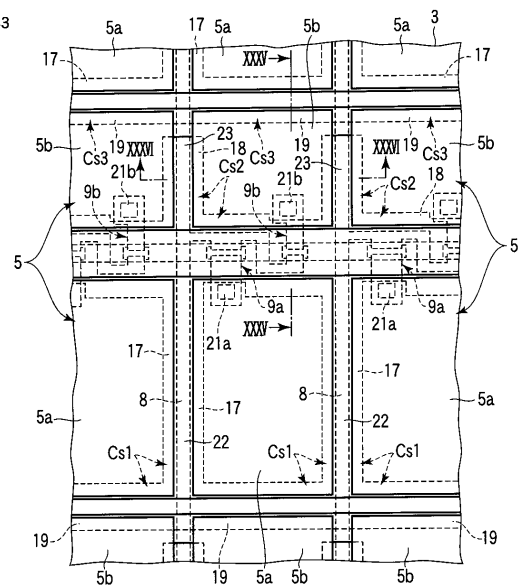
【図 32】

図 32



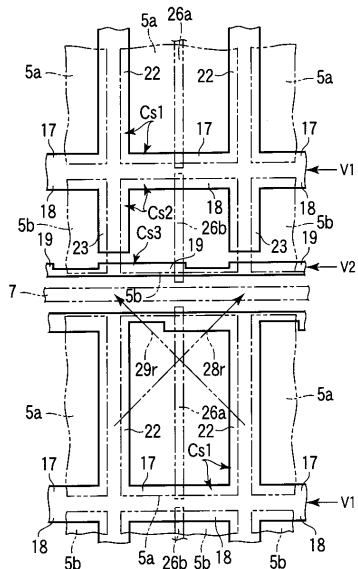
【図 33】

図 33



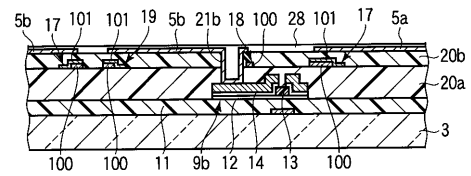
【図 4 2】

図 42



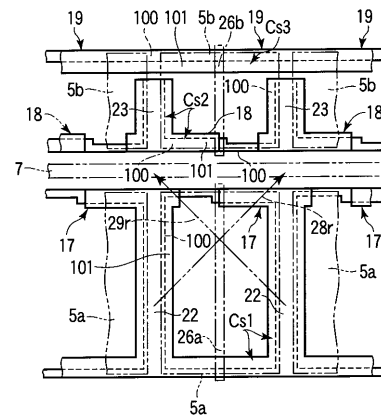
【図 4 3】

図 43



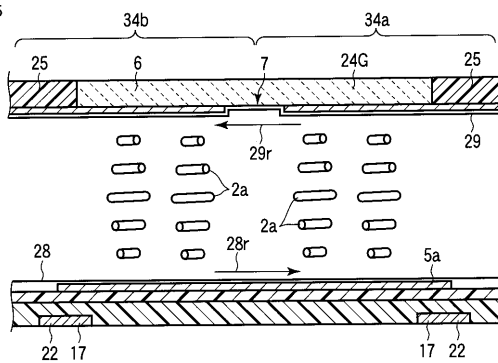
【図 4 4】

図 44



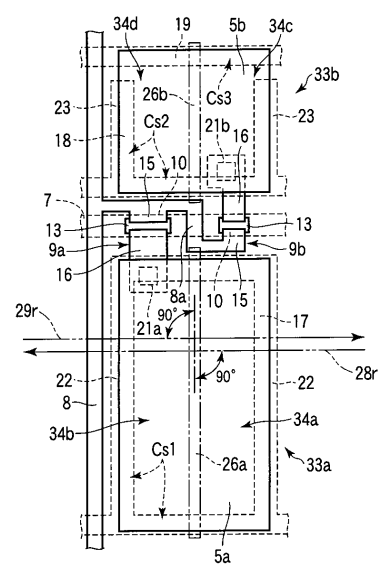
【図 4 5】

図 45



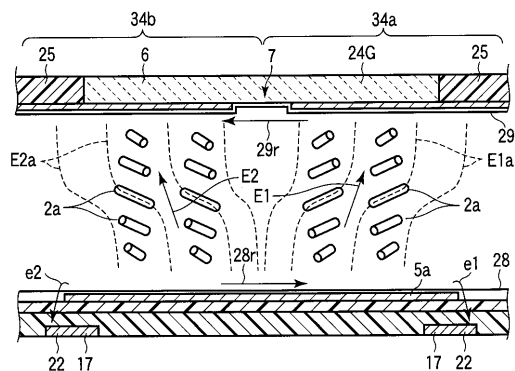
【図 4 7】

図 47



【図 4 6】

図 46



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 中島 靖
東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内
- (72)発明者 安藤 伸也
東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内
- (72)発明者 武井 寿郎
東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内
- (72)発明者 中村 やよい
東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内
- F ターム(参考) 2H092 GA13 GA28 HA02 JB42 JB63 JB69 NA01 NA25 PA02

专利名称(译)	液晶表示装置		
公开(公告)号	JP2011164478A	公开(公告)日	2011-08-25
申请号	JP2010029202	申请日	2010-02-12
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	中島靖 安藤伸也 武井寿郎 中村やよい		
发明人	中島 靖 安藤 伸也 武井 寿郎 中村 やよい		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/GA28 2H092/HA02 2H092/JB42 2H092/JB63 2H092/JB69 2H092/NA01 2H092/NA25 2H092/PA02		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
其他公开文献	JP5423462B2 JP2011164478A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：要充分加宽视角并轻松校正显示设备之间的视角变化。

对于每个像素，第一电容器电极（17）形成第一像素电极（5a）和第二像素电极（5b），并在第一像素电极（5a）和第二像素电极（5b）之间形成第一补偿电容器（Cs1），第二和第三电容电极18和19与像素电极5b形成第二和第三补偿电容Cs2和Cs3，并且第一横向电场产生电极布置在第一像素电极5a的外部。如图22所示，第二横向电场产生电极23布置在第二像素电极5b的外侧，并且设有第一像素电极5a的区域被形成为被划分为第一区域和第二区域。设置有形成为将设置有第二像素电极5b的区域划分为第三区域和第四区域的第一电介质层和第二电介质层，以及第一电容电极17和第二电容电极 第一电压被施加到电容电极18，第二电压被施加到第三电容电极19。[选择图]图4

