

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-145474

(P2011-145474A)

(43) 公開日 平成23年7月28日(2011.7.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624C	5C006
G02F 1/133 (2006.01)	G09G 3/20 624D	5C080
	G02F 1/133 550	
	G02F 1/133 525	

審査請求 未請求 請求項の数 8 O L (全 18 頁)

(21) 出願番号 特願2010-5903 (P2010-5903)
(22) 出願日 平成22年1月14日 (2010.1.14)

(71) 出願人 502356528
株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地
(74) 代理人 100083552
弁理士 秋田 収喜
(74) 代理人 100103746
弁理士 近野 恵一
(71) 出願人 506087819
パナソニック液晶ディスプレイ株式会社
兵庫県姫路市飾磨区妻鹿日田町1-6
(74) 代理人 100083552
弁理士 秋田 収喜
(74) 代理人 100103746
弁理士 近野 恵一

最終頁に続く

(54) 【発明の名称】 液晶表示装置

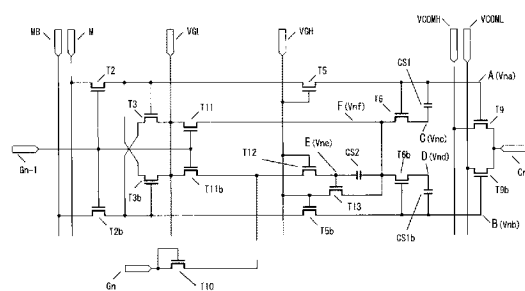
(57) 【要約】

【課題】単チャネルトランジスタのみで構成されるコンドライバの回路規模を小さくする。

【解決手段】対向電極駆動回路は、 M ($M \geq 2$) 本の対向電極に接続される M 個の基本回路を有し、 n ($1 \leq n \leq M$) 番目の基本回路には、 $(n-1)$ 番目の選択走査信号と、 n 番目の選択走査信号と、交流化信号と、反転交流化信号とが入力され、前記選択走査信号と前記交流化信号との間、および、前記選択走査信号と前記反転交流化信号との間に位相差を有し、前記 n 番目の基本回路は、前記入力される $(n-1)$ 番目の選択走査信号と、 n 番目の選択走査信号と、交流化信号と、反転交流化信号とに基づき、正極性の対向電圧あるいは負極性の対向電圧を N 番目の対向電極に供給する。

【選択図】 図5

図5



【特許請求の範囲】

【請求項 1】

複数の画素と、
前記複数の画素に走査信号を入力する M ($M \geq 2$) 本の走査線と、
前記複数の画素に対向電圧を入力する M 本の対向電極と、
前記 M 本の走査線に走査信号を供給する走査線駆動回路と、
前記 M 本の対向電極に対向電圧を供給する対向電極駆動回路とを備える液晶表示装置であって、

前記対向電極駆動回路は、 M 本の対向電極にそれぞれ接続される M 個の基本回路を有し、

n ($1 \leq n \leq M$) 番目の基本回路には、($n - 1$) 番目の選択走査信号と、 n 番目の選択走査信号と、交流化信号と、反転交流化信号とが入力され、

前記交流化信号または前記反転交流化信号のいずれか一方の信号は、前記選択走査信号が第 1 電圧レベルから第 2 電圧レベルへ変化した後に、第 1 電圧レベルから第 2 電圧レベルへ変化するとともに、前記選択走査信号が第 2 電圧レベルから第 1 電圧レベルへ変化した後に、第 2 電圧レベルから第 1 電圧レベルへ変化し、

前記交流化信号または前記反転交流化信号の他方の信号は、前記選択走査信号が第 1 電圧レベルから第 2 電圧レベルへ変化する前に、第 2 電圧レベルから第 1 電圧レベルへ変化するとともに、前記選択走査信号が第 2 電圧レベルから第 1 電圧レベルへ変化した後に、第 1 電圧レベルから第 2 電圧レベルへ変化し、

前記各基本回路は、オン状態の時に正極性の対向電圧を前記 n 番目の対向電極に供給する第 1 出力トランジスタと、

オン状態の時に負極性の対向電圧を前記 n 番目の対向電極に供給する第 2 出力トランジスタと、

制御電極に前記($n - 1$) 番目の選択走査信号が入力された時にオンとなり、前記交流化信号を取り込み前記第 1 出力トランジスタの制御電極に inputs する第 1 トランジスタと、

制御電極に前記($n - 1$) 番目の選択走査信号が入力された時にオンとなり、前記反転交流化信号を取り込み前記第 2 出力トランジスタの制御電極に inputs する第 2 トランジスタと、

前記第 1 トランジスタで取り込んだ交流化信号が第 2 電圧レベルのときにオンとなり、前記第 2 出力トランジスタの制御電極に第 1 基準電圧を入力する第 3 トランジスタと、

前記第 2 トランジスタで取り込んだ反転交流化信号が第 2 電圧レベルのときにオンとなり、前記第 1 出力トランジスタの制御電極に第 1 基準電圧を入力する第 4 トランジスタと、

前記第 1 出力トランジスタの制御電極に、制御電極が接続される第 5 トランジスタと、

前記第 2 出力トランジスタの制御電極に、制御電極が接続される第 6 トランジスタと、

前記第 5 のトランジスタの制御電極と第 2 電極との間に接続される第 1 容量素子と、

前記第 6 のトランジスタの制御電極と第 2 電極との間に接続される第 2 容量素子と、

制御電極に前記($n - 1$) 番目の選択走査信号が入力された時にオンとなり、前記第 5 トランジスタの第 1 電極と前記第 6 トランジスタの第 1 電極に第 1 基準電圧を入力する第 7 トランジスタと、

制御電極に n 番目の選択走査信号が入力された時にオンとなり、前記第 5 トランジスタの第 1 電極と前記第 6 トランジスタの第 1 電極に第 2 基準電圧を入力する第 8 トランジスタと、

前記第 8 トランジスタの制御電極と前記第 6 トランジスタの第 1 電極との間に接続される第 3 の容量素子と、

制御電極に前記($n - 1$) 番目の選択走査信号が入力された時にオンとなり、前記第 8 トランジスタの制御電極に第 1 基準電圧を入力する第 9 トランジスタとを有することを特徴とする液晶表示装置。

【請求項 2】

10

20

30

40

50

前記第 1 トランジスタないし前記第 8 トランジスタは、直列接続された 2 つのトランジスタで構成され、

当該直列接続された 2 つのトランジスタの制御電極には、同一の電圧が入力されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

複数の画素と、

前記複数の画素に走査信号を入力する M ($M \geq 2$) 本の走査線と、

前記複数の画素に対向電圧を入力する M 本の対向電極と、

前記 M 本の走査線に走査信号を供給する走査線駆動回路と、

前記 M 本の対向電極に対向電圧を供給する対向電極駆動回路とを備える液晶表示装置であって、

前記対向電極駆動回路は、 M 本の対向電極にそれぞれ接続される M 個の基本回路を有し、

n ($1 \leq n \leq M$) 番目の基本回路には、 $(n-1)$ 番目の選択走査信号と、 n 番目の選択走査信号と、交流化信号と、反転交流化信号とが入力され、

前記交流化信号または前記反転交流化信号のいずれか一方の信号は、前記選択走査信号が第 1 電圧レベルから第 2 電圧レベルへ変化した後に、第 1 電圧レベルから第 2 電圧レベルへ変化するとともに、前記選択走査信号が第 2 電圧レベルから第 1 電圧レベルへ変化した後に、第 2 電圧レベルから第 1 電圧レベルへ変化する、

前記交流化信号または前記反転交流化信号の他方の信号は、前記選択走査信号が第 1 電圧レベルから第 2 電圧レベルへ変化する前に、第 2 電圧レベルから第 1 電圧レベルへ変化するとともに、前記選択走査信号が第 2 電圧レベルから第 1 電圧レベルへ変化した後に、第 1 電圧レベルから第 2 電圧レベルへ変化する、

前記各基本回路は、オン状態の時に正極性の対向電圧を前記 n 番目の対向電極に供給する第 1 出力トランジスタと、

オン状態の時に負極性の対向電圧を前記 n 番目の対向電極に供給する第 2 出力トランジスタと、

制御電極に前記 $(n-1)$ 番目の選択走査信号が入力された時にオンとなり、前記交流化信号を取り込み前記第 1 出力トランジスタの制御電極に入力する第 1 トランジスタと、

制御電極に前記 $(n-1)$ 番目の選択走査信号が入力された時にオンとなり、前記反転交流化信号を取り込み前記第 2 出力トランジスタの制御電極に入力する第 2 トランジスタと、

前記第 1 トランジスタで取り込んだ交流化信号が第 2 電圧レベルのときにオンとなり、前記第 2 出力トランジスタの制御電極に第 1 基準電圧を入力する第 3 トランジスタと、

前記第 2 トランジスタで取り込んだ反転交流化信号が第 2 電圧レベルのときにオンとなり、前記第 1 出力トランジスタの制御電極に第 1 基準電圧を入力する第 4 トランジスタと、

前記第 1 出力トランジスタの制御電極に、制御電極が接続される第 5 トランジスタと、

前記第 2 出力トランジスタの制御電極に、制御電極が接続される第 6 トランジスタと、

前記第 5 のトランジスタの制御電極と第 2 電極との間に接続される第 1 容量素子と、

前記第 6 のトランジスタの制御電極と第 2 電極との間に接続される第 2 容量素子と、

制御電極に n 番目の選択走査信号が入力された時にオンとなり、前記第 5 トランジスタの第 1 電極と前記第 6 トランジスタの第 1 電極に第 2 基準電圧を入力する第 8 トランジスタと、

前記第 8 トランジスタの制御電極と前記第 6 トランジスタの第 1 電極との間に接続される第 3 の容量素子と、

制御電極に前記 $(n-1)$ 番目の選択走査信号が入力された時にオンとなり、前記第 8 トランジスタの制御電極に第 1 基準電圧を入力する第 9 トランジスタと、

制御電極に前記 $(n-1)$ 番目の選択走査信号が入力された時にオンとなり、前記第 5 トランジスタの第 2 電極に第 1 基準電圧を入力する第 10 トランジスタと、

制御電極に前記（ $n-1$ ）番目の選択走査信号が入力された時にオンとなり、前記第6トランジスタの第2電極に第1基準電圧を入力する第11トランジスタとを有することを特徴とする液晶表示装置。

【請求項4】

前記第1トランジスタないし前記第6トランジスタ、および前記第8トランジスタないし前記第11トランジスタは、直列接続された2つのトランジスタで構成され、

当該直列接続された2つのトランジスタの制御電極には、同一の電圧が入力されることを特徴とする請求項3に記載の液晶表示装置。

【請求項5】

前記 n 番目の選択走査信号は、ダイオード接続されたトランジスタを介して、第8トランジスタの制御電極に入力されることを特徴とする請求項1または請求項3に記載の液晶表示装置。

【請求項6】

前記 n 番目の選択走査信号は、直列接続された2つのトランジスタを介して、第8トランジスタの制御電極に入力され、

当該直列接続された2つのトランジスタの制御電極には、前記 n 番目の選択走査信号が入力されることを特徴とする請求項1または請求項3に記載の液晶表示装置。

【請求項7】

前記第1出力トランジスタの制御電極と前記第3トランジスタの制御電極との間に接続され、制御電極に第2基準電圧が入力される第12トランジスタと、

前記第2出力トランジスタの制御電極と前記第4トランジスタの制御電極との間に接続され、制御電極に第2基準電圧が入力される第13トランジスタと、

前記第9トランジスタの第2電極と前記第8トランジスタの制御電極との間に接続され、制御電極に第2基準電圧が入力される第14トランジスタとを有し、

前記 n 番目の選択走査信号は、前記第14トランジスタを介して、第8トランジスタの制御電極に入力されることを特徴とする請求項1ないし請求項6のいずれか1項に記載の液晶表示装置。

【請求項8】

前記各出力トランジスタおよび前記各トランジスタは、半導体層がポリシリコン層で構成される薄膜トランジスタであることを特徴とする請求項1ないし請求項7のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、各画素の対向電極に正極性の対向電圧、あるいは、負極性の対向電圧を入力するコモンドライバに適用して有効な技術に関する。

【背景技術】

【0002】

アクティブ素子として薄膜トランジスタ（TFT）を使用するTFT（Thin Film Transistor）方式の液晶表示装置は、パーソナルコンピュータ等の表示装置として広く使用されている。これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路（ドレインドライバ、ゲートドライバ、コモンドライバ）と、表示制御回路（タイミングコントローラ）を備えている。

薄膜トランジスタ（TFT）には、半導体層にアモルファスシリコン層を使用するもの（以下、 $a-Si$ 薄膜トランジスタという）と、半導体層にポリシリコン層を使用するもの（以下、 $poly-Si$ 薄膜トランジスタという）とが知られている。

$poly-Si$ 薄膜トランジスタは、動作速度が、 $a-Si$ 薄膜トランジスタより2桁程度早いので、アクティブ素子として $poly-Si$ 薄膜トランジスタを使用する液晶表示パネルでは、 $poly-Si$ 薄膜トランジスタで、ゲートドライバ、コモンドライバ（対向電極駆動回路）を構成し、当該ゲートドライバ、コモンドライバを、液晶表示パネル

10

20

30

40

50

を構成する一対の基板の一方の基板の液晶側の面に作製するようにしている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-276541号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

前述したように、poly-Si薄膜トランジスタで、ゲートドライバ、コモンドライバを構成し、当該ゲートドライバ、コモンドライバを、液晶表示パネルを構成する一対の基板の一方の基板の液晶側の面に作成する場合、ゲートドライバ、コモンドライバの回路構成を単チャネルトランジスタで構成される回路構成とすることにより、製造プロセスが短く、効率的な生産が可能である点で優れている。

しかしながら、従来の、単チャネルトランジスタのみで構成されるコモンドライバでは、リセット用の薄膜トランジスタが必要となり、回路規模が小さくできないので、液晶表示パネルの狭額縁化に対応できないという問題があった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、単チャネルトランジスタのみで構成されるコモンドライバの回路規模を小さくすることが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

前述の課題を解決するために、本発明の液晶表示装置は、複数の画素と、前記複数の画素に走査信号を入力するM ($M \geq 2$) 本の走査線と、前記複数の画素に対向電圧を入力するM本の対向電極と、前記M本の走査線に走査信号を供給する走査線駆動回路と、前記M本の対向電極に対向電圧を供給する対向電極駆動回路とを備える液晶表示装置であって、前記対向電極駆動回路は、M本の対向電極にそれぞれ接続されるM個の基本回路を有し、 n ($1 \leq n \leq M$) 番目の基本回路には、 $(n-1)$ 番目の選択走査信号と、 n 番目の選択走査信号と、交流化信号と、反転交流化信号とが入力され、前記交流化信号は、前記選択走査信号が第1電圧レベルから第2電圧レベルへ変化した後に、第1電圧レベルから第2電圧レベルへ変化するとともに、前記選択走査信号が第2電圧レベルから第1電圧レベルへ変化した後に、第2電圧レベルから第1電圧レベルへ変化し、前記反転交流化信号は、前記選択走査信号が第1電圧レベルから第2電圧レベルへ変化した後に、第1電圧レベルから第2電圧レベルへ変化するとともに、前記選択走査信号が第2電圧レベルから第1電圧レベルへ変化した後に、第2電圧レベルから第1電圧レベルへ変化し、前記各基本回路は、オン状態の時に正極性の対向電圧を前記 n 番目の対向電極に供給する第1出力トランジスタと、オン状態の時に負極性の対向電圧を前記 n 番目の対向電極に供給する第2出力トランジスタと、制御電極に前記 $(n-1)$ 番目の選択走査信号が入力された時にオンとなり、前記交流化信号を取り込み前記第1出力トランジスタの制御電極に入力する第1トランジスタと、制御電極に前記 $(n-1)$ 番目の選択走査信号が入力された時にオンとなり、前記反転交流化信号を取り込み前記第2出力トランジスタの制御電極に入力する第2トランジスタと、前記第1トランジスタで取り込んだ交流化信号が第2電圧レベルのときにオンとなり、前記第2出力トランジスタの制御電極に第1基準電圧を入力する第3トランジスタと、前記第2トランジスタで取り込んだ反転交流化信号が第2電圧レベルのときにオンとなり、前記第1出力トランジスタの制御電極に第1基準電圧を入力する第4トランジスタと、前記第1出力トランジスタの制御電極に、制御電極が接続される第5トランジスタと、前記第2出力トランジスタの制御電極に、制御電極が接続される第6トランジ

10

20

30

40

50

スタと、前記第 5 のトランジスタの制御電極と第 2 電極との間に接続される第 1 容量素子と、前記第 6 のトランジスタの制御電極と第 2 電極との間に接続される第 2 容量素子と、制御電極に n 番目の選択走査信号が入力された時にオンとなり、前記第 5 トランジスタの第 1 電極と前記第 6 トランジスタの第 1 電極に第 2 基準電圧を入力する第 8 トランジスタとを有することを特徴とする。

即ち、本発明では、各画素の対向電極を表示ライン毎に分割し、この対向電極を表示ライン毎に設けた対向電極駆動回路で駆動する分割対向電極駆動方式において、選択走査信号と交流化信号との間、および、選択走査信号と反転交流化信号との間に、位相差を設けることを特徴とする。

これにより、専用のリセット用信号が不要となり、リセット用の薄膜トランジスタを削除することが可能となるので、対向電極駆動回路の回路面積を縮小することが可能となる。

【発明の効果】

【0006】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、単チャネルトランジスタのみで構成されるコモンドライバの回路規模を小さくすることが可能となる。

【図面の簡単な説明】

【0007】

【図 1】本発明の実施例の液晶表示装置の概略構成を示すブロック図である。

【図 2】本発明の実施例の液晶表示装置の動作を説明するためのタイミングチャートである。

【図 3】従来のコモンドライバの n ($1 \leq n \leq M$) 番目の基本回路の回路構成を示す回路図である。

【図 4】図 3 に示す基本回路の動作を説明するためのタイミングチャートである。

【図 5】本発明の実施例 1 のコモンドライバの n ($1 \leq n \leq M$) 番目の基本回路の回路構成を示す回路図である。

【図 6】図 5 に示す基本回路の動作を説明するためのタイミングチャートである。

【図 7】本発明の実施例 2 のコモンドライバの n ($1 \leq n \leq M$) 番目の基本回路の回路構成を示す回路図である。

【図 8】図 7 に示す基本回路の動作を説明するためのタイミングチャートである。

【図 9】本発明の実施例 1 の基本回路をコモンドライバに適用した回路構成を示す回路図である。

【図 10】本発明の実施例 2 の基本回路をコモンドライバに適用した回路構成を示す回路図である。

【図 11】本発明の各実施例のコモンドライバに入力される交流化信号 (M) と反転交流化信号 (MB) の他の例を説明するための図である。

【発明を実施するための形態】

【0008】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。

〔実施例 1〕

図 1 は、本発明の実施例の液晶表示装置の概略構成を示すブロック図である。

図 1 に示すように、本実施例の液晶表示装置は、表示部 100 と、ゲートドライバ (200L, 200R) と、コモンドライバ (300L, 300R) と、ドレインドライバ 400 とを備える。

表示部 100 は、液晶を介して互いに対向配置される一対の基板の一方の基板の液晶側

10

20

30

40

50

の面に、複数の走査線（ゲート線ともいう）（G L）と、複数の映像線（ソース線、またはドレイン線ともいう）（D L）とを有する。

走査線と映像線とで囲まれた領域がサブピクセル領域であり、1つのサブピクセル領域には、ゲートが走査線に、ドレイン（または、ソース）が映像線に、およびソース（または、ドレイン）が画素電極（P X）に接続される薄膜トランジスタ（T F T；アクティブ素子）が設けられる。

本実施例の液晶表示装置では、アクティブ素子として p o i y - S i 薄膜トランジスタを使用するとともに、p o i y - S i 薄膜トランジスタで、ゲートドライバ、コモンドライバを構成し、当該ゲートドライバ、コモンドライバを、液晶表示パネルを構成する一対の基板の一方の基板の液晶側の面に作製している。

10

【0009】

画素電極（P X）と対向電極（C L）との間には保持容量（C a d d）が設けられる。なお、実際は、画素電極（P X）と対向電極（C L）の間には液晶が介在するので、画素電極（P X）と対向電極（C L）の間には、液晶容量（C l c）が形成されるが、図1では、液晶容量（C l c）の図示は省略している。

各走査線（G L）は、表示部100の両側に形成されたゲートドライバ（200 L，200 R）に接続され、ゲートドライバ（200 L，200 R）は、各表示ラインの走査線（G L）に対して、それぞれ左右両側から順次選択走査信号を供給する。

また、本実施例では、各画素の対向電極（C L）は表示ライン毎に分割される。各対向電極（C L）は、表示部100の両側に形成されたコモンドライバ（300 L，300 R）に接続され、コモンドライバ（300 L，300 R）は、各表示ラインの対向電極（C L）に対して、それぞれ左右両側から正極性の対向電圧、あるいは負極性の対向電圧を供給する。

20

各映像線（D L）は、ドレインドライバ400に接続される。ドレインドライバ400は、1水平走査期間内に、R、G、Bの映像電圧（所謂、階調電圧）を、映像線（D L）に出力する。

【0010】

本実施例の液晶表示装置は、画素電極、薄膜トランジスタ等が設けられた第1基板（T F T基板、アクティブマトリクス基板ともいう）（図示せず）と、カラーフィルタ等が形成される第2基板（対向基板ともいう）（図示せず）とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

30

このように、本実施例の液晶表示装置は、液晶が一対の基板の間に挟持された構造となっている。また、対向電極は、T N方式やV A方式の液晶表示パネルであれば第2基板（対向基板）側に設けられる。I P S方式の場合は、第1基板（T F T基板）側に設けられる。

なお、本発明において、液晶表示パネルの内部構造とは関係がないので、液晶表示パネルの内部構造の詳細な説明は省略する。さらに、本発明は、どのような構造の液晶表示パネルであっても適用可能である。

40

【0011】

図2は、本実施例の液晶表示装置の動作を説明するためのタイミングチャートである。この図2は、画素に書き込まれる映像電圧の極性が、1表示ライン毎に異なる1ライン毎反転駆動法の場合を図示している。

G 1～G 4の選択走査信号は、1フレーム期間（T f）の周期で繰り返し、1水平期間（T w g）の周期毎に、H i g hレベル（以下、Hレベルという）の期間がシフトする。

C 1～C 4の対向電圧は、対応する選択走査信号の立ち上がり時点で、その電圧レベルが反転し、2フレーム期間を1周期とする信号である。反転する電圧レベルの極性は、対向電極（C L）の奇数ラインと偶数ラインで異なる。

D 1、D 2の映像電圧は、対向電圧を基準とする電圧である。なお、D 1、D 2の映像

50

電圧は、それぞれ画素（P 1 1～P 1 4）と画素（P 2 1～P 2 4）に対応する電圧であり、その極性は、1 水平期間（T w g）の周期毎に反転する。

また、図 2 において、「↑」は、各画素への映像電圧の書き込みが正極性の書き込み（画素電極の電圧＞対向電圧）であり、「↓」は、各画素への映像電圧の書き込みが負極性の書き込み（対向電圧＞画素電極の電圧）であることを示す。

1 ライン毎反転駆動法では、図 2 に示すように、1 表示ライン毎に、各画素に書き込まれる映像電圧の極性が反転し、さらに、1 フレーム毎に、同一の画素に書き込まれる映像電圧の極性が反転する。

即ち、前のフレームにおいて、奇数表示ライン上の画素に正極性の映像電圧が、偶数表示ライン上の画素に負極性の映像電圧が書き込まれた場合には、次のフレームにおいては、奇数表示ライン上の画素に負極性の映像電圧が、偶数表示ライン上の画素に正極性の映像電圧が書き込まれる。

【0 0 1 2】

仮に、対向電極の数を M ($M \geq 2$) とするとき、従来のコモンドライバ（3 0 0 L, 3 0 0 R）は、 M 個の基本回路を有する。

図 3 は、従来のコモンドライバ（3 0 0 L, 3 0 0 R）の n ($1 \leq n \leq M$) 番目の基本回路の回路構成を示す回路図である。

図 3 において、 G_{n-2} 、 G_{n-1} 、 G_n は、ゲートドライバ（2 0 0 L, 2 0 0 R）から出力される $(n-2)$ 番目、 $(n-1)$ 番目、および n 番目の選択走査信号である。また、 C_n は、 n 番目の基本回路から出力される対向電圧である。また、 M は交流化信号、 MB は反転交流化信号である。

また、 V_{GL} は、ゲートドライバ（2 0 0 L, 2 0 0 R）から出力される非選択走査信号の電圧、 V_{GH} はゲートドライバ（2 0 0 L, 2 0 0 R）から出力される選択走査信号の電圧である。さらに、 V_{COML} は負極性の対向電圧、 V_{COMH} は正極性の対向電圧である。

図 3 に示す回路は、 $T_1 \sim T_{13}$ の薄膜トランジスタと、 $T_{1b} \sim T_{9b}$ の薄膜トランジスタと、 CS_1 、 CS_2 、 CS_{1b} の容量素子で構成される。薄膜トランジスタ（ $T_1 \sim T_9$ ）と容量素子（ CS_1 ）は、交流化信号（ M ）が H レベルのときに、 n 番目の対向電極（ CL ）に出力する対向電圧（ C_n ）として、正極性の対向電圧（ V_{COMH} ）を出力するための回路であり、薄膜トランジスタ（ $T_{1b} \sim T_{9b}$ ）と容量素子（ CS_{1b} ）は、反転交流化信号（ MB ）が H レベルのときに、 n 番目の対向電極（ CL ）に出力する対向電圧（ C_n ）として、負極性の対向電圧（ V_{COML} ）を出力するための回路であり、薄膜トランジスタ（ $T_{10} \sim T_{13}$ ）と容量素子（ CS_2 ）は出力トランジスタ（ T_9 , T_{9b} ）のゲート電圧を昇圧するための回路である。

【0 0 1 3】

図 4 は、図 3 に示す基本回路の動作を説明するためのタイミングチャートである。図 4 は、シフトクロック（ GCK_1 , GCK_2 ）と交流化信号（ M ）との間、および、シフトクロック（ GCK_1 , GCK_2 ）と反転交流化信号（ MB ）との間に位相差がない場合の、連続した 2 フレーム期間のタイミングチャートを示す。

図 3 に示す基本回路では、 (G_{n-2}) 番目の選択走査信号が H レベルの期間に、薄膜トランジスタ（ T_4 , T_{4b} ）により、ノード A の電圧（ V_{na} ）と、ノード B の電圧（ V_{nb} ）を、 V_{GL} の電圧にリセットし、同時に、薄膜トランジスタ（ T_8 , T_{8b} ）により、ノード C の電圧（ V_{nc} ）と、ノード D の電圧（ V_{nd} ）を、 V_{GL} の電圧にリセットする。

そして、 (G_{n-1}) 番目の選択走査信号が H レベルの期間に、交流化信号（ M ）、または反転交流化信号（ MB ）を取り込み、 G_n 番目の選択走査信号が H レベルの期間に、出力トランジスタである薄膜トランジスタ（ T_9 , T_{9b} ）のゲート電圧（ V_{na} または V_{nb} ）を高めるよう動作する。

【0 0 1 4】

まず、1 番目のフレームの動作について説明する。

10

20

30

40

50

(1) ($G_n - 2$) 番目の選択走査信号がHレベルの期間

前述したように、($G_n - 2$) 番目の選択走査信号がHレベルの期間には、薄膜トランジスタ (T_4 , T_4b) がオンとなり、ゲートに V_{GH} の電圧が入力されている薄膜トランジスタ (T_5 , T_5b) を介して、ノードAの電圧 (V_{na}) と、ノードBの電圧 (V_{nb}) が、 V_{GL} の電圧にリセットされ、同時に、薄膜トランジスタ (T_8 , T_8b) がオンとなり、ノードCの電圧 (V_{nc}) と、ノードDの電圧 (V_{nd}) が、 V_{GL} の電圧にリセットされる。

(2) ($G_n - 1$) 番目の選択走査信号がHレベルの期間

($G_n - 1$) 番目の選択走査信号がHレベルの期間には、薄膜トランジスタ (T_2 , T_2b) がオンとなるが、交流化信号 (M) がHレベル、反転交流化信号 (MB) がLowレベル (以下、Lレベルという) なので、ダイオード接続された薄膜トランジスタ (T_1) と薄膜トランジスタ (T_2) を介して、交流化信号 (M) が取り込まれ、薄膜トランジスタ (T_5) を介してノードAに供給されるので、ノードAの電圧 (V_{na}) が V_{a1} の電圧に変化する。

また、ゲートが、薄膜トランジスタ (T_2) の第2電極 (ドレインまたはソース) に接続される薄膜トランジスタ (T_3) がオンとなり、薄膜トランジスタ (T_2b) の第2電極に V_{GL} の電圧が供給され、薄膜トランジスタ (T_5b) を介してノードBに供給されるので、ノードBの電圧 (V_{nb}) は、 V_{GL} の電圧を維持する。

また、この期間に、薄膜トランジスタ (T_7 , T_7b) がオンとなり、ノードCの電圧 (V_{nc}) と、ノードDの電圧 (V_{nd}) が V_{GL} の電圧に維持される。さらに、薄膜トランジスタ (T_{11}) がオンとなり、ゲートに V_{GH} の電圧が入力されている薄膜トランジスタ (T_{12}) を介して、ノードEの電圧 (V_{ne}) が V_{GL} の電圧にリセットされる。

【0015】

(3) G_n 番目の選択走査信号がHレベルの期間

G_n 番目の選択走査信号がHレベルの期間には、薄膜トランジスタ (T_3) がオン、薄膜トランジスタ (T_3b) がオフ状態である。この状態において、 G_n 番目の選択走査信号が、ダイオード接続された薄膜トランジスタ (T_{10}) を介して、薄膜トランジスタ (T_{12}) の第1電極 (ソースまたはドレイン) に入力されると、薄膜トランジスタ (T_{13}) がオンとなり、ノードFの電圧 (V_{nf}) が上昇する。ここで、容量素子 (CS_2) によるブートストラップ効果により、ノードFの電圧 (V_{nf}) は、ほぼ V_{GH} の電圧となる。

また、($G_n - 1$) 番目の選択走査信号がHレベルの期間に、ノードAの電圧 (V_{na}) が V_{a1} の電圧に変化したことにより、薄膜トランジスタ (T_6) がオンとなる。この状態で、ノードFの電圧 (V_{nf}) が、ほぼ V_{GH} の電圧となると、ノードCの電圧 (V_{nc}) が V_{c1} の電圧になり、さらに、容量素子 (CS_1) によるブートストラップ効果により、ノードAの電圧 (V_{na}) は、 V_{GH} の電圧以上の V_{a2} の電圧となる。これにより、薄膜トランジスタ (T_9) が充分オンとなり、 n 番目の対向電極 (CL) に正極性の対向電圧 (V_{COMH}) が出力される。

また、($G_n - 1$) 番目の選択走査信号がHレベルの期間に、ノードBの電圧 (V_{nb}) は V_{GL} の電圧を維持しているので、薄膜トランジスタ (T_6b) がオフとなる。この状態で、ノードFの電圧 (V_{nf}) が、ほぼ V_{GH} の電圧となっても、ノードBの電圧 (V_{nb}) は、 V_{GL} の電圧となっている。したがって、薄膜トランジスタ (T_9b) がオフと維持する。

【0016】

次に、2番目のフレームの動作について説明する。

(1) ($G_n - 2$) 番目の選択走査信号がHレベルの期間

前述したように、($G_n - 2$) 番目の選択走査信号がHレベルの期間には、薄膜トランジスタ (T_4 , T_4b) がオンとなり、薄膜トランジスタ (T_5 , T_5b) を介して、ノードAの電圧 (V_{na}) と、ノードBの電圧 (V_{nb}) が、 V_{GL} の電圧にリセットされ

、同時に、薄膜トランジスタ（ T_8 ， T_{8b} ）がオンとなり、ノードCの電圧（ V_{nc} ）と、ノードDの電圧（ V_{nd} ）が、VGLの電圧にリセットされる。

（2）（ $G_n - 1$ ）番目の選択走査信号がHレベルの期間

（ $G_n - 1$ ）番目の選択走査信号がHレベルの期間には、薄膜トランジスタ（ T_2 ， T_{2b} ）がオンとなるが、交流化信号（M）がLレベル、反転交流化信号（MB）がHレベルなので、ダイオード接続された薄膜トランジスタ（ T_{1b} ）と薄膜トランジスタ（ T_{2b} ）を介して、反転交流化信号（MB）が取り込まれ、薄膜トランジスタ（ T_{5b} ）を介してノードBに供給されるので、ノードBの電圧（ V_{nb} ）が V_{b1} の電圧に変化する。

また、ゲートが、薄膜トランジスタ（ T_{2b} ）の第2電極に接続される薄膜トランジスタ（ T_{3b} ）がオンとなり、薄膜トランジスタ（ T_2 ）の第2電極にVGLの電圧が供給され、薄膜トランジスタ（ T_5 ）を介してノードAに供給されるので、ノードAの電圧（ V_{na} ）は、VGLの電圧を維持する。

また、薄膜トランジスタ（ T_7 ， T_{7b} ）がオンとなり、ノードCの電圧（ V_{nc} ）と、ノードDの電圧（ V_{nd} ）が、VGLの電圧に維持される。さらに、薄膜トランジスタ（ T_{11} ）がオンとなり、薄膜トランジスタ（ T_{12} ）を介して、ノードEの電圧（ V_{ne} ）が、VGLの電圧にリセットされる。

【0017】

（3） G_n 番目の選択走査信号がHレベルの期間

G_n 番目の選択走査信号がHレベルの期間には、薄膜トランジスタ（ T_3 ）がオフ、薄膜トランジスタ（ T_{3b} ）がオン状態である。この状態において、 G_n 番目の選択走査信号が、ダイオード接続された薄膜トランジスタ（ T_{10} ）を介して、薄膜トランジスタ（ T_{12} ）の第1電極に入力されると、薄膜トランジスタ（ T_{13} ）がオンとなり、ノードFの電圧（ V_{nf} ）が上昇する。ここで、容量素子（CS2）によるブートストラップ効果により、ノードFの電圧（ V_{nf} ）は、ほぼVGHの電圧となる。

また、（ $G_n - 1$ ）番目の選択走査信号がHレベルの期間に、ノードAの電圧（ V_{na} ）はVGLの電圧を維持しているので、薄膜トランジスタ（ T_6 ）がオフとなる。この状態で、ノードFの電圧（ V_{nf} ）が、ほぼVGHの電圧となっても、ノードAの電圧（ V_{na} ）は、VGLの電圧となっている。したがって、薄膜トランジスタ（ T_9 ）がオフと維持する。

また、（ $G_n - 1$ ）番目の選択走査信号がHレベルの期間に、ノードBの電圧（ V_{nb} ）が V_{b1} の電圧に変化したことにより、薄膜トランジスタ（ T_{6b} ）がオンとなる。この状態で、ノードFの電圧（ V_{nf} ）が、ほぼVGHの電圧となると、ノードDの電圧（ V_{nd} ）が V_{d1} の電圧になり、さらに、容量素子（CS1b）によるブートストラップ効果により、ノードBの電圧（ V_{nb} ）は、VGHの電圧以上の V_{b2} の電圧となる。これにより、薄膜トランジスタ（ T_{9b} ）が充分オンとなり、 n 番目の対向電極（CL）に負極性の対向電圧（VCOML）が出力される。

【0018】

以上説明したように、従来のコモンドライバ（300L，300R）では、シフトクロック（GCK1，GCK2）（換言すれば、選択走査信号）と交流化信号（M）との間、およびシフトクロック（GCK1，GCK2）と反転交流化信号（MB）との間に位相差がないので、従来のコモンドライバ（300L，300R）の基本回路は、（ $G_n - 2$ ）番目の選択走査信号がHレベルの期間に、A～Dのノード電圧（ $V_{na} \sim V_{nd}$ ）を、VGLの電圧にリセットするための薄膜トランジスタ（ T_4 ， T_{4b} ）と薄膜トランジスタ（ T_8 ， T_{8b} ）が必要となる。

また、シフトクロック（GCK1，GCK2）より早く、交流化信号（M）、あるいは、反転交流化信号（MB）が立ち下ると、ノードAの電圧（ V_{na} ）と、ノードBの電圧（ V_{nb} ）がLレベルとなるので、これを防止するために、交流化信号（M）と反転交流化信号（MB）を取り込むための薄膜トランジスタ（ T_1 ， T_{1b} ）が必要となる。

このように、従来のコモンドライバ（300L，300R）の基本回路では、回路面積を小さくできないという課題があった。

10

20

30

40

50

【0019】

図5は、本発明の実施例1のコモンドライバ(300L, 300R)の n ($1 \leq n \leq M$)番目の基本回路の回路構成を示す回路図である。

図3に示す従来の回路と異なるのは、交流化信号(M)と反転交流化信号(MB)を取り込むための、薄膜トランジスタ(T1, T1b)と、A~Dのノード電圧(Vna~Vnd)を、VGLの電圧にリセットするための薄膜トランジスタ(T4, T4b)と薄膜トランジスタ(T8, T8b)を削除した点である。

図6は、図5に示す基本回路の動作を説明するためのタイミングチャートである。

シフトクロック(GCK1, GCK2)と交流化信号(M)との間、およびシフトクロック(GCK1, GCK2)と反転交流化信号(MB)との間に、立上り時点の位相差(Tms)と、立下り時点の位相差(Tmh)がある点、図4と相違している。 10

【0020】

以下、本実施例の基本回路の、1番目のフレームの動作について説明する。

(1) (Gn-1)番目の選択走査信号のHレベルの期間

(Gn-1)番目の選択走査信号のHレベルの期間には、薄膜トランジスタ(T2, T2b)がオンとなる。また、(Gn-1)番目の選択走査信号のHレベルの期間内の(Tms)の期間は、交流化信号(M)、および反転交流化信号(MB)がLレベルのVGLの電圧なので、この(Tms)の期間内に、ゲートにVGHの電圧が入力されている薄膜トランジスタ(T5)を介して、ノードAの電圧(Vna)がVGLの電圧にリセットされ、同様に、ゲートにVGHの電圧が入力されている薄膜トランジスタ(T5b)を介して、ノードBの電圧(Vnb)もVGLの電圧にリセットされる。 20

また、(Gn-1)番目の選択走査信号のHレベルの期間に、薄膜トランジスタ(T11, T11b)がオンとなるので、ノードFの電圧(Vnf)が、VGLの電圧にリセットされるとともに、ゲートにVGHの電圧が入力されている薄膜トランジスタ(T12)を介して、ノードEの電圧(Vne)が、VGLの電圧にリセットされる。

次に、(Tms)の期間経過後に、交流化信号(M)がHレベル、反転交流化信号(MB)がLレベルとなると、薄膜トランジスタ(T2)により交流化信号(M)が取り込まれ、薄膜トランジスタ(T5)を介してノードAに供給されるので、ノードAの電圧(Vna)がVa1の電圧に変化する。また、交流化信号(M)がHレベルとなると、薄膜トランジスタ(T3)がオンとなり、薄膜トランジスタ(T2b)の第2電極にVGLの電圧が供給され、薄膜トランジスタ(T5b)を介して、ノードBに供給されるので、ノードBの電圧(Vnb)は、VGLの電圧を維持する。 30

【0021】

(2) Gn番目の選択走査信号のHレベルの期間

Gn番目の選択走査信号のHレベルの期間には、薄膜トランジスタ(T3)がオン、薄膜トランジスタ(T3b)がオフ状態である。この状態において、Gn番目の選択走査信号が、ダイオード接続された薄膜トランジスタ(T10)を介して、ゲートにVGHの電圧が入力されている薄膜トランジスタ(T12)の第1電極に入力されると、薄膜トランジスタ(T13)がオンとなり、ノードFの電圧(Vnf)が上昇する。ここで、容量素子(CS2)によるブートストラップ効果により、ノードFの電圧(Vnf)は、ほぼVGHの電圧となる。 40

また、(Gn-1)番目の選択走査信号がHレベルの期間に、ノードAの電圧(Vna)がVa1の電圧に変化したことにより、薄膜トランジスタ(T6)がオンとなり、ノードCの電圧(Vnc)が、薄膜トランジスタ(T11)を介してVGLにリセットされる(図6参照)。この状態で、ノードFの電圧(Vnf)が、ほぼVGHの電圧となると、ノードCの電圧(Vnc)が、Vc1の電圧になり、さらに、容量素子(CS1)によるブートストラップ効果により、ノードAの電圧(Vna)が、VGHの電圧以上のVa2の電圧となる。これにより、薄膜トランジスタ(T9)が充分オンとなり、n番目の対向電極(CL)に正極性の対向電圧(VCOMH)が出力される。

また、(Gn-1)番目の選択走査信号がHレベルの期間に、ノードBの電圧(Vnb) 50

）はVGLの電圧を維持しているので、薄膜トランジスタ（T6b）がオフとなる。この状態で、ノードFの電圧（Vnf）が、ほぼVGHの電圧となっても、ノードBの電圧（Vnb）は、VGLの電圧となっている。したがって、薄膜トランジスタ（T9b）がオフとなる。

【0022】

次に、2番目のフレームの動作について説明する。

（Gn-1）番目の選択走査信号のHレベルの期間には、薄膜トランジスタ（T2、T2b）がオンとなる。また、（Gn-1）番目の選択走査信号のHレベルの期間内の（Tms）の期間は、交流化信号（M）、および反転交流化信号（MB）がLレベルのVGLの電圧なので、この（Tms）の期間内に、薄膜トランジスタ（T5、T5b）を介して、ノードAの電圧（Vna）と、ノードBの電圧（Vnb）がVGLの電圧にリセットされる。

また、（Gn-1）番目の選択走査信号のHレベルの期間に、薄膜トランジスタ（T11、T11b）がオンとなるので、ノードFの電圧（Vnf）が、VGLの電圧にリセットされるとともに、薄膜トランジスタ（T12）を介して、ノードEの電圧（Vne）が、VGLの電圧にリセットされる。

次に、（Tms）の期間経過後に、交流化信号（M）がLレベル、反転交流化信号（MB）がHレベルとなると、薄膜トランジスタ（T2b）により反転交流化信号（MB）が取り込まれ、薄膜トランジスタ（T5b）を介してノードBに供給されるので、ノードBの電圧（Vnb）がVb1の電圧に変化する。また、反転交流化信号（MB）がHレベルとなると、薄膜トランジスタ（T3b）がオンとなり、薄膜トランジスタ（T2）の第2電極にVGLの電圧が供給され、薄膜トランジスタ（T5）を介して、ノードAに供給されるので、ノードAの電圧（Vna）は、VGLの電圧を維持する。

【0023】

（2）Gn番目の選択走査信号のHレベルの期間

Gn番目の選択走査信号のHレベルの期間には、薄膜トランジスタ（T3）がオフ、薄膜トランジスタ（T3b）がオン状態である。この状態において、Gn番目の選択走査信号が、ダイオード接続された薄膜トランジスタ（T10）を介して、薄膜トランジスタ（T12）の第1電極に入力されると、薄膜トランジスタ（T13）がオンとなり、ノードFの電圧（Vnf）が上昇する。ここで、容量素子（CS2）によるブートストラップ効果により、ノードFの電圧（Vnf）は、ほぼVGHの電圧となる。

また、（Gn-1）番目の選択走査信号がHレベルの期間に、ノードBの電圧（Vnb）がVb1の電圧に変化したことにより、薄膜トランジスタ（T6b）がオンとなり、ノードDの電圧（Vnd）が、薄膜トランジスタ（T11）を介してVGLにリセットされる（図6参照）。この状態で、ノードFの電圧（Vnf）が、ほぼVGHの電圧となると、ノードDの電圧（Vnd）が、Vd1の電圧になり、さらに、容量素子（CS1b）によるブートストラップ効果により、ノードBの電圧（Vnb）は、VGHの電圧以上のVb2の電圧となる。これにより、薄膜トランジスタ（T9b）が充分オンとなり、n番目の対向電極（CL）に負極性の対向電圧（VCOML）が出力される。

また、（Gn-1）番目の選択走査信号がHレベルの期間に、ノードAの電圧（Vna）はVGLの電圧を維持しているので、薄膜トランジスタ（T6）がオフとなる。この状態で、ノードFの電圧（Vnf）が、ほぼVGHの電圧となっても、ノードAの電圧（Vna）は、VGLの電圧となっている。したがって、薄膜トランジスタ（T9）がオフ状態を維持する。

【0024】

なお、薄膜トランジスタ（T5）は、ノードAの電圧（Vna）が、VGHの電圧以上のVa2の電圧となった場合に、薄膜トランジスタ（T2）の第2電極の電圧が、（VGH-Vth）（Vthは、薄膜トランジスタ（T5）のしきい値電圧）を超える電圧にならないようにするためのものであり、必ずしも必要とされるものでもない。薄膜トランジ

10

20

30

40

50

スタ（T 5 b）と、薄膜トランジスタ（T 1 2）も同様である。

本実施例のように、シフトクロック（G C K 1，G C K 2）（換言すれば、選択走査信号）と交流化信号（M）との間、およびシフトクロック（G C K 1，G C K 2）と反転交流化信号（M B）との間に、（T m s）の位相差と、（T m h）の位相差があると、交流化信号（M）と反転交流化信号（M B）を取り込むための薄膜トランジスタ（図 3 の T 1、T 1 b）や、A～D のノード電圧（V n a～V n d）を、V G L の電圧にリセットするための薄膜トランジスタ（図 3 の T 4、T 4 b、T 8、T 8 b）を削除できるため、回路面積を小さくすることが可能となる。

図 9 に、図 5 に示す基本回路をコモンドライバに適用した回路を示す。

図 9 に示す基本回路は、図 5 の T 2、T 2 b、T 3、T 3 b、T 6、T 6 b、T 1 1、T 1 1 b、T 1 3 の各薄膜トランジスタが、それぞれゲートに同一の電圧が入力される直列接続の 2 個の薄膜トランジスタで構成されている点と、図 5 の T 1 0 の薄膜トランジスタが、それぞれゲートに G n 番目の選択走査信号が入力される直列接続の 2 個の薄膜トランジスタで構成されている点で、図 5 に示す基本回路と相違する。

図 9 に示すように、それぞれゲートに同一の電圧が入力される直列接続の 2 個の薄膜トランジスタで構成することにより、リーク電流を減少させることができる。

【0025】

〔実施例 2〕

図 7 は、本発明の実施例 2 のコモンドライバ（3 0 0 L，3 0 0 R）の n（ $1 \leq n \leq M$ ）番目の基本回路の回路構成を示す回路図である。

図 5 に示す回路と相違する点は、ノード C の電圧（V n c）と、ノード D の電圧（V n d）を V G L の電圧にリセットするための薄膜トランジスタ（T 8，T 8 b）を追加した点である。

この薄膜トランジスタ（T 8，T 8 b）は、ノード C の電圧（V n c）と、ノード D の電圧（V n d）が、V G L の電圧より低くなるのを防止することを目的としている。

図 8 は、図 7 に示す基本回路の動作を説明するためのタイミングチャートである。図 8 に示すタイミングチャートは、（G - 1）番目の選択走査信号が H レベルになった時点でノード C の電圧（V n c）が直ぐに V c 1 の電圧になり、ノード D の電圧（V n d）が直ぐに V d 1 の電圧となっている以外は、図 6 に示すタイミングチャートと同じであるので、再度の説明は省略する。

図 1 0 は、図 7 に示す基本回路をコモンドライバに適用した回路を示す。

図 1 0 に示す基本回路は、図 7 の T 2、T 2 b、T 3、T 3 b、T 6、T 6 b、T 8、T 8 b、T 1 1、T 1 1 b、T 1 3 の各薄膜トランジスタが、それぞれゲートに同一の電圧が入力される直列接続の 2 個の薄膜トランジスタで構成されている点と、図 7 の T 1 0 の薄膜トランジスタが、それぞれゲートに G n 番目の選択走査信号が入力される直列接続の 2 個の薄膜トランジスタで構成されている点で、図 7 に示す基本回路と相違する。

【0026】

以上説明したように、本実施例では、各画素の対向電極（C L）を表示ライン毎に分割し、この対向電極（C L）を表示ライン毎に設けた対向電極駆動回路で駆動する分割対向電極駆動方式において、選択走査信号（G）と交流化信号（M）との間、および、選択走査信号（G）と反転交流化信号（M B）との間に、（T m s）の位相差と（T m h）の位相差を設けたことを特徴とする。

これにより、専用のリセット用信号が不要となり、リセット用の薄膜トランジスタを削除することが可能となるので、対向電極駆動回路の回路面積を縮小することが可能となる。その結果として、液晶表示装置の液晶表示パネルの額縁寸法を小さくすることが可能となる。

また、本実施例の薄膜トランジスタは、半導体層がポリシリコン（多結晶シリコン）層で構成される p o i y - S i 薄膜トランジスタで構成される。

一般に、ポリシリコン層は、アモルファスシリコン層にレーザ光を照射し、加熱することにより製作される。そのため、p o i y - S i 薄膜トランジスタは、特性のバラツキが

10

20

30

40

50

大きく、図 3 に示す従来の基本回路のように、薄膜トランジスタの素子数が多いと、1 個の薄膜トランジスタの特性バラツキにより、回路全体が製品不良となる確率が高いが、本実施例の基本回路のように、薄膜トランジスタの素子数が少ないと、1 個の薄膜トランジスタの特性バラツキにより、回路全体が製品不良となる確率が小さくなるので、本実施例では、コストを低減することが可能となる。

【0027】

なお、前述の説明では、液晶表示装置の交流化駆動方式として、画素に書き込まれる映像電圧の極性が、1 表示ライン毎に異なる 1 ライン毎反転駆動法の場合について説明したが、例えば、交流化信号 (M) と反転交流化信号 (MB) として、図 11 (a) に示す信号を採用することにより、画素に書き込まれる映像電圧の極性が k (図 11 (a) では k = 2) 表示ライン毎に異なる k ライン毎反転駆動法とすることも可能である。さらに、交流化信号 (M) と反転交流化信号 (MB) として、図 11 (b) に示す信号を採用することにより、画素に書き込まれる映像電圧の極性が 1 フレーム毎に異なる 1 フレーム反転駆動法とすることも可能である。

10

また、前述の説明では、n 型の薄膜トランジスタを使用する場合について説明したが、p 型の薄膜トランジスタを使用することも可能である。但し、p 型の薄膜トランジスタを使用する場合は、信号の H レベルと L レベル、各基準電圧の電圧レベルは、n 型の薄膜トランジスタを使用する場合に対して反転する必要があることはいうまでもない。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

20

【符号の説明】

【0028】

100 表示部

200 L, 200 R ゲートドライバ

300 L, 300 R コモンドライバ

400 ドレインドライバ

GL 走査線 (ゲート線ともいう)

DL 映像線 (ソース線、またはドレイン線ともいう)

CL 対向電極

PX 画素電極

P11 ~ P14, P21 ~ P24 画素

TFT, T1, T1b, T2, T2b, T3, T3b, T4, T4b, T5, T5b, T6, T6b, T7, T7b, T8, T8b, T9, T9b, T10, T11, T12, T13 薄膜トランジスタ

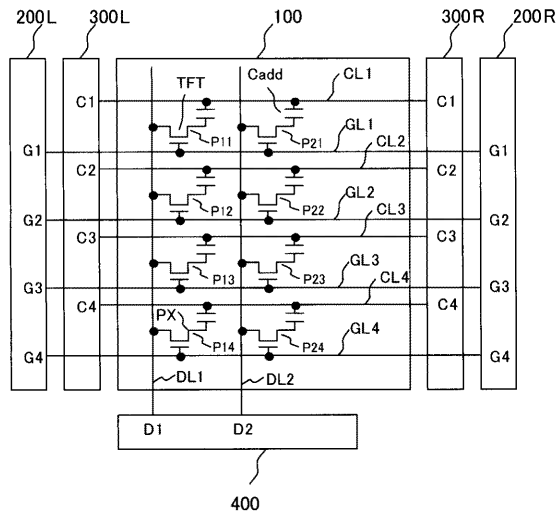
CS1, CS1b, CS2 容量素子

Cadd 保持容量

30

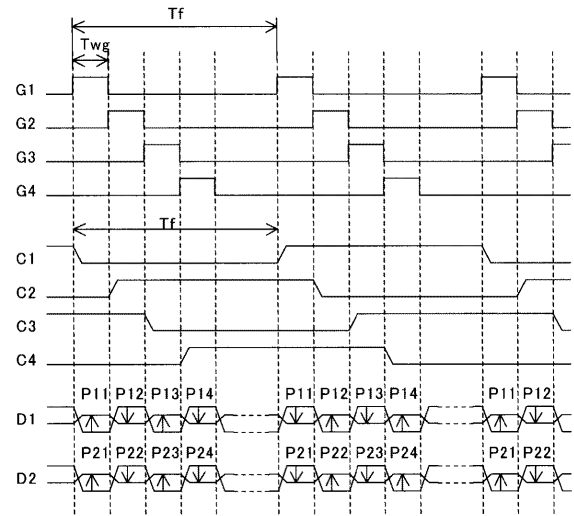
【図 1】

図 1



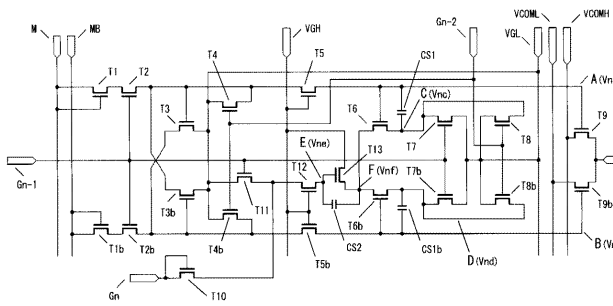
【図 2】

図 2



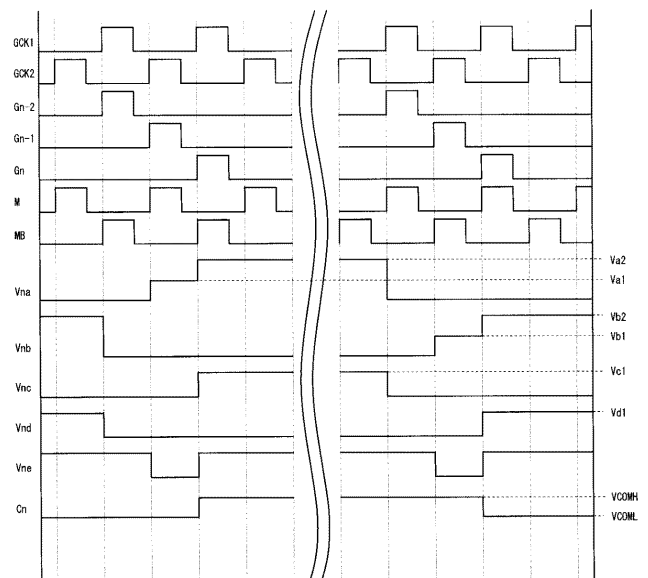
【図 3】

図 3



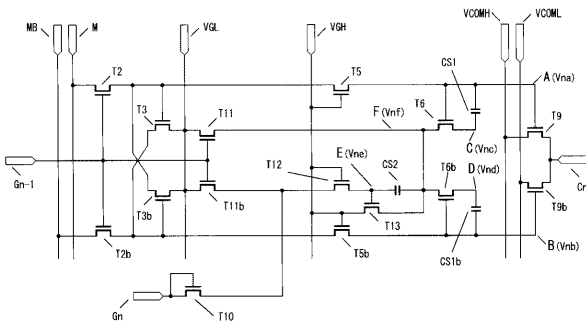
【図 4】

図 4



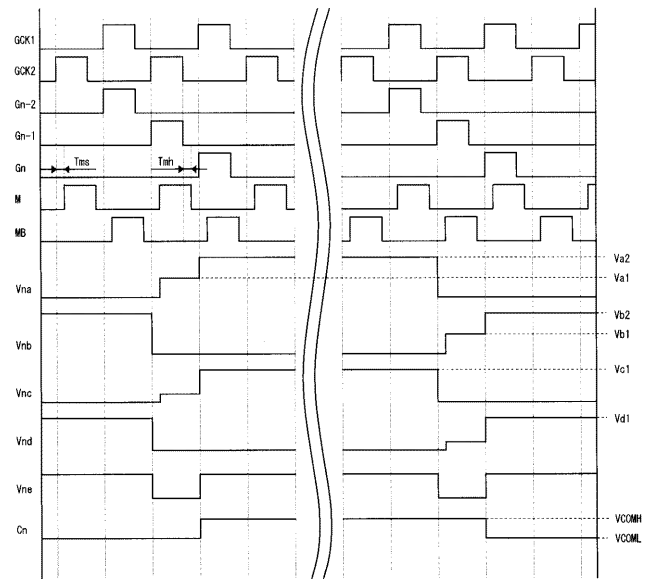
【図 5】

図5



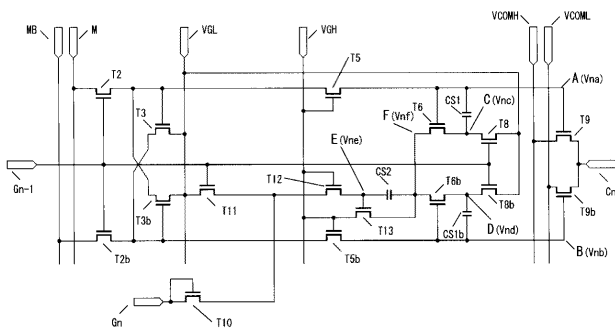
【図 6】

図6



【図 7】

図7



【図 8】

図8

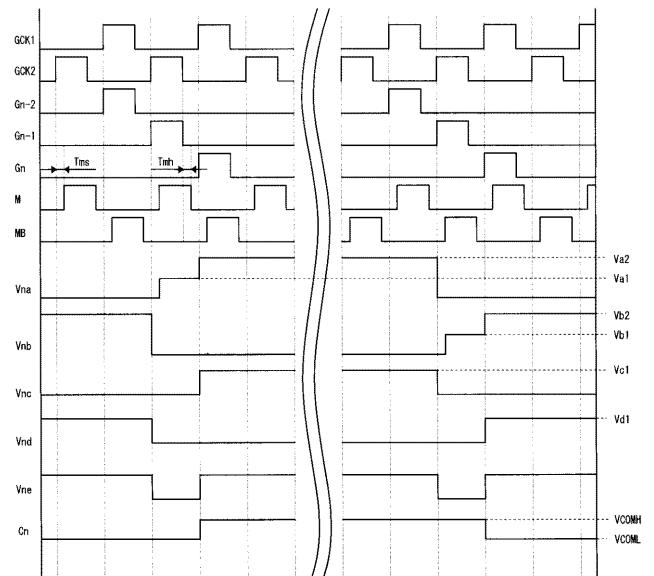


图9

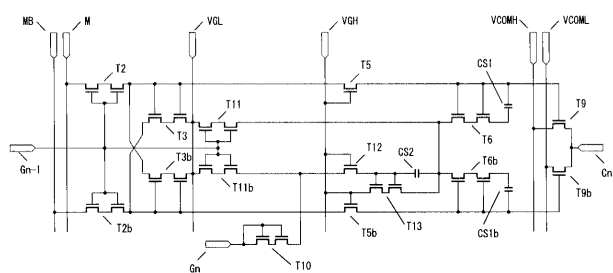


图10

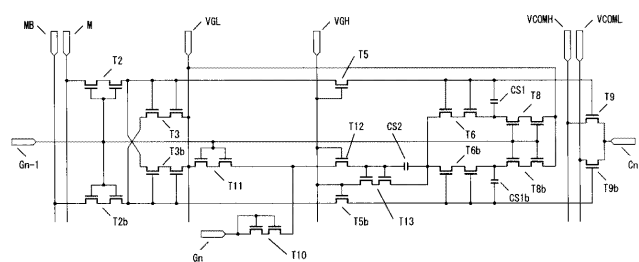
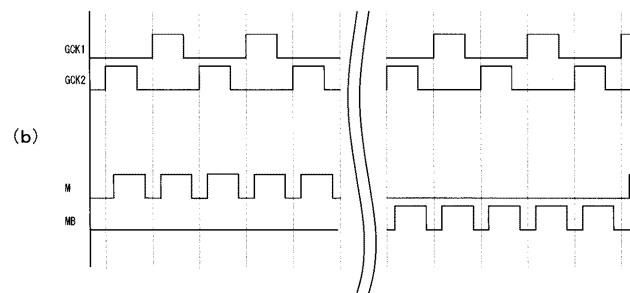
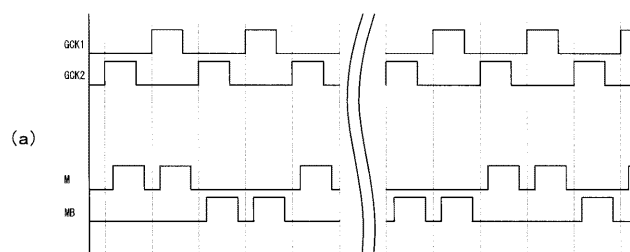


图 11



フロントページの続き

(74)代理人 110000154

特許業務法人はるか国際特許事務所

(72)発明者 阿部 裕行

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 佐藤 秀夫

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 槇 正博

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H193 ZA04 ZB02 ZB03 ZB07 ZB16 ZC04 ZC05 ZC16 ZF24 ZP15

ZQ06 ZQ11 ZQ16

5C006 AA21 AC25 AC27 BB16 BC20 BF31 FA41

5C080 AA10 BB05 CC03 DD22 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2011145474A	公开(公告)日	2011-07-28
申请号	JP2010005903	申请日	2010-01-14
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司 松下液晶显示器有限公司		
[标]发明人	阿部裕行 佐藤秀夫 模正博		
发明人	阿部 裕行 佐藤 秀夫 模 正博		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G3/3614 G09G2300/0876		
FI分类号	G09G3/36 G09G3/20.624.C G09G3/20.624.D G02F1/133.550 G02F1/133.525		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZB03 2H193/ZB07 2H193/ZB16 2H193/ZC04 2H193/ZC05 2H193/ZC16 2H193/ZF24 2H193/ZP15 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AA21 5C006/AC25 5C006/AC27 5C006/BB16 5C006/BC20 5C006/BF31 5C006/FA41 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP5324486B2		
外部链接	Espacenet		

摘要(译)

减小仅配置有单通道晶体管的公共驱动器的电路尺寸。对电极驱动电路包括连接到M ($M \geq 2$) 个对电极的M个基本电路，并且n ($1 \leq n \leq M$) 个基本电路包括 (n - 1) 输入第n选择扫描信号，第n选择扫描信号，交流信号和反相交流信号，并在选择扫描信号和交流信号之间输入，选择扫描第n基本电路在信号和反相交替信号之间具有相位差，第n基本电路被配置为接收第 (n-1) 个选择的扫描信号，第n个选择的扫描信号和交流电。基于转换信号和反相交流信号，将正相反电压或负相反电压提供给第N相对电极。 [选中图]图5

