

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-48057

(P2011-48057A)

(43) 公開日 平成23年3月10日(2011.3.10)

|                                       |                |             |
|---------------------------------------|----------------|-------------|
| (51) Int.Cl.                          | F I            | テーマコード (参考) |
| <b>G09G 3/36 (2006.01)</b>            | G09G 3/36      | 2H193       |
| <b>G09G 3/20 (2006.01)</b>            | G09G 3/20 623R | 5C006       |
| <b>G02F 1/133 (2006.01)</b>           | G09G 3/20 621B | 5C080       |
|                                       | G09G 3/20 623C |             |
|                                       | G09G 3/20 623D |             |
| 審査請求 未請求 請求項の数 12 O L (全 29 頁) 最終頁に続く |                |             |

|           |                              |          |                     |
|-----------|------------------------------|----------|---------------------|
| (21) 出願番号 | 特願2009-195289 (P2009-195289) | (71) 出願人 | 502356528           |
| (22) 出願日  | 平成21年8月26日 (2009.8.26)       |          | 株式会社 日立ディスプレイズ      |
|           |                              |          | 千葉県茂原市早野3300番地      |
|           |                              | (74) 代理人 | 100075959           |
|           |                              |          | 弁理士 小林 保            |
|           |                              | (72) 発明者 | 高田 直樹               |
|           |                              |          | 東京都国分寺市東恋ヶ窪一丁目280番地 |
|           |                              |          | 株式会社日立製作所中央研究所内     |
|           |                              | (72) 発明者 | 笠井 成彦               |
|           |                              |          | 東京都国分寺市東恋ヶ窪一丁目280番地 |
|           |                              |          | 株式会社日立製作所中央研究所内     |
|           |                              | (72) 発明者 | 萬場 則夫               |
|           |                              |          | 東京都国分寺市東恋ヶ窪一丁目280番地 |
|           |                              |          | 株式会社日立製作所中央研究所内     |
|           |                              | 最終頁に続く   |                     |

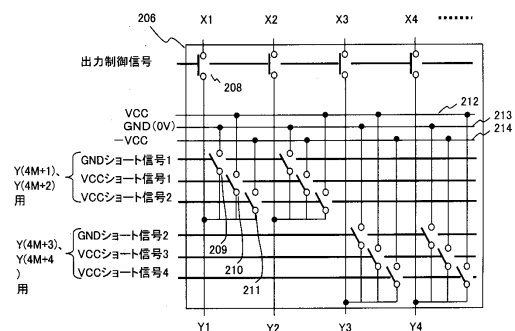
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】画質劣化を抑制する極性反転ライン分散型のドット反転駆動方式を用い、低電力効果の高い液晶表示装置を提供する。

【解決手段】マトリックス状に配置された画素行及び画素列を形成する、複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバ回路と、前記データドライバ回路の出力毎に配置され、前記各出力を出力電圧とは異なるプリチャージ用電圧に接続するスイッチ素子を有するショート回路と、前記画素を画素行毎のライン単位で選択する走査信号を供給する走査回路とを備え、少なくとも2つの画素行毎に前記階調電圧の極性を反転させるドット反転駆動方式の液晶表示装置。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

マトリックス状に配置された画素行及び画素列を形成する、複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバ回路と、前記データドライバ回路の出力毎に配置され、前記各出力を出力電圧とは異なるプリチャージ用電圧に接続するスイッチ素子を有するショート回路と、前記画素を画素行毎のライン単位で選択する走査信号を供給する走査回路とを備え、少なくとも 2 つの画素行毎に前記階調電圧の極性を反転させるドット反転駆動方式の液晶表示装置であって、

前記ショート回路は、第 1 スwitch 群と第 2 スwitch 群との何れかに配置されるスイッチ素子を有し、

隣接する奇数番目と偶数番目との画素列からなる一対の画素列単位毎に、前記第 1 スwitch 群又は前記第 2 スwitch 群の何れかのスイッチ素子に接続されると共に、

隣接する画素列単位は異なるスイッチ群に属するスイッチ素子に接続されることを特徴とする液晶表示装置。

## 【請求項 2】

請求項 1 に記載の液晶表示装置において、

前記隣接する画素列単位では、前記画素行毎の前記階調電圧の極性が反転される極性反転ラインの位置が異なることを特徴とする液晶表示装置。

## 【請求項 3】

請求項 1 に記載の液晶表示装置において、

前記第 1 スwitch 群のスイッチ素子と、前記第 2 スwitch 群のスイッチ素子とは異なる期間で ON されることを特徴とする液晶表示装置。

## 【請求項 4】

請求項 1 乃至 3 の内の何れかに記載の液晶表示装置において、

前記データドライバの出力を  $Y_1 \sim Y_k$  ( $k \geq 4$ ) とした場合、前記極性反転ラインが同じで極性が逆となる出力ペア  $Y_j$  ( $j = 1, 3, \dots, k-1$ ) と  $Y_{j+1}$  ( $j = 1, 3, \dots, k-1$ ) とが存在すると共に、

前記極性反転ラインが同じで極性が逆となる出力ペア  $Y_{j'}$  ( $j' = 1, 3, \dots, k-1$ ) と  $Y_{j'+1}$  ( $j' = 1, 3, \dots, k-1$ ) が存在し、

前記出力ペア  $Y_{4j}$  及び  $Y_{4j+1}$  は、前記出力ペア  $Y_{4j'}$  及び  $Y_{4j'+1}$  と極性反転ラインが異なることを特徴とする液晶表示装置。

## 【請求項 5】

請求項 1 乃至 4 の内の何れかに記載の液晶表示装置において、

前記画素アレイは、前記極性交流ライン分散型の  $1 \times N$  ( $N \geq 2$ ) ドット反転駆動方式で駆動され、各画素における極性反転周期は  $2N$  フレーム周期であることを特徴とする液晶表示装置。

## 【請求項 6】

請求項 1 乃至 5 の内の何れかに記載の液晶表示装置において、

前記極性反転ラインは、フレーム毎に前記画素列方向にシフトすることを特徴とする液晶表示装置。

## 【請求項 7】

マトリックス状に配置された複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバ回路と、前記データドライバ回路の各出力を出力電圧とは異なるプリチャージ用電圧にショートするショート回路と、前記階調電圧を供給すべき前記画素を行単位で選択するための走査信号を前記画素へ供給する走査回路とを備え、前記画素アレイの階調電圧極性を複数ライン毎に反転する  $1 \times N$  ( $N \geq 2$ ) ドット反転駆動方式で駆動する液晶表示装置であって、

前記極性反転ラインは、各カラムで異なる極性交流ライン分散型の  $1 \times N$  ( $N \geq 2$ ) ドット反転駆動であり、

極性交流ライン分散型  $1 \times N$  ( $N \geq 2$ ) ドット反転駆動方式の極性パターンは、データ

10

20

30

40

50

ドライバ出力数  $4M + 4$  の内、出力  $4M + 1$  と出力  $4M + 2$  のペアの極性反転ラインは同じであり、

出力  $4M + 3$  と出力  $4M + 4$  のペアの極性反転ラインは同じであり、

前記出力  $4M + 1$  と前記出力  $4M + 2$  とのペアの極性反転ラインと、前記出力  $4M + 3$  と前記出力  $4M + 4$  のペアの極性反転ラインとが、 $N/2$  ライン分ずれていることを特徴とする液晶表示装置。

#### 【請求項 8】

請求項 7 に記載の液晶表示装置において、

前記極性交流ラインのずれが  $N/2$  ( $N \geq 2$ ) ライン分ずれている場合において、 $N = 2, 4, 8, 16$  であることを特徴とする液晶表示装置。

10

#### 【請求項 9】

請求項 7 又は 8 に記載の液晶表示装置において、

前記データドライバの出力を  $Y_1 \sim Y_k$  ( $k \geq 4$ ) とした場合、前記極性反転ラインが同じで極性が逆となる出力ペア  $Y_j$  ( $j = 1, 3, \dots, k-1$ ) と  $Y_{j+1}$  ( $j = 1, 3, \dots, k-1$ ) が存在すると共に、

前記極性反転ラインが同じで極性が逆となる出力ペア  $Y_{j'}$  ( $j' = 1, 3, \dots, k-1$ ) と  $Y_{j'+1}$  ( $j' = 1, 3, \dots, k-1$ ) とが存在し、

前記出力ペア  $Y_{4j}$  及び  $Y_{4j+1}$  は、前記出力ペア  $Y_{4j'}$  及び  $Y_{4j'+1}$  と極性反転ラインが異なることを特徴とする液晶表示装置。

20

#### 【請求項 10】

請求項 7 乃至 9 の内の何れかに記載の液晶表示装置において、

前記データドライバの出力を  $Y_1 \sim Y_{4k}$  ( $k \geq 1$ ) とした場合、

前記極性反転ラインは、出力  $Y_{4m+1}$  (ただし、 $m = 0, 1, \dots, k-1$ ) と出力  $Y_{4m+2}$  ( $m = 0, 1, \dots, k-1$ ) とで同じであり且つ極性が逆となり、

出力  $Y_{4m+3}$  ( $m = 0, 1, \dots, k-1$ ) と出力  $Y_{4m+4}$  ( $m = 0, 1, \dots, k-1$ ) とで同じであり且つ極性が逆であり、

前記出力  $Y_{4m+1}$  及び前記出力  $Y_{4m+2}$  と、前記出力  $Y_{4m+3}$  及び前記出力  $Y_{4m+4}$  とで極性反転ラインが異なることを特徴とする液晶表示装置。

#### 【請求項 11】

請求項 7 乃至 10 の内の何れかに記載の液晶表示装置において、

前記画素アレイの駆動方式は、極性交流ライン分散型の  $1 \times N$  ( $N \geq 2$ ) ドット反転駆動方式であり、

前記画素における極性反転周期は、 $2N$  フレーム周期であることを特徴とする液晶表示装置。

30

#### 【請求項 12】

請求項 7 乃至 11 の内の何れかに記載の液晶表示装置において、

前記画素アレイの各カラムの極性反転ラインは、フレーム毎に列方向にシフトすることを特徴とする液晶表示装置。

#### 【発明の詳細な説明】

#### 【技術分野】

40

#### 【0001】

本発明は、液晶表示装置に係わり、特に、 $N$  ( $N \geq 2$ ) ライン毎に極性を反転し、また該極性反転ラインが異なる列が存在する分散型  $N$  ドット反転駆動の液晶表示装置に関する。

#### 【背景技術】

#### 【0002】

アクティブ・マトリクス方式の表示装置の高画質化の手段として、隣接画素毎に極性を反転するドット反転駆動が採用されている。従来、ドット反転駆動は主に TV 向け大型パネルで採用されていたが、近年ではモバイル向け中小型パネルでも高画質化要求が高く、増加傾向にある。しかしながら、ドット反転駆動は充放電電力が高いことが問題となって

50

いる。特にモバイル向け中小型パネルでは、低電力化が最も重要である。

【 0 0 0 3 】

この低電力化を実現する技術として、特許文献 1 に記載の技術がある。この特許文献 1 に記載の技術では、図 1 2 に示すように、 $1 \times N$  ( $N \geq 2$ ) ドット反転駆動を行うことでパネル充放電電力が  $1/N$  となる。但し、例えば液晶パネル 4 0 1 に全白階調を表示した場合、極性反転するラインは極性反転しないラインに比べてパネルの容量成分 ( $C$ ) と抵抗成分 ( $R$ ) の負荷が重い為、書込み不足が発生しやすい。その為、前記書込み不足に起因した横スジや横フリッカが極性反転箇所 4 0 2 に発生することが考えられる。該特許文献 1 においては、印加電圧極性反転後のラインのサブピクセル (副画素) 4 0 1 への電圧時間が、印加電圧極性反転後のライン以外のラインよりも長くする事を提案している。しかしながら、高解像度パネルでは 1 ライン期間が短いので電圧印加時間を十分確保できない事が懸念される。その為、書込み不足に起因した横スジ、横フリッカは改善されない懸念がある。

10

【 0 0 0 4 】

前述の特許文献 1 に対する問題を解決する技術として、特許文献 2 に記載の技術がある。該特許文献 2 に記載の技術は、図 1 3 に示すように、極性反転するラインをカラム (サブピクセル (副画素) 4 0 1 をグループ化した画素集合) 毎に異なるようにする方式である。この場合、書込み不足が発生し得る極性反転箇所 4 0 2 が各カラムで異なる、すなわち液晶パネル 4 0 1 内で空間的に分散するので、横スジ、横フリッカが抑制されることが予測される。

20

【 0 0 0 5 】

また、低電力化を実現する技術として、特許文献 3 に記載の技術がある。この特許文献 3 に記載の技術では、図 1 4 に示すように、外部から入力される階調信号に応じた階調電圧を生成するデコード回路 2 0 5 の出力部分にプリチャージのためのショート回路 2 0 6 を備える構成となっている。該ショート回路 2 0 6 は各出力を同一極性のプリチャージ電圧に所定時間短絡 (ショート) するためのスイッチを備える構成となっており、ドット反転駆動において、各出力をプリチャージ電圧にショートする事で、プリチャージ電圧までの電力を削減し、低電力化を図るものである。例えば、図 1 5 に示すように、負極性は  $-5V$  から  $0V$  の範囲の電圧を出力し、正極性は  $0V$  から  $5V$  までの電圧を出力する場合、全出力をグランドレベル ( $0V$ ) にショートする。前ラインでは逆極性の電圧レベルを出力しているので、正極性書き込みでは最大で  $-5V$  から  $0V$  まで電圧レベルを上げる為の電力を削減可能となり、負極性書き込みでは最大で  $5V$  から  $0V$  まで電圧レベルを下げる為の電力を削減可能となる。

30

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 3 - 2 0 7 7 6 0 号公報

【 特許文献 2 】 特開 2 0 0 5 - 2 1 5 3 1 7 号公報

【 特許文献 3 】 特開 2 0 0 8 - 1 1 6 5 5 6 号公報

【 発明の概要 】

40

【 発明が解決しようとする課題 】

【 0 0 0 7 】

特許文献 1 に記載の技術と特許文献 3 に記載の技術とを組み合わせることで、高い低電力効果が期待できるが、前述したような横スジ・横フリッカといった画質劣化が発生する可能性がある。一方、特許文献 2 に記載の技術と特許文献 3 に記載の技術とを組み合わせる事で、高い低電力効果と画質劣化の抑制を両立可能となる。

【 0 0 0 8 】

しかしながら、特許文献 2 に記載の技術では、極性交流点は列毎に異なる為、特許文献 3 のプリチャージ・ショート駆動と組み合わせる事は困難である。すなわち、図 1 3 に示したような  $1 \times 4$  ドット反転において、極性反転を行う出力と極性反転を行わない出力が

50

混在していた場合に、特許文献 3 に記載の技術を適用した場合には、極性反転を行わない出力（前ラインが正極で、書込みラインが正極である場合。もしくは両方負極の場合）が、一旦逆極性の電圧レベルにする為の電力が必要となる。例えば、前ラインが正極で、書込みラインが正極である場合には、グランドショートで 0 V になった後に、最大 5 V まで電圧レベルを上げる為の電力が必要となる。また、前ラインが負極で、書込みラインが負極である場合には、グランドショートで 0 V になった後に、最大 - 5 V まで電圧レベルを上げる為の電力が必要となる。このため、余計な電力が必要となり低電力効果が小さくなってしまふことが懸念される。

#### 【 0 0 0 9 】

本発明はこれらの問題点に鑑みてなされたものであり、本発明の目的は、画質劣化を抑制する極性反転ライン分散型のドット反転駆動方式を用い、低電力効果の高い液晶表示装置を提供することにある。

#### 【課題を解決するための手段】

#### 【 0 0 1 0 】

（ 1 ）前記課題を解決すべく、マトリックス状に配置された画素行及び画素列を形成する、複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバ回路と、前記データドライバ回路の出力毎に配置され、前記各出力を出力電圧とは異なるプリチャージ用電圧に接続するスイッチ素子を有するショート回路と、前記画素を画素行毎のライン単位で選択する走査信号を供給する走査回路とを備え、少なくとも 2 つの画素行毎に前記階調電圧の極性を反転させるドット反転駆動方式の液晶表示装置であって、前記ショート回路は、第 1 スイッチ群と第 2 スイッチ群との何れかに配置されるスイッチ素子を有し、隣接する奇数番目と偶数番目との画素列からなる一対の画素列単位毎に、前記第 1 スイッチ群又は前記第 2 スイッチ群の何れかのスイッチ素子に接続されると共に、隣接する画素列単位は異なるスイッチ群に属するスイッチ素子に接続される液晶表示装置である。

#### 【 0 0 1 1 】

（ 2 ）前記課題を解決すべく、マトリックス状に配置された複数の画素を有する画素アレイと、表示データに応じた階調電圧を前記画素へ供給するデータドライバ回路と、前記データドライバ回路の各出力を出力電圧とは異なるプリチャージ用電圧にショートするショート回路と、前記階調電圧を供給すべき前記画素を行単位で選択するための走査信号を前記画素へ供給する走査回路とを備え、前記画素アレイの階調電圧極性を複数ライン毎に反転する  $1 \times N$  ( $N \geq 2$ ) ドット反転駆動方式で駆動する液晶表示装置であって、前記極性反転ラインは、各カラムで異なる極性交流ライン分散型の  $1 \times N$  ( $N \geq 2$ ) ドット反転駆動であり、極性交流ライン分散型  $1 \times N$  ( $N \geq 2$ ) ドット反転駆動方式の極性パターンは、データドライバ出力数  $4M + 4$  の内、出力  $4M + 1$  と出力  $4M + 2$  のペアの極性反転ラインは同じであり、出力  $4M + 3$  と出力  $4M + 4$  のペアの極性反転ラインは同じであり、前記出力  $4M + 1$  と前記出力  $4M + 2$  とのペアの極性反転ラインと、前記出力  $4M + 3$  と前記出力  $4M + 4$  のペアの極性反転ラインとが、 $N / 2$  ライン分ずれている液晶表示装置である。

#### 【発明の効果】

#### 【 0 0 1 2 】

本発明によれば、画質劣化を抑制する極性反転ライン分散型のドット反転駆動方式を用い、低電力効果を向上させることができる。

#### 【 0 0 1 3 】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

#### 【図面の簡単な説明】

#### 【 0 0 1 4 】

【図 1】本発明の実施形態 1 の液晶表示装置の概略構成を説明するための図である。

【図 2】本発明の実施形態 1 の液晶表示装置におけるデータドライバの内部構成を説明するための図である。

10

20

30

40

50

【図 3】本発明の実施形態 1 の液晶表示装置におけるショート回路の内部構成を説明するための図である。

【図 4】本発明の実施形態 1 の液晶表示装置における 1 × 4 ドット反転駆動時の極性分布を説明するための図である。

【図 5】本発明の実施形態 1 の液晶表示装置における 1 × 4 ドット反転駆動時のショート回路の信号線のタイミングチャートである。

【図 6】本発明の実施形態 1 の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図である。

【図 7】本発明の実施形態 2 の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図である。

【図 8】本発明の実施形態 3 の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図である。

【図 9】本発明の実施形態 2 の液晶表示装置におけるショート回路の内部構成を説明するための図である。

【図 10】本発明の実施形態 4 の液晶表示装置における 1 × 4 ドット反転駆動時の極性分布を説明するための図である。

【図 11】本発明の実施形態 4 の液晶表示装置における 1 × 4 ドット反転駆動時のショート回路の信号線のタイミングチャートである。

【図 12】従来の液晶表示装置における 1 × 4 ドット反転駆動時の極性分布を説明するための図である。

【図 13】従来の液晶表示装置における 1 × 4 ドット反転駆動時の極性分布を説明するための図である。

【図 14】従来の液晶表示装置におけるデータドライバの内部構成を説明するための図である。

【図 15】従来の液晶表示装置における 1 × 4 ドット反転駆動時のショート回路の信号線のタイミングチャートである。

【発明を実施するための形態】

【0015】

以下、本発明が適用された実施形態について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略する。

【0016】

実施形態 1

全体構成

図 1 は本発明の実施形態 1 の液晶表示装置の概略構成を説明するための図であり、以下、図 1 に基づいて、実施形態 1 のアクティブ・マトリクス方式 (Active Matrix Scheme) の液晶表示装置の全体構成を説明する。ただし、図 1 に示す液晶表示装置においては、データドライバ 102 を除く他の構成は、従来の液晶表示装置と同様の構成となる。従って、以下の説明では、本願発明に特徴的なデータドライバについて詳細に説明する。また、実施形態 1 の液晶表示装置においては、ノーマリ・ブラック方式で画像を表示する液晶表示装置に本願発明を適用した場合について説明するが、その画素構造を変更することにより、ノーマリ・ホワイト方式で画像を表示する液晶表示装置にも適用可能である。なお、本明細書中においては、液晶アレイに配置される画素の内で、同一タイミングにおいて極性反転を行う画素の内で隣接する隣接配置される画素群をカラムと記す。

【0017】

図 1 に示すように本発明の実施形態 1 の液晶表示装置は、二次元的又は行列 (Matrix) 状に配置された複数の画素 107 の各々に、液晶容量 109 とこれに映像信号を供給するスイッチング素子 108 (例えば、薄膜トランジスタ) とが設けられる。このように複数の画素 107 が配置された素子は、画素アレイ (Pixels Array) 101 とも呼ばれ、液晶表示装置における画素アレイは液晶表示装置パネルとも呼ばれる。この画素アレイにおいて、複数の画素 107 は画像を表示するいわゆる画面をなす。

## 【 0 0 1 8 】

図 1 に示された画素アレイ 1 0 1 には、横方向に延びる複数のゲート線 1 0 5 ( Gate Lines、走査信号線とも呼ばれる ) と縦方向 ( このゲート線 1 0 5 と直交する方向 ) に延びる複数のデータ線 1 0 4 ( Data Lines、映像信号線とも呼ばれる ) とがそれぞれ並設される。図 1 に示される如く、 G 1 , G 2 , G 3 , . . . G n なる番地で識別される夫々のゲート線 1 0 5 沿いには複数の画素 1 0 7 が横方向に並びいわゆる画素行 ( Pixel Row ) が、 D 1 R , D 1 G , D 1 B 、 . . . なる番地で識別される夫々のデータ線 1 0 4 沿いには複数の画素 1 0 7 が縦方向に並びいわゆる画素列 ( Pixel Column ) が形成される。ゲート線 1 0 5 は、走査ドライバ 1 0 3 ( Scanning Driver、走査駆動回路とも呼ばれる ) からその各々に対応する画素行 ( 図 1 の場合、各ゲート線の下側 ) をなす画素 1 0 7 にそれぞれ設けられたスイッチング素子 1 0 8 に電圧信号を印加し、夫々の画素 1 0 7 に設けられた画素容量 1 0 9 とデータ線 1 0 4 の一つとの電気的な接続を開閉する。特定の画素行に設けられたスイッチング素子 S W の群を、これに対応するゲート線 1 0 5 から電圧信号 ( 選択電圧 ) を印加して制御する動作は、ラインの選択又は「走査 ( Scanning ) 」とも呼ばれ、走査ドライバ 1 0 3 からゲート線 1 0 5 に印加される上記電圧信号は走査信号又はゲート信号とも呼ばれる。

10

## 【 0 0 1 9 】

一方、データ線 1 0 4 の夫々には、データドライバ 1 0 2 ( Data Driver、映像信号駆動回路とも呼ばれる ) から階調電圧 ( Gray Scale Voltage、又は Tone Voltage ) とも呼ばれる電圧信号が印加され、その各々に対応する画素列 ( 図 1 の場合、各データ線の右側 ) をなす画素 1 0 7 の走査信号で選択された夫々の画素電極に階調電圧を印加する。データドライバ 1 0 2 は、画素アレイ 1 0 1 に対して片側に配置される。よって、データドライバ 1 0 3 は、1 度に 1 行分の階調電圧しか出力できない。画素 1 0 7 の各々の液晶容量 1 0 9 は、一端がスイッチング素子 1 0 8 を介してデータ線 1 0 4 に接続され、他端が共通電極からの基準電圧 ( Reference Voltage ) 又はコモン電圧 ( Common Voltage ) を供給するコモン線 1 0 6 に接続される。この構成により、データ線 1 0 4 とコモン線 1 0 6 に印加される電圧、すなわち液晶容量 1 0 9 に保持され画素電極とコモン電極との間に印可される電圧で、図示しない液晶層の光透過率を制御する構成となっている。ここで、コモン電圧を供給する回路はデータドライバ 1 0 2 であり、画素電極と対向配置される図示しないコモン電極にコモン線 1 0 が接続される構成となっている。すなわち、実施形態 1 の画素では、液晶容量 1 0 9 は容量性の絶縁膜を介して対向配置される画素電極とコモン電極とで形成される容量であり、この画素電極とコモン電極との間の電界により、液晶の分子を制御しその透過率を制御する構成となっている。

20

30

## 【 0 0 2 0 】

## データドライバ構成

図 2 は本発明の実施形態 1 の液晶表示装置におけるデータドライバの内部構成を説明するための図であり、以下、図 2 に基づいて、本発明に特徴的なデータドライバの構成を説明する。ただし、以下の説明では、実施形態 1 の液晶表示装置に表示データや画像表示用の制御信号を入力する外部システムとして、 M P U 2 0 0 を用いた場合について説明するが、外部システムは M P U 2 0 0 に限定されることはない。

40

## 【 0 0 2 1 】

図 2 に示すように、実施形態 1 のデータドライバ 1 0 2 は、システムインタフェース 2 0 1、制御レジスタ 2 0 2、表示データメモリ 2 0 3、階調電圧生成回路 2 0 4、デコード回路 2 0 5、ショート回路 2 0 6、及び電源回路 2 0 7 で構成される。

## 【 0 0 2 2 】

システムインタフェース 2 0 1 は、液晶パネル 1 0 1 に画像を表示させるための各種処理を行う M P U ( マイクロ・プロセッサ・ユニット ) 2 0 0 が出力する表示データ及びインストラクションを受け、制御レジスタ 2 0 2 もしくは、表示データメモリ 2 0 3 へ出力する動作を行う。ここで、インストラクションとは、データドライバ回路 1 0 2、ゲート回路 1 0 3 の内部動作を決定するための情報であり、フレーム周波数、駆動ライン数、駆

50

動電圧等の各種パラメータを含む。

【 0 0 2 3 】

また、本発明の特徴であるショート回路 2 0 6 の制御に関する情報は、制御レジスタ 2 0 3 に格納される。表示データメモリ 2 0 3 に格納された 1 フレーム分のデータは、ライン単位でデコード回路 2 0 5 に送信される。デコード回路 2 0 5 は出力数分の構成されており、デジタルデータを液晶容量に印加する階調電圧に変換する D / A 変換が施される。ここで、階調電圧とは、階調電圧生成回路 2 0 4 で生成された電圧レベルである。表示データのデジタルデータが 8 ビットである場合には、階調電圧生成回路 2 0 4 において 2 5 6 レベルの階調電圧が生成される。

【 0 0 2 4 】

デコード回路 2 0 5 の出力は、ショート回路 2 0 6 の対応する入力 X 1、X 2、X 3・・・に入力される。ショート回路 2 0 6 からの出力 Y 1、Y 2、Y 3、・・・は、液晶パネル 1 0 1 の D 1 R、D 1 G、D 1 B・・・のドレイン線に接続される。なお、ショート回路の内部構成に関しては後述する。

【 0 0 2 5 】

電源回路 2 0 7 は、外部（システム側）から入力された電圧 V C C とグラウンドレベルを用いて、データドライバ内部に必要な電圧を生成する。ここで、中小型 L C D の液晶表示パネルの場合において、必要な電圧としては、デジタル回路電圧、アナログ回路電圧がある。デジタル回路電圧はシステムインタフェース 2 0 1、制御レジスタ 2 0 2、表示データメモリ 2 0 3 に用いられる電源電圧であり、一般的には小さい電圧レベル（3 V 以下）である。アナログ回路電圧は階調電圧生成回路 2 0 4、デコード回路 2 0 5、ショート回路 2 0 6 に主に用いられる電源電圧であり、一般的には大きい電圧レベル（5 V ~ 6 V）である。

【 0 0 2 6 】

また、実施形態 1 においては、上述したように、データドライバ 1 0 2 とゲートドライバ 1 0 3 は別の L S I としているが、同じ L S I に一体に形成した場合には、ゲート用電圧も生成する。ゲート信号の H I G H レベルと L O W レベルの電圧は、一般的に、アナログ電圧よりも大きい値であり、例としては H I G H レベル = 1 5 V、L O W レベル = - 1 0 V として用いても良い。

【 0 0 2 7 】

また、実施形態 1 においては、表示データのビット数を 8 としたが、これに限定されることはない。さらには、実施形態 1 では説明を簡単にするためにカラーの概念を省いたが、カラー表示の実現は、例えば 1 画素の表示データを R（赤）、G（緑）、B（青）で構成し、表示部にいわゆる縦ストライプ構造を適用することで、容易に実現可能である。すなわち、画素アレイ 1 0 1 に形成される赤（R）、緑（G）、青（B）の各画素 1 0 7 でカラー表示用の単位画素を形成する構成となっているので、データドライバ 1 0 2 の出力も R G B の各画素 1 0 7 に対応した表示データを出力する構成となっている。

【 0 0 2 8 】

ショート回路構成

図 3 は本発明の実施形態 1 の液晶表示装置におけるショート回路の内部構成を説明するための図であり、以下、図 3 に基づいて、本発明に特徴的な実施形態 1 のショート回路の構成を説明する。ただし、以下の説明では、V C C ショート信号 1、3 は正極側の V C C レベル（+ V C C）の信号を示し、V C C ショート信号 2 4 は負極側の V C C レベル（- V C C）の信号を示す。また、G N D ショート信号 1、2 は G N D レベルすなわち 0（ゼロ）V の信号を示すものである。

【 0 0 2 9 】

図 3 に示すように、実施形態 1 のショート回路 2 0 6 では、入力 X m（ただし、m = 1、2、3・・・の自然数）と出力 Y m（ただし、m = 1、2、3・・・の自然数）の間には、入力 S W 2 0 8 が構成されている。この入力 S W 2 0 8 は、後述するように出力 Y m の短絡（ショート）動作時に、入力側 X m と出力 Y m との導通状態を O F F する為に用い

10

20

30

40

50

る構成となっている。この入力SW208と出力Ymの間には、グラウンドに短絡（ショート）する為のグラウンドショートSW209、212と、VCC電圧に短絡（ショート）する為のVCCショートSW210と、-VCC電圧に短絡（ショート）する為の-VCCショートSW211とが形成される構成となっており、入力SW208と入力209～211とからなるSW群で各出力Ymの出力電圧を制御する構成となっている。ただし、実施形態1におけるSW群には、例えば低電力の観点から周知のMOSFETなどを用いるのが良いが、これに限定されることはない。

#### 【0030】

図3に示すように、SW群は出力毎に構成され、入力SW208制御線は各出力に対して共通の出力制御信号で制御される構成となっている。一方、各SW209～211の制御線は各出力で異なる構成となっている。すなわち、実施形態1では、Y4M+1、Y4M+2（ただし、M=0、1、2・・・、すなわち、0以上の整数）のペア（Y1とY2、Y5とY6、Y9とY10・・・）には、GND（グラウンド）ショート信号1、VCCショート信号1、VCCショート信号2を用いて制御し、Y4M+3、Y4M+4（ただし、M=0、1、2、・・・、すなわち、0以上の整数）のペア（Y3とY4、Y7とY8、Y11とY12・・・）には、GND（グラウンド）ショート信号2、VCCショート信号3、VCCショート信号4を用いて制御する構成としている。

#### 【0031】

次に、制御線とSW群の結線に関して説明する。GNDショート信号1はY4M+1、Y4M+2共にグラウンドショートSW209のゲートに接続される。VCCショート信号1はY4M+1においてはVCCショートSW210のゲートに、Y4M+2においては-VCCショートSW211のゲートに接続される。VCCショート信号2はY4M+1においては-VCCショートSW211のゲートに、Y4M+2においてはVCCショートSW210のゲートに接続される。

#### 【0032】

また、グラウンドショート信号2はY4M+3、Y4M+4共にグラウンドショートSW209のゲートに接続される。VCCショート信号3はY4M+3においてはVCCショートSW210のゲートに、Y4M+4においては-VCCショートSW211のゲートに接続される。VCCショート信号4はY4M+3においては-VCCショートSW211のゲートに、Y4M+4においてはVCCショートSW210のゲートに接続される。

#### 【0033】

このような構成とすることで、実施形態1においては、出力Y4M+1およびY4M+2と、出力Y4M+3およびY4M+4との極性反転ラインが異なる場合においても、極性反転するカラムのみでショート動作を実施可能としている。

#### 【0034】

##### ショート回路動作

次に、図4に本発明の実施形態1の液晶表示装置における1×4ドット反転駆動時の極性分布図を示し、図5に本発明の実施形態1の液晶表示装置における1×4ドット反転駆動時のショート回路の信号線のタイミングチャートを示し、以下、図4及び図5に基づいて、実施形態1のショート回路の動作を説明する。ただし、図4は液晶パネル101の一部領域を拡大した図であり、図中の「+」、「-」が極性を示し、それぞれがRGBの何れかの画素（副画素、サブピクセル）に対応する。また、図4に示すG1ライン、G2ライン、G3ライン、・・・のスキアンタイミングは、図5に示すG1期間、G2期間、G3期間、・・・、すなわち各1水平周期（1H周期）に対応する。

#### 【0035】

図4から明らかなように、1×4ドット反転駆動時の極性分布では、データドライバ出力数が4M+4（ただし、Mは0以上の整数）とした場合、出力Y4M+1、Y4M+2のペアの極性反転ラインは同じであり、出力Y4M+3、Y4M+4のペアの極性反転ラインも同じである。また、出力Y4M+1、Y4M+2のペアの極性反転ラインと、出力Y4M+3、Y4M+4のペアの極性反転ラインとでは、N/2ずつずれる（ただし、Nは階調電圧の極性反転を行うライン

10

20

30

40

50

数である。)。従って、図4に示すように、4ライン反転時は2ラインずつずれることとなる。

#### 【0036】

すなわち、図4に示すように、画素アレイ101に形成される各画素(副画素)402に対して、全フレームの全列で極性反転周期が4ライン周期であり、第1ラインG1に、出力Y4M+1を正極電圧出力(出力Y4M+2を負極電圧出力)とし、出力Y4M+3を負極電圧出力(出力Y4M+4を正極電圧出力)としている。また、出力Y4M+1とY4M+2の出力ペアの各カラムの極性反転ライン401となる箇所は第1ライン目G1からに設定し、出力Y4M+3と出力Y4M+4の出力ペアの各カラムの極性反転ライン401となる箇所は第3ライン目G3からに設定している。

10

#### 【0037】

次に、図5に基づいて、図4に示す1×4ドット反転駆動を行う場合のショート回路動作について説明する。図5ではショート回路の信号線のタイミングチャートと各出力(Y1、Y2、Y3、・・・)のドレイン線動作を示している。

#### 【0038】

図5から明らかなように、出力制御信号501は、2水平周期(2H周期)毎に、例えば周知のNMOSで構成される入力SW208をOFFする為に、Lowとなる。このLowとなるのは、G1期間、G3期間、G5期間、・・・の出力Y4M+1およびY4M+2か、出力Y4M+3およびY4M+4がグランドショートする期間T1とVCCショートする期間T2である。

20

#### 【0039】

GNDショート信号1、VCCショート信号1、VCCショート信号2は、出力Y4M+1およびY4M+2のショート回路用の制御信号線である。特に、GNDショート信号1は、4水平周期(4H周期)毎にグランドショートSW209をONする為に、Highとなる。このHighとなるのは、G1期間、G5期間、G9期間、・・・の出力Y4M+1およびY4M+2がグランドショートする期間T1である。VCCショート信号1は、8水平周期(8H周期)毎にVCCショートSW210もしくは-VCCショートSW211をONする為に、Highとなる。このHighとなるのは、G1期間、G9期間、・・・の出力Y4M+1およびY4M+2がVCCショートもしくは-VCCショートする期間T2である。VCCショート信号2は、8水平周期(8H周期)毎にVCCショートSW210もしくは-VCCショートSW211をONする為に、Highとなる。このHighとなるのは、G1期間、G9期間、・・・の出力Y4M+1およびY4M+2がVCCショートもしくは-VCCショートする期間T2である。

30

#### 【0040】

GNDショート信号2、VCCショート信号3、VCCショート信号4は、出力Y4M+3およびY4M+4のショート回路用の制御信号線である。GNDショート信号2は、4水平周期(4H周期)毎にグランドショートSW209をONする為に、Highとなる。このHighとなるのは、G3期間、G7期間、G11期間、・・・の出力Y4M+3およびY4M+4がグランドショートする期間T1である。VCCショート信号3は、8水平周期(8H周期)毎に、VCCショートSW210もしくは-VCCショートSW211をONする為に、Highとなる。このHighとなるのは、G3期間、G11期間、・・・の出力Y4M+3およびY4M+4がVCCショートもしくは-VCCショートする期間T2である。VCCショート信号4は、8水平周期(8H周期)毎に、VCCショートSW210もしくは-VCCショートSW211をONする為に、Highとなる。このHighとなるのは、G7期間、G15期間、・・・の出力Y4M+3およびY4M+4がVCCショートもしくは-VCCショートする期間T2である。

40

#### 【0041】

以上の信号線の制御により、出力Y4M+1および出力Y4M+2と、出力Y4M+3および出力Y4M+4とで、独立にショート動作を行うことが可能となる。

#### 【0042】

50

次に、図 3 ~ 6 に基づいて、実施形態 1 のショート回路における液晶アレイの画素に対する駆動動作を説明する。

#### 【 0 0 4 3 】

まず、時刻  $t_0$  においては、出力制御信号 501 が High から Low になり、ショート回路 206 の入力  $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_m$  と、ショート回路 206 の出力  $Y_1$ 、 $Y_2$ 、 $\dots$ 、 $Y_m$  とを電氣的に接続する入力 SW 208 が OFF され、入力  $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_m$  と出力  $Y_1$ 、 $Y_2$ 、 $\dots$ 、 $Y_m$  とのそれぞれの導通状態も OFF される。このとき、GND ショート信号 1 は Low から High となり、GND ショート信号 1 に接続されるグラウンドショート SW 209 が ON となる。これにより、ショート回路 206 の出力  $Y_1$ 、 $Y_5$ 、 $\dots$ 、 $Y_{4M+1}$  はそれぞれ GND (0V) の信号線 213 と電氣的に接続される。その結果、出力  $Y_1$ 、 $Y_5$ 、 $\dots$ 、 $Y_{4M+1}$  の出力電圧 502 は、DN (-5.0V) から GND (0V) に上昇する。同様に、ショート回路 206 の出力  $Y_2$ 、 $Y_6$ 、 $\dots$ 、 $Y_{4M+2}$  もそれぞれ GND (0V) の信号線 213 と電氣的に接続される。その結果、出力  $Y_2$ 、 $Y_6$ 、 $\dots$ 、 $Y_{4M+2}$  の出力電圧 503 は、DP (5.0V) から GND (0V) に下降する。

10

#### 【 0 0 4 4 】

このとき、GND ショート信号 2、VCC ショート信号 3、及び VCC ショート信号 4 は Low のままとなる。これにより、GND ショート信号 2 に接続されるグラウンドショート SW 209 と、VCC ショート信号 3 又は VCC ショート信号 4 に接続される VCC ショート SW 210 及び -VCC ショート SW 211 とはそれぞれ OFF のままとなる。その結果、出力  $Y_3$ 、 $Y_7$ 、 $\dots$ 、 $Y_{4M+3}$  の出力電圧 504 と、出力  $Y_4$ 、 $Y_8$ 、 $\dots$ 、 $Y_{4M+4}$  の出力電圧 505 とは、それぞれ変化が起こらずに、出力電圧 504 は DN (-5.0V) が、出力電圧 505 は DP (5.0V) がそれぞれ維持されることとなる。

20

#### 【 0 0 4 5 】

時刻  $t_1$  においては、出力制御信号 501 は Low のままとなり、入力  $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_m$  と出力  $Y_1$ 、 $Y_2$ 、 $\dots$ 、 $Y_m$  とのそれぞれの導通状態も OFF のままで維持される。GND ショート信号 1 は High から Low となり、GND ショート信号 1 に接続されるグラウンドショート SW 209 は OFF となる。一方、VCC ショート信号 1 は Low から High となり、VCC ショート信号 1 に接続される VCC ショート SW 210 すなわち出力  $Y_1$ 、 $Y_5$ 、 $\dots$ 、 $Y_{4M+1}$  に接続される VCC ショート SW 210 と、VCC ショート信号 1 に接続される -VCC ショート SW 211 すなわち出力  $Y_2$ 、 $Y_6$ 、 $\dots$ 、 $Y_{4M+2}$  に接続される -VCC ショート SW 211 とが ON となる。

30

#### 【 0 0 4 6 】

これにより、ショート回路 206 の出力  $Y_1$ 、 $Y_5$ 、 $\dots$ 、 $Y_{4M+1}$  はそれぞれ VCC の信号線 212 と電氣的に接続される。その結果、出力  $Y_1$ 、 $Y_5$ 、 $\dots$ 、 $Y_{4M+1}$  の出力電圧 502 は、GND (0V) から VCC にさらに上昇する。一方、ショート回路 206 の出力  $Y_2$ 、 $Y_6$ 、 $\dots$ 、 $Y_{4M+2}$  はそれぞれ -VCC の信号線 214 と電氣的に接続される。その結果、出力  $Y_2$ 、 $Y_6$ 、 $\dots$ 、 $Y_{4M+2}$  の出力電圧 503 は、GND (0V) から -VCC にさらに下降する。

40

#### 【 0 0 4 7 】

この時刻  $t_1$  においても、GND ショート信号 2、VCC ショート信号 3、及び VCC ショート信号 4 は Low のままとなる。これにより、時刻  $t_0$  と同様に、ショート回路 206 の出力  $Y_3$ 、 $Y_7$ 、 $\dots$ 、 $Y_{4M+3}$  の出力電圧 504 と、出力  $Y_4$ 、 $Y_8$ 、 $\dots$ 、 $Y_{4M+4}$  の出力電圧 505 とは、それぞれ変化が起こらずに、出力電圧 504 は DN (-5.0V) が、出力電圧 505 は DP (5.0V) がそれぞれ維持されることとなる。

#### 【 0 0 4 8 】

次の時刻  $t_2$  においては、VCC ショート信号 1 は High から Low となり、VCC ショート信号 1 に接続される VCC ショート SW 210 及び -VCC ショート SW 211 は OFF となる。このとき、出力制御信号 501 は Low から High になり、入力 SW 208 が ON され、ショート回路 206 の入力  $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_m$  と、ショート回

50

路 206 の出力 Y1、Y2、・・・、Ym とが電氣的に接続される、すなわち入力 X1、X2、・・・、Xm と出力 Y1、Y2、・・・、Ym とがそれぞれの導通状態となる。

【0049】

ここで、時刻 t2 は G1 期間となるので、ショート回路 206 の入力 X1、X2、・・・、Xm の内、ショート回路 206 の出力 Y1、Y5、・・・、Y4M+1 に対応する入力 X1、X5、・・・、X4M+1 からデコード回路 205 から出力される DP (5.0V) が出力されている。これにより、ショート回路 206 の出力 Y1、Y5、・・・、Y4M+1 の出力電圧 502 は、VCC から DP (5.0V) に上昇する。同様に、ショート回路 206 の入力 X1、X2、・・・、Xm の内、ショート回路 206 の出力 Y2、Y6、・・・、Y4M+2 に対応する入力 X2、X6、・・・、X4M+2 からデコード回路 205 から出力される DN (-5.0V) が出力されている。これにより、ショート回路 206 の出力 Y2、Y6、・・・、Y4M+2 の出力電圧 503 は、-VCC から DN (-5.0V) に下降する。

10

【0050】

この時刻 t2 においても、GND ショート信号 2、VCC ショート信号 3、及び VCC ショート信号 4 は Low のままとなる。これにより、時刻 t0 と同様に、ショート回路 206 の出力 Y3、Y7、・・・、Y4M+3 の出力電圧 504 と、出力 Y4、Y8、・・・、Y4M+4 の出力電圧 505 とは、それぞれ変化が起こらずに、出力電圧 504 は DN (-5.0V) が、出力電圧 505 は DP (5.0V) がそれぞれ維持されることとなる。

20

【0051】

その結果、図 4 に示すように、G1 ラインにおける各画素 402 の極性は、パネル水平方向の図中左側から「+ - - + + - - +・・・」が実現される。

【0052】

時刻 t3 においては、極性反転が起きないので、ショート回路 206 の出力 Y1、Y5、・・・、Y4M+1 の出力電圧 502 と、出力 Y4、Y8、・・・、Y4M+4 の出力電圧 505 とには変化が起こらずに、デコード回路 205 の出力電圧である DP (5.0V) がそれぞれ維持される。同様に、ショート回路 206 の出力 Y2、Y6、・・・、Y4M+2 の出力電圧 503 と、出力 Y3、Y7、・・・、Y4M+3 の出力電圧 504 とにも変化が起こらずに、デコード回路 205 の出力電圧である DN (-5.0V) がそれぞれ維持される。

30

【0053】

その結果、図 4 に示すように、G2 ラインにおける各画素 402 の極性は、G1 ラインと同様のパネル水平方向の図中左側から「+ - - + + - - +・・・」が維持される。

【0054】

次の時刻 t4 においては、出力制御信号 501 が High から Low になり入力 SW208 が OFF され、入力 X1、X2、・・・、Xm と出力 Y1、Y2、・・・、Ym とのそれぞれの導通状態も OFF される。このとき、GND ショート信号 2 は Low から High となり、GND ショート信号 2 に接続されるグラウンドショート SW209 が ON となる。これにより、ショート回路 206 の出力 Y3、Y7、・・・、Y4M+3 はそれぞれ GND (0V) の信号線 213 と電氣的に接続される。その結果、出力 Y3、Y7、・・・、Y4M+3 の出力電圧 504 は、DN (-5.0V) から GND (0V) に上昇する。同様に、ショート回路 206 の出力 Y4、Y8、・・・、Y4M+4 もそれぞれ GND (0V) の信号線 213 と電氣的に接続される。その結果、出力 Y4、Y8、・・・、Y4M+4 の出力電圧 505 は、DP (5.0V) から GND (0V) に下降する。

40

【0055】

このとき、GND ショート信号 1、VCC ショート信号 1、及び VCC ショート信号 2 は Low のままとなる。これにより、GND ショート信号 1 に接続されるグラウンドショート SW209 と、VCC ショート信号 1 又は VCC ショート信号 2 に接続される VCC ショート SW210 及び -VCC ショート SW211 とはそれぞれ OFF のままとなる。その結果、出力 Y1、Y5、・・・、Y4M+1 の出力電圧 502 と、出力 Y2、Y6、・・・

50

、Y4M+2の出力電圧503とは、それぞれ変化が起こらずに、出力電圧502はDP(5.0V)が、出力電圧503はDN(-5.0V)がそれぞれ維持されることとなる。

【0056】

時刻t5においては、出力制御信号501はLowのままとなり、入力X1、X2、・・・、Xmと出力Y1、Y2、・・・、Ymとのそれぞれの導通状態もOFFのままで維持される。GNDショート信号2はHighからLowとなり、GNDショート信号2に接続されるグランドショートSW209はOFFとなる。一方、VCCショート信号3はLowからHighとなり、VCCショート信号3に接続されるVCCショートSW210すなわち出力Y3、Y7、・・・、Y4M+3に接続されるVCCショートSW210と、VCCショート信号3に接続される-VCCショートSW211すなわち出力Y4、Y8、・・・、Y4M+4に接続される-VCCショートSW211とがONとなる。

10

【0057】

これにより、ショート回路206の出力Y3、Y7、・・・、Y4M+3はそれぞれVCCの信号線212と電氣的に接続される。その結果、出力Y3、Y7、・・・、Y4M+3の出力電圧504は、GND(0V)からVCCにさらに上昇する。一方、ショート回路206の出力Y4、Y8、・・・、Y4M+4はそれぞれ-VCCの信号線214と電氣的に接続される。その結果、出力Y4、Y8、・・・、Y4M+4の出力電圧505は、GND(0V)から-VCCにさらに下降する。

【0058】

この時刻t5においても、GNDショート信号1、VCCショート信号1、及びVCCショート信号2はLowのままとなる。これにより、時刻t4と同様に、ショート回路206の出力Y1、Y5、・・・、Y4M+1の出力電圧502と、出力Y2、Y6、・・・、Y4M+2の出力電圧503とは、それぞれ変化が起こらずに、出力電圧502はDP(5.0V)が、出力電圧506はDN(-5.0V)がそれぞれ維持されることとなる。

20

【0059】

時刻t6においては、VCCショート信号3はHighからLowとなり、VCCショート信号3に接続されるVCCショートSW210及び-VCCショートSW211はOFFとなる。このとき、出力制御信号501はLowからHighになり、入力SW208がONされ、ショート回路206の入力X1、X2、・・・、Xmと、ショート回路206の出力Y1、Y2、・・・、Ymとが電氣的に接続される、すなわち入力X1、X2、・・・、Xmと出力Y1、Y2、・・・、Ymとがそれぞれの導通状態となる。

30

【0060】

ここで、時刻t6はG3期間となるので、ショート回路206の入力X1、X2、・・・、Xmの内、ショート回路206の出力Y3、Y7、・・・、Y4M+3に対応する入力X3、X7、・・・、X4M+3からはデコード回路205から出力されるDP(5.0V)が入力されている。これにより、ショート回路206の出力Y3、Y7、・・・、Y4M+3の出力電圧504は、VCCからDP(5.0V)に上昇する。同様にして、ショート回路206の入力X1、X2、・・・、Xmの内、ショート回路206の出力Y4、Y8、・・・、Y4M+4に対応する入力X4、X8、・・・、X4M+4からはデコード回路205から出力されるDN(-5.0V)が入力されている。これにより、ショート回路206の出力Y4、Y8、・・・、Y4M+4の出力電圧505は、-VCCからDN(-5.0V)に下降する。

40

【0061】

この時刻t6においても、GNDショート信号1、VCCショート信号1、及びVCCショート信号2はLowのままとなる。これにより、時刻t4と同様に、ショート回路206の出力Y1、Y5、・・・、Y4M+1の出力電圧502と、出力Y2、Y6、・・・、Y4M+2の出力電圧503とは、それぞれ変化が起こらずに、出力電圧502はDP(5.0V)が、出力電圧503はDN(-5.0V)がそれぞれ維持されることとなる。

【0062】

その結果、図4に示すように、G3ラインにおける各画素402の極性は、パネル水平

50

方向の図中左側から「+ - + - + - + - . . .」に極性が変化する。

【0063】

時刻  $t_7$  においては、極性反転が起きないので、ショート回路 206 の出力  $Y_1$ 、 $Y_5$ 、. . .、 $Y_{4M+1}$  の出力電圧 502 と、出力  $Y_3$ 、 $Y_7$ 、. . .、 $Y_{4M+3}$  の出力電圧 504 とには変化が起こらずに、デコード回路 205 の出力電圧である  $DP(5.0V)$  がそれぞれ維持される。同様にして、ショート回路 206 の出力  $Y_2$ 、 $Y_6$ 、. . .、 $Y_{4M+2}$  の出力電圧 503 と、出力  $Y_4$ 、 $Y_8$ 、. . .、 $Y_{4M+4}$  の出力電圧 505 とにも変化が起こらずに、デコード回路 205 の出力電圧である  $DN(-5.0V)$  がそれぞれ維持される。

【0064】

その結果、図 4 に示すように、G4 ラインにおける各画素 402 の極性は、パネル水平方向の図中左側から「+ - + - + - + - . . .」となる、G3 ラインと同様の極性が維持される。

【0065】

時刻  $t_8$  においては、出力制御信号 501 が High から Low になり入力 SW208 が OFF され、入力  $X_1$ 、 $X_2$ 、. . .、 $X_m$  と出力  $Y_1$ 、 $Y_2$ 、. . .、 $Y_m$  とのそれぞれの導通状態も OFF される。このとき、GND ショート信号 1 が Low から High となり、GND ショート信号 1 に接続されるグラウンドショート SW209 が ON となる。これにより、ショート回路 206 の出力  $Y_1$ 、 $Y_5$ 、. . .、 $Y_{4M+1}$  はそれぞれ GND (0V) の信号線 213 と電氣的に接続される。その結果、出力  $Y_1$ 、 $Y_5$ 、. . .、 $Y_{4M+1}$  の出力電圧 502 は、 $DP(5.0V)$  から GND (0V) に下降する。同様に、ショート回路 206 の出力  $Y_2$ 、 $Y_6$ 、. . .、 $Y_{4M+2}$  もそれぞれ GND (0V) の信号線 213 と電氣的に接続される。その結果、出力  $Y_2$ 、 $Y_6$ 、. . .、 $Y_{4M+2}$  の出力電圧 503 は、 $DN(-5.0V)$  から GND (0V) に上昇する。

【0066】

このとき、GND ショート信号 2、VCC ショート信号 3、及び VCC ショート信号 4 は Low のままとなる。これにより、GND ショート信号 2 に接続されるグラウンドショート SW209 と、VCC ショート信号 3 又は VCC ショート信号 4 に接続される VCC ショート SW210 及び -VCC ショート SW211 とはそれぞれ OFF のままとなる。その結果、出力  $Y_3$ 、 $Y_7$ 、. . .、 $Y_{4M+3}$  の出力電圧 504 と、出力  $Y_4$ 、 $Y_8$ 、. . .、 $Y_{4M+4}$  の出力電圧 505 とは、それぞれ変化が起こらずに、出力電圧 504 は  $DP(5.0V)$  が、出力電圧 505 は  $DN(-5.0V)$  がそれぞれ維持されることとなる。

【0067】

時刻  $t_9$  においては、出力制御信号 501 は Low のままとなり、入力  $X_1$ 、 $X_2$ 、. . .、 $X_m$  と出力  $Y_1$ 、 $Y_2$ 、. . .、 $Y_m$  とのそれぞれの導通状態も OFF のままで維持される。GND ショート信号 1 は High から Low となり、GND ショート信号 1 に接続されるグラウンドショート SW209 は OFF となる。一方、VCC ショート信号 2 は Low から High となり、VCC ショート信号 2 に接続される -VCC ショート SW211 すなわち出力  $Y_1$ 、 $Y_5$ 、. . .、 $Y_{4M+1}$  に接続される -VCC ショート SW211 と、VCC ショート信号 1 に接続される VCC ショート SW210 すなわち出力  $Y_2$ 、 $Y_6$ 、. . .、 $Y_{4M+2}$  に接続される VCC ショート SW210 とが ON となる。

【0068】

これにより、ショート回路 206 の出力  $Y_1$ 、 $Y_5$ 、. . .、 $Y_{4M+1}$  はそれぞれ -VCC の信号線 214 と電氣的に接続される。その結果、出力  $Y_1$ 、 $Y_5$ 、. . .、 $Y_{4M+1}$  の出力電圧 502 は、GND (0V) から -VCC にさらに下降する。一方、ショート回路 206 の出力  $Y_2$ 、 $Y_6$ 、. . .、 $Y_{4M+2}$  はそれぞれ VCC の信号線 212 と電氣的に接続される。その結果、出力  $Y_2$ 、 $Y_6$ 、. . .、 $Y_{4M+2}$  の出力電圧 503 は、GND (0V) から VCC にさらに上昇する。

【0069】

この時刻  $t_9$  においても、GND ショート信号 2、VCC ショート信号 3、及び VCC

10

20

30

40

50

ショート信号 4 は Low のままとなる。これにより、時刻  $t_0$  と同様に、ショート回路 206 の出力  $Y_3$ 、 $Y_7$ 、 $\dots$ 、 $Y_{4M+3}$  の出力電圧 504 と、出力  $Y_4$ 、 $Y_8$ 、 $\dots$ 、 $Y_{4M+4}$  の出力電圧 505 とは、それぞれ変化が起こらずに、出力電圧 504 は DP (5.0V) が、出力電圧 505 は DN (-5.0V) がそれぞれ維持されることとなる。

#### 【0070】

時刻  $t_{10}$  においては、VCC ショート信号 2 は High から Low となり、VCC ショート信号 2 に接続される VCC ショート SW 210 及び -VCC ショート SW 211 は OFF となる。このとき、出力制御信号 501 は Low から High になり、入力 SW 208 が ON され、入力  $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_m$  と出力  $Y_1$ 、 $Y_2$ 、 $\dots$ 、 $Y_m$  とがそれぞれの導通状態となる。

10

#### 【0071】

ここで、時刻  $t_{10}$  は G5 期間となるので、ショート回路 206 の入力  $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_m$  の内、ショート回路 206 の出力  $Y_1$ 、 $Y_5$ 、 $\dots$ 、 $Y_{4M+1}$  に対応する入力  $X_1$ 、 $X_5$ 、 $\dots$ 、 $X_{4M+1}$  からは、デコード回路 205 から出力される DN (-5.0V) が入力されている。これにより、ショート回路 206 の出力  $Y_1$ 、 $Y_5$ 、 $\dots$ 、 $Y_{4M+1}$  の出力電圧 502 は、-VCC から DN (-5.0V) に下降する。同様にして、入力  $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_m$  の内、ショート回路 206 の出力  $Y_2$ 、 $Y_6$ 、 $\dots$ 、 $Y_{4M+2}$  に対応する入力  $X_2$ 、 $X_6$ 、 $\dots$ 、 $X_{4M+2}$  からは、デコード回路 205 から出力される DP (5.0V) が入力されている。これにより、ショート回路 206 の出力  $Y_2$ 、 $Y_6$ 、 $\dots$ 、 $Y_{4M+2}$  の出力電圧 503 は、VCC から DP (5.0V) に上昇する。

20

#### 【0072】

この時刻  $t_{10}$  においても、GND ショート信号 2、VCC ショート信号 3、及び VCC ショート信号 4 は Low のままとなる。これにより、時刻  $t_8$  と同様に、ショート回路 206 の出力  $Y_3$ 、 $Y_7$ 、 $\dots$ 、 $Y_{4M+3}$  の出力電圧 504 と、出力  $Y_4$ 、 $Y_8$ 、 $\dots$ 、 $Y_{4M+4}$  の出力電圧 505 とは、それぞれ変化が起こらずに、出力電圧 504 は DP (5.0V) が、出力電圧 505 は DN (-5.0V) がそれぞれ維持されることとなる。

#### 【0073】

その結果、図 4 に示すように、G5 ラインにおける各画素 402 の極性は、パネル水平方向の図中左側から「- + + - - + + -  $\dots$ 」に変化する。

#### 【0074】

30

時刻  $t_{11}$  においては、極性反転が起きないので、ショート回路 206 のショート回路 206 の出力  $Y_2$ 、 $Y_6$ 、 $\dots$ 、 $Y_{4M+2}$  の出力電圧 503 と、出力  $Y_3$ 、 $Y_7$ 、 $\dots$ 、 $Y_{4M+3}$  の出力電圧 504 とには変化が起こらずに、デコード回路 205 の出力電圧である DP (5.0V) がそれぞれ維持される。同様にして、出力  $Y_1$ 、 $Y_5$ 、 $\dots$ 、 $Y_{4M+1}$  の出力電圧 502 と、出力  $Y_4$ 、 $Y_8$ 、 $\dots$ 、 $Y_{4M+4}$  の出力電圧 505 とにも変化が起こらずに、デコード回路 205 の出力電圧である DN (-5.0V) がそれぞれ維持される。

#### 【0075】

その結果、図 4 に示すように、G6 ラインにおける各画素 402 の極性は、パネル水平方向の図中左側から「- + + - - + + -  $\dots$ 」となる、G5 ラインと同様の極性が維持される。

40

#### 【0076】

次の時刻  $t_{12}$  においては、出力制御信号 501 が High から Low になり入力 SW 208 が OFF され、入力  $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_m$  と出力  $Y_1$ 、 $Y_2$ 、 $\dots$ 、 $Y_m$  とのそれぞれの導通状態も OFF される。このとき、GND ショート信号 2 が Low から High となり、GND ショート信号 2 に接続されるグラウンドショート SW 209 が ON となる。これにより、ショート回路 206 の出力  $Y_3$ 、 $Y_7$ 、 $\dots$ 、 $Y_{4M+3}$  はそれぞれ GND (0V) の信号線 213 と電氣的に接続される。その結果、出力  $Y_3$ 、 $Y_7$ 、 $\dots$ 、 $Y_{4M+3}$  の出力電圧 504 は、DP (5.0V) から GND (0V) に下降する。同様に、ショート回路 206 の出力  $Y_4$ 、 $Y_8$ 、 $\dots$ 、 $Y_{4M+4}$  もそれぞれ GND (0V) の信号

50

線 2 1 3 と電氣的に接続される。その結果、出力 Y 4、Y 8、・・・、Y 4M+4 の出力電圧 5 0 5 は、DN ( - 5 . 0 V ) から GND ( 0 V ) に上昇する。

【 0 0 7 7 】

このとき、GND ショート信号 1、VCC ショート信号 1、及び VCC ショート信号 2 は Low のままとなる。これにより、GND ショート信号 1 に接続されるグラウンドショート SW 2 0 9 と、VCC ショート信号 1 又は VCC ショート信号 2 に接続される VCC ショート SW 2 1 0 及び - VCC ショート SW 2 1 1 とはそれぞれ OFF のままとなる。その結果、出力 Y 1、Y 5、・・・、Y 4M+1 の出力電圧 5 0 2 と、出力 Y 2、Y 6、・・・、Y 4M+2 の出力電圧 5 0 3 とは、それぞれ変化が起こらずに、出力電圧 5 0 2 は DN ( - 5 . 0 V ) が、出力電圧 5 0 3 は DP ( 5 . 0 V ) がそれぞれ維持されることとなる。

10

【 0 0 7 8 】

時刻 t 1 3 においては、出力制御信号 5 0 1 は Low のままとなり、入力 X 1、X 2、・・・、X m と出力 Y 1、Y 2、・・・Y m とのそれぞれの導通状態も OFF のままで維持される。GND ショート信号 2 は High から Low となり、GND ショート信号 2 に接続されるグラウンドショート SW 2 0 9 は OFF となる。一方、VCC ショート信号 4 が Low から High となり、VCC ショート信号 4 に接続される - VCC ショート SW 2 1 1 すなわち出力 Y 3、Y 7、・・・、Y 4M+3 に接続される - VCC ショート SW 2 1 1 と、VCC ショート信号 3 に接続される VCC ショート SW 2 1 0 すなわち出力 Y 4、Y 8、・・・、Y 4M+4 に接続される VCC ショート SW 2 1 0 とが ON となる。

20

【 0 0 7 9 】

これにより、ショート回路 2 0 6 の出力 Y 3、Y 7、・・・、Y 4M+3 はそれぞれ - VCC の信号線 2 1 4 と電氣的に接続される。その結果、出力 Y 3、Y 7、・・・、Y 4M+3 の出力電圧 5 0 4 は、GND ( 0 V ) から - VCC にさらに下降する。一方、ショート回路 2 0 6 の出力 Y 4、Y 8、・・・、Y 4M+4 はそれぞれ VCC の信号線 2 1 2 と電氣的に接続される。その結果、出力 Y 4、Y 8、・・・、Y 4M+4 の出力電圧 5 0 5 は、GND ( 0 V ) から VCC にさらに上昇する。

【 0 0 8 0 】

この時刻 t 1 3 においても、GND ショート信号 1、VCC ショート信号 1、及び VCC ショート信号 2 は Low のままとなる。これにより、時刻 t 1 2 と同様に、ショート回路 2 0 6 の出力 Y 1、Y 5、・・・、Y 4M+1 の出力電圧 5 0 2 と、出力 Y 2、Y 6、・・・、Y 4M+2 の出力電圧 5 0 3 とは、それぞれ変化が起こらずに、出力電圧 5 0 2 は DN ( - 5 . 0 V ) が、出力電圧 5 0 6 は DP ( 5 . 0 V ) がそれぞれ維持されることとなる。

30

【 0 0 8 1 】

時刻 t 1 4 においては、VCC ショート信号 4 は High から Low となり、VCC ショート信号 4 に接続される VCC ショート SW 2 1 0 及び - VCC ショート SW 2 1 1 は OFF となる。このとき、出力制御信号 5 0 1 は Low から High になり、入力 SW 2 0 8 が ON され、入力 X 1、X 2、・・・、X m と出力 Y 1、Y 2、・・・Y m とがそれぞれの導通状態となる。

【 0 0 8 2 】

ここで、時刻 t 1 4 は G 7 期間となるので、ショート回路 2 0 6 の入力 X 1、X 2、・・・、X m の内、ショート回路 2 0 6 の出力 Y 3、Y 7、・・・、Y 4M+3 に対応する入力 X 3、X 7、・・・、X 4M+3 からは、デコード回路 2 0 5 から出力される DN ( - 5 . 0 V ) が入力されている。これにより、ショート回路 2 0 6 の出力 Y 3、Y 7、・・・、Y 4M+3 の出力電圧 5 0 4 は、- VCC から DN ( - 5 . 0 V ) に下降する。同様にして、入力 X 1、X 2、・・・、X m の内、ショート回路 2 0 6 の出力 Y 4、Y 8、・・・、Y 4M+4 に対応する入力 X 4、X 8、・・・、X 4M+4 からは、デコード回路 2 0 5 から出力される DP ( 5 . 0 V ) が入力されている。これにより、ショート回路 2 0 6 の出力 Y 4、Y 8、・・・、Y 4M+4 の出力電圧 5 0 5 は、VCC から DP ( 5 . 0 V ) に上昇する。

40

【 0 0 8 3 】

この時刻 t 1 4 においても、GND ショート信号 1、VCC ショート信号 1、及び VCC

50

Cショート信号2はLowのままとなる。これにより、時刻 $t_{12}$ と同様に、ショート回路206の出力 $Y_1$ 、 $Y_5$ 、 $\dots$ 、 $Y_{4M+1}$ の出力電圧502と、出力 $Y_2$ 、 $Y_6$ 、 $\dots$ 、 $Y_{4M+2}$ の出力電圧503とは、それぞれ変化が起こらずに、出力電圧502はDN(-5.0V)が、出力電圧503はDP(5.0V)がそれぞれ維持されることとなる。

【0084】

その結果、図4に示すように、G7ラインにおける各画素402の極性は、パネル水平方向の図中左側から「- + - + - + - +  $\dots$ 」に極性が変化する。

【0085】

時刻 $t_{14}$ 以降においては、前述する時刻 $t_0 \sim t_{14}$ の動作を、1フレームごとに1ライン分ずつずらすことにより、後に詳述する

10

このように、実施形態1のショート回路206では、出力 $Y_{4M+1}$ および出力 $Y_{4M+2}$ と、出力 $Y_{4M+3}$ および出力 $Y_{4M+4}$ とで、独立にショート動作を行うことにより、出力 $Y_{4M+1}$ および出力 $Y_{4M+2}$ と、出力 $Y_{4M+3}$ および出力 $Y_{4M+4}$ との何れか一方の極性を変化させるために出力電圧を変化させた場合であっても、他方の出力電圧を変化させる必要がないので、液晶表示装置の低消費電力化が可能となる。すなわち、低電力効果の高いプリチャージ・ショート駆動を実現することが可能となる。

【0086】

#### 電圧極性の詳細

次に、図6に本発明の実施形態1の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図を示し、以下、図6に基づいて、極性反転ライン分散型 $1 \times 4$ ドット反転駆動におけるフレーム毎の電圧極性の分布について説明する。

20

【0087】

図6に示すように、 $Y_{4M+1}$ と $Y_{4M+2}$ の出力ペアと、 $Y_{4M+3}$ と $Y_{4M+4}$ の出力ペアの極性反転ライン401は、2ライン分ずれている。また $8n+1$ フレーム(ただし、 $n$ は0以上の整数)から $8n+8$ フレームにおいて、各出力ペア $Y_{4M+1}$ と $Y_{4M+2}$ 、 $Y_{4M+3}$ と $Y_{4M+4}$ の極性反転ライン401は、カラム方向に1ラインずつずれている。さらに、1つの画素に着目した場合、極性は連続した4フレーム間が正極である後に連続した4フレーム間が負極となるパターンとなっており、これは全画素で共通である。

【0088】

例えば、図6の1ライン目で1カラム目のサブピクセル( $Y_1$ 出力で1ライン目の箇所)は、 $8n+2$ から $8n+5$ の4フレーム間は連続して負極性であり、その後の $8n+6$ フレームから $8n+8$ 、 $8n+1$ の4フレーム間は連続して正極性である。これは、後述するように、別の画質劣化成分(フリッカ)を抑制する為にフレーム方向の極性反転周期と極性の変化パターンは全画素で同じとする必要があり、それを実現する為に必要な為である。

30

【0089】

具体的に記すと、 $8n+1$ フレームでは、第1ラインに、 $Y_{4M+1}$ を正極電圧出力( $Y_{4M+2}$ を負極電圧出力)とし、 $Y_{4M+3}$ を負極電圧出力( $Y_{4M+4}$ を正極電圧出力)としている。さらに、 $Y_{4M+1}$ と $Y_{4M+2}$ の出力ペアの各カラムの極性反転ライン401となる箇所は第1ライン目からに設定し、 $Y_{4M+3}$ と $Y_{4M+4}$ の出力ペアの各カラムの極性反転ライン401となる箇所は第3ライン目からに設定している。尚、全フレームの全列で極性反転周期は4ライン周期である。

40

【0090】

$8n+2$ フレームでは、第1ラインに、 $Y_{4M+1}$ を負極電圧出力( $Y_{4M+2}$ を正極電圧出力)とし、 $Y_{4M+3}$ を負極電圧出力( $Y_{4M+4}$ を正極電圧出力)としている。さらに、 $Y_{4M+1}$ と $Y_{4M+2}$ の出力ペアの各カラムの極性反転ライン401となる箇所は第2ライン目からに設定し、 $Y_{4M+3}$ と $Y_{4M+4}$ の出力ペアの各カラムの極性反転ライン401となる箇所は第4ライン目からに設定している。

【0091】

$8n+3$ フレームでは、第1ラインに、 $Y_{4M+1}$ を負極電圧出力( $Y_{4M+2}$ を正極電圧出力

50

）とし、Y4M+3を負極電圧出力（Y4M+4を正極電圧出力）としている。さらに、Y4M+1とY4M+2の出力ペアの各カラムの極性反転ライン401となる箇所は第3ライン目からに設定し、Y4M+3とY4M+4の出力ペアの各カラムの極性反転ライン401となる箇所は第1ライン目からに設定している。

#### 【0092】

8n+4フレームでは、第1ラインに、Y4M+1を負極電圧出力（Y4M+2を正極電圧出力）とし、Y4M+3を正極電圧出力（Y4M+4を負極電圧出力）としている。さらに、Y4M+1とY4M+2の出力ペアの各カラムの極性反転ライン401となる箇所は第4ライン目からに設定し、Y4M+3とY4M+4の出力ペアの各カラムの極性反転ライン401となる箇所は第2ライン目からに設定している。

10

#### 【0093】

8n+5フレームでは、第1ラインに、Y4M+1を負極電圧出力（Y4M+2を正極電圧出力）とし、Y4M+3を正極電圧出力（Y4M+4を負極電圧出力）としている。さらに、Y4M+1とY4M+2の出力ペアの各カラムの極性反転ライン401となる箇所は第1ライン目からに設定し、Y4M+3とY4M+4の出力ペアの各カラムの極性反転ライン401となる箇所は第3ライン目からに設定している。

#### 【0094】

8n+6フレームでは、第1ラインに、Y4M+1を正極電圧出力（Y4M+2を負極電圧出力）とし、Y4M+3を正極電圧出力（Y4M+4を負極電圧出力）としている。さらに、Y4M+1とY4M+2の出力ペアの各カラムの極性反転ライン401となる箇所は第2ライン目からに設定し、Y4M+3とY4M+4の出力ペアの各カラムの極性反転ライン401となる箇所は第4ライン目からに設定している。

20

#### 【0095】

8n+7フレームでは、第1ラインに、Y4M+1を正極電圧出力（Y4M+2を負極電圧出力）とし、Y4M+3を正極電圧出力（Y4M+4を負極電圧出力）としている。さらに、Y4M+1とY4M+2の出力ペアの各カラムの極性反転ライン401となる箇所は第3ライン目からに設定し、Y4M+3とY4M+4の出力ペアの各カラムの極性反転ライン401となる箇所は第1ライン目からに設定している。

#### 【0096】

8n+8フレームでは、第1ラインに、Y4M+1を正極電圧出力（Y4M+2を負極電圧出力）とし、Y4M+3を負極電圧出力（Y4M+4を正極電圧出力）としている。さらに、Y4M+1とY4M+2の出力ペアの各カラムの極性反転ライン401となる箇所は第4ライン目からに設定し、Y4M+3とY4M+4の出力ペアの各カラムの極性反転ライン401となる箇所は第2ライン目からに設定している。

30

#### 【0097】

このように、実施形態1の極性反転ライン分散型1×4ドット反転時には、前述した8n+1から8n+8を順次繰り返す制御を行う。

#### 【0098】

##### 効果の説明

このように構成した液晶表示装置では、極性交流ライン分散型1×N（N=2）ドット反転駆動において、極性が反転する時のみ、短絡（ショート）駆動することが可能となるので、液晶表示装置の低消費電力化が可能となる。すなわち、低電力効果の高いプリチャージ・ショート駆動を実現することが可能となる。

40

#### 【0099】

さらには、極性交流ラインの分散パターンを用いる構成となっているので、液晶表示装置の極性反転ライン401が空間的・時間的に変化する周波数成分が高周波数となり、極性反転ライン401の出現に伴う表示品質の低下を防止できる。これは、Nライン毎に極性反転する1×N（ただし、N=2、4、8）ドット反転の場合においては、極性反転ライン401の分散パターンに関しては、出力Y4M+1およびY4M+2と出力Y4M+3およびY4M+4の極性反転ライン401をN/2ラインずつずらす構成としているからである。このよ

50

うな分散パターンとする事で、極性反転ライン箇所の画質への影響が小さくなる。

【 0 1 0 0 】

以下、詳細に説明する。極性反転ラインを液晶パネルに空間的に分散した極性反転ライン分散型 1 × N ドット反転において、その分散パターンにより画質劣化の程度が異なること、また分散パターンは図 6 に示すように、出力 Y 4M+1 および Y 4M+2 と、出力 Y 4M+3 および Y 4M+4 との極性反転ラインが N / 2 ラインずつずれたパターンにおいて画質劣化が小さい事が、発明者が実施した客観評価結果から分かったからである。

【 0 1 0 1 】

ここで、客観評価に関して説明する。客観評価は、液晶パネル内での極性ライン反転箇所の空間的、時間的に周波数成分を解析し、所定の数式を用いて数値化したものである。この数式は、以下の式 1 となる。

【数 1】

$$E = \sum \{ \alpha \times F(u, v, w) \} + E_0 \quad (\text{式 1})$$

【 0 1 0 2 】

ただし、式 1 において、E は客観評価値、α は各周波数成分の重み係数、F ( u , v , w ) は周波数成分 ( 3 次元フーリエ変換結果 ) 、E<sub>0</sub> はオフセット値である。

【 0 1 0 3 】

ここで、周波数成分 F ( u , v , w ) は、下記の式 2 となる。

【数 2】

$$F(u, v, w) = \sum_{t=0}^{15} e^{-j\frac{2\pi}{16}wt} \sum_{y=0}^{15} e^{-j\frac{2\pi}{16}vy} \sum_{x=0}^{15} e^{-j\frac{2\pi}{16}ux} n(x, y, t) \quad (\text{式 2})$$

【 0 1 0 4 】

ただし、式 2 において、n ( x , y , t ) は水平 16 画素、垂直 16 画素、16 フレームにおける極性ライン箇所である。水平 x 画素目 ( x = 0 ~ 15 ) 、垂直 y 画素目 ( y = 0 ~ 15 ) 、t フレーム目 ( t = 0 ~ 15 ) が極性反転ラインである場合には 1 となり、極性反転ラインでない場合には 0 ( ゼロ ) となる。

【 0 1 0 5 】

ここで、u ( u = 0 ~ 15 ) とは x 成分の周波数成分を表し、v ( v = 0 ~ 15 ) とは y 成分の周波数成分を表し w ( w = 0 ~ 15 ) とは t 成分の周波数成分を表す。また、u、v、w が 0 の場合は DC 成分であることを意味し、数字が大きいほど高周波成分であることを意味している。

【 0 1 0 6 】

上記より、周波数成分 F ( u , v , w ) は 4096 個の周波数成分をもつことになる。この 4096 個の周波数成分 F ( u , v , w ) と 4096 個の重み係数 α と 1 つのオフセットから、客観評価値 E を算出した。ここで、式 1 における係数 α とオフセット値 E<sub>0</sub> に関しては、複数の評価パターンにおいて客観評価値と実機の評価結果と誤差が最小となるように最小二乗法で係数を決定した。

【 0 1 0 7 】

以上の式より、周波数成分、それぞれの周波数成分の重み係数及びオフセット値より、客観評価値を算出した。この客観評価値は、実機での主観評価結果との高い相関が確認できている。

【 0 1 0 8 】

ここで、式 1 で評価した分散パターンは、例えば 1 × 4 ドット反転の場合においては、水平画素の水平画素 8 画素、垂直画素 8 画素、8 フレームにおいて取り得る分散パターンを検証した。ここで、フレーム方向のパターンに関しては、図 6 ( ただし、後述する実施形態 2、3 のパターンも含む ) のパターンと同様として 1 パターンとした。これは、別の

10

20

30

40

50

画質劣化成分（フリッカ）を抑制する為にフレーム方向の極性反転周期は全画素で同じとする必要があり、それを実現する為である。

【0109】

また、条件として、垂直8画素において極性反転ラインは2ラインであり、それぞれは4ラインおきとなる。例えば、1番目の垂直画素が極性反転ラインである場合は、5番目の垂直画素が極性反転ラインとする必要がある。また、正極から負極に変換する時の極性反転ラインと負極から正極に変換する時の極性反転ラインでは同じ輝度変動が発生すると仮定した。よって、 $1 \times 4$ ドット反転時の分散パターンは垂直方向では8画素 / 2 = 4通りのパターンが考えられる。また、水平方向に関しては隣接する2画素に関し極性反転ラインは同じであり、極性が逆となる関係である。

10

【0110】

例えば、水平画素の1 & 2番目では極性反転が同じで水平画素1番目が正極である場合には、水平画素2番目が負極となる。よって、水平方向では8画素 / 2 = 4通りのパターンが考えられる。よって、合計で4通り  $\times$  4通り = 16通りの分散パターンで評価を行った。その結果、図6（ただし、後述する実施形態2、3のパターンも含む）に示するような分散パターンが最も良い結果となった。これは、極性反転ラインの空間周波数が最も高い為である。

【0111】

ここで、式1で評価した分散パターンは、例えば $1 \times 4$ ドット反転の場合においては、水平画素の水平画素8画素、垂直画素8画素、8フレームにおいて取り得る分散パターンを検証した。ここで、フレーム方向のパターンに関しては、図6（ただし、後述する実施形態2、3のパターンも含む）でパターンと同様として1パターンとした。これは、別の画質劣化成分（フリッカ）を抑制する為にフレーム方向の極性反転周期は全画素で同じとする必要があり、それを実現する為である。

20

【0112】

また、条件として、垂直8画素において極性反転ラインは2ラインであり、それぞれは4ラインおきとなる。例えば、1番目の垂直画素が極性反転ラインである場合は、5番目の垂直画素が極性反転ラインとする必要がある。また、正極から負極に変換する時の極性反転ラインと負極から正極に変換する時の極性反転ラインでは同じ輝度変動が発生すると仮定した。よって、 $1 \times 4$ ドット反転時の分散パターンは垂直方向では8画素 / 2 = 4通りのパターンが考えられる。また水平方向に関しては隣接する2画素に関しては極性反転ラインは同じであり、極性が逆となる関係である。

30

【0113】

例えば、水平画素の1 & 2番目では極性反転が同じで水平画素1番目が正極である場合には、水平画素2番目が負極となる。よって、水平方向では8画素 / 2 = 4通りのパターンが考えられる。よって、合計で4通り  $\times$  4通り = 16通りの分散パターンで評価を行った。その結果、図6（ただし、後述する実施形態2、3のパターンも含む）に示するような分散パターンが最も良い結果となった。これは、極性反転ラインの空間周波数が最も高い為である。

【0114】

従って、 $1 \times N$  ( $N \geq 2$ ) ドット反転駆動時において、極性反転ラインをパネルの空間的に分散させた極性反転ライン分散型 $1 \times N$ ドット反転駆動であり、特にデータドライバ出力数 $4M + 4$ の内、出力 $4M + 1$ と出力 $4M + 2$ のペアの極性反転ラインは同じであり、また出力 $4M + 3$ と出力 $4M + 4$ のペアの極性反転ラインは同じとし、出力 $4M + 1$ と出力 $4M + 2$ のペアの極性反転ラインと、出力 $4M + 3$ と出力 $4M + 4$ のペアの極性反転ラインでは $N / 2$ ラインずつずれる構成とし、さらにはプリチャージ・ショート駆動を適用させた構成となるから、表示品質が高いすなわち高画質化と共に、低電力効果の大きい液晶表示装置とすることができる。

40

【0115】

これらの効果は、前述するショート回路において、出力 $4M + 1$ 及び出力 $4M + 2$ を制

50

御する信号と、出力  $4M+3$  及び出力  $4M+4$  の出力を制御する信号とを分ける構成としているからである。

【0116】

これらの特徴を持つことで、極性が反転するラインでのみ、ショート駆動を実現することが可能となり、前述の効果が得られることとなる。

【0117】

実施形態 2

次に、図 7 に本発明の実施形態 2 の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図を示し、以下、図 7 に基づいて、極性反転ライン分散型  $1 \times 2$  ドット反転駆動におけるフレーム毎の電圧極性の分布について説明する。

10

【0118】

ショート回路における  $1 \times 2$  ドット反転駆動の信号線の制御に関しても、実施形態 1 と同様の制御方法で実現する事が可能である。すなわち、出力制御信号は、1 水平周期毎に入力  $SW208$  を  $OFF$  する、すなわち図 4 の  $G1$ 、 $G2$ 、 $G3$ 、 $\dots$  の  $T1$  期間と  $T2$  期間とで  $OFF$  にする。

【0119】

また、 $GND$  ショート信号 1 は、2 水平周期毎 ( $G1$ 、 $G3$ 、 $G5$ 、 $\dots$  の  $T1$  期間) に  $High$  として、 $VCC$  ショート信号 1 は 4 水平周期毎 ( $G1$ 、 $G5$ 、 $G9$ 、 $\dots$  の  $T2$  期間) に  $High$  として、 $VCC$  ショート信号 2 は 4 水平周期毎 ( $G3$ 、 $G7$ 、 $G11$ 、 $\dots$  の  $T2$  期間) に  $High$  とする。

20

【0120】

さらには、グランドショート信号 2 は 2 水平周期毎 ( $G2$ 、 $G4$ 、 $G6$ 、 $\dots$  の  $T1$  期間) に  $High$  として、 $VCC$  ショート信号 3 は 4 水平周期毎 ( $G2$ 、 $G6$ 、 $G10$ 、 $\dots$  の  $T2$  期間) に  $High$  として、 $VCC$  ショート信号 4 は 4 水平周期毎 ( $G4$ 、 $G8$ 、 $G12$ 、 $\dots$  の  $T2$  期間) に  $High$  とする。

【0121】

以上に説明する各信号の出力タイミングを変更することにより、実施形態 1 に説明したショート回路を用いて、実施形態 2 の極性反転ライン分散型  $1 \times 2$  ドット反転駆動を実現することが可能となる。

【0122】

30

図 7 に示すように、実施形態 2 の極性反転ライン分散型  $1 \times 2$  ドット反転駆動では、 $Y_{4M+1}$  と  $Y_{4M+2}$  の出力ペアと、 $Y_{4M+3}$  と  $Y_{4M+4}$  の出力ペアの極性反転ラインは、1 ライン分ずれている。また、 $4m+1$  フレームから  $4m+4$  フレームにおいて、各出力ペア  $Y_{4M+1}$  と  $Y_{4M+2}$ 、 $Y_{4M+3}$  と  $Y_{4M+4}$  ( $m = 0, 1, 2, \dots$ ) の極性反転ラインは、カラム方向に 1 ラインずつずれている。例えば、図 5 の 1 ライン目で 1 カラム目のサブピクセル ( $Y1$  出力で 1 ライン目の箇所) は、 $4m+2$  から  $4m+3$  の 2 フレーム間は連続して負極性であり、その後の  $4m+4$  フレームから  $4m+1$  の 2 フレーム間は連続して正極性である。これは、実施形態 1 において説明したように、別の画質劣化成分 (フリッカ) を抑制する。

【0123】

40

さらに、1 つの画素に着目した場合、極性は連続した 2 フレーム間が正極である後に連続した 2 フレーム間が負極となるパターンとなっており、これは全画素で共通である。

【0124】

このように、実施形態 2 の液晶表示装置においても、極性反転ラインをパネルの空間的に分散させた極性反転ライン分散型  $1 \times N$  ドット反転駆動において、特にデータドライバ出力数  $4M+4$  の内、出力  $4M+1$  と出力  $4M+2$  のペアの極性反転ラインは同じであり、また出力  $4M+3$  と出力  $4M+4$  のペアの極性反転ラインは同じとし、出力  $4M+1$  と出力  $4M+2$  のペアの極性反転ラインと、出力  $4M+3$  と出力  $4M+4$  のペアの極性反転ラインでは  $N/2$  ラインずつずれる構成としているので、実施形態 1 と同様の効果を得ることができる。

50

## 【 0 1 2 5 】

## 実施形態 3

次に、図 8 に本発明の実施形態 3 の液晶表示装置におけるフレーム毎の電圧極性の分布を示す図を示し、以下、図 8 に基づいて、極性反転ライン分散型  $1 \times 8$  ドット反転駆動におけるフレーム毎の電圧極性の分布について説明する。

## 【 0 1 2 6 】

ショート回路における  $1 \times 8$  ドット反転駆動の信号線の制御に関しても、実施形態 1 と同様の制御方法で実現する事が可能である。すなわち、出力制御信号は、4 水平周期毎に入力 SW 2 0 8 を OFF する、すなわち G 1、G 5、G 9、・・・の T 1 期間と T 2 期間とで OFF にする。

## 【 0 1 2 7 】

また、GND ショート信号 1 は、8 水平周期毎 ( G 1、G 9、G 1 7、・・・の T 1 期間 ) に High として、VCC ショート信号 1 は 1 6 水平周期毎 ( G 1、G 1 7、G 3 3、・・・の T 2 期間 ) に High として、VCC ショート信号 2 は 1 6 水平周期毎 ( G 9、G 2 5、G 4 1、・・・の T 2 期間 ) に High とする。

## 【 0 1 2 8 】

さらには、グランドショート信号 2 は 8 水平周期毎 ( G 5、G 1 3、G 2 1、・・・の T 1 期間 ) に High として、VCC ショート信号 3 は 1 6 水平周期毎 ( G 5、G 2 1、G 3 7、・・・の T 2 期間 ) に High として、VCC ショート信号 4 は 1 6 水平周期毎 ( G 1 3、G 2 9、G 4 5、・・・の T 2 期間 ) に High とする。

## 【 0 1 2 9 】

以上に説明する各信号の出力タイミングを変更することにより、実施形態 1 に説明したショート回路を用いて、実施形態 3 の極性反転ライン分散型  $1 \times 8$  ドット反転駆動を実現することが可能となる。

## 【 0 1 3 0 】

図 8 に示すように、実施形態 3 の極性反転ライン分散型  $1 \times 8$  ドット反転駆動では、Y 4M+1 と Y 4M+2 の出力ペアと、Y 4M+3 と Y 4M+4 の出力ペアの極性反転ラインは、4 ライン分ずれている。また  $16n + 1$  フレームから  $16n + 16$  フレームにおいて、各出力ペア Y 4M+1 と Y 4M+2、Y 4M+3 と Y 4M+4 の極性反転ラインは、カラム方向に 1 ラインずつずれている。

## 【 0 1 3 1 】

さらには、1 つの画素に着目した場合、極性は連続した 8 フレーム間が正極である後に連続した 8 フレーム間が負極となるパターンとなっており、これは全画素で共通である。例えば、図 8 の 1 ライン目で 1 カラム目のサブピクセル ( Y 1 出力で 1 ライン目の箇所 ) は、 $16n + 2$  から  $16n + 9$  の 8 フレーム間は連続して負極性であり、その後の  $16n + 10$  フレームから  $16n + 17$  の 8 フレーム間は連続して正極性である。これは、実施形態 1 において説明したように、別の画質劣化成分 ( フリッカ ) を抑制する。

## 【 0 1 3 2 】

このように、実施形態 3 の液晶表示装置においても、極性反転ラインをパネルの空間的に分散させた極性反転ライン分散型  $1 \times N$  ドット反転駆動において、特にデータドライバ出力数  $4M + 4$  の内、出力  $4M + 1$  と出力  $4M + 2$  のペアの極性反転ラインは同じであり、また出力  $4M + 3$  と出力  $4M + 4$  のペアの極性反転ラインは同じとし、出力  $4M + 1$  と出力  $4M + 2$  のペアの極性反転ラインと、出力  $4M + 3$  と出力  $4M + 4$  のペアの極性反転ラインでは  $N / 2$  ラインずつずれる構成としているので、実施形態 1 と同様の効果を得ることができる。

## 【 0 1 3 3 】

## 実施形態 4

図 9 は本発明の実施形態 4 の液晶表示装置におけるショート回路の内部構成を説明するための図であり、以下、図 9 に基づいて、本発明に特徴的な実施形態 4 のショート回路の構成を説明する。ただし、実施形態 4 の液晶表示装置では、ショート回路の入力 X 1、X

2、・・・、 $X_m$ （ただし、 $X$ は自然数）と、出力 $Y_1$ 、 $Y_2$ 、・・・、 $Y_m$ とを接続する入力 $SW701$ が、出力制御信号1で制御される入力 $SW701$ と、出力制御信号2で制御される入力 $SW701$ とからなる構成が異なるのみで、他の構成は実施形態1と同様の構成である。従って、以下の説明では、入力 $SW701$ と該入力 $SW701$ を制御する出力制御信号1、2について、詳細に説明する。

#### 【0134】

図9に示すように、実施形態2のショート回路では、入力 $X_m$ と出力 $Y_m$ との間には、入力 $SW701$ が構成される。この入力 $SW701$ は、後述するように、出力 $Y_m$ の短絡（ショート）動作時に、入力側 $X_m$ と出力 $Y_m$ との導通状態をOFFする為に用いる。

#### 【0135】

この入力 $SW701$ と出力 $Y_m$ の間には、グランドに短絡（ショート）する為のグランドショート $SW209$ 、VCC電圧に短絡（ショート）する為のVCCショート $SW210$ 、-VCC電圧に短絡（ショート）する為の-VCCショート $SW211$ が、各出力 $Y_m$ に接続される構成となっている。この $SW$ 群には、例えば低電力の観点からMOSFETなどを用いるのが良い。この $SW$ 群は、出力毎に構成されるが、 $SW$ の制御線は各出力で異なる。

#### 【0136】

さらには、実施形態4では、入力 $SW701$ の制御においても、極性反転ラインが同じ出力毎（ $Y_{4M+1}$ と $Y_{4M+2}$ 、 $Y_{4M+3}$ と $Y_{4M+4}$ の出力ペア）で分ける構成となっている。具体的には、実施形態4では、 $Y_{4M+1}$ 、 $Y_{4M+2}$ のペア（ $Y_1$ と $Y_2$ 、 $Y_5$ と $Y_6$ 、 $Y_9$ と $Y_{10}$ ・・・）は、GNDショート信号1、VCCショート信号1、VCCショート信号2、及び出力制御信号1を用いて制御される。一方、 $Y_{4M+3}$ 、 $Y_{4M+4}$ のペア（ $Y_3$ と $Y_4$ 、 $Y_7$ と $Y_8$ 、 $Y_{11}$ と $Y_{12}$ ・・・）は、GNDショート信号2、VCCショート信号3、VCCショート信号4、及び出力制御信号2を用いて制御される構成とした。

#### 【0137】

ここで、制御線と $SW$ 群の結線に関して説明する。出力制御信号1は $Y_{4M+1}$ 、 $Y_{4M+2}$ 共に入力 $SW701$ のゲートに接続される。GNDショート信号1は $Y_{4M+1}$ 、 $Y_{4M+2}$ 共にグランドショート $SW209$ のゲートに接続される。VCCショート信号1は $Y_{4M+1}$ においてはVCCショート $SW210$ のゲートに、 $Y_{4M+2}$ においては-VCCショート $SW211$ のゲートに接続される。VCCショート信号2は $Y_{4M+1}$ においては-VCCショート $SW211$ のゲートに、 $Y_{4M+2}$ においてはVCCショート $SW210$ のゲートに接続される。

#### 【0138】

出力制御信号2は $Y_{4M+3}$ 、 $Y_{4M+4}$ 共に入力 $SW701$ のゲートに接続される。GNDショート信号2は $Y_{4M+3}$ 、 $Y_{4M+4}$ 共にグランドショート $SW209$ のゲートに接続される。VCCショート信号3は $Y_{4M+3}$ においてはVCCショート $SW210$ のゲートに、 $Y_{4M+4}$ においては-VCCショート $SW211$ のゲートに接続される。VCCショート信号4は $Y_{4M+3}$ においては-VCCショート $SW211$ のゲートに、 $Y_{4M+4}$ においてはVCCショート $SW210$ のゲートに接続される。このような構成とすることで、出力 $Y_{4M+1}$ および $Y_{4M+2}$ と、出力 $Y_{4M+3}$ および $Y_{4M+4}$ の極性反転ラインが異なる場合においても、極性反転するカラムのみでショート動作を実施可能である。

#### 【0139】

次に、図10に本発明の実施形態4の液晶表示装置における $1 \times 4$ ドット反転駆動時の極性分布を説明するための図を、図11に本発明の実施形態4の液晶表示装置における $1 \times 4$ ドット反転駆動時のショート回路の信号線のタイミングチャートを示し、以下、図9～11に基づいて、実施形態4のショート回路の動作を説明する。ただし、図10は液晶パネルの一部領域を拡大した図であり、図中の「+」、「-」が極性を示し、それぞれがRGBの何れかの画素（副画素、サブピクセル）に対応する。また、図10に示すG1ライン、G2ライン、G3ライン、・・・のスキヤンタイミングは、図11に示すG1期間、G2期間、G3期間、・・・、すなわち各1水平周期（1H周期）に対応する。

## 【 0 1 4 0 】

実施形態 4 のショート回路においても、出力制御信号 1 は 4 水平周期 ( 4 H 周期 ) 毎に前記入力 S W 7 0 1 を O F F する為に、L o w となる。この L o w となるのは、G 1 期間、G 5 期間、G 9 期間、・・・において出力 Y 4M+1 および出力 Y 4M+2 がグランドショートする期間 T 1 と V C C ショートする期間 T 2 とである。また、出力制御信号 2 は 4 水平周期 ( 4 H 周期 ) 毎に、入力 S W 7 0 1 を O F F する為に L o w となる。この L o w となるのは、G 3 期間、G 7 期間、G 1 1 期間、・・・において、出力 Y 4M+3 および出力 Y 4M+4 がグランドショートする期間 T 1 と V C C ショートする期間 T 2 とである。

## 【 0 1 4 1 】

尚、グランドショート信号 1 と 2、V C C ショート信号 1 ~ 4 に関しては、実施形態 1 における V C C ショート信号 1 ~ 4 の制御方法と同様である。

10

## 【 0 1 4 2 】

すなわち、実施形態 4 のショート回路においては、時刻 t 0 ~ t 2 及び時刻 t 8 ~ t 1 0 の期間においては、極性反転が行われない入力ショート回路の入力 X 4M+3 および入力 X 4M+4 と、出力 Y 4M+3 および出力 Y 4M+4 とを電氣的に接続する入力 S W 7 0 1 は O N 状態のままとなる。従って、出力 Y 4M+3 および出力 Y 4M+4 とからはそれぞれデコード回路から入力される階調電圧が出力されることとなり、液晶アレイ内のデータ線の電圧レベルを階調電圧に保持することが可能となる。

## 【 0 1 4 3 】

同様にして、時刻 t 4 ~ t 6 及び時刻 t 1 2 ~ t 1 4 の期間においては、極性反転が行われない入力ショート回路の入力 X 4M+1 および入力 X 4M+2 と、出力 Y 4M+1 および出力 Y 4M+2 とを電氣的に接続する入力 S W 7 0 1 は O N 状態のままとなる。従って、出力 Y 4M+1 および出力 Y 4M+2 とからはそれぞれデコード回路から入力される階調電圧が出力されることとなり、液晶アレイ内のデータ線の電圧レベルを階調電圧に保持することが可能となる。

20

## 【 0 1 4 4 】

以上の特徴を持つことで、ショート期間においてショート動作を行うカラムの出力変動の影響 ( カップリングの影響 ) を受けて、ショート動作を行わないカラムの出力ドレイン線が変動する事を抑制する事が可能である。その結果、ショート動作を行わないカラムの出力ドレイン線の変動分の電力供給を抑える事が可能となり、さらなる画質劣化の抑制及び低電力化が可能となる。

30

## 【 0 1 4 5 】

さらには、実施形態 1 と同様に、各カラムでは極性が反転する時のみ、ショート動作を実現することが可能となるので、実施形態 1 の液晶表示装置と同様の効果も得られる。

## 【 0 1 4 6 】

なお、実施形態 4 の液晶表示装置は、ショート回路の入力 X 1、X 2、・・・、X m ( ただし、m は自然数 ) と、出力 Y 1、Y 2、・・・、Y m とを接続する入力 S W 7 0 1 が、出力制御信号 1 で制御される入力 S W 7 0 1 と、出力制御信号 2 で制御される入力 S W 7 0 1 とからなる構成が異なるのみとなる。従って、前述する実施形態 2 の極性反転ライン分散型 1 × 2 ドット反転駆動、及び実施形態 3 の極性反転ライン分散型 1 × 8 ドット反転駆動にも適用可能であり、この場合においても、前述する効果を得ることができる。

40

## 【 0 1 4 7 】

以上、本発明者によってなされた発明を、前記発明の実施形態に基づき具体的に説明したが、本発明は、前記発明の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

## 【 符号の説明 】

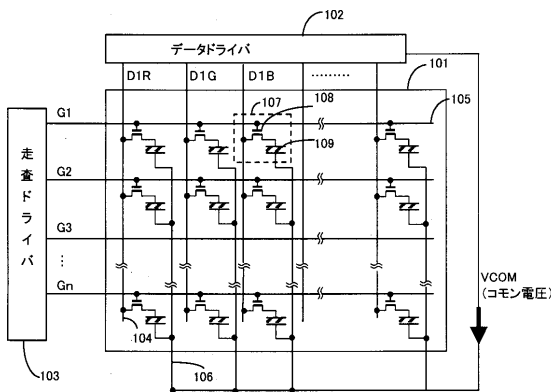
## 【 0 1 4 8 】

1 0 1 ... 画素アレイ、1 0 2 ... データドライバ、1 0 3 ... ゲートドライバ  
1 0 4 ... ドレイン線、1 0 5 ... ゲート線、1 0 6 ... コモン線、1 0 7 ... 画素  
1 0 8 ... T F T、1 0 9 ... 液晶容量、2 0 0 ... M P U ( マイクロ・プロセッサ・ユニット )

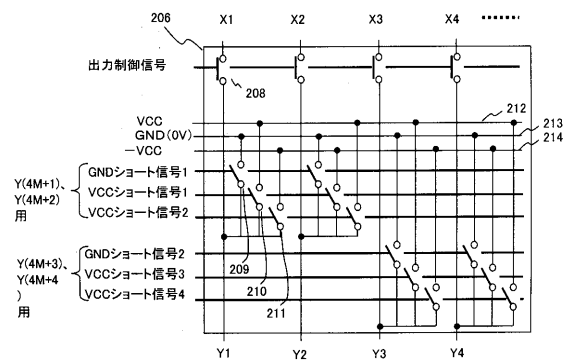
50

201 ... システムインターフェースブロック、202 ... 制御レジスタブロック  
 203 ... 表示メモリブロック、204 ... 階調電圧生成回路ブロック  
 205 ... デコード回路ブロック、206 ... ショート回路ブロック、207 ... 電源回路  
 208 ... 入力SW、209 ... GNDショートSW、210 ... VCCショートSW  
 211 ... -VCCショートSW、701 ... 入力SW

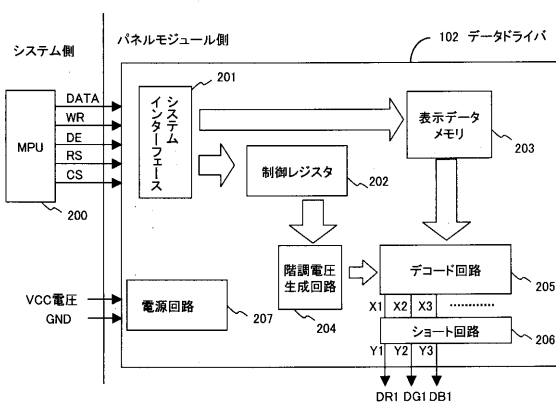
【図1】



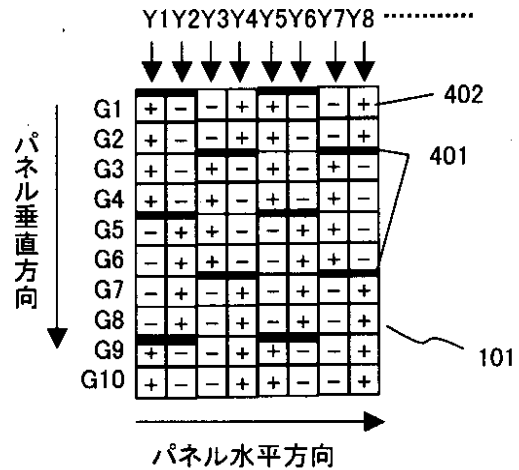
【図3】



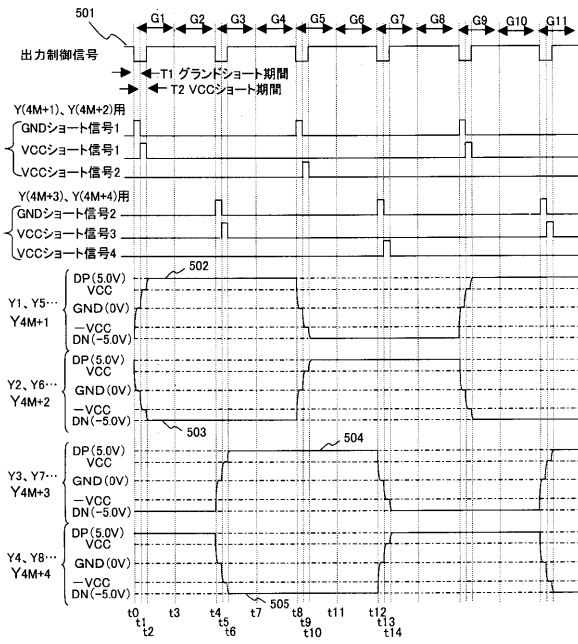
【図2】



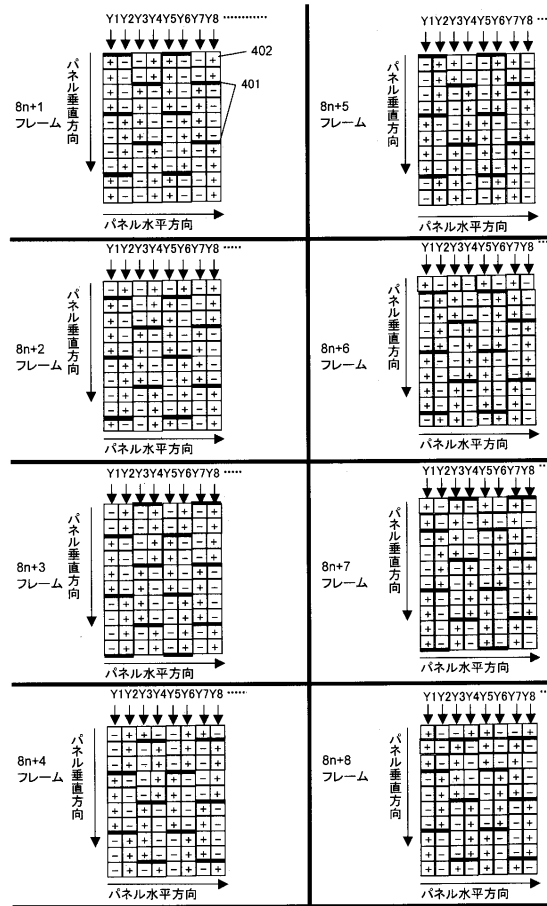
【図4】



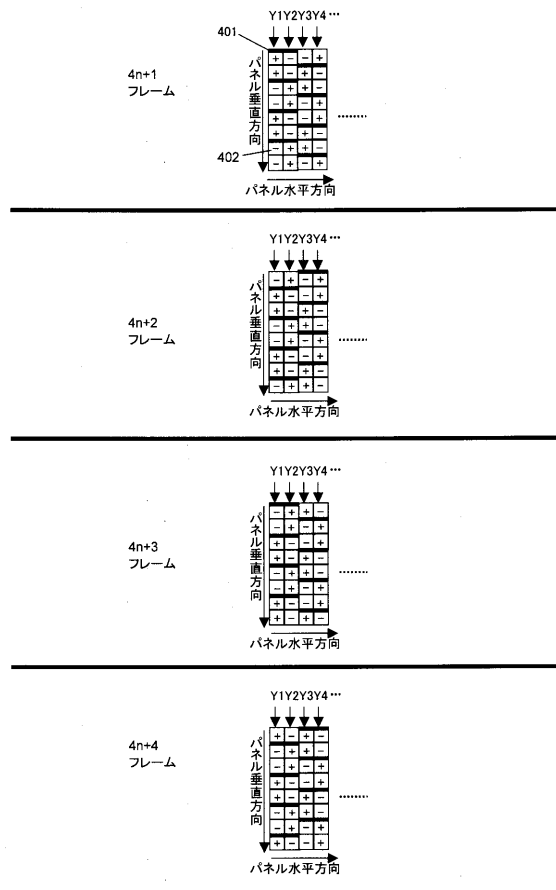
【図 5】



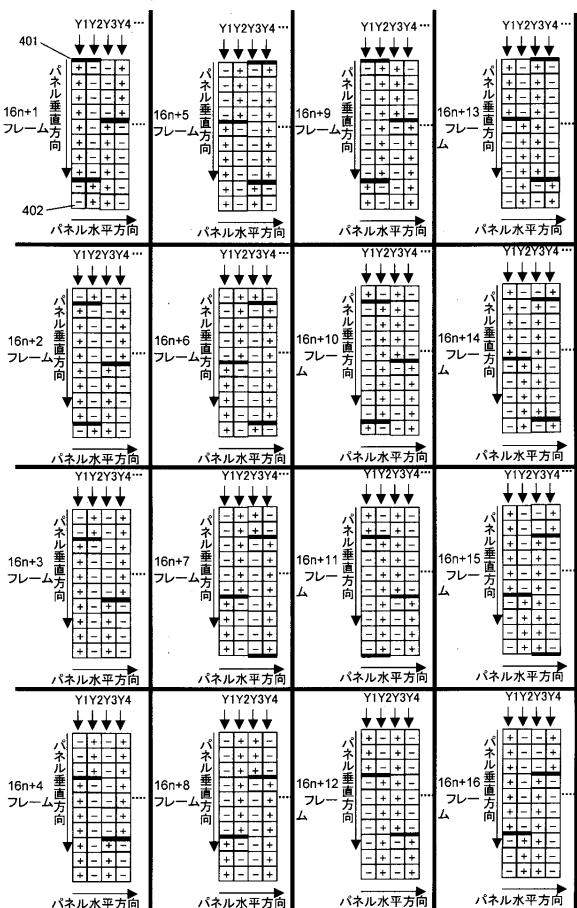
【図 6】



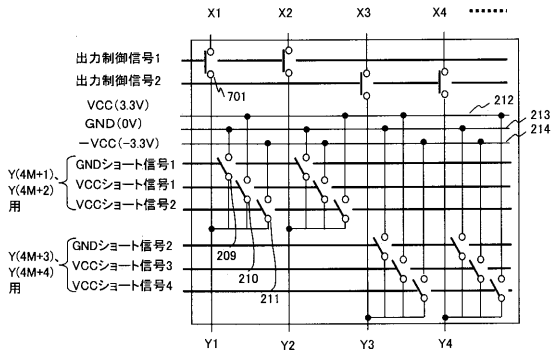
【図 7】



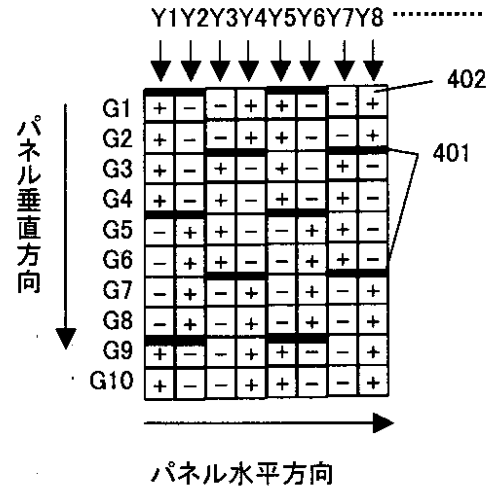
【図 8】



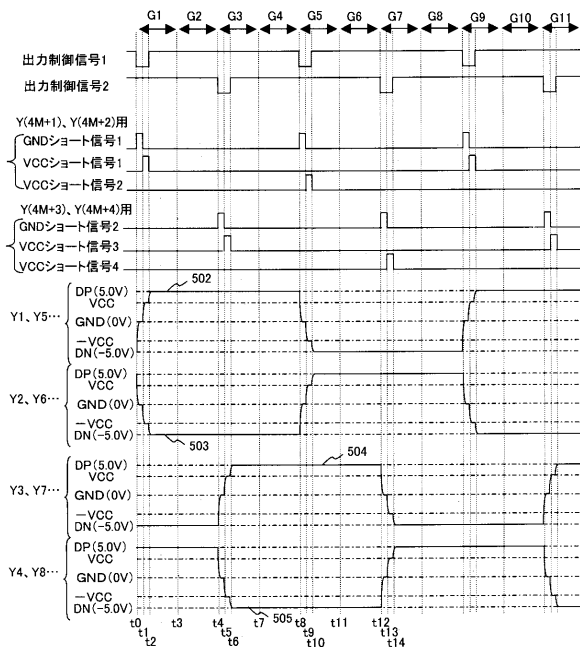
【図 9】



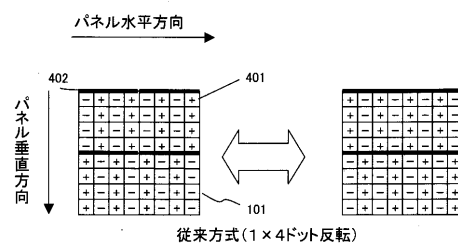
【図 10】



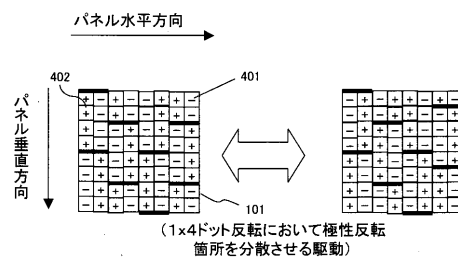
【図 11】



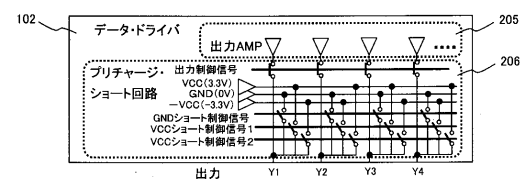
【図 12】



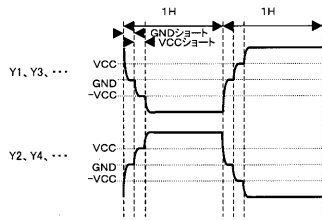
【図 13】



【図 14】



【図 15】



---

 フロントページの続き

| (51)Int.Cl. | F I                  | テーマコード(参考) |
|-------------|----------------------|------------|
|             | G 0 9 G 3/20 6 1 1 A |            |
|             | G 0 9 G 3/20 6 1 1 E |            |
|             | G 0 9 G 3/20 6 3 1 A |            |
|             | G 0 2 F 1/133 5 2 5  |            |
|             | G 0 2 F 1/133 5 5 0  |            |

(72)発明者 後藤 充  
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 松元 秀一郎  
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H193 ZB02 ZB03 ZC05 ZC07 ZC08 ZC20 ZD32 ZF36  
5C006 AA22 AC07 AC21 AC27 AC28 AF01 AF42 AF43 AF44 AF59  
AF69 BB15 BC05 BC11 BC16 BF02 FA23 FA36 FA47 FA56  
5C080 AA10 BB05 CC03 DD06 DD10 DD26 EE29 EE30 FF07 FF11  
GG12 JJ02 JJ03 JJ04 JJ05

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 公开(公告)号        | <a href="#">JP2011048057A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 公开(公告)日 | 2011-03-10 |
| 申请号            | JP2009195289                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 申请日     | 2009-08-26 |
| [标]申请(专利权)人(译) | 株式会社日立制作所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| 申请(专利权)人(译)    | 日立显示器有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| [标]发明人         | 高田直樹<br>笠井成彦<br>萬場則夫<br>後藤充<br>松元秀一郎                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 发明人            | 高田 直樹<br>笠井 成彦<br>萬場 則夫<br>後藤 充<br>松元 秀一郎                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| CPC分类号         | G09G3/3688 G09G3/3614 G09G2310/0248 G09G2310/0297 G09G2320/0247 G09G2330/021                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| FI分类号          | G09G3/36 G09G3/20.623.R G09G3/20.621.B G09G3/20.623.C G09G3/20.623.D G09G3/20.611.A G09G3/20.611.E G09G3/20.631.A G02F1/133.525 G02F1/133.550                                                                                                                                                                                                                                                                                                                                                       |         |            |
| F-TERM分类号      | 2H193/ZB02 2H193/ZB03 2H193/ZC05 2H193/ZC07 2H193/ZC08 2H193/ZC20 2H193/ZD32 2H193/ZF36 5C006/AA22 5C006/AC07 5C006/AC21 5C006/AC27 5C006/AC28 5C006/AF01 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF59 5C006/AF69 5C006/BB15 5C006/BC05 5C006/BC11 5C006/BC16 5C006/BF02 5C006/FA23 5C006/FA36 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD10 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZC14 |         |            |
| 代理人(译)         | 小林 保                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 其他公开文献         | JP5629439B2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |

#### 摘要(译)

解决的问题：通过使用抑制图像质量劣化的极性反转线分散型的点反转驱动系统来提供具有高低功率效应的液晶显示装置。一种像素阵列，具有形成矩阵状排列的像素行和像素列的多个像素，用于将根据显示数据的灰度电压提供给像素的数据驱动器电路以及数据驱动器。一种短路，具有为电路的每个输出布置的开关元件，并将每个输出连接到与输出电压不同的预充电电压；以及扫描，用于为每个像素行逐行提供用于选择像素的扫描信号。点反转驱动系统的液晶显示装置，其包括电路，并且每隔至少两个像素行反转灰度电压的极性。[选择图]图3

