

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-39513

(P2011-39513A)

(43) 公開日 平成23年2月24日(2011.2.24)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 19 O L (全 32 頁)

(21) 出願番号 特願2010-179433 (P2010-179433)  
(22) 出願日 平成22年8月10日 (2010.8.10)  
(31) 優先権主張番号 10-2009-0074889  
(32) 優先日 平成21年8月13日 (2009.8.13)  
(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
三星電子株式会社  
SAMSUNG ELECTRONICS  
CO., LTD.  
大韓民国京畿道水原市靈通区梅灘洞416  
416, Maetan-dong, Yeongtong-gu, Suwon-si,  
Gyeonggi-do 442-742  
(KR)  
(74) 代理人 100094145  
弁理士 小野 由己男  
(74) 代理人 100106367  
弁理士 稲積 朋子

最終頁に続く

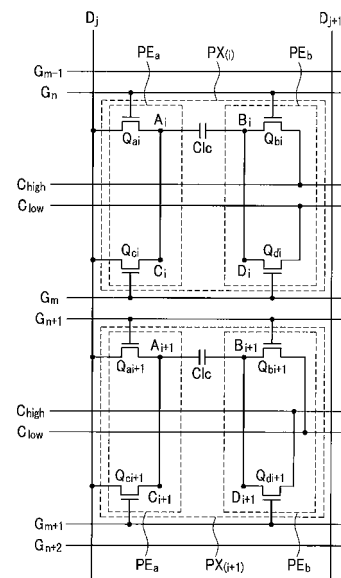
(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】高いコントラスト比と広視野角を確保する。

【解決手段】液晶表示装置は、ゲート信号を伝達する第1ゲート線及び第2ゲート線、第1データ線、第1電源線及び第2電源線、前記第1ゲート線及び前記第1データ線と接続される第1スイッチング素子、前記第1ゲート線及び前記第1電源線と接続される第2スイッチング素子、前記第2ゲート線及び前記第1データ線と接続される第3スイッチング素子、前記第2ゲート線及び前記第2電源線と接続される第4スイッチング素子、前記第1スイッチング素子及び前記第3スイッチング素子と接続される第1画素電極、並びに前記第2スイッチング素子及び前記第4スイッチング素子と接続され、前記第1画素電極とは分離される第2画素電極を含み、前記第1電源線と前記第2電源線には一定の大きさを有する第1電圧と第2電圧が印加される。

【選択図】図5



## 【特許請求の範囲】

## 【請求項 1】

互いに対向する第 1 基板と第 2 基板、  
前記第 1 基板と第 2 基板との間に介され、液晶分子を含む液晶層、  
前記第 1 基板上に形成されてゲート信号を伝達する第 1 ゲート線及び第 2 ゲート線、  
前記第 1 基板上に形成される第 1 データ線、  
前記第 1 基板上に形成される第 1 電源線及び第 2 電源線、  
前記第 1 ゲート線及び前記第 1 データ線と接続される第 1 スイッチング素子、  
前記第 1 ゲート線及び前記第 1 電源線と接続される第 2 スイッチング素子、  
前記第 2 ゲート線及び前記第 1 データ線と接続される第 3 スイッチング素子、  
前記第 2 ゲート線及び前記第 2 電源線と接続される第 4 スイッチング素子、  
前記第 1 スイッチング素子及び前記第 3 スイッチング素子と接続される第 1 画素電極、  
並びに  
前記第 2 スイッチング素子及び前記第 4 スイッチング素子と接続され、前記第 1 画素電極とは分離される第 2 画素電極を含み、  
前記第 1 電源線と前記第 2 電源線には一定の大きさを有する第 1 電圧と第 2 電圧が印加される液晶表示装置。

## 【請求項 2】

前記第 1 電圧と前記第 2 電圧の極性は互いに異なる、請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記第 1 ゲート線と前記第 2 ゲート線は、互いに異なるフレームでゲートオン電圧が印加される、請求項 1 に記載の液晶表示装置。

## 【請求項 4】

前記第 1 画素電極及び前記第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置される、請求項 3 に記載の液晶表示装置。

## 【請求項 5】

前記第 1 ゲート線にゲートオン信号が印加される場合、  
前記第 1 画素電極には前記第 1 データ線を通じて第 1 データ電圧が印加され、前記第 2 画素電極には前記第 1 電源線を通じて第 1 電圧が印加され、  
前記第 1 データ電圧と前記第 1 電圧の極性は互いに異なる、請求項 4 に記載の液晶表示装置。

## 【請求項 6】

前記第 2 ゲート線にゲートオン信号が印加される場合、  
前記第 1 画素電極には前記第 1 データ線を通じて第 3 データ電圧が印加され、前記第 2 画素電極には前記第 2 電源線を通じて第 2 電圧が印加され、  
前記第 3 データ電圧と前記第 2 電圧の極性は互いに異なる、請求項 5 に記載の液晶表示装置。

## 【請求項 7】

前記第 1 データ電圧と前記第 2 データ電圧の極性は互いに異なり、  
前記第 3 データ電圧と前記第 4 データ電圧の極性は互いに異なる、請求項 6 に記載の液晶表示装置。

## 【請求項 8】

前記第 1 電源線及び前記第 2 電源線は、前記第 1 ゲート線と前記第 2 ゲート線との間に配置される、請求項 1 に記載の液晶表示装置。

## 【請求項 9】

前記第 1 基板上に形成されてゲート信号を伝達し、前記第 1 ゲート線と隣接する第 5 ゲート線、及び前記第 2 ゲート線と隣接する第 6 ゲート線をさらに含み、  
前記第 1 電源線及び前記第 2 電源線は、前記第 1 ゲート線と前記第 5 ゲート線との間、及び前記第 2 ゲート線と前記第 6 ゲート線との間に配置される、請求項 1 に記載の液晶表示装置。

## 【請求項 10】

前記第 1 基板上に形成されてゲート信号を伝達する第 3 ゲート線及び第 4 ゲート線、  
前記第 1 基板上に形成されてデータ信号を伝達する第 2 データ線、  
前記第 3 ゲート線及び前記第 2 電源線と接続される第 5 スイッチング素子、  
前記第 3 ゲート線及び前記第 2 データ線と接続される第 6 スイッチング素子、  
前記第 4 ゲート線及び前記第 1 電源線と接続される第 7 スイッチング素子、  
前記第 4 ゲート線及び前記第 2 データ線と接続される第 8 スイッチング素子、  
前記第 5 スイッチング素子及び前記第 7 スイッチング素子と接続される第 3 画素電極、  
並びに

前記第 6 スイッチング素子及び前記第 8 スイッチング素子と接続され、前記第 3 画素電極とは分離される第 4 画素電極をさらに含み、

前記第 1 画素電極と第 2 画素電極の対と、前記第 3 画素電極と第 4 画素電極の対は、前記第 1 データ線と前記第 2 データ線との間に位置する、請求項 1 に記載の液晶表示装置。

## 【請求項 11】

前記第 1 ゲート線及び前記第 2 データ線と接続される第 9 スイッチング素子、  
前記第 1 ゲート線及び前記第 2 電源線と接続される第 10 スイッチング素子、  
前記第 2 ゲート線及び前記第 2 データ線と接続される第 11 スイッチング素子、  
前記第 2 ゲート線及び前記第 1 電源線と接続される第 12 スイッチング素子、  
前記第 9 スイッチング素子及び前記第 11 スイッチング素子と接続される第 5 画素電極、  
並びに

前記第 10 スイッチング素子及び前記第 12 スイッチング素子と接続され、前記第 5 画素電極とは分離される第 6 画素電極をさらに含む、請求項 10 に記載の液晶表示装置。

## 【請求項 12】

前記第 1 ゲート線と前記第 3 ゲート線には第 1 フレームで順次にゲートオン信号が印加され、

前記第 2 ゲート線と前記第 4 ゲート線には第 2 フレームで順次にゲートオン信号が印加される、請求項 11 に記載の液晶表示装置。

## 【請求項 13】

前記第 1 画素電極及び前記第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置され、

前記第 3 画素電極及び前記第 4 画素電極は複数の枝電極を含み、前記第 3 画素電極の枝電極と前記第 4 画素電極の枝電極は交互に配置される、請求項 12 に記載の液晶表示装置。

## 【請求項 14】

前記第 1 ゲート線と前記第 3 ゲート線とは互いに接続され、前記第 2 ゲート線と前記第 4 ゲート線とは互いに接続される、請求項 10 に記載の液晶表示装置。

## 【請求項 15】

互いに対向する第 1 基板と第 2 基板、

前記第 1 基板と第 2 基板との間に介され、液晶分子を含む液晶層、

前記第 1 基板上に形成されてゲート信号を伝達する第 1 ゲート線及び第 2 ゲート線、

前記第 1 基板上に形成される第 1 データ線及び第 2 データ線、

前記第 1 基板上に形成される第 1 電源線及び第 2 電源線、

前記第 1 ゲート線及び前記第 1 データ線と接続される第 1 スイッチング素子、

前記第 1 ゲート線及び前記第 1 電源線と接続される第 2 スイッチング素子、

前記第 2 ゲート線及び前記第 2 電源線と接続される第 3 スイッチング素子、

前記第 2 ゲート線及び前記第 2 データ線と接続される第 4 スイッチング素子、

前記第 1 スイッチング素子及び前記第 3 スイッチング素子と接続される第 1 画素電極、

並びに

前記第 2 スイッチング素子及び前記第 4 スイッチング素子と接続され、前記第 1 画素電極とは分離される第 2 画素電極を含み、

10

20

30

40

50

前記第 1 電源線と前記第 2 電源線には一定の大きさを有する第 1 電圧と第 2 電圧が印加される液晶表示装置。

【請求項 16】

前記第 1 基板上に形成される第 3 データ線、  
前記第 1 ゲート線及び前記第 2 データ線と接続される第 5 スイッチング素子、  
前記第 1 ゲート線及び前記第 2 電源線と接続される第 6 スイッチング素子、  
前記第 2 ゲート線及び前記第 1 電源線と接続される第 7 スイッチング素子、  
前記第 2 ゲート線及び前記第 3 データ線と接続される第 8 スイッチング素子、  
前記第 5 スイッチング素子及び前記第 7 スイッチング素子と接続される第 3 画素電極、  
並びに

10

前記第 6 スイッチング素子及び前記第 8 スイッチング素子と接続され、前記第 3 画素電極とは分離される第 4 画素電極をさらに含む、請求項 15 に記載の液晶表示装置。

【請求項 17】

前記第 1 基板上に形成されてゲート信号を伝達する第 3 ゲート線及び第 4 ゲート線、  
前記第 3 ゲート線及び第 2 電源線と接続される第 5 スイッチング素子、  
前記第 3 ゲート線及び前記第 2 データ線と接続される第 6 スイッチング素子、  
前記第 4 ゲート線及び前記第 1 データ線と接続される第 7 スイッチング素子、  
前記第 4 ゲート線及び前記第 1 電源線と接続される第 8 スイッチング素子、  
前記第 5 スイッチング素子及び前記第 7 スイッチング素子と接続される第 3 画素電極、  
並びに

20

前記第 6 スイッチング素子及び前記第 8 スイッチング素子と接続され、前記第 3 画素電極とは分離される第 4 画素電極をさらに含む、請求項 16 に記載の液晶表示装置。

【請求項 18】

前記第 1 ゲート線と前記第 3 ゲート線には第 1 フレームで順次にゲートオン信号が印加され、

前記第 2 ゲート線と前記第 4 ゲート線には第 2 フレームで順次にゲートオン信号が印加される、請求項 17 に記載の液晶表示装置。

【請求項 19】

前記第 1 画素電極及び前記第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置され、

30

前記第 3 画素電極及び前記第 4 画素電極は複数の枝電極を含み、前記第 3 画素電極の枝電極と前記第 4 画素電極の枝電極は交互に配置される、請求項 18 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置は、現在、最も幅広く使用されている平板表示装置の一つであって、画素電極と共通電極など電界生成電極が形成されている二枚の表示板と、その間に挿入されている液晶層とからなり、電界生成電極に電圧を印加して液晶層に電界を生成し、これによって液晶層の液晶分子の配向を決定し、入射光の偏光を制御することにより、映像を表示する。

40

【0003】

液晶表示装置は、また、各画素電極に接続されるスイッチング素子、及びスイッチング素子を制御して画素電極に電圧を印加するためのゲート線とデータ線など多数の信号線を含む。

【0004】

このような液晶表示装置は、外部のグラフィック制御器から入力映像信号を受信し、入

50

力映像信号は各画素の輝度情報を含んでおり、各輝度は所定の階調を有している。各画素は、所望の輝度情報に対応するデータ電圧の印加を受ける。画素に印加されたデータ電圧は共通電圧との差によって画素電圧として現れ、画素電圧によって各画素は映像信号の階調が示す輝度を表示する。この時、液晶表示装置が利用できる画素電圧の範囲は駆動部によって決められている。

【 0 0 0 5 】

一方、液晶表示装置の駆動部は、多数の集積回路チップの形態で表示板に直接装着するか、またはフレキシブル回路膜などに装着して表示板に付着するが、このような集積回路チップは液晶表示装置の製造費用に高い比率を占める。特に、データ電圧を印加するデータ線の数が多くなるほど、液晶表示装置の駆動部の費用が高くなる。

10

【 0 0 0 6 】

また、液晶表示装置の表示品質を高めるために、高いコントラスト比 ( c o n t r a s t r a t i o ) と優れた広視野角、速い応答速度を有することができる液晶表示装置の実現が必要である。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明の目的は、液晶表示装置の高いコントラスト比と広視野角を同時に確保でき、液晶分子の応答速度を早くするだけでなく、データ線の数減らすことで液晶表示装置の駆動部の費用を節減することのできる液晶表示装置及びその駆動方法を提供することにある。

20

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の一実施形態による液晶表示装置は、互いに対向する第 1 基板と第 2 基板、前記第 1 基板と第 2 基板との間に介され、液晶分子を含む液晶層、前記第 1 基板上に形成されてゲート信号を伝達する第 1 ゲート線及び第 2 ゲート線、前記第 1 基板上に形成される第 1 データ線、前記第 1 基板上に形成される第 1 電源線及び第 2 電源線、前記第 1 ゲート線及び前記第 1 データ線と接続される第 1 スイッチング素子、前記第 1 ゲート線及び前記第 1 電源線と接続される第 2 スイッチング素子、前記第 2 ゲート線及び前記第 1 データ線と接続される第 3 スイッチング素子、前記第 2 ゲート線及び前記第 2 電源線と接続される第 4 スイッチング素子、前記第 1 スイッチング素子及び前記第 3 スイッチング素子に接続される第 1 画素電極、並びに前記第 2 スイッチング素子及び前記第 4 スイッチング素子に接続され、前記第 1 画素電極とは分離される第 2 画素電極を含み、前記第 1 電源線と前記第 2 電源線には一定の大きさを有する第 1 電圧と第 2 電圧が印加される。

30

【 0 0 0 9 】

前記第 1 電圧と前記第 2 電圧の極性は互いに異なってもよい。

【 0 0 1 0 】

前記第 1 ゲート線と前記第 2 ゲート線とは互いに異なるフレームでゲートオン電圧が印加できる。

【 0 0 1 1 】

前記第 1 画素電極及び前記第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置することができる。

40

【 0 0 1 2 】

前記第 1 ゲート線にゲートオン信号が印加される場合、前記第 1 画素電極には前記第 1 データ線を通じて第 1 データ電圧が印加され、前記第 2 画素電極には前記第 1 電源線を通じて第 1 電圧が印加され、前記第 1 データ電圧と前記第 1 電圧の極性は互いに異なってもよい。

【 0 0 1 3 】

前記第 2 ゲート線にゲートオン信号が印加される場合、前記第 1 画素電極には前記第 1 データ線を通じて第 3 データ電圧が印加され、前記第 2 画素電極には前記第 2 電源線を通

50

じて第 2 電圧が印加され、前記第 3 データ電圧と前記第 2 電圧の極性は互いに異なってもよい。

【0014】

前記第 1 データ電圧と前記第 2 データ電圧の極性は互いに異なり、前記第 3 データ電圧と前記第 4 データ電圧の極性は互いに異なってもよい。

前記第 1 電源線及び前記第 2 電源線は、前記第 1 ゲート線と前記第 2 ゲート線との間に配置することができる。

【0015】

前記液晶表示装置は、前記第 1 基板上に形成されてゲート信号を伝達し、前記第 1 ゲート線と隣接する第 5 ゲート線、及び前記第 2 ゲート線と隣接する第 6 ゲート線をさらに含み、前記第 1 電源線及び前記第 2 電源線は、前記第 1 ゲート線と前記第 5 ゲート線との間、及び前記第 2 ゲート線と前記第 6 ゲート線との間に配置することができる。

10

【0016】

前記液晶表示装置は、前記第 1 基板上に形成されてゲート信号を伝達する第 3 ゲート線及び第 4 ゲート線、前記第 1 基板上に形成されてデータ信号を伝達する第 2 データ線、前記第 3 ゲート線及び前記第 2 電源線と接続される第 5 スイッチング素子、前記第 3 ゲート線及び前記第 2 データ線と接続される第 6 スイッチング素子、前記第 4 ゲート線及び前記第 1 電源線と接続される第 7 スイッチング素子、前記第 4 ゲート線及び前記第 2 データ線と接続される第 8 スイッチング素子、前記第 5 スイッチング素子及び前記第 7 スイッチング素子と接続される第 3 画素電極、並びに前記第 6 スイッチング素子及び前記第 8 スイッチング素子と接続され、前記第 3 画素電極とは分離される第 4 画素電極をさらに含み、前記第 1 画素電極と第 2 画素電極の対及び前記第 3 画素電極と第 4 画素電極の対は、前記第 1 データ線と前記第 2 データ線との間に位置することができる。

20

【0017】

前記液晶表示装置は、前記第 1 ゲート線及び前記第 2 データ線と接続される第 9 スイッチング素子、前記第 1 ゲート線及び前記第 2 電源線と接続される第 10 スイッチング素子、前記第 2 ゲート線及び前記第 2 データ線と接続される第 11 スイッチング素子、前記第 2 ゲート線及び前記第 1 電源線と接続される第 12 スイッチング素子、前記第 9 スイッチング素子及び前記第 11 スイッチング素子と接続される第 5 画素電極、並びに前記第 10 スイッチング素子及び前記第 12 スイッチング素子と接続され、前記第 5 画素電極とは分離される第 6 画素電極をさらに含むことができる。

30

【0018】

前記第 1 ゲート線と前記第 3 ゲート線には第 1 フレームで順次にゲートオン信号が印加され、前記第 2 ゲート線と前記第 4 ゲート線には第 2 フレームで順次にゲートオン信号が印加できる。

【0019】

前記第 1 画素電極及び前記第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置し、前記第 3 画素電極及び前記第 4 画素電極は複数の枝電極を含み、前記第 3 画素電極の枝電極と前記第 4 画素電極の枝電極は交互に配置することができる。

40

【0020】

前記第 1 ゲート線と前記第 3 ゲート線とは互いに接続され、前記第 2 ゲート線と前記第 4 ゲート線とは互いに接続できる。

【0021】

本発明の他の一実施形態による液晶表示装置は、互いに対向する第 1 基板と第 2 基板、前記第 1 基板と第 2 基板との間に介され、液晶分子を含む液晶層、前記第 1 基板上に形成されてゲート信号を伝達する第 1 ゲート線及び第 2 ゲート線、前記第 1 基板上に形成される第 1 データ線及び第 2 データ線、前記第 1 基板上に形成される第 1 電源線及び第 2 電源線、前記第 1 ゲート線及び前記第 1 データ線と接続される第 1 スイッチング素子、前記第 1 ゲート線及び前記第 1 電源線と接続される第 2 スイッチング素子、前記第 2 ゲート線及

50

び前記第 2 電源線と接続される第 3 スイッチング素子、前記第 2 ゲート線及び前記第 2 データ線と接続される第 4 スイッチング素子、前記第 1 スイッチング素子及び前記第 3 スイッチング素子と接続される第 1 画素電極、並びに前記第 2 スイッチング素子及び前記第 4 スイッチング素子と接続され、前記第 1 画素電極とは分離される第 2 画素電極を含み、前記第 1 電源線と前記第 2 電源線には一定の大きさを有する第 1 電圧と第 2 電圧が印加される。

【0022】

前記液晶表示装置は、前記第 1 基板上に形成される第 3 データ線、前記第 1 ゲート線及び前記第 2 データ線と接続される第 5 スイッチング素子、前記第 1 ゲート線及び前記第 2 電源線と接続される第 6 スイッチング素子、前記第 2 ゲート線及び前記第 1 電源線と接続される第 7 スイッチング素子、前記第 2 ゲート線及び前記第 3 データ線と接続される第 8 スイッチング素子、前記第 5 スイッチング素子及び前記第 7 スイッチング素子と接続される第 3 画素電極、並びに前記第 6 スイッチング素子及び前記第 8 スイッチング素子と接続され、前記第 3 画素電極とは分離される第 4 画素電極をさらに含むことができる。

10

【0023】

前記液晶表示装置は、前記第 1 基板上に形成されてゲート信号を伝達する第 3 ゲート線及び第 4 ゲート線、前記第 3 ゲート線及び第 2 電源線と接続される第 5 スイッチング素子、前記第 3 ゲート線及び前記第 2 データ線と接続される第 6 スイッチング素子、前記第 4 ゲート線及び前記第 1 データ線と接続される第 7 スイッチング素子、前記第 4 ゲート線及び前記第 1 電源線と接続される第 8 スイッチング素子、前記第 5 スイッチング素子及び前記第 7 スイッチング素子と接続される第 3 画素電極、並びに前記第 6 スイッチング素子及び前記第 8 スイッチング素子と接続され、前記第 3 画素電極とは分離されている第 4 画素電極をさらに含むことができる。

20

【0024】

前記第 1 ゲート線と前記第 3 ゲート線には第 1 フレームで順次にゲートオン信号が印加され、前記第 2 ゲート線と前記第 4 ゲート線には第 2 フレームで順次にゲートオン信号が印加できる。

【0025】

前記第 1 画素電極及び前記第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置され、前記第 3 画素電極及び前記第 4 画素電極は複数の枝電極を含み、前記第 3 画素電極の枝電極と前記第 4 画素電極の枝電極は交互に配置できる。

30

【発明の効果】

【0026】

本発明の一実施形態によれば、液晶表示装置の高いコントラスト比と広視野角を同時に確保することができ、液晶分子の応答速度を早くするだけでなく、データ線の数を減らすことで液晶表示装置の駆動部の費用を節減することができる。

【図面の簡単な説明】

【0027】

【図 1】本発明の一実施形態による液晶表示装置のブロック図である。

40

【図 2】本発明の一実施形態による液晶表示装置の構造と共に一つの画素を示す等価回路図である。

【図 3】本発明の一実施形態による液晶表示装置の簡略な断面図である。

【図 4】本発明の一実施形態による液晶表示装置の画素の形態を示す配置図である。

【図 5】本発明の一実施形態による液晶表示装置の二つの画素に対する等価回路図である。

【図 6】図 5 に示した液晶表示装置の一つの画素に印加される信号の波形図である。

【図 7】本発明の一実施形態による液晶表示装置の二つの画素に対する等価回路図である。

【図 8】本発明の一実施形態による液晶表示装置の二つの画素に対する等価回路図である。

50

。

【図 9】本発明の一実施形態による液晶表示装置の二つの画素に対する等価回路図である

。

【図 10】本発明の一実施形態による液晶表示装置の互いに隣接する四つの画素に対する等価回路図である。

【図 11】本発明の一実施形態による液晶表示装置の互いに隣接する四つの画素に対する等価回路図である。

【図 12】本発明の一実施形態による液晶表示装置の二つの画素に対する等価回路図である。

【発明を実施するための形態】

10

【0028】

添付した図面を参照して、本発明の実施形態について本発明が属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は種々の相異なる形態に実現でき、ここで説明する実施形態に限られない。

【0029】

図面において、種々の層及び領域を明確に表現するために厚さを拡大して表わした。明細書の全体にわたって類似する部分に対しては同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるという時、これは他の部分の“すぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。一方、ある部分が他の部分の“すぐ上”にあるという時には、中間に他の部分がないことを意味する。

20

【0030】

以下、本発明の一実施形態による液晶表示装置について、図面を参照して詳細に説明する。

【0031】

図 1 は、本発明の一実施形態による液晶表示装置のブロック図であり、図 2 は、本発明の一実施形態による液晶表示装置の構造と共に一つの画素を示す等価回路図である。

【0032】

図 1 を参照すれば、本発明の一実施形態による液晶表示装置は、液晶表示板組立体 (liquid crystal panel assembly) 300、ゲート駆動部 (gate driver) 400、データ駆動部 (data driver) 500、階調電圧生成部 (gray voltage generator) 800、及び信号制御部 (signal controller) 600 を含む。

30

【0033】

図 2 を参照すれば、液晶表示板組立体 300 は、互いに対向する下部表示板 100 と上部表示板 200、及びその間に入っている液晶層 3 を含む。

【0034】

液晶キャパシタ C1c は、下部表示板 100 の第 1 画素電極 PEa と第 2 画素電極 PEb を二つの端子とし、第 1 画素電極 PEa と第 2 画素電極 PEb との間の液晶層 3 は誘電体として機能する。第 1 画素電極 PEa は第 1 スイッチング素子 (図示せず) と接続され、第 2 画素電極 PEb は第 2 スイッチング素子 (図示せず) と接続される。第 1 スイッチング素子と第 2 スイッチング素子はそれぞれ対応するゲート線 (図示せず) 及びデータ線 (図示せず) に接続される。

40

【0035】

液晶層 3 は誘電率異方性を有し、液晶層 3 の液晶分子は、電界のない状態でその長軸が二つの表示板の表面に対して垂直となるように配向されることができる。

【0036】

第 1 画素電極 PEa 及び第 2 画素電極 PEb は互いに異なる層に形成するか、または同じ層に形成することができる。液晶キャパシタ C1c の補助的な役割を果たす第 1 及び第 2 ストレージキャパシタ (図示せず) は、下部表示板 100 に具備された別途の電極 (図示せず) が第 1 画素電極 PEa 及び第 2 画素電極 PEb のそれぞれと絶縁体を介在して重

50

畳して形成することができる。

【0037】

一方、色表示を実現するためには、各画素  $PX$  が基本色 (primary color) のうちの一つを固有に表わすか (空間分割)、または各画素  $PX$  が時間によって交互に基本色を表わす (時間分割) ようにして、これら基本色の空間的、時間的な作用によって所望の色が認識されるようにする。基本色の例としては赤色、緑色、青色など三原色が挙げられる。図2は、空間分割の一例であって、各画素  $PX$  が第1画素電極  $PEa$  及び第2画素電極  $PEb$  に対応する上部表示板200の領域に、基本色のうちの一つを示すカラーフィルタ  $CF$  を備えることを示している。図2とは異なって、カラーフィルタ  $CF$  は下部表示板100の第1画素電極  $PEa$  及び第2画素電極  $PEb$  の上または下に形成することも可能である。

10

【0038】

液晶表示板組立体300には、少なくとも一つの偏光子 (図示せず) が備えられている。

【0039】

それでは、図3と共に図1及び図2を参照して、本発明の一実施形態による液晶表示装置の動作について説明する。

【0040】

図3は、本発明の一実施形態による液晶表示装置の簡略な断面図である。

【0041】

図2及び図3を参照すれば、各画素に接続されるデータ線または電源線 (power line) に電圧 ( $V_{CH}$ 、 $V_{CL}$ ) が印加されると、ゲート信号によって導通した第1及び第2スイッチング素子を通じて当該画素  $PX$  に印加される。つまり、第1画素電極  $PEa$  には第1スイッチング素子を通じて、データ線からの第1データ電圧または電源線からの第1電圧が印加され、第2画素電極  $PEb$  には第2スイッチング素子を通じて、データ線からの第2データ電圧または電源線からの第2電圧が印加される。この時、第1画素電極  $PEa$  及び第2画素電極  $PEb$  に印加されるデータ電圧や第1電圧及び第2電圧は、画素  $PX$  が表示しようとする輝度に対応する電圧であり、基準電圧  $V_{ref}$  に対してそれぞれ極性が互いに反対であり得る。

20

【0042】

このように、第1画素電極  $PEa$  及び第2画素電極  $PEb$  に印加された極性が互いに異なる二つのデータ電圧間の差や第1電圧と第2電圧との差は、液晶キャパシタ  $C_{lc}$  の充電電圧、つまり、画素電圧として現れる。液晶キャパシタ  $C_{lc}$  の両端に電位差が生じれば、図3に示したように、表示板100、200の表面に平行な電界が第1画素電極  $PEa$  と第2画素電極  $PEb$  との間の液晶層3に生成される。液晶分子31が正の誘電率異方性を有する場合、液晶分子31はその長軸が電界の方向に対して平行になるように傾き、その傾きの程度は画素電圧の大きさによって異なる。このような液晶層3を、 $EOC$  (electrically-induced optical compensation) モードという。また、液晶分子31の傾きの程度によって液晶層3を通過する光の偏光の変化の程度が変わる。このような偏光の変化は、偏光子によって光の透過率の変化として現れ、これによって画素  $PX$  は所望の所定の輝度を表示する。

30

40

【0043】

このように、一つの画素  $PX$  に基準電圧  $V_{ref}$  に対する極性が互いに異なる二つのデータ電圧や第1電圧及び第2電圧を印加することにより、駆動電圧を高めることができ、液晶分子の応答速度を早くすることができ、液晶表示装置の透過率を高めることができる。また、一つの画素  $PX$  に印加される二つのデータ電圧の極性または第1電圧と第2電圧との極性が互いに反対であるので、データ駆動部500における反転形態が列反転または行反転の場合にも、点反転駆動と同様にフリッカー (flicker) による画質の劣化を防ぐことができる。

【0044】

50

また、一つの画素  $PX$  で第 1 及び第 2 スイッチング素子が遮断される時、第 1 画素電極  $PEa$  及び第 2 画素電極  $PEb$  に印加される電圧のいずれもそれぞれのキックバック電圧 (kick back voltage) ほど下降するので、画素  $PX$  の充電電圧にはほとんど変化がない。したがって、液晶表示装置の表示特性を向上させることができる。

【0045】

次に、図 4 を参照して、本発明の一実施形態による液晶表示板組立体の一つの画素  $PX$  の第 1 画素電極  $PEa$  及び第 2 画素電極  $PEb$  の形態について説明する。図 4 は、本発明の一実施形態による液晶表示装置の画素の形態を示す配置図である。

【0046】

図 4 を参照すれば、一つの画素電極  $PE$  の全体的な外郭形状は四角形であり、第 1 画素電極  $PEa$  と第 2 画素電極  $PEb$  とは間隙 91 を間に置いて噛合っている。第 1 画素電極  $PEa$  及び第 2 画素電極  $PEb$  は全体的に仮想的な横中央線  $CL$  を境界に上下対称を成し、上下の二つの副領域に分かれる。

【0047】

第 1 画素電極  $PEa$  は、左側の縦幹部の最下端及び最上端の突出部、左側の縦幹部、縦幹部の中央部分から横中央線  $CL$  に沿って右側に延びた横幹部、及び複数の枝部含む。横中央線  $CL$  を基準に上部に位置する枝部は、縦幹部または横幹部から右側上方に斜めに延びている。一方、下部に位置する枝部は、縦幹部または横幹部から右側下方に斜めに延びる。枝部が横中央線  $CL$  と成す角は約 45 度であり得る。

【0048】

第 2 画素電極  $PEb$  は、下端の突出部、右側の縦幹部、上端及び下端の横幹部、及び複数の枝部を含む。上端及び下端の横幹部はそれぞれ縦幹部の上端及び下端から左に横方向に延びている。横中央線  $CL$  を基準に上部に位置する枝部は、縦幹部または上端の横幹部から左側下方に斜めに延びている。一方、下部に位置する枝部は、縦幹部または下端の横幹部から左側上方に斜めに延びる。第 2 画素電極  $PEb$  の枝部も横中央線  $CL$  と成す角は約 45 度であり得る。横中央線  $CL$  を中心に上部の枝部と下部の枝部とは互いに直角を成してもよい。

【0049】

第 1 画素電極  $PEa$  及び第 2 画素電極  $PEb$  の枝部は、一定の間隔を置いて互いに噛み合って交互に配置され、櫛状を成す。

【0050】

しかし、本発明の実施形態による液晶表示板組立体の一つの画素  $PX$  の第 1 画素電極  $PEa$  及び第 2 画素電極  $PEb$  の形態はこれに限定されず、画素電極  $PE$  は第 1 画素電極  $PEa$  及び第 2 画素電極  $PEb$  の少なくとも一部分が同じ層に形成されて交互に配置される全ての形態を含むことができる。

【0051】

以下、図 2 と共に図 5 及び図 6 を参照して、本発明の一実施形態による液晶表示装置の信号線及び画素の配置と、その駆動方法について説明する。図 5 は、本発明の一実施形態による液晶表示装置の二つの画素に対する等価回路図であり、図 6 は、図 5 に示した液晶表示装置の一つの画素に印加される信号の波形図である。

【0052】

図 2 及び図 5 を参照すれば、本実施形態による液晶表示装置は、画素の列方向に隣接する複数の第 1 画素  $PX(i)$  と複数の第 2 画素  $PX(i+1)$ 、及びこれに接続される複数の信号線 ( $G_{m-1}$ 、 $G_m$ 、 $G_{m+1}$ 、 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、 $D_j$ 、 $D_{j+1}$ 、 $C_{high}$ 、 $C_{low}$ ) を含む。信号線 ( $G_{m-1}$ 、 $G_m$ 、 $G_{m+1}$ 、 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、 $D_j$ 、 $D_{j+1}$ 、 $C_{high}$ 、 $C_{low}$ ) は、ゲート信号 (“走査信号”ともいう) を伝達する複数対のゲート線 ( $G_{m-1}$  及び  $G_n$ 、 $G_m$  及び  $G_{n+1}$ 、 $G_{m+1}$  及び  $G_{n+2}$ )、データ電圧を伝達する複数のデータ線 ( $D_j$ 、 $D_{j+1}$ )、及び所定の電圧を伝達する複数対の電源線 ( $C_{high}$ 、 $C_{low}$ ) を含む。

【0053】

10

20

30

40

50

第1画素  $PX(i)$  ( $i = 1, 2, \dots, n$ ) は、第1対のゲート線 ( $G_n, G_m$ ) ( $m$  及び  $n$  は任意の整数)、データ線  $D_j$ 、及び電源線  $C_{high}$ 、 $C_{low}$  に接続される第1スイッチング素子  $Q_{ai}$ 、第2スイッチング素子  $Q_{bi}$ 、第3スイッチング素子  $Q_{ci}$ 、及び第4スイッチング素子  $Q_{di}$  と、これに接続された液晶キャパシタ  $Clc$  を含む。第1乃至第4スイッチング素子  $Q_{ai}$ 、 $Q_{bi}$ 、 $Q_{ci}$ 、 $Q_{di}$  は薄膜トランジスタなどの三端子素子であって、第1スイッチング素子  $Q_{ai}$  の制御端子は第1対のゲート線 ( $G_n, G_m$ ) のうちの第1ゲート線  $G_n$  に接続され、入力端子はデータ線  $D_j$  に入力され、出力端子は液晶キャパシタ  $Clc$  の一端及び第1画素電極  $PEa$  に接続される。第2スイッチング素子  $Q_{bi}$  の制御端子は第1ゲート線  $G_n$  に接続され、入力端子は複数対の電源線 ( $C_{high}$ 、 $C_{low}$ ) のうちの第1電源線  $C_{high}$  に接続され、出力端子は液晶キャパシタ  $Clc$  の他端及び第2画素電極  $PEb$  に接続される。第3スイッチング素子  $Q_{ci}$  の制御端子は第1対のゲート線 ( $G_n, G_m$ ) のうちの第2ゲート線  $G_m$  に接続され、入力端子はデータ線  $D_j$  に入力され、出力端子は液晶キャパシタ  $Clc$  の一端及び第1画素電極  $PEa$  に接続される。第4スイッチング素子  $Q_{di}$  の制御端子は第2ゲート線  $G_m$  に接続され、入力端子は複数対の電源線 ( $C_{high}$ 、 $C_{low}$ ) のうちの第2電源線  $C_{low}$  に接続され、出力端子は液晶キャパシタ  $Clc$  の他端及び第2画素電極  $PEb$  に接続される。また、第1スイッチング素子  $Q_{ai}$  の出力端子の地点  $A_i$  及び第3スイッチング素子  $Q_{ci}$  の出力端子の地点  $C_i$  は互いに接続されている。また、第2スイッチング素子  $Q_{bi}$  の出力端子の地点  $B_i$  及び第4スイッチング素子  $Q_{di}$  の出力端子の地点  $D_i$  は互いに接続されている。

10

20

#### 【0054】

第1画素  $PX(i)$  と画素の列方向に隣接する第2画素  $PX(i+1)$  ( $i = 1, 2, \dots, n$ ) は、第2対のゲート線 ( $G_{n+1}, G_{m+1}$ ) ( $m$  及び  $n$  は任意の整数)、データ線  $D_j$ 、並びに電源線  $C_{high}$ 、 $C_{low}$  に接続される第1スイッチング素子  $Q_{ai+1}$ 、第2スイッチング素子  $Q_{bi+1}$ 、第3スイッチング素子  $Q_{ci+1}$ 、及び第4スイッチング素子  $Q_{di+1}$  と、これに接続された液晶キャパシタ  $Clc$  を含む。第1スイッチング素子  $Q_{ai+1}$  の制御端子は、第2対のゲート線 ( $G_{n+1}, G_{m+1}$ ) のうちの第1ゲート線  $G_{n+1}$  に接続され、入力端子はデータ線  $D_j$  に入力され、出力端子は液晶キャパシタ  $Clc$  の一端及び第1画素電極  $PEa$  に接続される。第2スイッチング素子  $Q_{bi+1}$  の制御端子は第1ゲート線  $G_{n+1}$  に接続され、入力端子は複数対の電源線 ( $C_{high}$ 、 $C_{low}$ ) のうちの第2電源線  $C_{low}$  に接続され、出力端子は液晶キャパシタ  $Clc$  の一端及び第2画素電極  $PEb$  に接続される。第3スイッチング素子  $Q_{ci+1}$  の制御端子は第2対のゲート線 ( $G_{n+1}, G_{m+1}$ ) のうちの第2ゲート線  $G_{m+1}$  に接続され、入力端子はデータ線  $D_j$  に入力され、出力端子は液晶キャパシタ  $Clc$  の一端及び第1画素電極  $PEa$  に接続される。第4スイッチング素子  $Q_{di+1}$  の制御端子は第2ゲート線  $G_{m+1}$  に接続され、入力端子は複数対の電源線 ( $C_{high}$ 、 $C_{low}$ ) のうちの第1電源線  $C_{high}$  に接続され、出力端子は液晶キャパシタ  $Clc$  の一端及び第2画素電極  $PEb$  に接続される。また、第1スイッチング素子  $Q_{ai+1}$  の出力端子の地点  $A_{i+1}$  及び第3スイッチング素子  $Q_{ci+1}$  の出力端子の地点  $C_{i+1}$  は互いに接続されている。また、第2スイッチング素子  $Q_{bi+1}$  の出力端子の地点  $B_{i+1}$  及び第4スイッチング素子  $Q_{di+1}$  の出力端子の地点  $D_{i+1}$  は互いに接続されている。

30

40

#### 【0055】

図示していないが、複数対の電源線 ( $C_{high}$ 、 $C_{low}$ ) のうちの第1電源線  $C_{high}$  は互いに接続されており同一の第1電圧が印加され、複数対の電源線 ( $C_{high}$ 、 $C_{low}$ ) のうちの第2電源線  $C_{low}$  は互いに接続されており同一の第2電圧が印加される。第1電源線  $C_{high}$  と第2電源線  $C_{low}$  に印加される第1電圧と第2電圧の極性は、基準電圧  $V_{ref}$  に対して互いに異なる。例えば、基準電圧  $V_{ref}$  に印加される電圧が  $7.5V$  の場合、第1電圧は約  $15V$  以上、第2電圧は約  $0V$  以下であり得る。また、その反対で、第2電圧は約  $15V$  以上、第1電圧は約  $0V$  以下でもあり得る。

#### 【0056】

50

また、互いに対を成してそれぞれ一つの画素に接続されるゲート線 ( $G_m$  及び  $G_n$ 、 $G_{m+1}$  及び  $G_{n+1}$ ) のうちの第 1 ゲート線  $G_n$ 、 $G_{n+1}$  と第 2 ゲート線  $G_m$ 、 $G_{m+1}$  には互いに異なるフレームでゲートオン電圧が印加される。例えば、第 1 フレームの間に第 1 ゲート線  $G_n$ 、 $G_{n+1}$  に順次にゲートオン電圧が印加され、第 1 フレームの次の第 2 フレームの間に第 2 ゲート線  $G_m$ 、 $G_{m+1}$  に順次にゲートオン電圧が印加できる。または、第 1 フレームの間に第 2 ゲート線  $G_m$ 、 $G_{m+1}$  に順次にゲートオン電圧が印加され、第 2 フレームの間に第 1 ゲート線  $G_n$ 、 $G_{n+1}$  に順次にゲートオン電圧が印加されることも可能である。

#### 【0057】

以下、本実施形態による液晶表示装置の駆動方法の一例について具体的に説明する。

10

#### 【0058】

まず、第 1 フレーム内の駆動方法について説明する。図 2 及び図 5 と共に図 6 を参照すれば、第 1 対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第 1 ゲート線  $G_n$  にゲートオン電圧が印加されると、導通した第 1 スイッチング素子  $Q_{ai}$  を通じてデータ電圧が第 1 画素  $PX(i)$  に印加され、導通した第 2 スイッチング素子  $Q_{bi}$  を通じて第 1 電圧が第 1 画素  $PX(i)$  に印加される。つまり、第 1 画素  $PX(i)$  の第 1 画素電極  $PE_a$  には第 1 スイッチング素子  $Q_{ai}$  を通じてデータ線  $D_j$  に流れるデータ電圧が印加され、第 2 画素電極  $PE_b$  には第 2 スイッチング素子  $Q_{bi}$  を通じて第 1 電源線  $C_{high}$  に流れる第 1 電圧が印加される。図 6 の第 1 フレームのデータ線  $D_j$  のタイミングチャートに基づけば、第 1 ゲート線  $G_n$ 、例えば第 1 ゲート線  $G_1$  が立ち上がった際には、第 1 画素  $PX(i)$  の第 1 画素電極  $PE_a$  にはデータ線  $D_j$  に流れる ( - ) 極性のデータ電圧が印加され、第 2 画素電極  $PE_b$  には ( + ) 極性の第 1 電源線  $C_{high}$  に流れる第 1 電圧が印加される。この時、地点  $A_i$  と地点  $B_i$  にそれぞれデータ電圧と第 1 電圧が印加され、この二地点 ( $A_i$ 、 $B_i$ ) の間の電圧差が第 1 画素  $PX(i)$  の液晶キャパシタ  $C_{lc}$  の充電電圧になる。

20

#### 【0059】

第 1 画素  $PX(i)$  の第 1 画素電極  $PE_a$  と第 2 画素電極  $PE_b$  に印加されるデータ電圧と第 1 電圧は、第 1 画素  $PX(i)$  が表示しようとする輝度に対応する電圧であり、基準電圧  $V_{ref}$  に対してそれぞれ極性が互いに反対である。

#### 【0060】

30

その後、第 2 対のゲート線 ( $G_{n+1}$ 、 $G_{m+1}$ ) のうちの第 1 ゲート線  $G_{n+1}$  にゲートオン電圧が印加され、導通した第 2 画素  $PX(i+1)$  の第 1 スイッチング素子  $Q_{ai+1}$  を通じてデータ線  $D_j$  に流れるデータ電圧が第 2 画素  $PX(i+1)$  に印加され、導通した第 2 スイッチング素子  $Q_{bi+1}$  を通じて第 2 電源線  $C_{low}$  に流れる第 2 電圧が印加される。ここで、図 6 に示すように、第 1 ゲート線  $G_{n+1}$ 、例えば第 1 ゲート線  $G_2$  が立ち上がった際には、データ線  $D_j$  に流れるデータ電圧の極性は ( + ) に変化している。よって、第 2 画素  $PX(i+1)$  の第 1 画素電極  $PE_a$  にはデータ線  $D_j$  に流れる ( + ) 極性のデータ電圧が印加され、第 2 画素電極  $PE_b$  には ( - ) 極性の第 2 電源線  $C_{low}$  に流れる第 2 電圧が印加される。この時、地点  $A_{i+1}$  と地点  $B_{i+1}$  にそれぞれデータ電圧と第 2 電圧が印加され、この二地点 ( $A_{i+1}$ 、 $B_{i+1}$ ) の間の電圧差が第 2 画素  $PX(i+1)$  の液晶キャパシタ  $C_{lc}$  の充電電圧になる。第 2 画素  $PX(i+1)$  の第 1 画素電極  $PE_a$  と第 2 画素電極  $PE_b$  に印加されるデータ電圧と第 2 電圧は、第 2 画素  $PX(i+1)$  が表示しようとする輝度に対応する電圧であり、基準電圧  $V_{ref}$  に対してそれぞれ極性が互いに反対である。なお、隣接するフレームにおいて、データ線  $D_j$  のデータ電圧の各フレームでの最初の極性は反対となるように設定されている。つまり、第 1 フレームにおいてデータ線  $D_j$  は ( - ) の極性から開始して ( + )、( - ) ・ ・ ・ と変化し、一方、第 2 フレームにおいてデータ線  $D_j$  は ( + ) の極性から開始して ( - )、( + ) ・ ・ ・ と変化する。

40

#### 【0061】

例えば、図 6 に示した実施形態の場合、第 1 フレームの間に、第 1 ゲート線  $G_n$

50

(例えば第1ゲート線  $G_1$ ) が立ち上がった際、第1画素  $PX(i)$  の第1画素電極  $PE_a$  に印加されるデータ電圧の極性は( - )であり、第2画素電極  $PE_b$  に印加される  $C_{high}$  からの第1電圧の極性が( + )である。また、第1ゲート線  $G_{n+1}$  (例えば第1ゲート線  $G_2$ ) が立ち上がると、第2画素  $PX(i+1)$  の第1画素電極  $PE_a$  に印加されるデータ電圧の極性は( + )となり、第2画素電極  $PE_b$  に印加される  $C_{low}$  からの第2電圧の極性が( - )である。これによって、第1フレームの間に画素列に沿って配置されている第1画素  $PX(i)$  と第2画素  $PX(i+1)$  に充電される画素電圧の極性は互いに変化するようになって、ドット反転を成す。

#### 【0062】

しかし、本発明の他の実施形態による場合、第1電源線  $C_{high}$  に印加される第1電圧の極性が( - )であり、第2電源線  $C_{low}$  に印加される第2電圧の極性が( + )であり得る。この場合、データ線  $D_j$  を通じて印加されるデータ電圧の極性も図6に示した実施形態とは反対であり得る。

#### 【0063】

このような段階が  $n$  番目第1ゲート線に接続される  $n$  番目画素  $PX(n)$  まで繰り返して、第1フレームが完了する。第1フレームが完了すると、第2フレームが開始し、対を成しているゲート線のうちの第2ゲート線に順次にゲートオン電圧が印加される。

#### 【0064】

第1対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第2ゲート線  $G_m$  にゲートオン電圧が印加されると、導通した第3スイッチング素子  $Q_{ci}$  を通じてデータ電圧が第1画素  $PX(i)$  に印加され、導通した第4スイッチング素子  $Q_{di}$  を通じて第2電圧が第1画素  $PX(i)$  に印加される。つまり、第1画素電極  $PE_a$  には第3スイッチング素子  $Q_{ci}$  を通じてデータ線  $D_j$  に流れるデータ電圧が印加され、第4画素電極  $PE_b$  には第4スイッチング素子  $Q_{di}$  を通じて第2電源線  $C_{low}$  に流れる第2電圧が印加される。この時、地点  $C_i$  と地点  $D_i$  にそれぞれデータ電圧と第2電圧が印加され、この二地点 ( $C_i$ 、 $D_i$ ) の間の電圧差が第1画素  $PX(i)$  の液晶キャパシタ  $C_{lc}$  の充電電圧になる。

#### 【0065】

その後、第2対のゲート線 ( $G_{n+1}$ 、 $G_{m+1}$ ) のうちの第2ゲート線  $G_{m+1}$  にゲートオン電圧が印加され、導通した第2画素  $PX(i+1)$  の第3スイッチング素子  $Q_{ci+1}$  を通じてデータ線  $D_j$  に流れるデータ電圧が第2画素  $PX(i+1)$  に印加され、導通した第4スイッチング素子  $Q_{di+1}$  を通じて第1電源線  $C_{high}$  に流れる第1電圧が印加される。この時、地点  $C_{i+1}$  と地点  $D_{i+1}$  にそれぞれデータ電圧と第1電圧が印加され、この二地点 ( $C_{i+1}$ 、 $D_{i+1}$ ) の間の電圧差が第2画素  $PX(i+1)$  の液晶キャパシタ  $C_{lc}$  の充電電圧になる。

#### 【0066】

第2フレームの間に、第1画素  $PX(i)$  の第1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は( + )であり、 $C_{low}$  からの第2電圧の極性が( - )である。また、第2画素  $PX(i+1)$  の第1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は( - )であり、 $C_{high}$  からの第1電圧の極性が( + )である。これによって、第2フレームの間に画素列に沿って配置されている第1画素  $PX(i)$  と第2画素  $PX(i+1)$  に充電される画素電圧の極性は互いに変化するようになって、ドット反転を成す。

#### 【0067】

より具体的に説明すると、第2フレームの間に、第2ゲート線  $G_m$  が立ち上がった際の最初のデータ線  $D_j$  のデータ電圧の極性は( + )である。よって、第2ゲート線  $G_m$  (例えば第2ゲート線  $G_1$ ) が立ち上がった際、第1画素  $PX(i)$  の第1画素電極  $PE_a$  に印加されるデータ電圧の極性は( + )であり、第2画素電極  $PE_b$  に印加される  $C_{low}$  からの第2電圧の極性が( - )である。次に、第2ゲート線  $G_{m+1}$  (例えば第2ゲート線  $G_2$ ) が立ち上がった際、第2画素  $PX(i+1)$  の第1画素電極  $PE_a$  に印加されるデータ電圧の極性は( - )であり、第2画素電極  $PE_b$  に印加される  $C_{high}$  からの第1電圧の極性が( + )である。これによって、第2フレームの間に画素列に沿って配置されている第1画素  $PX(i)$  と第2画素  $PX(i+1)$  に充電される画素電圧の極性は互いに変化するようになって、ドット反転を成す。

10

20

30

40

50

らの第1電圧の極性が(+)である。これによって、第2フレームの間に画素列に沿って配置されている第1画素 $PX(i)$ と第2画素 $PX(i+1)$ に充電される画素電圧の極性も互いに変化するようになって、ドット反転を成す。

【0068】

図6に示した実施形態では、第1電圧の極性が(+)であり、第2電圧の極性が(-)である場合を例に挙げて説明したが、第1電圧と第2電圧の極性が互いに反対である場合も適用可能である。

【0069】

上説した第1フレームと第2フレームとを繰り返すことで、所望のフレームの間に各画素ごとに所望の画素電圧を印加するようになる。

10

【0070】

一般に、本発明の実施形態のように、一つの画素を二つの画素電極( $PE_a$ 、 $PE_b$ )に分け、互いに異なるスイッチング素子を利用して互いに異なる極性を有する電圧を印加して、液晶キャパシタ $C_{lc}$ に所望の大きさの電圧を充電するために、一つの画素は一つのゲート線と互いに異なる二つのデータ線に接続される。つまり、各画素の第1及び第2画素電極に接続される第1及び第2スイッチング素子は同じゲート線に接続されているが、それぞれ互いに異なるデータ線に接続して、互いに異なるデータ線を通じてデータ電圧の印加を受ける。

【0071】

しかし、本実施形態による液晶表示装置の一つの画素は、互いに対になる二つのゲート線と、一つのデータ線、及び二つの電源線に接続される。したがって、データ線の数が減って、液晶表示装置の駆動部の費用を節減することができる。本実施形態による液晶表示装置の信号線及び画素配置によれば、一般的な信号線及び画素の配置に比べ、ゲート線が対を成して配置されてゲート線の数が増えるが、ゲート信号はゲートオン/オフ信号に過ぎなくて、データ駆動部に比べてゲート駆動部の動作が比較的簡単であるので、製造費用が一般的に低いと知られている。また、二つの電源線が追加されるが、電源線それぞれには常に同一の大きさの一定の電圧が印加されるので、一定の電圧を印加するための簡単な駆動部だけを追加すれば良く、これによって駆動方法が簡単で、かつ製造費用が低い。

20

【0072】

次に、図7を参照して、本発明の他の一実施形態による液晶表示装置の信号線及び画素の配置と、その駆動方法について説明する。図7は、本発明の一実施形態による液晶表示装置の互いに隣接する二つの画素に対する等価回路図である。

30

図7に示した液晶表示装置の信号線及び画素の配置は、図5に示した信号線及び画素の配置と類似している。図7を参照すれば、本実施形態による液晶表示装置は、画素の列方向に隣接する複数の第1画素 $PX(i)$ と複数の第2画素 $PX(i+1)$ 、及びこれに接続される複数の信号線( $G_{m-1}$ 、 $G_m$ 、 $G_{m+1}$ 、 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、 $D_j$ 、 $D_{j+1}$ 、 $C_{high}$ 、 $C_{low}$ )を含む。第1画素 $PX(i)$ は、第1対のゲート線 $G_n$ 、 $G_m$ 、データ線 $D_j$ 、並びに電源線 $C_{high}$ 、 $C_{low}$ に接続される第1スイッチング素子 $Q_{ai}$ 、第2スイッチング素子 $Q_{bi}$ 、第3スイッチング素子 $Q_{ci}$ 、及び第4スイッチング素子 $Q_{di}$ と、これに接続された液晶キャパシタ $C_{lc}$ を含む。しかし、図5に示した液晶表示装置とは異なって、第1画素電極 $PE_a$ 、第1電源線 $C_{high}$ 及び第2電源線 $C_{low}$ に接続される二端子を有する第1ストレージキャパシタ $C_{sta1}$ 、 $C_{sta2}$ を含む。 $C_{sta1}$ は、第1画素電極 $PE_a$ と第2電源線 $C_{low}$ との間の絶縁膜を介したキャパシタであり、 $C_{sta2}$ は、第1画素電極 $PE_a$ と第1電源線 $C_{high}$ との間の絶縁膜を介したキャパシタである。また、第2画素電極 $PE_b$ 、第1電源線 $C_{high}$ 及び第2電源線 $C_{low}$ に接続される二端子を有する第2ストレージキャパシタ $C_{stb1}$ 、 $C_{stb2}$ を含む。 $C_{stb1}$ は、第2画素電極 $PE_b$ と第1電源線 $C_{high}$ との間の絶縁膜を介したキャパシタであり、 $C_{stb2}$ は、第2画素電極 $PE_b$ と第2電源線 $C_{low}$ との間の絶縁膜を介したキャパシタである。図5と比較して、ストレージキャパシタ $C_{sta1}$ 、 $C_{sta2}$ 、 $C_{stb1}$ 、 $C_{stb2}$ があれば、液晶キャパシ

40

50

タの容量能力をさらに強化することができる。

【0073】

図5に示した実施形態と同様に、本実施形態による液晶表示装置の場合、互いに対を成してそれぞれ一つの画素に接続されるゲート線 ( $G_m$  及び  $G_n$ 、 $G_{m+1}$  及び  $G_{n+1}$ ) のうちの第1ゲート線  $G_n$ 、 $G_{n+1}$  と第2ゲート線  $G_m$ 、 $G_{m+1}$  には、互いに異なるフレームにゲートオン電圧が印加される。例えば、第1フレームの間に第1ゲート線  $G_n$ 、 $G_{n+1}$  に順次にゲートオン電圧が印加され、第1フレームの次の第2フレームの間に第2ゲート線  $G_m$ 、 $G_{m+1}$  に順次にゲートオン電圧が印加できる。

【0074】

第1フレームについて説明する。第1対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第1ゲート線  $G_n$  にゲートオン電圧が印加されると、第1画素  $PX_{(i)}$  の第1画素電極  $PE_a$  には第1スイッチング素子  $Q_{a_i}$  を通じてデータ線  $D_j$  に流れるデータ電圧が印加され、第2画素電極  $PE_b$  には第2スイッチング素子  $Q_{b_i}$  を通じて第1電源線  $C_{high}$  に流れる第1電圧が印加される。その後、第2対のゲート線 ( $G_{n+1}$ 、 $G_{m+1}$ ) のうちの第1ゲート線  $G_{n+1}$  にゲートオン電圧が印加され、導通した第2画素  $PX_{(i+1)}$  の第1スイッチング素子  $Q_{a_{i+1}}$  を通じてデータ線  $D_j$  に流れるデータ電圧が第2画素  $PX_{(i+1)}$  に印加され、導通した第2スイッチング素子  $Q_{b_{i+1}}$  を通じて第2電源線  $C_{low}$  に流れる第2電圧が印加される。

【0075】

図6に示した実施形態と同様に、本実施形態による液晶表示装置の場合、第1画素  $PX_{(i)}$  の第1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は ( - ) であり、第1電圧の極性が ( + ) である。また、第2画素  $PX_{(i+1)}$  の第1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は ( + ) であり、第2電圧の極性が ( - ) である。これによって、第1フレーム内の画素列に沿って配置されている第1画素  $PX_{(i)}$  と第2画素  $PX_{(i+1)}$  に充電される画素電圧の極性は互いに変化するようになって、ドット反転を成す。

【0076】

第1フレーム直後の第2フレームについて説明する。第1対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第2ゲート線  $G_m$  にゲートオン電圧が印加されると、第1画素  $PX_{(i)}$  の第1画素電極  $PE_a$  には第3スイッチング素子  $Q_{c_i}$  を通じてデータ線  $D_j$  に流れるデータ電圧が印加され、第4画素電極  $PE_b$  には第4スイッチング素子  $Q_{d_i}$  を通じて第2電源線  $C_{low}$  に流れる第2電圧が印加される。その後、第2対のゲート線 ( $G_{n+1}$ 、 $G_{m+1}$ ) のうちの第2ゲート線  $G_{m+1}$  にゲートオン電圧が印加され、導通した第2画素  $PX_{(i+1)}$  の第3スイッチング素子  $Q_{c_{i+1}}$  を通じてデータ線  $D_j$  に流れるデータ電圧が第2画素  $PX_{(i+1)}$  に印加され、導通した第4スイッチング素子  $Q_{d_{i+1}}$  を通じて第1電源線  $C_{high}$  に流れる第1電圧が印加される。

【0077】

第2フレームの間に、第1画素  $PX_{(i)}$  の第1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は ( + ) であり、第2電圧の極性が ( - ) である。また、第2画素  $PX_{(i+1)}$  の第1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は ( - ) であり、第1電圧の極性が ( + ) である。これによって、第2フレーム内の画素列に沿って配置されている第1画素  $PX_{(i)}$  と第2画素  $PX_{(i+1)}$  に充電される画素電圧の極性は互いに変化するようになって、ドット反転を成す。

【0078】

このように、本実施形態による液晶表示装置の一つの画素は、互いに対になる二つのゲート線と、一つのデータ線、及び二つの電源線に接続される。したがって、データ線の数減って、液晶表示装置の駆動部の費用を節減することができる。

【0079】

以下、図8を参照して、本発明の他の一実施形態による液晶表示装置の信号線及び画素

10

20

30

40

50

の配置について説明する。図 8 は、本発明の一実施形態による液晶表示装置の互いに隣接する二つの画素に対する等価回路図である。

【0080】

図 8 に示した液晶表示装置の信号線及び画素の配置は、図 5 に示した信号線及び画素の配置と類似している。図 8 を参照すれば、本実施形態による液晶表示装置は、画素の列方向に隣接する複数の第 1 画素  $PX(i)$  と複数の第 2 画素  $PX(i+1)$ 、及びこれに接続される複数の信号線 ( $G_{m-1}$ 、 $G_m$ 、 $G_{m+1}$ 、 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、 $D_j$ 、 $D_{j+1}$ 、 $C_{high}$ 、 $C_{low}$ ) を含む。第 1 画素  $PX(i)$  は、第 1 対のゲート線  $G_n$ 、 $G_m$ 、データ線  $D_j$ 、並びに電源線  $C_{high}$ 、 $C_{low}$  に接続される第 1 スwitchング素子  $Q_{ai}$ 、第 2 スwitchング素子  $Q_{bi}$ 、第 3 スwitchング素子  $Q_{ci}$ 、及び第 4 スwitchング素子  $Q_{di}$  と、これに接続された液晶キャパシタ  $C_{lc}$  を含む。しかし、図 5 に示した液晶表示装置とは異なって、第 1 画素  $PX(i)$  は、第 1 画素電極  $PE_a$ 、前段ゲート線  $G_{m-1}$  及び後段ゲート線  $G_{n+1}$  に接続される二端子を有する第 1 ストレージキャパシタ  $C_{sta1}$ 、 $C_{sta2}$  を含む。当該第 1 画素  $PX(i)$  の  $C_{sta1}$  は、第 1 画素電極  $PE_a$  と前段第 2 ゲート線  $G_{m-1}$  との間の絶縁膜を介したキャパシタであり、 $C_{sta2}$  は、第 1 画素電極  $PE_a$  と後段第 1 ゲート線  $G_{n+1}$  との間の絶縁膜を介したキャパシタである。また、当該第 1 画素  $PX(i)$  は、第 2 画素電極  $PE_b$ 、前段ゲート線  $G_{m-1}$  及び後段ゲート線  $G_{n+1}$  に接続される二端子を有する第 2 ストレージキャパシタ  $C_{stb1}$ 、 $C_{stb2}$  を含む。当該第 1 画素  $PX(i)$  の  $C_{stb1}$  は、第 2 画素電極  $PE_b$  と前段第 2 ゲート線  $G_{m-1}$  との間の絶縁膜を介したキャパシタであり、 $C_{stb2}$  は、第 2 画素電極  $PE_b$  と後段第 1 ゲート線  $G_{n+1}$  との間の絶縁膜を介したキャパシタである。また、第 2 画素  $PX(i+1)$  は、第 1 画素電極  $PE_a$ 、前段ゲート線  $G_m$  及び後段ゲート線  $G_{n+2}$  に接続される二端子を有する第 1 ストレージキャパシタ  $C_{sta1}$ 、 $C_{sta2}$  を含む。当該第 2 画素  $PX(i+1)$  の  $C_{sta1}$  は、第 1 画素電極  $PE_a$  と前段第 2 ゲート線  $G_m$  との間の絶縁膜を介したキャパシタであり、 $C_{sta2}$  は、第 1 画素電極  $PE_a$  と後段第 1 ゲート線  $G_{n+2}$  との間の絶縁膜を介したキャパシタである。また、当該第 2 画素  $PX(i+1)$  は、第 2 画素電極  $PE_b$ 、前段ゲート線  $G_m$  及び後端ゲート線  $G_{n+2}$  に接続される二端子を有する第 2 ストレージキャパシタ  $C_{stb1}$ 、 $C_{stb2}$  を含む。当該第 2 画素  $PX(i+1)$  の  $C_{stb1}$  は、第 2 画素電極  $PE_b$  と前段第 2 ゲート線  $G_m$  との間の絶縁膜を介したキャパシタであり、 $C_{stb2}$  は、第 2 画素電極  $PE_b$  と後段第 1 ゲート線  $G_{n+2}$  との間の絶縁膜を介したキャパシタである。

【0081】

図 8 に示した液晶表示装置の駆動方法は、図 5 及び図 6 に示した実施形態による液晶表示装置の駆動方法と類似している。

【0082】

また、図 5 と比較して、ストレージキャパシタ  $C_{sta1}$ 、 $C_{sta2}$ 、 $C_{stb1}$ 、 $C_{stb2}$  があれば、液晶キャパシタの容量能力をさらに強化することができる。

【0083】

次に、図 9 を参照して、本発明の他の一実施形態による液晶表示装置の信号線及び画素の配置について説明する。図 9 は、本発明の一実施形態による液晶表示装置の互いに隣接する二つの画素に対する等価回路図である。

【0084】

図 9 を参照すれば、本実施形態による液晶表示装置は、画素の列方向に隣接する複数の第 1 画素  $PX(i)$  と複数の第 2 画素  $PX(i+1)$ 、及びこれに接続される複数の信号線 ( $G_{m-1}$ 、 $G_m$ 、 $G_{m+1}$ 、 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、 $D_j$ 、 $D_{j+1}$ 、 $C_{high}$ 、 $C_{low}$ ) を含む。第 1 画素  $PX(i)$  は、第 1 対のゲート線  $G_n$ 、 $G_m$ 、データ線 ( $D_j$ )、並びに電源線  $C_{high}$ 、 $C_{low}$  に接続される第 1 スwitchング素子  $Q_{ai}$ 、第 2 スwitchング素子  $Q_{bi}$ 、第 3 スwitchング素子  $Q_{ci}$  及び第 4 スwitchング素子  $Q_{di}$  と、これに接続された液晶キャパシタ  $C_{lc}$  を含む。第 2 画素  $PX(i+1)$  は、

第2対のゲート線  $G_{n+1}$ 、 $G_{m+1}$ 、データ線  $D_j$ 、並びに電源線  $C_{high}$ 、 $C_{low}$  に接続される第1スイッチング素子  $Q_{ai+1}$ 、第2スイッチング素子  $Q_{bi+1}$ 、第3スイッチング素子  $Q_{ci+1}$ 、及び第4スイッチング素子  $Q_{di+1}$  と、これに接続された液晶キャパシタ  $C_{lc}$  を含む。

【0085】

そして、第1画素電極  $PE_a$ 、第1電源線  $C_{high}$  及び第2電源線  $C_{low}$  に接続される二端子を有する第1ストレージキャパシタ  $C_{sta1}$ 、 $C_{sta2}$  を含む。 $C_{sta1}$  は、第1画素電極  $PE_a$  と第2電源線  $C_{low}$  との間の絶縁膜を介したキャパシタであり、 $C_{sta2}$  は、第1画素電極  $PE_a$  と第1電源線  $C_{high}$  との間の絶縁膜を介したキャパシタである。また、第2画素電極  $PE_b$ 、第1電源線  $C_{high}$  及び第2電源線  $C_{low}$  に接続される二端子を有する第2ストレージキャパシタ  $C_{stb1}$ 、 $C_{stb2}$  を含む。 $C_{stb1}$  は、第2画素電極  $PE_b$  と第2電源線  $C_{low}$  との間の絶縁膜を介したキャパシタであり、 $C_{stb2}$  は、第2画素電極  $PE_b$  と第1電源線  $C_{high}$  との間の絶縁膜を介したキャパシタである。

10

【0086】

上述した実施形態において、互いに対を成す二つのゲート線 ( $G_n$  及び  $G_m$ 、 $G_{n+1}$  及び  $G_{m+1}$ ) の間に第1電源線  $C_{high}$  及び第2電源線  $C_{low}$  が配置されているが、本実施形態による液晶表示装置の場合、互いに対を成すゲート線 ( $G_n$  及び  $G_m$ ) のうちの第1ゲート線  $G_n$  と前段の第2ゲート線  $G_{m-1}$  との間、そして、第2ゲート線  $G_m$  と後段の第1ゲート線  $G_{n+1}$  との間に、第1電源線  $C_{high}$  及び第2電源線  $C_{low}$  が配置される。このように、各画素 ( $PX_{(i)}$ 、 $PX_{(i+1)}$ ) の二つのゲート線 ( $G_n$  及び  $G_m$ 、 $G_{n+1}$  及び  $G_{m+1}$ ) の間に第1電源線  $C_{high}$  及び第2電源線  $C_{low}$  を配置することよりも、二つのゲート線 ( $G_n$  及び  $G_m$ 、 $G_{n+1}$  及び  $G_{m+1}$ ) と、前段ゲート線及び後段ゲート線との間に第1電源線  $C_{high}$  及び第2電源線  $C_{low}$  を配置する場合の方が、各画素 ( $PX_{(i)}$ 、 $PX_{(i+1)}$ ) 開口率を高くすることができる。

20

【0087】

本実施形態による液晶表示装置の駆動方法は、図5及び図6に示した実施形態による液晶表示装置の駆動方法と類似している。

【0088】

図5に示した実施形態と同様に、本実施形態による液晶表示装置の場合、互いに対を成してそれぞれ一つの画素に接続されるゲート線 ( $G_m$  及び  $G_n$ 、 $G_{m+1}$  及び  $G_{n+1}$ ) のうちの第1ゲート線  $G_n$ 、 $G_{n+1}$  と第2ゲート線  $G_m$ 、 $G_{m+1}$  には、互いに異なるフレームでゲートオン電圧が印加される。例えば、第1フレームの間に第1ゲート線  $G_n$ 、 $G_{n+1}$  に順次にゲートオン電圧が印加され、第1フレームの次の第2フレームの間に第2ゲート線  $G_m$ 、 $G_{m+1}$  に順次にゲートオン電圧が印加できる。

30

【0089】

第1フレームについて説明する。第1対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第1ゲート線  $G_n$  にゲートオン電圧が印加されると、第1画素  $PX_{(i)}$  の第1画素電極  $PE_a$  には第1スイッチング素子  $Q_{ai}$  を通じてデータ線  $D_j$  に流れるデータ電圧が印加され、第2画素電極  $PE_b$  には第2スイッチング素子  $Q_{bi}$  を通じて第1電源線  $C_{high}$  に流れる第1電圧が印加される。その後、第2対のゲート線 ( $G_{n+1}$ 、 $G_{m+1}$ ) のうちの第1ゲート線  $G_{n+1}$  にゲートオン電圧が印加され、導通した第2画素  $PX_{(i+1)}$  の第1スイッチング素子  $Q_{ai+1}$  を通じてデータ線  $D_j$  に流れるデータ電圧が第2画素  $PX_{(i+1)}$  に印加され、導通した第2スイッチング素子  $Q_{bi+1}$  を通じて第2電源線  $C_{low}$  に流れる第2電圧が印加される。

40

【0090】

図6に示した実施形態と同様に、本実施形態による液晶表示装置の場合、第1画素  $PX_{(i)}$  の第1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は ( - ) であり、第1電圧の極性が ( + ) である。また、第2画素  $PX_{(i+1)}$  の第

50

1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は(+)であり、第2電圧の極性が(-)である。これによって、第1フレーム内の画素列に沿って配置される第1画素  $PX(i)$  と第2画素  $PX(i+1)$  に充電される画素電圧の極性は互いに変化するようになって、ドット反転を成す。

#### 【0091】

第1フレーム直後の第2フレームについて説明する。第1対のゲート線( $G_n$ 、 $G_m$ )のうちの第2ゲート線  $G_m$  にゲートオン電圧が印加されると、第1画素  $PX(i)$  の第1画素電極  $PE_a$  には第3スイッチング素子  $Q_{ci}$  を通じてデータ線  $D_j$  に流れるデータ電圧が印加され、第2画素電極  $PE_b$  には第4スイッチング素子  $Q_{di}$  を通じて第2電源線  $C_{low}$  に流れる第2電圧が印加される。その後、第2対のゲート線( $G_{n+1}$ 、 $G_{m+1}$ )のうちの第2ゲート線  $G_{m+1}$  にゲートオン電圧が印加され、導通した第2画素  $PX(i+1)$  の第3スイッチング素子  $Q_{ci+1}$  を通じてデータ線  $D_j$  に流れるデータ電圧が第2画素  $PX(i+1)$  の第1画素電極  $PE_a$  に印加され、導通した第4スイッチング素子  $Q_{di+1}$  を通じて第1電源線  $C_{high}$  に流れる第1電圧が第2画素電極  $PE_b$  に印加される。

#### 【0092】

第2フレームの間に、第1画素  $PX(i)$  の第1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は(+)であり、第2電圧の極性が(-)である。また、第2画素  $PX(i+1)$  の第1画素電極  $PE_a$  と第2画素電極  $PE_b$  にそれぞれ印加されるデータ電圧の極性は(-)であり、第1電圧の極性が(+)である。これによって、第2フレーム内の画素列に沿って配置される第1画素  $PX(i)$  と第2画素  $PX(i+1)$  に充電される画素電圧の極性は互いに変化するようになって、ドット反転を成す。

#### 【0093】

このように、本実施形態による液晶表示装置の一つの画素は、互いに対になる二つのゲート線、一つのデータ線、及び二つの電源線に接続される。したがって、データ線の数が減って、液晶表示装置の駆動部の費用を節減することができる。

#### 【0094】

また、図5と比較して、ストレージキャパシタ  $C_{sta1}$ 、 $C_{sta2}$ 、 $C_{stb1}$ 、 $C_{stb2}$ があれば、液晶キャパシタの容量能力をさらに強化することができる。次に、図2と共に図10を参照して、本発明の他の一実施形態による液晶表示装置の信号線及び画素の配置と、その駆動方法について説明する。図10は、本発明の一実施形態による液晶表示装置の互いに隣接する四つの画素に対する等価回路図である。

#### 【0095】

図2及び図10を参照すれば、本実施形態による液晶表示装置は、画素の行方向に隣接する複数の第1画素  $PX(i, j)$  と複数の第2画素  $PX(i, j+1)$ 、第1画素  $PX(i, j)$  及び第2画素  $PX(i, j+1)$  と画素の列方向にそれぞれ隣接する複数の第3画素  $PX(i+1, j)$  と複数の第4画素  $PX(i+1, j+1)$ 、これに接続される複数のゲート線( $G_n$  及び  $G_m$ 、 $G_{n+1}$  及び  $G_{m+1}$ )、複数のデータ線( $D_j$ 、 $D_{j+1}$ 、 $D_{j+2}$ )並びに複数の第1電源線  $C_{high}$  及び第2電源線  $C_{low}$  を含む。

#### 【0096】

第1画素  $PX(i, j)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  の制御端子は、第1対のゲート線( $G_n$ 、 $G_m$ )のうちの第1ゲート線  $G_n$  に接続され、入力端子はそれぞれ第1データ線  $D_j$  と第1電源線  $C_{high}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。第1画素  $PX(i, j)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  の制御端子は、第1対のゲート線( $G_n$ 、 $G_m$ )のうちの第2ゲート線  $G_m$  に接続され、入力端子はそれぞれ第1データ線  $D_j$  と第2電源線  $C_{low}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。

10

20

30

40

50

## 【0097】

第1画素 $PX(i, j)$ と画素の行方向に隣接する第2画素 $PX(i, j+1)$ の第1画素電極 $PE_a$ 及び第2画素電極 $PE_b$ にそれぞれ接続される第1スイッチング素子 $Q_a$ 及び第2スイッチング素子 $Q_b$ の制御端子は、第1対のゲート線( $G_n, G_m$ )のうちの第1ゲート線 $G_n$ に接続され、入力端子はそれぞれ第2データ線 $D_{j+1}$ と第2電源線 $C_{low}$ に接続され、出力端子は液晶キャパシタ $C_{lc}$ に接続される。第2画素 $PX(i, j+1)$ の第1画素電極 $PE_a$ 及び第2画素電極 $PE_b$ にそれぞれ接続される第3スイッチング素子 $Q_c$ 及び第4スイッチング素子 $Q_d$ の制御端子は、第1対のゲート線 $G_n, G_m$ のうちの第2ゲート線 $G_m$ に接続され、入力端子はそれぞれ第2データ線 $D_{j+1}$ と第1電源線 $C_{high}$ に接続され、出力端子は液晶キャパシタ $C_{lc}$ に接続される。

10

## 【0098】

第1画素 $PX(i, j)$ と画素の列方向に隣接する第3画素 $PX(i+1, j)$ の第1画素電極 $PE_a$ 及び第2画素電極 $PE_b$ にそれぞれ接続される第1スイッチング素子 $Q_a$ 及び第2スイッチング素子 $Q_b$ の制御端子は、第2対のゲート線( $G_{n+1}, G_{m+1}$ )のうちの第1ゲート線 $G_{n+1}$ に接続され、入力端子はそれぞれ第1電源線 $C_{high}$ と第2データ線 $D_{j+1}$ に接続され、出力端子は液晶キャパシタ $C_{lc}$ に接続される。第3画素 $PX(i+1, j)$ の第1画素電極 $PE_a$ 及び第2画素電極 $PE_b$ にそれぞれ接続される第3スイッチング素子 $Q_c$ 及び第4スイッチング素子 $Q_d$ の制御端子は、第2対のゲート線( $G_{n+1}, G_{m+1}$ )のうちの第2ゲート線 $G_{m+1}$ に接続され、入力端子はそれぞれ第2電源線 $C_{low}$ と第2データ線 $D_{j+1}$ に接続され、出力端子は液晶キャパシタ $C_{lc}$ に接続される。

20

## 【0099】

第3画素 $PX(i+1, j)$ と画素の行方向に隣接する第4画素 $PX(i+1, j+1)$ の第1画素電極 $PE_a$ 及び第2画素電極 $PE_b$ にそれぞれ接続される第1スイッチング素子 $Q_a$ 及び第2スイッチング素子 $Q_b$ の制御端子は、第2対のゲート線( $G_{n+1}, G_{m+1}$ )のうちの第1ゲート線 $G_{n+1}$ に接続され、入力端子はそれぞれ第2電源線 $C_{low}$ と第3データ線 $D_{j+2}$ に接続され、出力端子は液晶キャパシタ $C_{lc}$ に接続される。第4画素 $PX(i, j)$ の第1画素電極 $PE_a$ 及び第2画素電極 $PE_b$ にそれぞれ接続される第3スイッチング素子 $Q_c$ 及び第4スイッチング素子 $Q_d$ の制御端子は、第2対のゲート線( $G_{n+1}, G_{m+1}$ )のうちの第2ゲート線 $G_{m+1}$ に接続され、入力端子はそれぞれ第1電源線 $C_{high}$ と第3データ線 $D_{j+2}$ に接続され、出力端子は液晶キャパシタ $C_{lc}$ に接続される。

30

## 【0100】

各画素において、第1スイッチング素子 $Q_a$ の出力端子及び第3スイッチング素子 $Q_c$ の出力端子は互いに接続されて第1画素電極 $PE_a$ に接続されており、第2スイッチング素子 $Q_b$ の出力端子及び第4スイッチング素子 $Q_d$ の出力端子は互いに接続されて第2画素電極 $PE_b$ に接続されている。また、第1スイッチング素子 $Q_a$ の出力端子及び第3スイッチング素子 $Q_c$ の出力端子と、第2スイッチング素子 $Q_b$ の出力端子及び第4スイッチング素子 $Q_d$ の出力端子と、の間に液晶キャパシタ $C_{lc}$ が設けられている。

## 【0101】

図示していないが、複数対の電源線( $C_{high}, C_{low}$ )のうちの第1電源線 $C_{high}$ は互いに接続されて、同一の第1電圧が印加され、複数対の電源線( $C_{high}, C_{low}$ )のうちの第2電源線 $C_{low}$ は互いに接続されて、同一の第2電圧が印加される。基準電圧 $V_{ref}$ に対して第1電源線 $C_{high}$ と第2電源線 $C_{low}$ に印加される第1電圧と第2電圧の極性は互いに異なる。例えば、基準電圧 $V_{ref}$ が7.5Vの場合、第1電圧は約15V以上、第2電圧は約0V以下であり得、その反対であり得る。

40

## 【0102】

また、互いに対を成してそれぞれ一つの画素に接続されるゲート線( $G_m$ 及び $G_n, G_{m+1}$ 及び $G_{n+1}$ )のうちの第1ゲート線 $G_n, G_{n+1}$ と第2ゲート線 $G_m, G_{m+1}$ には、互いに異なるフレームでゲートオン電圧が印加される。例えば、第1フレームの

50

間に第1ゲート線  $G_n$ 、 $G_{n+1}$  に順次にゲートオン電圧が印加され、第1フレームの次の第2フレームの間に第2ゲート線  $G_m$ 、 $G_{m+1}$  に順次にゲートオン電圧が印加できる。または、第1フレームの間に第2ゲート線  $G_m$ 、 $G_{m+1}$  に順次にゲートオン電圧が印加され、第2フレームの間に第1ゲート線  $G_n$ 、 $G_{n+1}$  に順次にゲートオン電圧が印加できる。

#### 【0103】

以下、本実施形態による液晶表示装置の駆動方法の一例について具体的に説明する。

#### 【0104】

まず、第1フレーム内の駆動方法について説明する。図2及び図6と共に、図10を参照すれば、第1対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第1ゲート線  $G_n$  にゲートオン電圧が印加されると、第1画素  $PX(i, j)$  及び第2画素  $PX(i, j+1)$  の第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  が導通する。導通した第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  を通じて第1画素  $PX(i, j)$  の第1画素電極  $PE_a$  には第1データ線  $D_j$  に流れるデータ電圧が印加され、第2画素電極  $PE_b$  には第1電源線  $C_{high}$  に流れる第1電圧が印加される。また、第2画素  $PX(i, j+1)$  の第1画素電極  $PE_a$  には第2データ線  $D_{j+1}$  に流れるデータ電圧が印加され、第2画素電極  $PE_b$  には第2電源線  $C_{low}$  に流れる第2電圧が印加される。

#### 【0105】

その後、第2対のゲート線 ( $G_{n+1}$ 、 $G_{m+1}$ ) のうちの第1ゲート線  $G_{n+1}$  にゲートオン電圧が印加されると、第3画素  $PX(i+1, j)$  及び第4画素  $PX(i+1, j+1)$  の第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  が導通する。導通した第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  を通じて、第3画素  $PX(i+1, j)$  の第1画素電極  $PE_a$  には第1電源線  $C_{high}$  に流れる第1電圧が印加され、第2画素電極  $PE_b$  には第2データ線  $D_{j+1}$  に流れるデータ電圧が印加される。また、第4画素  $PX(i+1, j+1)$  の第1画素電極  $PE_a$  には第2電源線  $C_{low}$  に流れる第2電圧が印加され、第2画素電極  $PE_b$  には第3データ線  $D_{j+2}$  に流れるデータ電圧が印加される。なお、本実施形態による液晶表示装置において、第1フレーム内で第1データ線  $D_j$  に流れるデータ電圧の極性は (+) から周期的に変化することができ、第2データ線  $D_{j+1}$  に流れるデータ電圧の極性は (-) から周期的に変化することができ、第3データ線  $D_{j+2}$  に流れるデータ電圧の極性は (+) から周期的に変化することができる。そのため、第1データ線  $D_j$ 、第2データ線  $D_{j+1}$ 、第3データ線  $D_{j+2}$  … は交互に極性が異なる。第1データ線  $D_j$  に流れるデータ電圧の極性が (+) から開始して (-)、(+) … と極性が変化する場合、第2データ線  $D_{j+1}$  に流れるデータ電圧の極性は (-) から開始して (+)、(-)、… と極性が変化し、第3データ線  $D_{j+2}$  に流れるデータ電圧の極性は (+) から開始して (-)、(+) … と極性が変化する。ここで、第1データ線  $D_j$ 、第2データ線  $D_{j+1}$ 、第3データ線  $D_{j+2}$  … の極性が変化する間隔は、同一又は同程度の間隔である。

#### 【0106】

また、第1電源線  $C_{high}$  に流れる第1電圧の極性は (+) であり、第2電源線  $C_{low}$  に流れる第2電圧の極性は (-) である。しかし、データ線と電源線に流れる電圧の極性はこれとは反対であり得る。

#### 【0107】

各画素の第1画素電極  $PE_a$  に印加される電圧の極性が (-) であり、第2画素電極  $PE_b$  に印加される電圧の極性が (+) である一つの画素を (+) 画素と仮定する時、本実施形態による液晶表示装置の場合、第1画素  $PX(i, j)$  の極性は (+) であり、第2画素  $PX(i, j+1)$  の極性は (-) であり、第3画素  $PX(i+1, j)$  の極性は (-) であり、第4画素  $PX(i+1, j+1)$  の極性は (+) である。つまり、本実施形態による液晶表示装置の場合、ドット反転の形態である。

#### 【0108】

さらに第1フレームに関して具体的に説明すると、以下の通りである。

## 【 0 1 0 9 】

第 1 フレームの間に関して、第 1 対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第 1 ゲート線  $G_n$  にゲートオン電圧が印加され、第 1 画素  $PX(i, j)$  及び第 2 画素  $PX(i, j+1)$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  が導通する。第 1 ゲート線  $G_n$  (例えば第 1 ゲート線  $G_1$ ) が立ち上がった際、図 6 を参照すると最初のデータ線  $D_j$  のデータ電圧の極性は ( - ) である。よって、第 1 画素  $PX(i, j)$  の第 1 画素電極  $PE_a$  に印加されるデータ電圧の極性は ( - ) であり、第 1 画素  $PX(i, j)$  の第 2 画素電極  $PE_b$  に印加される  $C_{high}$  からの第 1 電圧の極性が ( + ) である。また、第 1 ゲート線  $G_n$  (例えば第 1 ゲート線  $G_1$ ) が立ち上がった際、図 6 を参照するとデータ線  $D_{j+1}$  のデータ電圧の極性は ( + ) である。よって、第 2 画素  $PX(i, j+1)$  の第 1 画素電極  $PE_a$  に印加されるデータ電圧の極性は ( + ) であり、第 2 画素  $PX(i, j+1)$  の第 2 画素電極  $PE_b$  に印加される  $C_{low}$  からの第 2 電圧の極性が ( - ) である。

10

## 【 0 1 1 0 】

また、第 1 フレームの間に関して、次に第 1 ゲート線  $G_{n+1}$  (例えば第 1 ゲート線  $G_2$ ) が立ち上がった際、第 3 画素  $PX(i+1, j)$  及び第 4 画素  $PX(i+1, j+1)$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  が導通する。第 1 ゲート線  $G_{n+1}$  (例えば第 1 ゲート線  $G_2$ ) が立ち上がった際、図 6 を参照するとデータ線  $D_j$  のデータ電圧の極性は ( - ) であり、データ線  $D_{j+2}$  のデータ電圧の極性は ( + ) である。よって、第 3 画素  $PX(i+1, j)$  の第 1 画素電極  $PE_a$  に印加される  $C_{high}$  からの第 1 電圧の極性が ( + ) であり、第 3 画素  $PX(i+1, j)$  の第 2 画素電極  $PE_b$  に印加されるデータ線  $D_{j+1}$  のデータ電圧の極性は ( - ) である。また、第 4 画素  $PX(i+1, j+1)$  の第 1 画素電極  $PE_a$  に印加される  $C_{low}$  からの第 2 電圧の極性が ( - ) であり、第 4 画素  $PX(i+1, j+1)$  の第 2 画素電極  $PE_b$  に印加されるデータ線  $D_{j+2}$  のデータ電圧の極性は ( + ) である。

20

## 【 0 1 1 1 】

第 1 フレームが完了すると、第 2 フレームが開始して、対を成すゲート線のうちの第 2 ゲート線に順次にゲートオン電圧が印加される。

## 【 0 1 1 2 】

第 1 対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第 2 ゲート線  $G_m$  にゲートオン電圧が印加されると、第 1 画素  $PX(i, j)$  及び第 2 画素  $PX(i, j+1)$  の第 3 スイッチング素子  $Q_c$  及び第 4 スイッチング素子  $Q_d$  が導通する。導通した第 3 スイッチング素子  $Q_c$  及び第 4 スイッチング素子  $Q_d$  を通じて、第 1 画素  $PX(i, j)$  の第 1 画素電極  $PE_a$  には第 1 データ線  $D_j$  に流れるデータ電圧が印加され、第 2 画素電極  $PE_b$  には第 2 電源線  $C_{low}$  に流れる第 2 電圧が印加される。また、第 2 画素  $PX(i, j+1)$  の第 1 画素電極  $PE_a$  には第 2 データ線  $D_{j+1}$  に流れるデータ電圧が印加され、第 2 画素電極  $PE_b$  には第 1 電源線  $C_{high}$  に流れる第 1 電圧が印加される。

30

## 【 0 1 1 3 】

その後、第 2 対のゲート線 ( $G_{n+1}$ 、 $G_{m+1}$ ) のうちの第 2 ゲート線  $G_{m+1}$  にゲートオン電圧が印加されると、第 3 画素  $PX(i+1, j)$  及び第 4 画素  $PX(i+1, j+1)$  の第 3 スイッチング素子  $Q_c$  及び第 4 スイッチング素子  $Q_d$  が導通する。導通した第 3 スイッチング素子  $Q_c$  及び第 4 スイッチング素子  $Q_d$  を通じて、第 3 画素  $PX(i+1, j)$  の第 1 画素電極  $PE_a$  には第 2 電源線  $C_{low}$  に流れる第 2 電圧が印加され、第 2 画素電極  $PE_b$  には第 2 データ線  $D_{j+1}$  に流れるデータ電圧が印加される。また、第 4 画素  $PX(i+1, j+1)$  の第 1 画素電極  $PE_a$  には第 1 電源線  $C_{high}$  に流れる第 1 電圧が印加され、第 2 画素電極  $PE_b$  には第 3 データ線  $D_{j+2}$  に流れるデータ電圧が印加される。

40

## 【 0 1 1 4 】

さらに第 2 フレームに関して具体的に説明すると、以下の通りである。

## 【 0 1 1 5 】

50

第2フレームの間に、第1対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第2ゲート線  $G_m$  にゲートオン電圧が印加され、第1画素  $PX_{(i,j)}$  及び第2画素  $PX_{(i,j+1)}$  の第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  が導通する。第2ゲート線  $G_m$  (例えば第2ゲート線  $G_1$ ) が立ち上がった際、図6を参照すると最初のデータ線  $D_j$  のデータ電圧の極性は (+) である。よって、第1画素  $PX_{(i,j)}$  の第1画素電極  $PE_a$  に印加されるデータ電圧の極性は (+) であり、第1画素  $PX_{(i,j)}$  の第2画素電極  $PE_b$  に印加される  $C_{low}$  からの第2電圧の極性が (-) である。また、第2ゲート線  $G_m$  (例えば第2ゲート線  $G_1$ ) が立ち上がった際、図6を参照するとデータ線  $D_{j+1}$  のデータ電圧の極性は (-) である。よって、第2画素  $PX_{(i,j+1)}$  の第1画素電極  $PE_a$  に印加されるデータ電圧の極性は (-) であり、第2画素  $PX_{(i,j+1)}$  の第2画素電極  $PE_b$  に印加される  $C_{high}$  からの第1電圧の極性が (+) である。

10

#### 【0116】

また、第2フレームの間に、次に第2ゲート線  $G_{m+1}$  (例えば第2ゲート線  $G_2$ ) が立ち上がった際、第3画素  $PX_{(i+1,j)}$  及び第4画素  $PX_{(i+1,j+1)}$  の第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  が導通する。第2ゲート線  $G_{m+1}$  (例えば第2ゲート線  $G_2$ ) が立ち上がった際、図6を参照するとデータ線  $D_j$  のデータ電圧の極性は (+) であり、データ線  $D_{j+2}$  のデータ電圧の極性は (-) である。よって、第3画素  $PX_{(i+1,j)}$  の第1画素電極  $PE_a$  に印加される  $C_{low}$  からの第2電圧の極性が (-) であり、第3画素  $PX_{(i+1,j)}$  の第2画素電極  $PE_b$  に印加されるデータ線  $D_{j+1}$  のデータ電圧の極性は (+) である。また、第4画素  $PX_{(i+1,j+1)}$  の第1画素電極  $PE_a$  に印加される  $C_{high}$  からの第1電圧の極性が (+) であり、第4画素  $PX_{(i+1,j+1)}$  の第2画素電極  $PE_b$  に印加されるデータ線  $D_{j+2}$  のデータ電圧の極性は (-) である。

20

#### 【0117】

上述した第1フレームと第2フレームとを繰り返すことで、所望のフレーム内の各画素ごとに所望の画素電圧を印加する。

#### 【0118】

上述の実施形態と同様に、本実施形態による液晶表示装置の一つの画素は、互いに対応する二つのゲート線、一つのデータ線、及び二つの電源線に接続される。また、互いに対応角配置される第2画素  $PX_{(i,j+1)}$  と第3画素  $PX_{(i+1,j)}$  は第2データ線  $D_{j+1}$  を共有して、データ線の数が減るので、液晶表示装置の駆動部の費用を節減することができる。

30

#### 【0119】

次に、図2と共に図11を参照して、本発明の他の一実施形態による液晶表示装置の信号線及び画素の配置と、その駆動方法について説明する。図11は、本発明の一実施形態による液晶表示装置の互いに隣接する四つの画素に対する等価回路図である。

#### 【0120】

図2及び図11を参照すれば、本実施形態による液晶表示装置は、画素の行方向に隣接する複数の第1画素  $PX_{(i,j)}$  と複数の第2画素  $PX_{(i,j+1)}$ 、第1画素  $PX_{(i,j)}$  及び第2画素  $PX_{(i,j+1)}$  と画素の列方向にそれぞれ隣接する複数の第3画素  $PX_{(i+1,j)}$  及び複数の第4画素  $PX_{(i+1,j+1)}$ 、これに接続される複数のゲート線 ( $G_n$  及び  $G_m$ 、 $G_{n+1}$  及び  $G_{m+1}$ )、複数のデータ線 ( $D_j$ 、 $D_{j+1}$ 、 $D_{j+2}$ )、並びに複数の第1電源線  $C_{high}$  及び第2電源線  $C_{low}$  を含む。

40

#### 【0121】

第1画素  $PX_{(i,j)}$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  の制御端子は、第1対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第1ゲート線  $G_n$  に接続され、入力端子はそれぞれ第1データ線  $D_j$  と第1電源線  $C_{high}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接

50

続される。第1画素  $PX(i, j)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  の制御端子は、第1対のゲート線 ( $G_n, G_m$ ) のうちの第2ゲート線  $G_m$  に接続され、入力端子はそれぞれ第1電源線  $C_{high}$  と第2データ線  $D_{j+1}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。

#### 【0122】

第1画素  $PX(i, j)$  と画素の行方向に隣接する第2画素  $PX(i, j+1)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  の制御端子は、第1対のゲート線 ( $G_n, G_m$ ) のうちの第1ゲート線  $G_n$  に接続され、入力端子はそれぞれ第2データ線  $D_{j+1}$  と第2電源線  $C_{low}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。第2画素  $PX(i, j+1)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  の制御端子は、第1対のゲート線 ( $G_n, G_m$ ) のうちの第2ゲート線  $G_m$  に接続され、入力端子はそれぞれ第2電源線  $C_{low}$  と第2データ線  $D_{j+1}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。

10

#### 【0123】

第1画素  $PX(i, j)$  と画素の列方向に隣接する第3画素  $PX(i+1, j)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  の制御端子は、第2対のゲート線 ( $G_{n+1}, G_{m+1}$ ) のうちの第1ゲート線  $G_{n+1}$  に接続され、入力端子はそれぞれ第1電源線  $C_{high}$  と第2データ線  $D_{j+1}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。第3画素  $PX(i+1, j)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  の制御端子は、第2対のゲート線 ( $G_{n+1}, G_{m+1}$ ) のうちの第2ゲート線  $G_{m+1}$  に接続され、入力端子はそれぞれ第1データ線  $D_j$  と第1電源線  $C_{high}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。

20

#### 【0124】

第3画素  $PX(i+1, j)$  と画素の行方向に隣接する第4画素  $PX(i+1, j+1)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  の制御端子は、第2対のゲート線 ( $G_{n+1}, G_{m+1}$ ) のうちの第1ゲート線  $G_{n+1}$  に接続され、入力端子はそれぞれ第2電源線  $C_{low}$  と第3データ線  $D_{j+2}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。第4画素  $PX(i, j)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  の制御端子は、第2対のゲート線 ( $G_{n+1}, G_{m+1}$ ) のうちの第2ゲート線  $G_{m+1}$  に接続され、入力端子はそれぞれ第2データ線  $D_{j+1}$  と第2電源線  $C_{low}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。

30

#### 【0125】

図示していないが、複数対の電源線 ( $C_{high}, C_{low}$ ) のうちの第1電源線  $C_{high}$  は互いに接続して、同一の第1電圧が印加され、複数対の電源線 ( $C_{high}, C_{low}$ ) のうちの第2電源線  $C_{low}$  は互いに接続して、同一の第2電圧が印加される。基準電圧  $V_{ref}$  に対して第1電源線  $C_{high}$  と第2電源線  $C_{low}$  に印加される第1電圧と第2電圧の極性は互いに異なる。例えば、基準電圧  $V_{ref}$  が7Vの場合、第1電圧は約15V以上であり得、第2電圧は約0V以下であり得る。

40

#### 【0126】

また、互いに対を成してそれぞれ一つの画素に接続されるゲート線 ( $G_m$  及び  $G_n, G_{m+1}$  及び  $G_{n+1}$ ) のうちの第1ゲート線  $G_n, G_{n+1}$  と第2ゲート線  $G_m, G_{m+1}$  には、互いに異なるフレームでゲートオン電圧が印加される。例えば、第1フレームの間に第1ゲート線  $G_n, G_{n+1}$  に順次にゲートオン電圧が印加され、第1フレームの次の第2フレームの間に第2ゲート線  $G_m, G_{m+1}$  に順次にゲートオン電圧が印加できる

50

。または、第 1 フレームの間に第 2 ゲート線  $G_m$ 、 $G_{m+1}$  に順次にゲートオン電圧が印加され、第 2 フレームの間に第 1 ゲート線  $G_n$ 、 $G_{n+1}$  に順次にゲートオン電圧が印加できる。

【0127】

次に、本実施形態による液晶表示装置の駆動方法の一例について具体的に説明する。

【0128】

まず、第 1 フレーム内の駆動方法について説明する。図 2 及び図 11 を参照すれば、第 1 対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第 1 ゲート線  $G_n$  にゲートオン電圧が印加されると、第 1 画素  $PX(i, j)$  及び第 2 画素  $PX(i, j+1)$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  が導通する。導通した第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  を通じて、第 1 画素  $PX(i, j)$  の第 1 画素電極  $PE_a$  には第 1 データ線  $D_j$  に流れるデータ電圧が印加され、第 2 画素電極  $PE_b$  には第 1 電源線  $C_{high}$  に流れる第 1 電圧が印加される。また、第 2 画素  $PX(i, j+1)$  の第 1 画素電極  $PE_a$  には第 2 データ線  $D_{j+1}$  に流れるデータ電圧が印加され、第 2 画素電極  $PE_b$  には第 2 電源線  $C_{low}$  に流れる第 2 電圧が印加される。

【0129】

その後、第 2 対のゲート線 ( $G_{n+1}$ 、 $G_{m+1}$ ) のうちの第 1 ゲート線  $G_{n+1}$  にゲートオン電圧が印加されると、第 3 画素  $PX(i+1, j)$  及び第 4 画素  $PX(i+1, j+1)$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  が導通する。導通した第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  を通じて、第 3 画素  $PX(i+1, j)$  の第 1 画素電極  $PE_a$  には第 1 電源線  $C_{high}$  に流れる第 1 電圧が印加され、第 2 画素電極  $PE_b$  には第 2 データ線  $D_{j+1}$  に流れるデータ電圧が印加される。また、第 4 画素  $PX(i+1, j+1)$  の第 1 画素電極  $PE_a$  には第 2 電源線  $C_{low}$  に流れる第 2 電圧が印加され、第 2 画素電極  $PE_b$  には第 3 データ線  $D_{j+2}$  に流れるデータ電圧が印加される。

【0130】

なお、本実施形態による液晶表示装置において、第 1 フレームの間に第 1 データ線  $D_j$  に流れるデータ電圧の極性は (+) であり、第 2 データ線  $D_{j+1}$  に流れるデータ電圧の極性は (-) であり、第 3 データ線  $D_{j+2}$  に流れるデータ電圧の極性は (+) であり得る。また、第 1 電源線  $C_{high}$  に流れる第 1 電圧の極性は (+) であり、第 2 電源線  $C_{low}$  に流れる第 2 電圧の極性は (-) である。しかし、データ線と電源線に流れる電圧の極性はこれとは反対であってもよい。

【0131】

各画素の第 1 画素電極  $PE_a$  に印加される電圧の極性が (-) であり、第 2 画素電極  $PE_b$  に印加される電圧の極性が (+) である一つの画素を (+) 画素と仮定する時、本実施形態による液晶表示装置の場合、第 1 画素  $PX(i, j)$  の極性は (+) であり、第 2 画素  $PX(i, j+1)$  の極性は (-) であり、第 3 画素  $PX(i+1, j)$  の極性は (-) であり、第 4 画素  $PX(i+1, j+1)$  の極性は (+) である。つまり、本実施形態による液晶表示装置の場合、データ電圧はコラム反転であるが、外形は点反転の形態であり得る。

さらに第 1 フレームに関して具体的に説明すると、以下の通りである。

【0132】

第 1 フレームの間に、第 1 対のゲート線 ( $G_n$ 、 $G_m$ ) のうちの第 1 ゲート線  $G_n$  にゲートオン電圧が印加され、第 1 画素  $PX(i, j)$  及び第 2 画素  $PX(i, j+1)$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  が導通する。第 1 ゲート線  $G_n$  (例えば第 1 ゲート線  $G_1$ ) が立ち上がった際、図 6 を参照するとデータ線  $D_j$  のデータ電圧の極性は (-) である。よって、第 1 画素  $PX(i, j)$  の第 1 画素電極  $PE_a$  に印加されるデータ電圧の極性は (-) であり、第 1 画素  $PX(i, j)$  の第 2 画素電極  $PE_b$  に印加される  $C_{high}$  からの第 1 電圧の極性が (+) である。また、第 1 ゲート線  $G_n$  (例えば第 1 ゲート線  $G_1$ ) が立ち上がった際、図 6 を参照するとデータ線  $D_{j+1}$

$_1$  のデータ電圧の極性は ( + ) である。よって、第 2 画素  $PX_{(i, j+1)}$  の第 1 画素電極  $PE_a$  に印加されるデータ電圧の極性は ( + ) であり、第 2 画素  $PX_{(i, j+1)}$  の第 2 画素電極  $PE_b$  に印加される  $C_{low}$  からの第 2 電圧の極性が ( - ) である。

【 0 1 3 3 】

また、第 1 フレームの間に関して、次に第 1 ゲート線  $G_{n+1}$  (例えば第 1 ゲート線  $G_2$ ) が立ち上がった際、第 3 画素  $PX_{(i+1, j)}$  及び第 4 画素  $PX_{(i+1, j+1)}$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  が導通する。第 1 ゲート線  $G_{n+1}$  (例えば第 1 ゲート線  $G_2$ ) が立ち上がった際、図 6 を参照するとデータ線  $D_{j+1}$  のデータ電圧の極性は ( - ) であり、データ線  $D_{j+2}$  のデータ電圧の極性は ( + ) である。よって、第 3 画素  $PX_{(i+1, j)}$  の第 1 画素電極  $PE_a$  に印加される  $C_{high}$  からの第 1 電圧の極性は ( + ) であり、第 3 画素  $PX_{(i+1, j)}$  の第 2 画素電極  $PE_b$  に印加されるデータ線  $D_{j+1}$  のデータ電圧の極性が ( - ) である。また、第 4 画素  $PX_{(i+1, j+1)}$  の第 1 画素電極  $PE_a$  に印加される  $C_{low}$  からの第 2 電圧の極性は ( - ) であり、第 4 画素  $PX_{(i+1, j+1)}$  の第 2 画素電極  $PE_b$  に印加されるデータ線  $D_{j+2}$  のデータ電圧の極性が ( + ) である。

10

【 0 1 3 4 】

第 1 フレームが完了すると、第 2 フレームが開始し、対を成すゲート線のうちの第 2 ゲート線に順次にゲートオン電圧が印加される。

【 0 1 3 5 】

第 1 対のゲート線 (  $G_n$ 、 $G_m$  ) のうちの第 2 ゲート線  $G_m$  にゲートオン電圧が印加されると、第 1 画素  $PX_{(i, j)}$  及び第 2 画素  $PX_{(i, j+1)}$  の第 3 スイッチング素子  $Q_c$  及び第 4 スイッチング素子  $Q_d$  が導通する。導通した第 3 スイッチング素子  $Q_c$  及び第 4 スイッチング素子  $Q_d$  を通じて、第 1 画素  $PX_{(i, j)}$  の第 1 画素電極  $PE_a$  には第 1 電源線  $C_{high}$  に流れる第 1 電圧が印加され、第 2 画素電極  $PE_b$  には第 2 データ線  $D_{j+1}$  に流れるデータ電圧が印加される。また、第 2 画素  $PX_{(i, j+1)}$  の第 1 画素電極  $PE_a$  には第 2 電源線  $C_{low}$  に流れる第 2 電圧が印加され、第 2 画素電極  $PE_b$  には第 3 データ線  $D_{j+2}$  に流れるデータ電圧が印加される。

20

【 0 1 3 6 】

その後、第 2 対のゲート線 (  $G_{n+1}$ 、 $G_{m+1}$  ) のうちの第 2 ゲート線  $G_{m+1}$  にゲートオン電圧が印加されると、第 3 画素  $PX_{(i+1, j)}$  及び第 4 画素  $PX_{(i+1, j+1)}$  の第 3 スイッチング素子  $Q_c$  及び第 4 スイッチング素子  $Q_d$  が導通する。導通した第 3 スイッチング素子  $Q_c$  及び第 4 スイッチング素子  $Q_d$  を通じて、第 3 画素  $PX_{(i+1, j)}$  の第 1 画素電極  $PE_a$  には第 1 データ線  $D_j$  に流れるデータ電圧が印加され、第 2 画素電極  $PE_b$  には第 1 電源線  $C_{high}$  に流れる第 1 電圧が印加される。また、第 4 画素  $PX_{(i+1, j+1)}$  の第 1 画素電極  $PE_a$  には第 2 データ線  $D_{j+1}$  に流れるデータ電圧が印加され、第 2 画素電極  $PE_b$  には第 2 電源線  $C_{low}$  に流れる第 2 電圧が印加される。

30

【 0 1 3 7 】

さらに第 2 フレームに関して具体的に説明すると、以下の通りである。

【 0 1 3 8 】

第 2 フレームの間に関して、第 1 対のゲート線 (  $G_n$ 、 $G_m$  ) のうちの第 2 ゲート線  $G_m$  にゲートオン電圧が印加され、第 1 画素  $PX_{(i, j)}$  及び第 2 画素  $PX_{(i, j+1)}$  の第 3 スイッチング素子  $Q_c$  及び第 4 スイッチング素子  $Q_d$  が導通する。第 2 ゲート線  $G_m$  (例えば第 2 ゲート線  $G_1$ ) が立ち上がった際、図 6 を参照するとデータ線  $D_{j+1}$  のデータ電圧の極性は ( - ) であり、データ線  $D_{j+2}$  のデータ電圧の極性は ( + ) ある。よって、第 1 画素  $PX_{(i, j)}$  の第 1 画素電極  $PE_a$  に印加される  $C_{high}$  からの第 1 電圧の極性が ( + ) であり、第 1 画素  $PX_{(i, j)}$  の第 2 画素電極  $PE_b$  に印加されるデータ電圧の極性は ( - ) である。また、第 2 画素  $PX_{(i, j+1)}$  の第 1 画素電極  $PE_a$  に印加される  $C_{low}$  からの第 2 電圧の極性が ( - ) であり、第 2 画素  $PX_{(i, j+1)}$  の第 2 画素電極  $PE_b$  に印加されるデータ電圧の極性は ( + ) である。

40

50

## 【0139】

また、第2フレームの間に関して、次に第2ゲート線  $G_{m+1}$ （例えば第2ゲート線  $G_2$ ）が立ち上がった際、第3画素  $PX(i+1, j)$  及び第4画素  $PX(i+1, j+1)$  の第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  が導通する。第2ゲート線  $G_{m+1}$ （例えば第2ゲート線  $G_2$ ）が立ち上がった際、図6を参照するとデータ線  $D_j$  のデータ電圧の極性は（-）であり、データ線  $D_{j+1}$  のデータ電圧の極性は（+）である。よって、第3画素  $PX(i+1, j)$  の第1画素電極  $PE_a$  に印加されるデータ線  $D_j$  のデータ電圧の極性が（-）であり、第3画素  $PX(i+1, j)$  の第1画素電極  $PE_b$  に印加される  $C_{high}$  からの第1電圧の極性は（+）である。また、第4画素  $PX(i+1, j+1)$  の第1画素電極  $PE_a$  に印加されるデータ線  $D_{j+1}$  のデータ電圧の極性が（+）であり、第4画素  $PX(i+1, j+1)$  の第2画素電極  $PE_b$  に印加される  $C_{low}$  からの第2電圧の極性は（-）である。

10

## 【0140】

上述した第1フレームと第2フレームとを繰り返すことで、所望のフレーム内の各画素ごとに所望の画素電圧を印加する。

## 【0141】

本実施形態による液晶表示装置の一つの画素は、互いに対になる二つのゲート線、二つのデータ線、及び二つの電源線に接続するが、互いに画素の行方向に隣接して配置される第1画素  $PX(i, j)$  と第2画素  $PX(i, j+1)$  の第4スイッチング素子  $Q_d$  と第1スイッチング素子  $Q_a$  は第2データ線  $D_{j+1}$  を共有し、第3画素  $PX(i+1, j)$  と第4画素  $PX(i+1, j+1)$  の第2スイッチング素子  $Q_b$  と第3スイッチング素子  $Q_c$  は第2データ線  $D_{j+1}$  を共有するので、データ線の数が減って、液晶表示装置の駆動部の費用を節減することができる。

20

## 【0142】

次に、図2と共に図12を参照して、本発明の他の一実施形態による液晶表示装置の信号線及び画素の配置と、駆動方法について説明する。図12は、本発明の一実施形態による液晶表示装置の互いに隣接する二つの画素に対する等価回路図である。

## 【0143】

図12を参照すれば、本実施形態による液晶表示装置は、画素の列方向に隣接する複数の第1画素  $PX(i)$  と複数の第2画素  $PX(i+1)$ 、及びこれに接続される複数の信号線（ $G_m$ 、 $G_n$ 、 $D_j$ 、 $D_{j+1}$ 、 $C_{high}$ 、 $C_{low}$ ）を含む。第1ゲート線  $G_n$  は、それぞれ画素の列方向に上下に配置される第1支線  $G_{ni}$  及び第2支線  $G_{ni+1}$  に分かれ、第2ゲート線  $G_m$  は、それぞれ画素の列方向に上下に配置される第1支線  $G_{mi}$  及び第2支線  $G_{mi+1}$  に分かれる。第1ゲート線  $G_n$  の第1支線  $G_{ni}$  と第2ゲート線  $G_m$  の第1支線  $G_{mi}$  は、第1画素  $PX(i)$  に接続し、第1ゲート線  $G_n$  の第2支線  $G_{ni+1}$  と第2ゲート線  $G_m$  の第2支線  $G_{mi+1}$  は、第2画素  $PX(i+1)$  に接続される。

30

## 【0144】

第1電源線  $C_{high}$  及び第2電源線  $C_{low}$  は、一つの画素に接続される二つのゲート線（ $G_n$  及び  $G_m$ ）のうちの第1ゲート線  $G_n$  と、前段の第2ゲート線  $G_{mi-1}$  との間、そして第2ゲート線  $G_m$  と後段の第1ゲート線  $G_{ni+2}$  との間に配置される。

40

## 【0145】

第1画素  $PX(i)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  の制御端子は、第1ゲート線  $G_n$  の第1支線  $G_{ni}$  に接続され、入力端子はそれぞれ第1データ線  $D_j$  と第1電源線  $C_{high}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。第1画素  $PX(i)$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  の制御端子は、第2ゲート線  $G_m$  の第1支線  $G_{mi}$  に接続され、入力端子はそれぞれ第1データ線  $D_j$  と第2電源線  $C_{low}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。

50

## 【0146】

第1画素  $PX_{(i)}$  と画素の列方向に隣接する第2画素  $PX_{(i+1)}$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  の制御端子は、第1ゲート線  $G_n$  の第2支線  $G_{ni+1}$  に接続され、入力端子はそれぞれ第2電源線  $C_{low}$  と第2データ線  $D_{j+1}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。第2画素  $PX_{(i+1)}$  の第1画素電極  $PE_a$  及び第2画素電極  $PE_b$  にそれぞれ接続される第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  の制御端子は、第2ゲート線  $G_m$  の第2支線  $G_{mi+1}$  に接続され、入力端子はそれぞれ第1電源線  $C_{high}$  と第2データ線  $D_{j+1}$  に接続され、出力端子は液晶キャパシタ  $C_{lc}$  に接続される。

10

## 【0147】

本実施形態による液晶表示装置の駆動方法は、図5及び図6に示した実施形態による液晶表示装置の駆動方法と類似している。

## 【0148】

図5に示した実施形態と同様に、本実施形態による液晶表示装置の場合、互いに対を成してそれぞれ一つの画素に接続されるゲート線 ( $G_{ni}$  及び  $G_{mi}$ 、 $G_{ni+1}$  及び  $G_{mi+1}$ ) のうちの第1ゲート線  $G_{ni}$ 、 $G_{ni+1}$  と第2ゲート線  $G_{mi}$ 、 $G_{mi+1}$  には互いに異なるフレームでゲートオン電圧が印加される。例えば、第1フレームの間に第1ゲート線  $G_n$ 、 $G_{n+1}$  に順次にゲートオン電圧が印加され、第1フレームの次の第2フレームの間に第2ゲート線  $G_m$ 、 $G_{m+1}$  に順次にゲートオン電圧が印加できる。

20

## 【0149】

第1フレームについて説明すれば、第1ゲート線  $G_n$  にゲートオン電圧が印加されると、第1画素  $PX_{(i)}$  及び第2画素  $PX_{(i+1)}$  の第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  が導通する。したがって、第1画素  $PX_{(i)}$  の第1画素電極  $PE_a$  には第1スイッチング素子  $Q_a$  を通じてデータ線  $D_j$  に流れるデータ電圧が印加され、第2画素電極  $PE_b$  には、第2スイッチング素子  $Q_b$  を通じて第1電源線  $C_{high}$  に流れる第1電圧が印加され、第2画素  $PX_{(i+1)}$  の第1スイッチング素子  $Q_a$  を通じて第2電源線  $C_{low}$  に流れる第2電圧が印加され、第2スイッチング素子  $Q_b$  を通じて第2データ線  $D_{j+1}$  に流れるデータ電圧が印加される。例えば、図6に示すように第1ゲート線  $G_n$  (例えば第1ゲート線  $G_1$ ) にゲートオン電圧が印加されたとき、データ線  $D_j$  のデータ電圧の極性が ( - ) 極性であり、データ線  $D_{j+1}$  のデータ電圧の極性が ( + ) 極性である。第1画素  $PX_{(i)}$  の第1画素電極  $PE_a$  にはデータ線  $D_j$  に流れる ( - ) 極性のデータ電圧が印加され、第2画素電極  $PE_b$  には ( + ) 極性の第1電源線  $C_{high}$  に流れる第1電圧が印加される。また、第2画素  $PX_{(i+1)}$  の第1画素電極  $PE_a$  には ( - ) 極性の第2電源線  $C_{low}$  に流れる第2電圧が印加され、第2画素電極  $PE_b$  にはデータ線  $D_{j+1}$  に流れる ( + ) 極性のデータ電圧が印加される。

30

## 【0150】

このような段階が全ての第1ゲート線  $G_n$  に沿って順次に行われると、第1フレームが完了する。

## 【0151】

40

次に、第2フレームについて説明する。第2ゲート線  $G_m$  にゲートオン電圧が印加されると、第1画素  $PX_{(i)}$  及び第2画素  $PX_{(i+1)}$  の第3スイッチング素子  $Q_c$  及び第4スイッチング素子  $Q_d$  が導通する。したがって、第1画素  $PX_{(i)}$  の第1画素電極  $PE_a$  には第3スイッチング素子  $Q_c$  を通じてデータ線  $D_j$  に流れるデータ電圧が印加され、第2画素電極  $PE_b$  には第4スイッチング素子  $Q_d$  を通じて第2電源線  $C_{low}$  に流れる第2電圧が印加され、第2画素  $PX_{(i+1)}$  の第3スイッチング素子  $Q_c$  を通じて第1電源線  $C_{high}$  に流れる第1電圧が印加され、第4スイッチング素子  $Q_d$  を通じて第2データ線  $D_{j+1}$  に流れるデータ電圧が印加される。例えば、図6に示すように第2ゲート線  $G_m$  (例えば第2ゲート線  $G_1$ ) にゲートオン電圧が印加されたとき、データ線  $D_j$  のデータ電圧の極性が ( + ) 極性であり、データ線  $D_{j+1}$  のデータ電圧の極性が (

50

- ) 極性である。第 1 画素  $PX(i)$  の第 1 画素電極  $PE_a$  にはデータ線  $D_j$  に流れる ( + ) 極性のデータ電圧が印加され、第 2 画素電極  $PE_b$  には ( - ) 極性の第 2 電源線  $C_{low}$  に流れる第 2 電圧が印加される。また、第 2 画素  $PX(i+1)$  の第 1 画素電極  $PE_a$  には ( + ) 極性の第 1 電源線  $C_{high}$  に流れる第 1 電圧が印加され、第 2 画素電極  $PE_b$  にはデータ線  $D_{j+1}$  に流れる ( - ) 極性のデータ電圧が印加される。

#### 【0152】

このような段階が全ての第 2 ゲート線  $G_m$  に沿って順次に行われると、第 2 フレームが完了する。

#### 【0153】

このように、本実施形態による液晶表示装置の画素の列方向に互いに隣接する第 1 画素  $PX(i)$  及び第 2 画素  $PX(i+1)$  は、同一のゲート線 ( $G_n$ 、 $G_m$ ) の支線 ( $G_{ni}$ 、 $G_{ni+1}$ 、 $G_{mi}$ 、 $G_{mi+1}$ ) にそれぞれ接続され、各フレームごとにゲートオン/オフ電圧が一つのゲート線 ( $G_n$ 、 $G_m$ ) を通じて印加される。したがって、駆動速度を速くすることができる。

#### 【0154】

また、各画素 ( $PX(i)$ 、 $PX(i+1)$ ) に接続される二つのゲート線の間に第 1 電源線  $C_{high}$  及び第 2 電源線  $C_{low}$  を配置するよりも、二つのゲート線と、前段ゲート線及び後段ゲート線との間に第 1 電源線  $C_{high}$  及び第 2 電源線  $C_{low}$  を配置する場合、各画素 ( $PX(i)$ 、 $PX(i+1)$ ) の開口率を高くすることができる。

#### 【0155】

また、本実施形態による液晶表示装置の一つの画素は、互いに対になる二つのゲート線、一つのデータ線、及び二つの電源線に接続される。したがって、データ線の数が減るので、液晶表示装置の駆動部の費用を節減することができる。

#### 【0156】

上述した実施形態による液晶表示装置の信号線及び画素の配置と駆動方法は、少なくとも一部分が同じ層に形成されて互いに交互に配置される第 1 画素電極と第 2 画素電極を含む全ての形態の画素構造に適用可能である。

#### 【0157】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれらに限定されず、次の請求範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

#### 【符号の説明】

#### 【0158】

### 3 液晶層

#### 31 液晶分子

#### 300 液晶表示板組立体

#### 400 ゲート駆動部

#### 500 データ駆動部

#### 600 信号制御部

#### 800 階調電圧生成部

$G_{m-1}$ 、 $G_n$ 、 $G_m$ 、 $G_{n+1}$ 、 $G_{m+1}$ 、 $G_{n+2}$  ゲート線

$D_j$ 、 $D_{j+1}$  データ線

$C_{high}$ 、 $C_{low}$  電源線

$Q_{ai}$ 、 $Q_{bi}$ 、 $Q_{ci}$ 、 $Q_{di}$  第 1 ~ 第 4 スイッチング素子

$C_{lc}$  液晶キャパシタ

$V_{ref}$  基準電圧

$PE_a$ 、 $PE_b$  画素電極

$PX(i)$ 、 $PX(i+1)$  画素

10

20

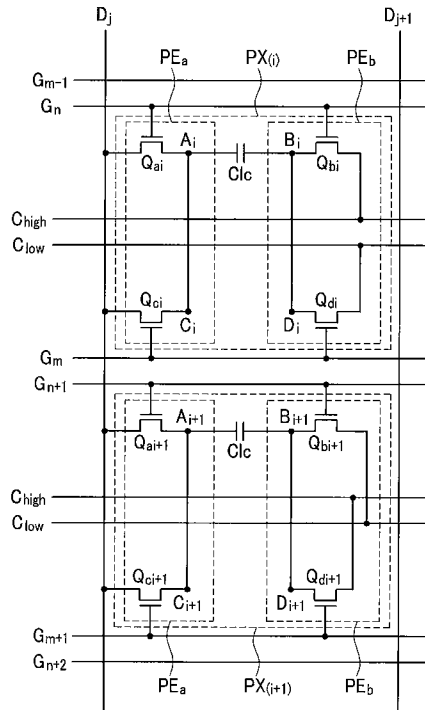
30

40

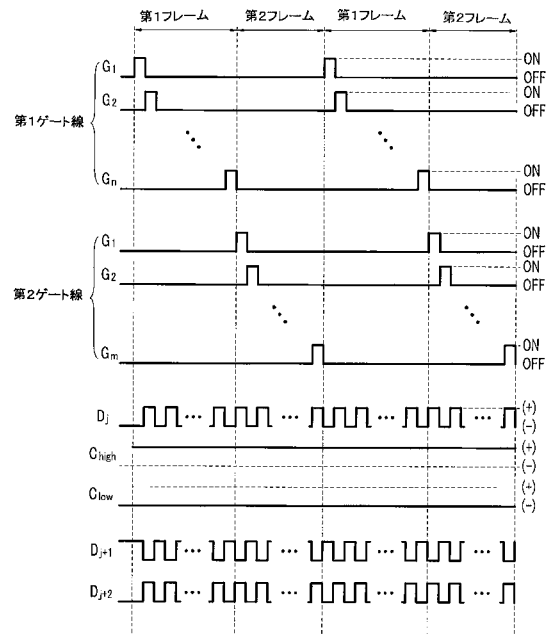
50



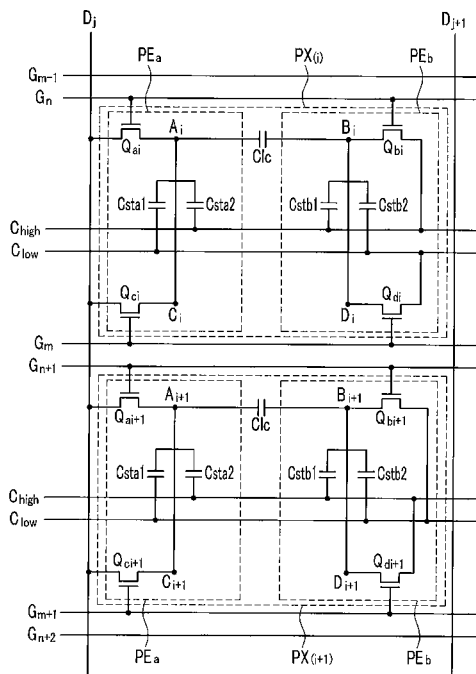
【図 5】



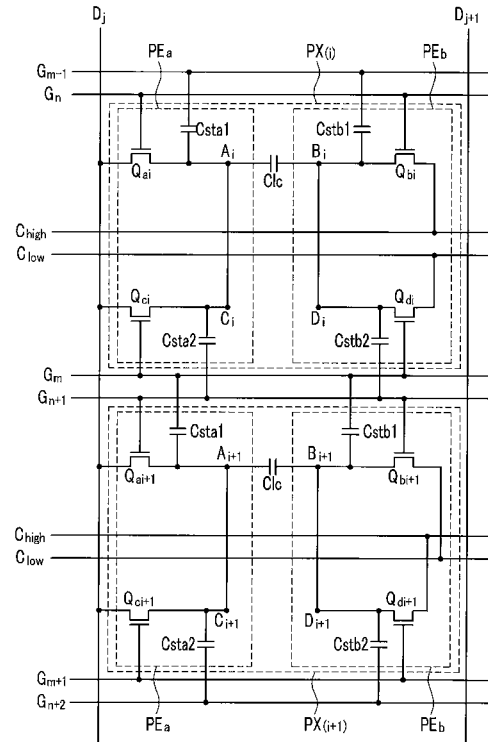
【図 6】



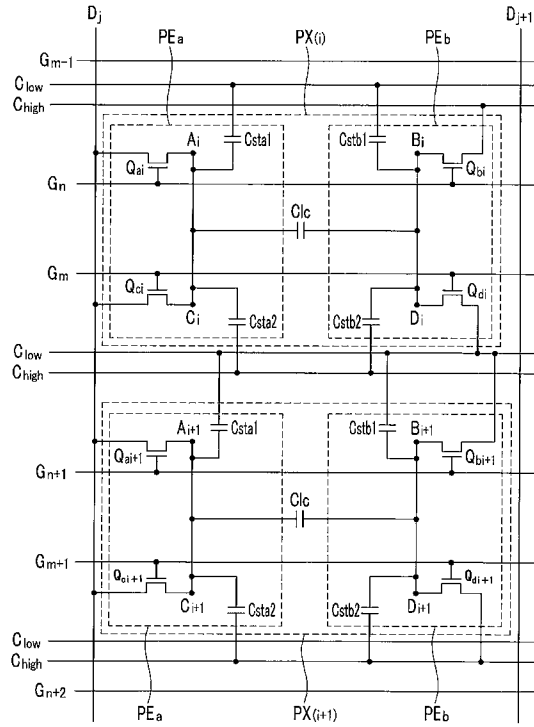
【図 7】



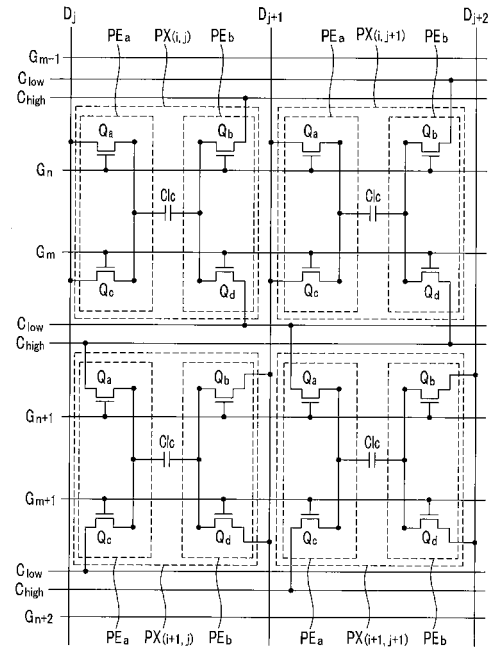
【図 8】



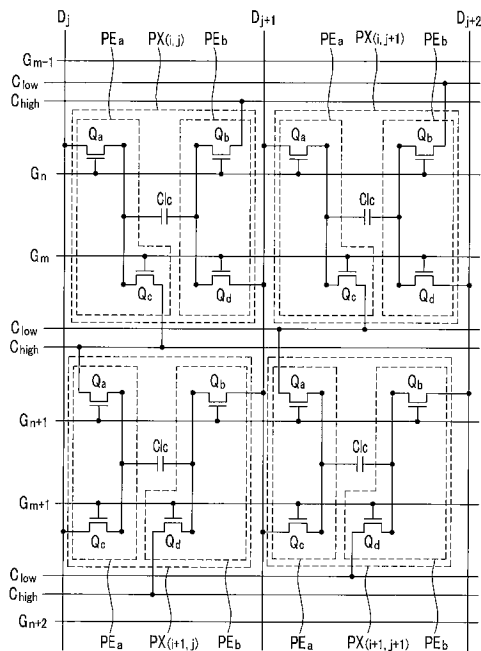
【図 9】



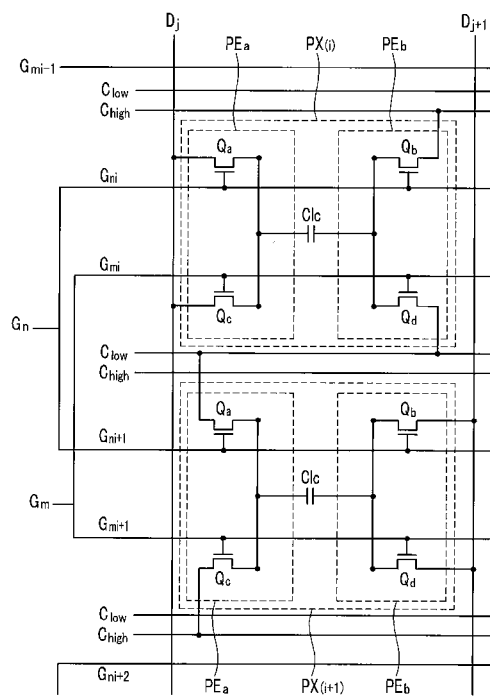
【図 10】



【図 11】



【図 12】



---

フロントページの続き

- (72)発明者 金 成 雲  
大韓民国京畿道水原市霊通区霊通洞 9 9 1 - 1 0 番地 2 0 2 号
- (72)発明者 金 熙 燮  
大韓民国京畿道華城市台安邑半月洞 8 6 5 - 1 番地シンヨントン現代アパート 1 1 0 棟 3 0 4 号
- (72)発明者 金 香 律  
大韓民国京畿道華城市陵洞 1 1 3 4 番地プルンマウルポスコザシャップアパート 9 0 7 棟 9 0 1 号
- (72)発明者 章 珠 寧  
大韓民国慶尚北道慶山市正坪洞 1 3 8 - 6 番地慶山ウバンマンション 1 0 2 棟 1 0 2 号
- (72)発明者 盧 淳 俊  
大韓民国京畿道水原市霊通区網浦洞ヌルプルンビョクサンアパート 1 0 5 棟 1 2 0 3 号
- (72)発明者 禹 和 成  
大韓民国京畿道水原市霊通区梅灘 1 洞住公 4 団地アパート 4 1 9 棟 1 0 7 号
- (72)発明者 辛 哲  
大韓民国京畿道華城市陵洞ウナムファーストビル 2 次アパート 2 0 1 棟 2 0 3 号
- (72)発明者 申 東 哲  
大韓民国ソウル市恩平区佛光 3 洞 4 3 1 - 2 番地
- F ターム(参考) 2H092 GA14 JA24 JB22 JB31 JB42 JB46 NA01 NA25 QA06

|                |                                                                                                                                                                                                                                                                                                                                                                            |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 公开(公告)号        | <a href="#">JP2011039513A</a>                                                                                                                                                                                                                                                                                                                                              | 公开(公告)日 | 2011-02-24 |
| 申请号            | JP2010179433                                                                                                                                                                                                                                                                                                                                                               | 申请日     | 2010-08-10 |
| [标]申请(专利权)人(译) | 三星电子株式会社                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| 申请(专利权)人(译)    | 三星电子株式会社                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| [标]发明人         | 金成雲<br>金熙燮<br>金香律<br>章珠寧<br>盧淳俊<br>禹和成<br>辛哲<br>申東哲                                                                                                                                                                                                                                                                                                                        |         |            |
| 发明人            | 金 成 雲<br>金 熙 燮<br>金 香 律<br>章 珠 寧<br>盧 淳 俊<br>禹 和 成<br>辛 哲<br>申 東 哲                                                                                                                                                                                                                                                                                                         |         |            |
| IPC分类号         | G02F1/1368                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| CPC分类号         | G09G3/3614 G09G3/3659 G09G2300/0426 G09G2300/0434 G09G2300/0823                                                                                                                                                                                                                                                                                                            |         |            |
| FI分类号          | G02F1/1368 G02F1/133.550 G02F1/1343                                                                                                                                                                                                                                                                                                                                        |         |            |
| F-TERM分类号      | 2H092/GA14 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB46 2H092/NA01 2H092/NA25 2H092/QA06 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BB91 2H192/CB12 2H192/CC24 2H192/CC58 2H192/CC62 2H192/DA01 2H192/DA02 2H192/DA65 2H192/EA43 2H192/GD61 2H192/JA34 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZC06 2H193/ZC12 2H193/ZC25 2H193/ZC36 2H193/ZF22 2H193/ZF36 2H193/ZQ16 |         |            |
| 优先权            | 1020090074889 2009-08-13 KR                                                                                                                                                                                                                                                                                                                                                |         |            |
| 其他公开文献         | JP5517822B2                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                  |         |            |

#### 摘要(译)

要解决的问题：同时确保高对比度和宽视角。 ĴSOLUTION：液晶显示装置包括：第一栅极线和第二栅极线，用于传输栅极信号;第一条数据线;第一电源线和第二电源线;第一开关元件，与第一栅极线和第一数据线连接;第二开关元件，与第一栅极线和第一电源线连接;第三开关元件，与第二栅极线和第一数据线连接;第四开关元件，与第二栅极线和第二电源线连接;第一像素电极，与第一开关元件和第三开关元件连接;第二像素电极，与第二开关元件和第四开关元件连接，并与第一像素电极分离。向第一供电线和第二供电线施加均具有固定尺寸的第一电压和第二电压。 Ĵ

