

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-249950

(P2010-249950A)

(43) 公開日 平成22年11月4日(2010.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 621B	2H193
G02F 1/1368 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 641C	5C080
	G02F 1/1368	

審査請求 未請求 請求項の数 4 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2009-97355 (P2009-97355)
 (22) 出願日 平成21年4月13日 (2009. 4. 13)

(71) 出願人 00002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100080160
 弁理士 松尾 憲一郎
 (72) 発明者 永仮 靖貴
 福岡県福岡市早良区百道浜2丁目3番2号
 ソニーセミコンダクタ九州株式会社内
 Fターム(参考) 2H092 JA24 JB61 NA01
 2H193 ZA04 ZA05 ZC01 ZD21 ZD32
 ZF02 ZF21 ZF31
 5C006 AA16 AC26 BB16 BF34 BF37
 FA22 FA34
 5C080 AA10 BB05 DD05 EE29 FF11
 JJ02 JJ03 JJ04 JJ05

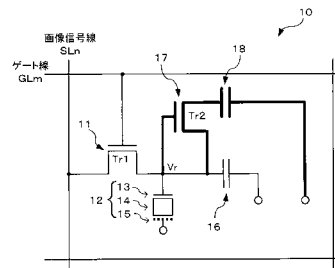
(54) 【発明の名称】 液晶パネル及びその液晶パネルを備えた電子機器

(57) 【要約】

【課題】高画質化を図ることができる液晶パネル及びその液晶パネルを備えた電子機器を提供する。

【解決手段】画素トランジスタ11のドレインは画像信号線SLnに接続され、画素トランジスタ11のゲートはゲート線GLmに接続されている。また、画素トランジスタ11のソースには、画素電極13と第1のキャパシタ16とが並列に接続されている。また、第2のキャパシタ18が、補助トランジスタ17を介して第1のキャパシタ16と並列して設けられ、補助トランジスタ17のドレイン及びゲートが、画素トランジスタ11のソースに接続されている。さらに、補助トランジスタ17のソースが第2のキャパシタ18の一端に接続されている。また、第2のキャパシタ18の他端の電位は、コモン電位以上としているので、正極性の電圧が画素トランジスタ11に印加された場合のみ、第2のキャパシタ18に電荷が蓄積される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の画素部を備え、

前記各画素部は、

正極性の電圧及び負極性の電圧の画像信号が供給される画素トランジスタと、

前記画素トランジスタに接続される第 1 のキャパシタと、

前記第 1 のキャパシタと並列に接続される液晶セルと、

前記正極性及び負極性のうち一方の極性の電圧の画像信号が供給されたときのみオン状態となるスイッチング素子と、

前記スイッチング素子を介して前記第 1 のキャパシタと並列に接続される第 2 のキャパシタとを備える液晶パネル。

10

【請求項 2】

前記スイッチング素子は、トランジスタであり、

当該トランジスタのゲート及びドレインは、前記第 1 のキャパシタに接続し、

当該トランジスタのソースは、前記第 2 のキャパシタに接続する請求項 1 の液晶パネル

【請求項 3】

前記スイッチング素子がオン状態となる駆動電圧は、前記液晶セルの極性の基準となるコモン電圧以上である請求項 1 または 2 の液晶パネル。

【請求項 4】

マトリクス状に配置された複数の画素部を備える液晶パネルと、前記液晶パネルに映像を供給する映像信号供給回路を備え、

20

前記各画素部は、

正極性の電圧及び負極性の電圧の画像信号が供給される画素トランジスタと、

前記画素トランジスタに接続される第 1 のキャパシタと、

前記第 1 のキャパシタと並列に接続される液晶セルと、

前記正極性及び負極性のうち一方の極性の電圧の画像信号が供給されたときのみオン状態となるスイッチング素子と、

前記スイッチング素子を介して前記第 1 のキャパシタと並列に接続される第 2 のキャパシタとを備える電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネル及びその液晶パネルを備えた電子機器に関し、特に、高画質化を図る液晶パネル及びその液晶パネルを備えた電子機器に関する。

【背景技術】

【0002】

液晶テレビ等の液晶パネルで用いられる液晶表示方式として、応答速度や画質品質等で優れているアクティブマトリクス方式が主流となっている（例えば、特許文献 1 参照）。アクティブマトリクス方式では、各画素の液晶セルに画素トランジスタをスイッチング素子として接続し、当該スイッチング素子を駆動することにより各画素の表示制御を行う。この表示方式ではクロストークの問題がなく、また L S I 技術の発達により高精細の液晶テレビ等を容易に実現することができる。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2 0 0 8 - 2 1 8 6 2 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

50

上記アクティブマトリクス方式の液晶パネルでは、各画素の階調値は、当該画素の液晶セルに印加される電圧によって決定されるため、スイッチング素子を介して液晶セルに印加された電圧を保持する必要がある。そのため、液晶セルにキャパシタを並列に設け、次の電圧が印加されるまでの期間、先に印加された電圧を保持している。

【0005】

ところが、キャパシタやトランジスタのリークにより、先に印加された電圧をキャパシタで完全には保持することができず、以下のように印加電圧の極性反転を行ったときに画質が低下してしまう恐れがある。

【0006】

すなわち、液晶パネルでは、同極性の直流電圧が印加され続けると「焼き付き」と呼ばれる残像現象を引き起こすため、所定のタイミングごとに液晶セルに印加する電圧の極性を反転させている。このとき、正極性の印加電圧におけるリーク量は負極性の印加電圧におけるリーク量よりも大きい場合がある。そのため、正極性と負極性とで保持される電圧が異なってしまい（図8参照）、液晶パネルのちらつきやざらつきによる画質低下の恐れがあった。

【0007】

本発明は、高画質の液晶パネル及びその液晶パネルを備えた電子機器を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、請求項1に係る発明は、マトリクス状に配置された複数の画素部を備え、前記各画素部は、正極性の電圧及び負極性の電圧の画像信号が供給される画素トランジスタと、前記画素トランジスタに接続される第1のキャパシタと、前記第1のキャパシタと並列に接続される液晶セルと、前記正極性及び負極性のうち一方の極性の電圧の画像信号が供給されたときのみオン状態となるスイッチング素子と、前記スイッチング素子を介して前記第1のキャパシタと並列に接続される第2のキャパシタとを備える液晶パネルとした。

【0009】

また、請求項2に係る発明は、請求項1の液晶パネルにおいて、前記スイッチング素子は、トランジスタであり、当該トランジスタのゲート及びドレインは、前記第1のキャパシタに接続し、当該トランジスタのソースは、前記第2のキャパシタに接続した。

【0010】

また、請求項3に係る発明は、請求項1または2の液晶パネルにおいて、前記スイッチング素子がオン状態となる駆動電圧は、前記液晶セルの極性の基準となるコモン電圧以上とした。

【0011】

また、請求項4に係る発明は、マトリクス状に配置された複数の画素部を備える液晶パネルと、前記液晶パネルに映像を供給する映像信号供給回路を備え、前記各画素部は、正極性の電圧及び負極性の電圧の画像信号が供給される画素トランジスタと、前記画素トランジスタに接続される第1のキャパシタと、前記第1のキャパシタと並列に接続される液晶セルと、前記正極性及び負極性のうち一方の極性の電圧の画像信号が供給されたときのみオン状態となるスイッチング素子と、前記スイッチング素子を介して前記第1のキャパシタと並列に接続される第2のキャパシタとを備える電子機器とした。

【発明の効果】

【0012】

本発明によれば、液晶パネル及びその液晶パネルを備えた電子機器において高画質化を図ることができる。

【図面の簡単な説明】

【0013】

【図1】第1実施形態に係る液晶表示装置の構成を示す図である。

10

20

30

40

50

【図 2】図 1 の液晶パネルを構成する画素部の回路図である。

【図 3】従来構成における画素部の回路図である。

【図 4】図 1 の画素部の動作例である。

【図 5】従来構成における蓄積電荷量を示した表である。

【図 6】本実施形態における蓄積電荷量を示した表である。

【図 7】その他の実施形態の画素部の回路図である。

【図 8】従来構成における電流リーク量を示したグラフである。

【発明を実施するための形態】

【0014】

以下、発明を実施するための形態（以下、「実施形態」という。）について説明する。
なお、説明は以下の順序で行う。

10

1. 第 1 実施形態
2. その他の実施形態
3. 電子機器への適用

【0015】

[1. 第 1 実施形態]

以下、第 1 実施形態に係る液晶表示装置について図面を参照して具体的に説明する。

【0016】

[1 - 1. 液晶表示装置 1 の構成]

図 1 に示されるように、第 1 実施形態に係る液晶表示装置 1 は、液晶パネル 2 と表示コントローラ 3 とソースドライバ 4 とゲートドライバ 5 とから構成されている。

20

表示コントローラ 3 は、不図示の映像信号供給回路からの映像信号に基いて液晶パネル 2 を表示制御するために、ソースドライバ 4 及びゲートドライバ 5 に制御信号を出力する。

【0017】

ソースドライバ 4 は、表示コントローラ 3 から供給される制御信号に基いて、各液晶セルに印加する電圧に対応する画像信号を画像信号線 $S L 1 \sim S L N$ に供給する。

ゲートドライバ 5 は、表示コントローラ 3 から供給される制御信号に基いて、パルス状の走査信号をゲート線 $G L 1 \sim G L M$ に供給する。

【0018】

30

液晶パネル 2 は、画像信号線 $S L 1 \sim S L N$ とゲート線 $G L 1 \sim G L M$ との各交差部に配置された複数の画素部 10（図 2 参照）から構成されている。すなわち、液晶パネル 2 は、マトリクス状に配置された画素部 10 から構成されている。また、図 2 では、画像信号線 $S L n$ とゲート線 $G L m$ の交差部に配置された画素部 10 のみを示しているが、他の交差部における画素部も同じ構成である。

【0019】

画素部 10 は、図 2 に示すように、画素トランジスタ 11 と液晶セル 12 と第 1 のキャパシタ 16 と補助トランジスタ 17 と第 2 のキャパシタ 18 とから構成されている。

液晶セル 12 は、画素電極 13 と液晶 14 と対向電極 15 を有している。そして、画素電極 13 と対向電極 15 の電位差により液晶 14 の配向状態が変化することで光の透過率が変化し、その結果、各画素部 10 の階調値が制御される。

40

【0020】

画素電極 13 と対向電極 15 との間に格納されている液晶 14 は、同極性の直流電圧が印加され続けると「焼き付き」と呼ばれる残像現象を引き起こし寿命が短くなる。そのため、所定のタイミングごとに（例えば、フレーム周期で）、液晶 14 に印加される電圧の極性を反転させている。

【0021】

また、各画素部 10 の階調値は、液晶 14 に印加される電圧によって決定されるため、各画素部 10 の階調値を維持するためには、液晶 14 に印加する電圧を一定に保つ必要がある。そのため、次の電圧が液晶 14 に印加されるまでの期間、液晶 14 に並列に設けら

50

れた第1のキャパシタ16が、液晶14に電圧を印加している。これにより、液晶14には、安定して電圧が印加されることになる。しかしながら、リーク電流により第1のキャパシタ16は、印加された電圧を完全には保持することができない。また、正極性の印加電圧におけるリーク量は負極性の印加電圧におけるリーク量よりも大きいことがある。そして、このリーク量の差は、液晶表示装置のちらつきやざらつきによる画質の低下を引き起こしてしまう。本実施形態の液晶表示装置1は、画素部10を以下のように構成することでこの問題を解決している。

【0022】

[1-2. 画素部10の構成]

図2に示すように、画素部10は、画素トランジスタ11と、画素電極13と液晶14と対向電極15から構成される液晶セル12と、第1のキャパシタ16と、補助トランジスタ17と、第2のキャパシタ18とから構成されている。

10

【0023】

画素トランジスタ11のドレインは画像信号線SLnに接続され、画素トランジスタ11のゲートはゲート線GLmに接続されている。また、画素トランジスタ11のソースには、画素電極13と第1のキャパシタ16とが並列に接続されている。また、対向電極15は、極性の基準となる電圧としている（以下、極性の基準となる電圧を「コモン電圧」という。）。また、画素トランジスタ11は、ゲート線GLmが走査されているときにオン状態となるスイッチング素子として機能する。なお、以下においては、コモン電圧を超える電圧を正極性の電圧とし、コモン電圧未満の電圧を負極性の電圧としている。

20

【0024】

これにより、ゲート線GLmに走査パルスが印加されているときに（すなわち、画素トランジスタ11がオン状態となっているときに）、画像信号線SLnに印加された電圧が、画像信号として画素電極13及び第1のキャパシタ16に供給される。そして、画素電極13と対向電極15の電位差に応じて、画素部10の画素の階調値が決定される。

また、ゲート線GLmに走査パルスが印加されていない期間は、第1のキャパシタ16が、画素電極13に電圧を印加する。これにより、画素電極13には、走査パルスの印加に関係なく継続して電圧が印加される。

【0025】

また、第2のキャパシタ18が、補助トランジスタ17を介して第1のキャパシタ16と並列して設けられている。より具体的には、補助トランジスタ17のドレイン及びゲートが、画素トランジスタ11のソースに接続されている。さらに、補助トランジスタ17のソースが第2のキャパシタ18の一端に接続されている。また、第2のキャパシタ18の他端は、コモン電圧としている。

30

【0026】

これにより、補助トランジスタ17は、ゲート線GLmに走査パルスが印加され、かつ画像信号線SLnに正極性の電圧が印加された場合に駆動する（オン状態となる）。すなわち、補助トランジスタ17に正極性の電圧が印加された場合に、第2のキャパシタ18に電荷が蓄えられることになる。また、補助トランジスタ17は画素トランジスタ11に接続されているため、補助トランジスタ17を制御するための制御線を別途設ける必要がなく、回路を簡略化することができる。

40

【0027】

[1-3. 正極性の電圧が印加されている場合における画素部10の動作]

次に、正極性の電圧が印加されている場合における画素部10の動作について具体的に説明する。

【0028】

ゲート線GLmに走査パルスが印加され、かつ画像信号線SLnに正極性の電圧が印加される場合、画素トランジスタ11がオン状態となって、画素トランジスタ11を介して第1のキャパシタ16に電荷が蓄積される。このとき、補助トランジスタ17のゲートにも正極性の電圧が印加されることにより駆動されるので、第2のキャパシタ18にも電荷

50

が蓄積される。また、第1のキャパシタ16と第2のキャパシタ18とが並列に設けられているので、正極性の電圧が印加されている場合における画素部10の静電容量は、第1のキャパシタ16の静電容量と第2のキャパシタ18の静電容量の総和となる。すなわち、第1のキャパシタ16のみを設ける場合に比べて静電容量が増加する。

【0029】

また、ゲート線GLmに走査パルスが印加されていない場合、第1のキャパシタ16が、画素電極13に電圧を印加する。この電圧は正極性の電圧なので、補助トランジスタ17はオン状態となり、補助トランジスタ17も、画素電極13に電圧を印加する。これにより、正極性側のリーク量の一部をカバーすることができる。

【0030】

[1-4. 負極性の電圧が印加されている場合における画素部10の動作]

次に、負極性の電圧が印加されている場合における画素部10の動作について具体的に説明する。

【0031】

負極性の電圧を印加する場合、画素トランジスタ11を介して第1のキャパシタ16に電荷が蓄積される。また、負極性の電圧が印加される場合、その電圧は補助トランジスタ17の駆動電圧よりも低いので、補助トランジスタ17は駆動しない。よって、第2のキャパシタ18には電荷は蓄積されない。これにより、負極性の電圧を印加する場合における画素部10の静電容量は、補助トランジスタ17及び第2のキャパシタ18を備えていない従来の構成(図3参照)と同じである。すなわち、負極性の電圧を印加する場合、画素部10の静電容量は、補助トランジスタ17及び第2のキャパシタ18の影響を受けない。

【0032】

また、ゲート線GLmに走査パルスが印加されていない場合、第1のキャパシタ16が、画素電極13に電圧を印加する。この電圧は負極性の電圧なので、補助トランジスタ17はオン状態とならず、第2のキャパシタ18の影響を受けない。

【0033】

[1-5. 画素部10の動作のまとめ]

上記[1-3]及び[1-4]で述べたとおり、補助トランジスタ17は、正極性の電圧が印加されている場合にのみオン状態となり第2のキャパシタ18に電荷が蓄積される。これにより、画素部10の静電容量は、負極性の電圧が印加される場合は第1のキャパシタ16の静電容量となり、正極性の電圧が印加される場合は第1のキャパシタ16と第2のキャパシタ18の静電容量の総和となる。この結果、正極性側のリーク量の一部をカバーすることができ、液晶パネル2のちらつきやざらつきを防ぐことができ、液晶パネル2の高画質化を図ることができる。

【0034】

[1-6. 画素部10の動作例]

次に、画素部10の動作について図4を用いて説明する。図4は、画像信号線SLnに供給される画像信号、ゲート線GLmに印加される走査パルス、画素トランジスタ11(Tr1)のゲート電圧、補助トランジスタ17(Tr2)のゲート電圧、画素電極13の印加電圧Vrの関係を示している。なお、SLnについては、SLnに供給される画像信号(供給される電圧)のうち、画素部10の動作に関係のあるものについて示している。

【0035】

図4に示すように、画像信号線SLnに正極性の電圧が印加されている状態において、ゲート線GLmに走査パルスが印加されると、画素トランジスタ11がオン状態となり、そのときにSLnに印加されている電圧が第1のキャパシタ16に印加される。また、補助トランジスタ17もオン状態となり、そのときにSLnに印加される電圧が第2のキャパシタ18に印加される。その後、GLmに走査パルスが走査されなくなると、画素トランジスタ11はオフ状態となり、第1のキャパシタ16が、画素電極13に電圧を印加する。また、この電圧は正極性の電圧なので、補助トランジスタ17はオン状態のままであ

10

20

30

40

50

り、正極性側では第2のキャパシタ18が作用するため、従来構成に比べてV_rの減少量が少なくなる。

【0036】

一方、画像信号線S_{L_n}に負極性の電圧が印加されている状態において、ゲート線G_{L_m}に走査パルスが印加されると、画素トランジスタ11がオン状態となり、そのときにS_{L_n}に印加されている電圧が第1のキャパシタ16に印加される。なお、補助トランジスタ17はオン状態とはならず、第2のキャパシタ18に電荷は蓄積されない。その後、G_{L_m}に走査パルスが走査されなくなると、画素トランジスタ11はオフ状態となり、第1のキャパシタ16が、画素電極13に電圧を印加する。なお、補助トランジスタ17はオフ状態のままである。

10

【0037】

これにより、両極性における画素電極13の印加電圧の差が小さくなるので、液晶パネル2のちらつきやざらつきを防ぐことができ、液晶パネル2の高画質化を図ることができる。

【0038】

[1-7. 具体的な数値例]

次に、本実施形態の効果について具体的な数値例に用いて説明する。

図5は、従来構成における蓄積電荷量を示した表であり、図6は、本実施形態における蓄積電荷量を示した表である。

以下の説明では、一例として、正極性側のリーク量を電圧印加時の15%とし、負極性側のリーク量を電圧印加時の10%とする。また、第1のキャパシタ16の蓄積電荷量を「100」とし、第2のキャパシタ18の蓄積電荷量を「5」とする。また、コモン電圧を7.0Vとし、このコモン電圧を基準として、正極性の電圧を12.0V、負極性の電圧を2.0Vとする。また、補助トランジスタ17の駆動電圧をコモン電圧(7.0V)以上の電圧とする。

20

【0039】

従来構成では、図5に示すように、電圧印加時における正極性側と負極性側の画素部10の蓄積電荷量は同じである。しかしながら、両極性のリーク量が異なるので、次の電圧が印加されるまでの期間(電圧保持時)においては、正極性側の蓄積電荷量(保持電圧)は負極性側の蓄積電荷量(保持電圧)よりも小さい。そのため、液晶パネルの画質は、ちらつきやざらつきによって低下してしまう。

30

【0040】

一方、本実施形態では、図6に示すように、正極性の電圧印加時において、蓄積電荷量を従来構成よりも5%高くしている(「100」「105」)。これにより、電圧保持時の蓄積電荷量は約90(105×85%=89.25)となる。その結果、電圧保持時における正極性側の蓄積電荷量(保持電圧)を、負極性側の蓄積電荷量(保持電圧、「90」とほぼ等しくすることができるので、ちらつきやざらつきによる液晶パネル2の画質の低下を防ぐことができる。なお、第2のキャパシタ18の静電容量は、正極性側と負極性側のリーク量の差に応じて適宜設定することができる。

【0041】

以上のように画素部10を構成することにより、電圧保持時において、正極性側と負極性側の印加電圧の差を少なくすることにより、両極性における印加電圧のバランスを取ることができる。その結果、液晶パネル2のちらつきやざらつきによる画質の低下を防止することができる。

40

【0042】

また、ノーマリーブランクの液晶を液晶14に用いる場合、白色を表現するためには、コモン電圧との差が大きい電圧を液晶14に印加する必要がある。白色のちらつきやざらつきは画質の低下に大きな影響を及ぼすが、本実施形態によれば、液晶パネル2のちらつきやざらつきによる画質の低下を防止することができる。

【0043】

50

[2 . その他の実施形態]

上述の第1実施形態では、第2のキャパシタ18に電荷を蓄積するためのスイッチング素子として補助トランジスタ17を用いたが、その他のスイッチング素子によって第2のキャパシタ18を制御してもよい。また、補助トランジスタ17を図4と同じように制御するために、別途の制御線CLを設けるように構成してもよい(図7参照)。

【 0 0 4 4 】

さらに、上述した第1実施形態では、液晶パネルを構成する全ての画素部を、補助トランジスタ17及び第2のキャパシタ18を有する画素部10として構成したが、ちらつきやざらつきが顕著に目立つ位置の画素部についてのみ画素部10として構成してもよい。

【 0 0 4 5 】

また、液晶14に印加する電圧の極性を反転させるタイミングはどのようなものでもよく、例えば、複数フレーム周期で反転させるように構成してもよい。

また、負極性側のリーク量が正極性側のリーク量よりも大きい液晶セルを用いる場合には、負極性側の静電容量を大きくするように、第2のキャパシタ18のキャパシタに電荷を蓄えるように構成することができる。

【 0 0 4 6 】

[3 . 電子機器への適用]

上述の液晶パネル2は、液晶テレビのほか、液晶パネル2に映像信号を供給する映像信号供給回路を備える液晶プロジェクタ、パーソナルコンピュータなどの電子機器に適用することができる。

【 0 0 4 7 】

本発明に係る実施の形態について具体的に説明したが、本発明は上述した実施の形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【 符号の説明 】

【 0 0 4 8 】

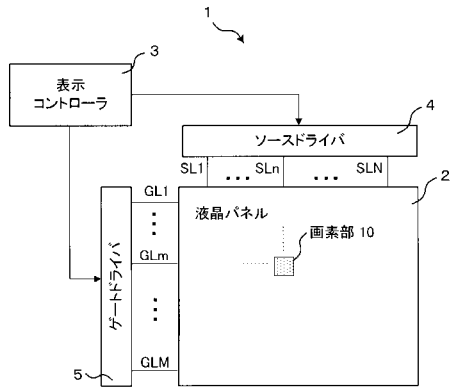
- 1 液晶表示装置
- 2 液晶パネル
- 3 表示コントローラ
- 4 ソースドライバ
- 5 ゲートドライバ
- 1 1 画素トランジスタ
- 1 2 液晶セル
- 1 3 画素電極
- 1 4 液晶
- 1 5 対向電極
- 1 6 第1のキャパシタ
- 1 7 補助トランジスタ
- 1 8 第2のキャパシタ

10

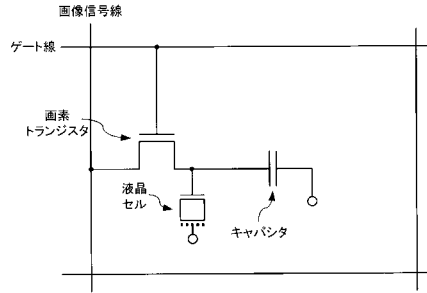
20

30

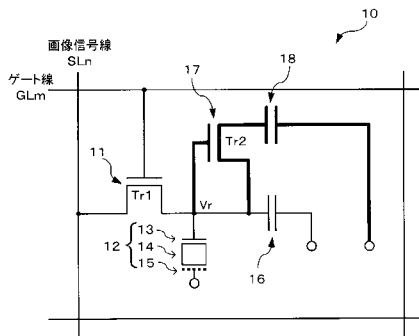
【図1】



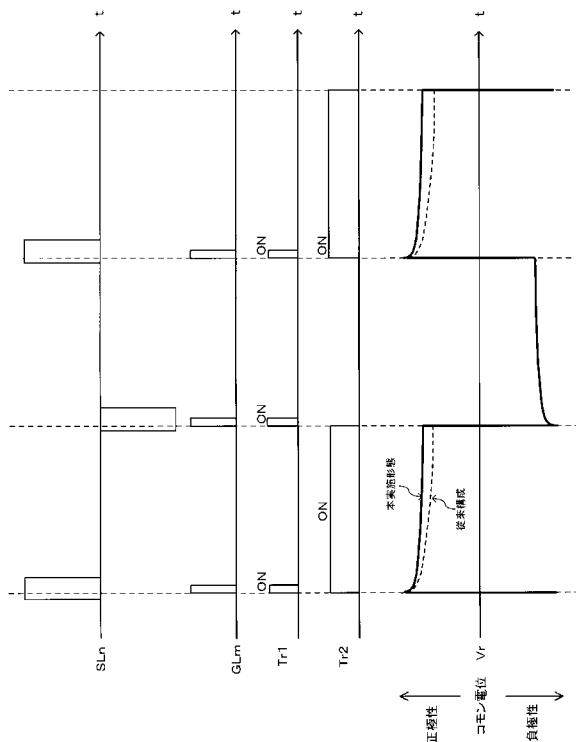
【図3】



【図2】



【図4】



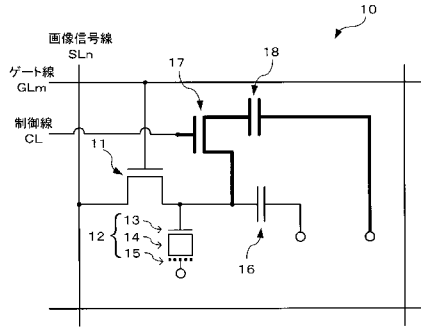
【図5】

	画像信号線	画素トランジスタ	—	蓄積電荷量	コモン電位
正極性電圧印加時	12.0V	ON	—	100	7.0V
正極性電圧保持時	—	OFF	—	85	7.0V
負極性電圧印加時	2.0V	ON	—	100	7.0V
負極性電圧保持時	—	OFF	—	90	7.0V

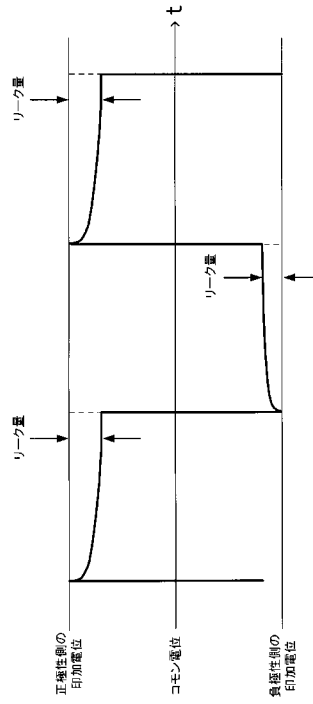
【図6】

	画像信号線	画素トランジスタ	補助トランジスタ	蓄積電荷量	コモン電位
正極性電圧印加時	12.0V	ON	ON	105	7.0V
正極性電圧保持時	—	OFF	ON	89.25	7.0V
負極性電圧印加時	2.0V	ON	OFF	100	7.0V
負極性電圧保持時	—	OFF	OFF	90	7.0V

【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

G 0 2 F 1/133 5 0 5

专利名称(译)	液晶面板和具有液晶面板的电子设备		
公开(公告)号	JP2010249950A	公开(公告)日	2010-11-04
申请号	JP2009097355	申请日	2009-04-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	永坂靖贵		
发明人	永坂 靖贵		
IPC分类号	G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.624.B G09G3/20.641.C G02F1/1368 G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H092/JA24 2H092/JB61 2H092/NA01 2H193/ZA04 2H193/ZA05 2H193/ZC01 2H193/ZD21 2H193/ZD32 2H193/ZF02 2H193/ZF21 2H193/ZF31 5C006/AA16 5C006/AC26 5C006/BB16 5C006/BF34 5C006/BF37 5C006/FA22 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H192/AA24 2H192/CB22 2H192/DA01 2H192/DA41 2H192/GD61 2H192/JB02		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有液晶面板的液晶面板和电子设备，以获得高图像质量。
 ΣSOLUTION：像素晶体管11的漏极连接到图像信号线SLn，像素晶体管11的栅极连接到栅极线GLm。像素电极13和第一电容器16与像素晶体管11的源极并联连接。第二电容器18通过辅助晶体管17与第一电容器16并联设置，并且辅助的漏极和栅极晶体管17连接到像素晶体管11的源极。此外，辅助晶体管17的源极连接到第二电容器18的一端。由于第二电容器18的另一端电位被设置为公共电位或更高。只有当正极性电压施加到像素晶体管11时，电荷才累积在第二电容器18中

