

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-181126

(P2009-181126A)

(43) 公開日 平成21年8月13日(2009.8.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 641C	2H093
G02F 1/1368 (2006.01)	G09G 3/20 642C	2H193
G02F 1/133 (2006.01)	G09G 3/20 642D	5C006
	G02F 1/1368	5C080

審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2009-14103 (P2009-14103)
 (22) 出願日 平成21年1月26日 (2009.1.26)
 (31) 優先権主張番号 10-2008-0010184
 (32) 優先日 平成20年1月31日 (2008.1.31)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 金成雲
 大韓民国京畿道水原市靈通区靈通洞991
 -10番地202号

最終頁に続く

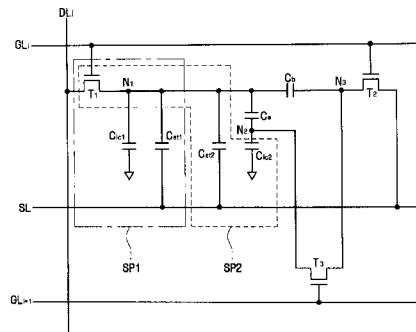
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】側面視認性を高めつつ、輝度減少を防止できる液晶表示装置が提供される。

【解決手段】液晶表示装置は、平行に配列されて順次にゲート電圧を伝達する第1および第2ゲート線と、第1および第2ゲート線と交差してデータ電圧を伝達するデータ線と、一つの画素内に位置して第1電荷分配キャパシタを介して互いに接続する第1および第2サブ画素電極を含む画素電極と、第1ゲート線、データ線、および第1サブ画素電極に接続する第1スイッチング素子と、第2電荷分配キャパシタを介して第1サブ画素電極と接続する第2スイッチング素子と、第2ゲート線および第2サブ画素電極に接続して、第2電荷分配キャパシタを介して第1サブ画素電極に接続する第3スイッチング素子と、を含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

平行に配列されて順次にゲート電圧を伝達する第 1 および第 2 ゲート線と、
 前記第 1 および第 2 ゲート線と交差してデータ電圧を伝達するデータ線と、
 一つの画素内に位置して第 1 電荷分配キャパシタを介して互いに接続する第 1 および第
 2 サブ画素電極を含む画素電極と、
 前記第 1 ゲート線、前記データ線、および前記第 1 サブ画素電極に接続する第 1 スイッ
 チング素子と、
 第 2 電荷分配キャパシタを介して前記第 1 サブ画素電極と接続する第 2 スイッチング素
 子と、
 前記第 2 ゲート線および前記第 2 サブ画素電極に接続し、前記第 2 電荷分配キャパシタ
 を介して前記第 1 サブ画素電極に接続する第 3 スイッチング素子と、
 を含む液晶表示装置。

10

【請求項 2】

前記第 1 ゲート線と平行に延長され共通電圧を伝達するストレージラインをさらに含み
 、
 前記第 2 スイッチング素子は、前記第 1 ゲート線に接続する制御端子と、前記第 2 電荷
 分配キャパシタに接続する出力端子と、前記ストレージラインに接続する入力端子とを含
 むことを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記第 2 スイッチング素子の入力端子は、前記ストレージラインに直接接続することを
 特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 ゲート線にゲートオン電圧が印加される場合、前記第 2 電荷分配キャパシタに
 は前記データ電圧と前記共通電圧との差に該当する電圧が充電されることを特徴とする請
 求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 2 スイッチング素子の入力端子は、補助キャパシタを介して前記ストレージライ
 ンに接続することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 6】

前記第 1 電荷分配キャパシタのキャパシタンス C_m と前記第 2 電荷分配キャパシタのキ
 ャパシタンス C_n とは $C_m : C_n = 1 : 2$ ないし $1 : 5$ である関係を有することを特徴と
 する請求項 1 に記載の液晶表示装置。

30

【請求項 7】

前記画素電極と対向するように配置された共通電極をさらに含み、
 前記第 1 電荷分配キャパシタのキャパシタンス C_m と、前記第 2 電荷分配キャパシタの
 キャパシタンス C_n と、前記第 2 サブ画素電極及び前記共通電極による第 2 液晶キャパシ
 タのキャパシタンス C_l とは $(C_m + C_l) : C_n = 1 : 1$ ないし $1 : 4$ である関係を有
 することを特徴とする請求項 1 に記載の液晶表示装置。

40

【請求項 8】

前記第 1 および第 2 サブ画素電極の画素電圧の間に電荷分配が起きた後、前記第 1 サブ
 画素電極の画素電圧は前記データ電圧より高くなり、前記第 2 サブ画素電極の画素電圧は
 前記データ電圧より低くなることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はディスプレイ装置に関するものであって、さらに詳細には液晶表示装置に関す
 るものである。

【背景技術】

【0002】

50

液晶表示装置は現在最も広く使用されているフラットパネル表示装置のうち一つであって、画素電極及び共通電極などの電界生成電極が形成された2枚の表示板とその間に挿入されている液晶層とを含み、電界生成電極に電圧を印加して液晶層に電界を生成し、これにより液晶層の液晶分子の配向を決定して入射光の偏光を制御することによって映像を表示する。

【0003】

また電界が印加されていない状態で液晶分子の長軸を上下表示板に対して垂直を成すように配列した垂直配向モードの液晶表示装置は、コントラスト比が大きくて広い基準視野角の実現が容易なため、脚光を浴びている。ここで基準視野角とはコントラスト比が1:10である視野角あるいは階調間の輝度反転限界角度を意味する。

10

【0004】

垂直配向モードの液晶表示装置において広視野角を実現するための手段としては、電界生成電極に切開部を形成する方法又は電界生成電極の上に突起を形成する方法などがある。切開部又は突起で液晶分子が傾く方向を決定することができるため、これらを使用して液晶分子の傾斜方向を様々な方向に分散させることによって基準視野角を広くすることができる。

【0005】

従来の垂直配向方式の液晶表示装置は、前面視認性に比べて側面視認性が落ちるという問題点がある。例えば、切開部が具備されたPVA (patterned vertically aligned) 方式の液晶表示装置の場合は、側面に近いほど映像が明るく

20

【特許文献1】韓国公開特許2005-0018520号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題は、側面視認性を高めつつ、輝度減少を防止できる液晶表示装置を提供しようとするものである。

【0007】

本発明が解決しようとする課題は以上で言及した課題に制限されず、言及されていない他の課題は次の記載から当業者に明確に理解できるであろう。

30

【課題を解決するための手段】

【0008】

前記課題を達成するための本発明の一実施形態による液晶表示装置は、互いに平行に並んで配列されて順次にゲート電圧を伝達する第1および第2ゲート線と、第1および第2ゲート線と交差してデータ電圧を伝達するデータ線と、一つの画素内に配置されて第1電荷分配キャパシタを介して互いに接続された第1および第2サブ画素電極を含む画素電極と、第1ゲート線、データ線、および第1サブ画素電極に接続された第1スイッチング素子と、第2電荷分配キャパシタを介して第1サブ画素電極と接続された第2スイッチング素子と、第2ゲート線および第2サブ画素電極に接続されて、第2電荷分配キャパシタを介して第1サブ画素電極に接続された第3スイッチング素子と、を含む。

40

【0009】

その他実施形態の具体的な事項は詳細な説明および図に含まれる。

【発明の効果】

【0010】

前述したような本発明による液晶表示装置によれば、一つの画素電極を一对のサブ画素電極に分割した後、電荷分配 (charge sharing) によって、各サブ画素電極の画素電圧に差を発生させることによって側面視認性を高めることができる。また電荷分配を起こす電荷分配キャパシタの一端にスイッチング素子を接続することによって一对のサブ画素電極の画素電圧の差が大きくなり、側面視認性をさらに向上させることができる。また一つのスイッチング素子によって一对のサブ画素電極にデータ電圧を印加するこ

50

とによってサブ画素電極を制御するスイッチング素子の数を減らすことができ開口率を高めることができる。

【図面の簡単な説明】

【0011】

【図1】本発明の第1実施形態による液晶表示装置のブロック図である。

【図2】本発明の第1実施形態による液晶表示装置の一つの画素を示す回路図である。

【図3】本発明の第1実施形態による液晶表示装置におけるデータ電圧に応じる画素電圧を示したグラフである。

【図4】本発明の第2実施形態による液晶表示装置の一つの画素を示す回路図である。

【発明を実施するための形態】

10

【0012】

本発明の利点および特徴、そしてそれらを達成する方法は図面と共に詳細に後述されている実施形態を参照すれば明確になるであろう。しかし本発明は以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で実現されるものであり、単に本実施形態は本発明の開示を完全にし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものであり、本発明は請求項の範囲によってのみ定義される。明細書全体にかけて同一参照符号は同一構成要素を指称する。

【0013】

一つの素子 (elements) が他の素子と「接続された (connected to)」あるいは「カップリングされた (coupled to)」と指称されるものは、他の素子と直接連結あるいはカップリングされた場合あるいは中間に他の素子を介在した場合をすべて含む。一方、一つの素子が他の素子と「直接接続された (directly connected to)」あるいは「直接カップリングされた (directly coupled to)」と指称されるものは、中間に他の素子を介在しないことを表す。明細書全体にかけて同一参照符号は同一構成要素を指称する。「および/または」は言及されたアイテムの各々および一つ以上のすべての組合せを含む。

20

【0014】

たとえ第1、第2等が多様な素子、構成要素および/またはセクションを叙述するために使用されても、当然のことながらこれらの素子、構成要素および/またはセクションはこれら用語によって制限されない。これらの用語は単に一つの素子、構成要素あるいはセクションを他の素子、構成要素あるいはセクションと区別するために使用するものである。したがって、以下で言及される第1素子、第1構成要素あるいは第1セクションは本発明の技術的思想内で第2素子、第2構成要素あるいは第2セクションであってもよい。

30

【0015】

本明細書で使用される用語は実施形態を説明するためのものであり、本発明を制限しようとするものではない。本明細書で、単数形は文言に特別に言及しない限り複数形も含む。「含む (comprises)」および/または「含む (comprising)」が明細書で使用される場合は、言及された構成要素、段階、動作および/または素子が一つ以上の他の構成要素、段階、動作および/または素子の存在あるいは追加を排除しない。

40

【0016】

他の定義がない限り、本明細書で使用されるすべての用語 (技術および科学的用語を含む) は、本発明が属する技術分野で通常の知識を有する者に共通に理解され得る意味として使用され得るものである。また、一般的に使用される辞典に定義されている用語は、特に定義されない限り理想的にまたは過度に解釈されない。

【0017】

以下、図1および図2を参照して本発明の第1実施形態による液晶表示装置を説明する。図1は、本発明の第1実施形態による液晶表示装置のブロック図である。図2は、本発明の第1実施形態による液晶表示装置の一つの画素を示す回路図である。

【0018】

図1を参照すれば、本発明の第1実施形態による液晶表示装置は液晶パネルアセンブリ

50

(liquid crystal panel assembly) 300、これに連結されたゲート駆動部400およびデータ駆動部500、データ駆動部500に連結された階調電圧生成部800、そしてこれらを制御する信号制御部600を含む。

【0019】

液晶パネルアセンブリ300は、等価回路として見るとき、多数の表示信号線とこれらの表示信号線に連結されてマトリクス形状に配列された多数の画素(PX)とを含む。ここで、液晶パネルアセンブリ300は、互いに向かい合う下部表示板(図示せず)、上部表示板(図示せず)およびこれらの間に介在された液晶層(図示せず)を含む。

【0020】

表示信号線は下部表示板に具備されてもよく、ゲート信号を伝達する多数のゲート線G1~Gnとデータ信号を伝達する多数のデータ線D1~Dmとを含んでもよい。ゲート線G1~Gnは概ね行方向に伸びてお互いにほとんど平行であり、データ線D1~Dmは概ね列方向に伸びてお互いにほとんど平行である。

【0021】

各画素(PX)は対応するゲート線G1~Gnおよびデータ線D1~Dmに接続されたスイッチング素子と、スイッチング素子に連結された液晶キャパシタ(liquid crystal capacitor)とを含む。ここで必要に応じてスイッチング素子にストレージキャパシタ(storage capacitor)を液晶キャパシタと並列に連結してもよい。

【0022】

ここで各画素(PX)のスイッチング素子は、薄膜トランジスタなどから成り、各々対応するゲート線G1~Gnに接続された制御端子、データ線D1~Dmに接続された入力端子、そして液晶キャパシタに接続された出力端子を有する三端子素子である。

【0023】

ゲート駆動部400は、ゲート線G1~Gnに接続されて外部から印加されたハイレベルのゲート信号(これをゲートオン電圧(Von)という)とロウレベルのゲート信号(これをゲートオフ電圧(Voff)という)との組合せであるゲート信号をゲート線G1~Gnに印加する。図1に図示されたゲート駆動部400は、液晶パネルアセンブリ300の一侧に位置し、すべてのゲート線G1~Gnに接続されている。ただし、本発明はこれに限定されずに対のゲート駆動部がそれぞれ液晶パネルアセンブリ300の両側に位置して、全てのゲート線G1~Gnは一对のゲート駆動部のそれぞれに接続されてもよい。例えば、大型液晶表示装置の場合、一つのゲート駆動部だけではゲート線G1~Gnの一端から最後までゲートオン電圧(Von)あるいはゲートオフ電圧(Voff)を十分に伝達しにくいと、このように一对のゲート駆動部を各ゲート線G1~Gnの両側に連結してもよい。またこのようなゲート駆動部400は、液晶パネルアセンブリ300の下部表示板上に少なくとも一つの薄膜トランジスタを含む集積回路形態で内蔵されてもよい。

【0024】

階調電圧生成部(gray voltage generator)800は、画素の透過率と密接に関連する階調電圧を生成する。階調電圧は各画素に提供され、共通電圧Vcomに対して正の値を有するものと負の値を有するものを含む。

【0025】

データ駆動部500は、液晶パネルアセンブリ300のデータ線D1~Dmに接続されて階調電圧生成部800からの階調電圧をデータ電圧として画素に印加する。ここで、階調電圧生成部800がすべての階調に対する階調電圧を提供するのではなく、基本階調電圧のみを提供する場合、データ駆動部500は基本階調電圧を分圧して様々な階調電圧を生成してもよく、これらのうちから1つをデータ電圧として選択してもよい。

【0026】

ゲート駆動部400あるいはデータ駆動部500は、表示信号線G1~Gn、D1~Dm及び薄膜トランジスタなどと共に液晶パネルアセンブリ300に集積されてもよい。こ

10

20

30

40

50

れとは異なり、ゲート駆動部400あるいはデータ駆動部500は、フレキシブル印刷回路フィルム(flexible printed circuit film)(図示せず)の上に実装されてテープキャリアパッケージ(tape carrier package)の形態で液晶パネルアセンブリ300に取り付けられてもよい。

【0027】

信号制御部600は、ゲート駆動部400およびデータ駆動部500などの動作を制御する。

【0028】

信号制御部600には、外部のグラフィック制御機(図示せず)から入力映像信号R、G、Bおよび入力映像信号の表示を制御する入力制御信号、例えば垂直同期信号(Vsync)、水平同期信号(Hsync)、メインクロック(MCLK)、及びデータイネーブル信号(DE)などが提供される。信号制御部600は、入力制御信号に基づいて入力映像信号R、G、Bを適切に処理して、液晶パネルアセンブリ300の動作条件に合う映像データ(DAT)を生成する。信号制御部600は、ゲート制御信号CONT1およびデータ制御信号CONT2等を生成して、ゲート制御信号CONT1をゲート駆動部400に送り出し、データ制御信号CONT2と処理した映像データ(DAT)をデータ駆動部500に送り出す。

10

【0029】

ゲート制御信号CONT1は、ゲート駆動部400の動作の開始、すなわち走査開始を指示する走査開始信号(STV)とゲートオン電圧(Von)の出力を制御する少なくとも一つのクロック信号とを含んでもよい。ゲート制御信号CONT1は、ゲートオン電圧(Von)の持続時間を制限する出力イネーブル信号(OE)を含んでもよい。ここで、クロック信号は選択信号(SE)として使用されてもよい。

20

【0030】

データ制御信号CONT2は、映像データ(DAT)の伝送を指示する水平同期開始信号(STH)と映像データ(DAT)に対応するデータ電圧をデータ線D1~Dmに印加するロード信号(LOAD)とデータクロック信号(HCLK)とを含んでもよい。またデータ制御信号CONT2は、共通電圧Vcomに対するデータ電圧の極性(以下「データ電圧の極性」という)を反転させる反転信号(RVS)を含んでもよい。

30

【0031】

信号制御部600からのデータ制御信号CONT2に应答して、データ駆動部500は画素(PX)に対する映像データ(DAT)を受信し、階調電圧生成部800から供給された複数の階調電圧から映像データ(DAT)に対応する階調電圧を選択することによって映像データ(DAT)を該当データ電圧に変換した後、これを該当データ線D1~Dmに印加する。

【0032】

ゲート駆動部400は、信号制御部600からのゲート制御信号CONT1に应答してゲートオン電圧(Von)をゲート線G1~Gnに印加して、ゲート線G1~Gnに接続されたスイッチング素子をオンさせる。これに伴いデータ線D1~Dmに印加されたデータ電圧は、オンしたスイッチング素子によって対応する画素(PX)に印加される。

40

【0033】

各画素(PX)に印加されたデータ電圧と共通電圧Vcomとの差は各画素の液晶キャパシタの充電電圧、すなわち画素電圧として表れる。液晶層における液晶分子の配列は、画素電圧の大きさによって変わり、これによって液晶層を通過する光の偏光が変化して、これは光の透過率変化として表れる。

【0034】

本発明の第1実施形態による液晶表示装置は、画素(PX)を形成する一对のサブ画素に同一なデータ電圧を提供した後、その画素(PX)に隣接するゲート線にゲートオン電圧(Von)が印加されるとき、前記一对のサブ画素のうち何れか一つのサブ画素に充電されたデータ電圧を電荷分配(charge sharing)方式によって落とす。こ

50

の結果、一对のサブ画素に互いに異なるデータ電圧が充電されるため、一つの画素(PX)のガンマ曲線は一对のサブ画素のガンマ曲線を合成したものと同一となる。電荷分配によって各サブ画素に充電されるデータ電圧を決定するときは、合成される正面でのガンマ曲線と合成される側面でのガンマ曲線とを正面での基準ガンマ曲線に近くなるように合成してもよく、これにより液晶表示装置の側面視認性を向上させることができる。

【0035】

図2を参照すれば、本発明の第1実施形態による液晶表示装置は、ゲート電圧を伝達する多数のゲート線GL_i及びGL_{i+1}と、ゲート線GL_i及びGL_{i+1}に交差して形成され、データ電圧を伝達するデータ線DL_jとを含む。

【0036】

各画素は、第1サブ画素SP1と第2サブ画素SP2とを含む。第1サブ画素SP1は第1スイッチング素子T1、第1液晶キャパシタClc1および第1ストレージキャパシタCst1を含み、第2サブ画素SP2は第1スイッチング素子T1、第2液晶キャパシタClc2および第2ストレージキャパシタCst2を含む。第1サブ画素SP1および第2サブ画素SP2は、第1スイッチング素子T1によって駆動される。

【0037】

第1スイッチング素子T1は第iゲート線GL_iと第jデータ線DL_jとが交差する地点に配置され、第2スイッチング素子は第iゲート線GL_iに接続され、第3スイッチング素子は第i+1ゲート線GL_{i+1}に接続される。ここで第1スイッチング素子T1、第2スイッチング素子T2および第3スイッチング素子T3は、薄膜トランジスタを含んでもよい。

【0038】

第1スイッチング素子T1は、第iゲート線GL_iに接続された制御端子と、第jデータ線DL_jに接続された入力端子と、第1液晶キャパシタClc1および第1ストレージキャパシタCst1に接続された出力端子とを含む。また、第1スイッチング素子T1の出力端子は第2ストレージキャパシタCst2と接続され、さらに第1電荷分配キャパシタCaを介して第2液晶キャパシタClc2と接続される。第2スイッチング素子T2は、第iゲート線GL_iに接続された制御端子と、第2電荷分配キャパシタCbを介して第1スイッチング素子T1の出力端子と接続された出力端子と、ストレージラインSLに接続された入力端子とを含む。具体的には、第2スイッチング素子T2の入力端子は、ストレージラインSLに直接接続される。第3スイッチング素子T3は、第i+1ゲート線GL_{i+1}に接続された制御端子と、第1電荷分配キャパシタCaと第2液晶キャパシタClc2との間に接続された入力端子と、第2スイッチング素子T2の出力端子と接続された出力端子とを含む。したがって、第3スイッチング素子T3の出力端子は、第2電荷分配キャパシタCbを介して第1スイッチング素子T1の出力端子と接続される。

【0039】

このような構造の下部表示板を構成する各画素には、第1スイッチング素子T1の出力端子に接続された第1サブ画素電極(図示せず)、および第1電荷分配キャパシタCaを介して第1スイッチング素子T1の出力端子に接続された第2サブ画素電極(図示せず)を有する画素電極が形成される。そして下部表示板に対向する上部表示板(図示せず)には共通電極(図示せず)が形成される。

【0040】

第1液晶キャパシタClc1は、第1スイッチング素子T1に接続された第1サブ画素電極、共通電極およびこれらに介在した液晶物質を含む。第1ストレージキャパシタCst1は、第1サブ画素電極、下部表示板に形成されたストレージラインSLおよびこれらに介在した誘電物質を含む。

【0041】

第2液晶キャパシタClc2は、第1電荷分配キャパシタCaを介して第1スイッチング素子T1に接続された第2サブ画素電極、共通電極およびこれらに介在された液晶物質を含む。第2ストレージキャパシタCst2は、第1スイッチング素子T1の出力端

10

20

30

40

50

子、下部表示板に形成されたストレージライン S L およびこれらの間に介在した誘電物質を含む。

【0042】

第1電荷分配キャパシタ C a は、第1スイッチング素子 T 1 の出力端子、第2サブ画素電極およびこれらの間に介在された誘電物質を含む。第2電荷分配キャパシタ C b は、第1スイッチング素子 T 1 の出力端子、第2スイッチング素子 T 2 の出力端子およびこれらの間に介在した誘電物質を含む。第1電荷分配キャパシタ C a は、第 j データ線 D L j から第1スイッチング素子 T 1 を通じて画素電圧が印加される場合、第1液晶キャパシタ C l c 1 と第2液晶キャパシタ C l c 2 とに各々充電される画素電圧の間に差を与える役割をする。また、第1電荷分配キャパシタ C a 、第2電荷分配キャパシタ C b および第2ス

10

【0043】

第1ストレージキャパシタ C s t 1 および第2ストレージキャパシタ C s t 2 は、各々第1液晶キャパシタ C l c 1 および第2液晶キャパシタ C l c 2 に充電された画素電圧を維持する役割をする。固定電圧、例えば共通電圧 V c o m は、ストレージライン S L に印加されてもよい。

【0044】

第 i ゲート線 G L i にゲートオン電圧 (V o n) が印加されるとき、第1スイッチング素子 T 1 を通じて、第 i 行 (r o w) に位置する第1サブ画素電極および第2サブ画素電極にデータ電圧が伝達される。ここで、第1スイッチング素子 T 1 と直接接続する第1サブ画素電極には、第1電荷分配キャパシタ C a を介して第1スイッチング素子 T 1 と接続する第2サブ画素電極より高いデータ電圧が充電される。すなわち、第1液晶キャパシタ C l c 1 には第2液晶キャパシタ C l c 2 より高いデータ電圧が充電される。このように第1液晶キャパシタ C l c 1 および第2液晶キャパシタ C l c 2 に充電されたデータ電圧を画素電圧という。

20

【0045】

第1電荷分配キャパシタ C a にはデータ電圧よりも小さい電圧が充電される。

【0046】

また第 i ゲート線 G L i にゲートオン電圧 (V o n) が印加されると、第2スイッチング素子 T 2 がオンして第2スイッチング素子 T 2 の出力端子に共通電圧 V c o m が伝達される。したがって、第2電荷分配キャパシタ C b にはデータ電圧と共通電圧 V c o m との差に該当する電圧が充電される。以下、説明の便宜のために共通電圧 V c o m を 0 V と仮定する。

30

【0047】

続いて第 i ゲート線 G L i にゲートオフ電圧 (V o f f) が印加されると、第1サブ画素 S P 1 と第2サブ画素 S P 2 とは第 j データ線 D L j から電氣的に分離される。すなわち、異なる電圧を充電された第1画素電極及び第2画素電極は、ゲートオフ電圧 V o f f に応答して第 j データ線 D L j から電氣的にフローティング (f l o a t i n g) な状態を維持する。

40

【0048】

第 i + 1 ゲート線 G L i + 1 にゲートオン電圧 (V o n) が印加されると、第 i + 1 ゲート線 G L i + 1 に接続された第1スイッチング素子 (図示せず) を通じて、第 i + 1 行に位置した画素の一对のサブ画素電極 (第1及び第2サブ画素電極) に各々データ電圧が伝達される。

【0049】

また、第 i + 1 ゲート線 G L i + 1 にゲートオン電圧 (V o n) が印加されると、第3スイッチング素子 T 3 がオンする。すると、第2スイッチング素子 T 2 の出力端子と第 i 行の画素に位置する第2サブ画素電極とが電氣的に接続され、第1電荷分配キャパシタ C a と第2電荷分配キャパシタ C b とが並列に接続される。先立って第 i ゲート線 G L i に

50

ゲートオン電圧 (V_{on}) が印加されたため、第 1 電荷分配キャパシタ C_a にはデータ電圧よりも高い電圧がすでに充電されて、第 2 電荷分配キャパシタ C_b にはデータ電圧よりも低い電圧すでにが充電されている。したがって、第 2 電荷分配キャパシタ C_b に影響を受けて第 1 電荷分配キャパシタ C_a の両端にかかる電圧差が増加するようになり、結果的に第 1 サブ画素電極および第 2 サブ画素電極に各々保存されたデータ電圧の差がより大きくなる。すなわち、第 1 サブ画素電極における電圧は高くなり、第 2 サブ画素電極における電圧は低くなる。

【0050】

以下、電荷保存則を利用して、第 1 サブ画素電極と第 2 サブ画素電極との画素電圧を図 2 を参照して具体的に詳述する。ここで、第 1 ノード N_1 は第 1 スイッチング素子 T_1 の出力端子と第 1 液晶キャパシタ C_{1c1} との間のノードをいい、第 2 ノード N_2 は第 1 電荷分配キャパシタ C_a と第 2 液晶キャパシタ C_{1c2} との間のノードをいい、第 3 ノード N_3 は第 2 スイッチング素子 T_2 の出力端子と第 2 電荷分配キャパシタ C_b との間のノードをいう。また、第 2 ノード N_2 は第 1 電荷分配キャパシタ C_a と第 3 スイッチング素子 T_3 の入力端子との間のノードをいってもよく、第 3 ノード N_3 は第 2 スイッチング素子 T_2 の出力端子と第 3 スイッチング素子 T_3 の出力端子との間のノードをいってもよい。

10

【0051】

以下、説明の便宜のためにストレージライン S_L に印加される共通電圧 V_{com} を $0V$ と仮定し、第 j データ線 D_Lj を通じて印加されるデータ電圧 V_d を共通電圧に対する相対的な電圧とする。また、第 1 ストレージキャパシタ C_{st1} および第 2 ストレージキャパシタ C_{st2} がない場合を例にあげて説明する。ここでは、第 1 液晶キャパシタ C_{1c1} のキャパシタンスを C_h といい、第 2 液晶キャパシタ C_{1c2} のキャパシタンスを C_l といい、第 1 電荷分配キャパシタ C_a のキャパシタンスを C_m といい、第 2 電荷分配キャパシタ C_b のキャパシタンスを C_n という。

20

【0052】

第 i ゲート線 GL_i にゲートオン電圧 (V_{on}) が印加されると、第 1 スイッチング素子 T_1 がオンし、第 1 ノード N_1 にデータ電圧 V_d が印加される。また第 2 スイッチング素子 T_2 がオンし、第 3 ノード N_3 に共通電圧 V_{com} が印加される。したがって、第 1 ノード N_1 での電圧は V_d となり、第 3 ノード N_3 での電圧は 0 となる。また、第 2 ノード N_2 での電圧は電圧分配法則 (*voltage divider rule*) によって次式を満たす。

30

【数 1】

$$\frac{C_m}{C_l + C_m} \cdot V_d$$

40

【0053】

このとき、第 1 液晶キャパシタ C_{1c1} の電荷量 Q_h と、第 2 液晶キャパシタ C_{1c2} の電荷量 Q_l と、第 1 電荷分配キャパシタ C_a の電荷量 Q_m と、第 2 電荷分配キャパシタ C_b の電荷量 Q_n とは次のとおりである。

【数 2】

$$Q_h = C_h \times V_d$$

$$Q_l = Q_m = \frac{C_l \cdot C_m}{C_l + C_m} \cdot V_d$$

10

$$Q_n = C_n \times V_d$$

(1)

【 0 0 5 4 】

20

続いて第 i ゲート線 GL_i にゲートオフ電圧 (V_{off}) が印加されて第 $i + 1$ ゲート線 GL_{i+1} にゲートオン電圧 (V_{on}) が印加されると、第 1 スイッチング素子 T_1 および第 2 スイッチング素子 T_2 はオフして、第 3 スイッチング素子 T_3 がオンする。

【 0 0 5 5 】

このとき、第 1 ノード N_1 、第 2 ノード N_2 および第 3 ノード N_3 での各電圧を V_1 、 V_2 および $V_3 (= V_2)$ とすると、第 1 液晶キャパシタ C_{lc1} の電荷量 $Q_{h'}$ と、第 2 液晶キャパシタ C_{lc2} の電荷量 $Q_{l'}$ と、第 1 電荷分配キャパシタ C_a の電荷量 $Q_{m'}$ と、第 2 電荷分配キャパシタ C_b の電荷量 $Q_{n'}$ とは次のとおりである。

【数 3】

30

$$Q_{h'} = C_h \times V_1$$

$$Q_{l'} = C_l \times V_2$$

$$Q_{m'} = C_m \times (V_1 - V_2)$$

40

$$Q_{n'} = C_n \times (V_1 - V_2)$$

(2)

【 0 0 5 6 】

第 1 ノード N_1 に接続されたキャパシタの総電荷量は保存されるため次の関係式が成立

50

する。

【数 4】

$$Q_h + Q_m + Q_n = Q_h' + Q_m' + Q_n'$$

(3)

【 0 0 5 7 】

第 2 ノード N 2 に接続されたキャパシタの総電荷量は保存されるため次の関係式が成立する。

10

【数 5】

$$Q_l - Q_m - Q_n = Q_l' - Q_m' - Q_n'$$

(4)

【 0 0 5 8 】

式 (1) ないし式 (4) の関係を整理すると、次のように第 1 ノード N 1 および第 2 ノード N 2 での電圧 V 1 および V 2 を得ることができる。

20

【数 6】

$$V_1 = V_d \left[1 + \frac{C_l \cdot C_m \cdot C_n}{P(C_l + C_m)} \right]$$

$$V_2 = V_d \frac{C_m}{C_l + C_m} \left[1 - \frac{C_h \cdot C_n}{P} \right]$$

30

(5)

【 0 0 5 9 】

ただし、 $P = C_l \cdot C_h + (C_l + C_l)(C_m + C_n)$

【 0 0 6 0 】

ここで、V 1 は V d より大きい値を有し、 $C_h \cdot C_n < P$ であり、 $C_m < (C_l + C_m)$ であるため、V 2 は V d より小さい値を有する。

40

【 0 0 6 1 】

データ電圧 V d が共通電圧 V c o m より大きい正の電圧の場合、第 1 サブ画素 S P 1 の画素電圧 V 1 はデータ電圧 V d より高くなり、第 2 サブ画素 S P 2 の画素電圧 V 2 はデータ電圧 V d より低くなる。データ電圧 V d が共通電圧 V c o m より小さい負の電圧の場合は、データ電圧 V d が共通電圧 V c o m より大きい正の電圧の場合と反対になる。したがって、第 1 サブ画素 S P 1 の画素電圧 V 1 の絶対値が第 2 サブ画素 S P 2 の画素電圧 V 2 の絶対値より常に大きくなる。

【 0 0 6 2 】

このように、一つの画素内に位置する第 1 サブ画素 S P 1 および第 2 サブ画素 S P 2 の

50

画素電圧 V_1 、 V_2 が互いに異なる値を有する場合、液晶表示装置の側面視認性を向上させることができる。すなわち、一つの映像データから得られた互いに異なるガンマ曲線を有する一对の階調電圧の集合が第1サブ画素 SP_1 および第2サブ画素 SP_2 に保存され、第1サブ画素 SP_1 および第2サブ画素 SP_2 から成る一つの画素のガンマ曲線は第1サブ画素 SP_1 および第2サブ画素 SP_2 にそれぞれ保存されたガンマ曲線を合成したガンマ曲線となる。一对の階調電圧の集合を決定するときには、正面での合成ガンマ曲線が正面での基準ガンマ曲線に近くなるようにし、側面での合成ガンマ曲線が正面での基準ガンマ曲線と最も近くなるようにすることによって、液晶表示装置の側面視認性を向上させることができる。

【0063】

さらに、一つのスイッチング素子、すなわち第1スイッチング素子 T_1 を利用して、第1サブ画素 SP_1 および第2サブ画素 SP_2 にデータ電圧を提供するため、サブ画素ごとに個別にスイッチング素子を使用する場合よりも液晶パネルアセンブリの構造が単純化されて、液晶表示装置の開口率を高めることができる。

【0064】

図3は、データ線を通して印加されるデータ電圧に対して第1サブ画素電極の画素電圧及び第2サブ画素電極の画素電圧の変化を示したグラフである。本グラフは、 $C_h : C_l : C_m : C_n = 5 : 4 : 10 : 50$ である場合を例にあげて画素電圧を計算したグラフである。

【0065】

図3に図示したように、例えば5Vのデータ電圧を印加する場合、第1サブ画素電極の画素電圧は7Vとなり、データ電圧よりも2V上昇し、第2サブ画素電極の画素電圧は3Vとなり、データ電圧よりも2V下降することが分かる。したがって、第1サブ画素電極の画素電圧と第2サブ画素電極の画素電圧との間の十分な電圧差を確保することができる。

【0066】

第1液晶キャパシタ C_{1c1} のキャパシタンス C_h 及び第2液晶キャパシタ C_{1c2} のキャパシタンス C_l は同一ないし類似の値を有するように設定し、第1電荷分配キャパシタ C_a のキャパシタンス C_m と第2電荷分配キャパシタ C_b のキャパシタンス C_n を適切に調節することによって、第1および第2サブ画素電極の画素電圧を調節してもよい。前記 C_h 、 C_l 、 C_m 、 C_n の比例式において C_n が20ないし50の値を有する場合、第1および第2サブ画素電極の間に十分な電圧差を確保することができ、液晶表示装置の側面視認性が向上する。

【0067】

例えば、第1電荷分配キャパシタ C_a のキャパシタンス C_m と第2電荷分配キャパシタ C_b のキャパシタンス C_n とが $C_m : C_n = 1 : 2$ ないし $1 : 5$ である場合、第1サブ画素電極の画素電圧と第2サブ画素電極の画素電圧との間に十分な電圧差を確保することができ、液晶表示装置の側面視認性を効果的に向上させることができる。

【0068】

また、第2液晶キャパシタ C_{1c2} のキャパシタンス C_l 、第1電荷分配キャパシタ C_a のキャパシタンス C_m および第2電荷分配キャパシタ C_b のキャパシタンス C_n において、 $(C_m + C_l) : C_n = 1 : 1$ ないし $1 : 4$ である場合、第1サブ画素電極の画素電圧と第2サブ画素電極の画素電圧との間に十分な電圧差を確保することができ、液晶表示装置の側面視認性を効果的に向上させることができる。

【0069】

以下、図4を参照して、本発明の第2実施形態による液晶表示装置を説明する。ここで、図4は本発明の第2実施形態による液晶表示装置の一つの画素を示す回路図である。説明の便宜上、第1実施形態の図面(図1ないし図3)に示した各部材と同一機能を有する部材は同一符号で示し、その説明は省略する。以下、差異点を中心に説明する。

【0070】

10

20

30

40

50

図4を参照すれば、第2スイッチング素子T2は第iゲート線GLiに接続された制御端子と、第2電荷分配キャパシタCbを介して第1スイッチング素子T1の出力端子と接続された出力端子と、ストレージラインSLに接続された入力端子とを含む。さらに具体的には、第2スイッチング素子T2の入力端子は補助キャパシタC3を介してストレージラインSLと接続される。液晶表示装置の製造工程において、第2スイッチング素子T2の入力端子とストレージラインSLとが互いに異なる層に形成されてこれらが直接接続しにくいとき、第2スイッチング素子T2の入力端子とストレージラインSLとは前記補助キャパシタC3を利用して接続されてもよい。

【0071】

本実施形態においても実施形態1と同様に、第1電荷分配キャパシタCaおよび第2電荷分配キャパシタCbによって第1サブ画素SP1の画素電圧V1および第2サブ画素SP2の画素電圧V2が互いに異なる値を有する場合、液晶表示装置の側面視認性を向上させることができる。

10

【0072】

以上、図面を参照して本発明の実施形態を説明したが、本発明が属する技術分野で通常の知識を有する者は本発明の技術的思想や必須の特徴を変更せず、他の具体的な形態で実施され得ることを理解できるであろう。したがって以上で記述した実施形態はすべての面で例示的なものであり、限定的ではないものとして理解しなければならない。

【産業上の利用可能性】

【0073】

本発明は側面視認性を高めつつ、輝度減少を防止できる液晶表示装置に適用され得る。

20

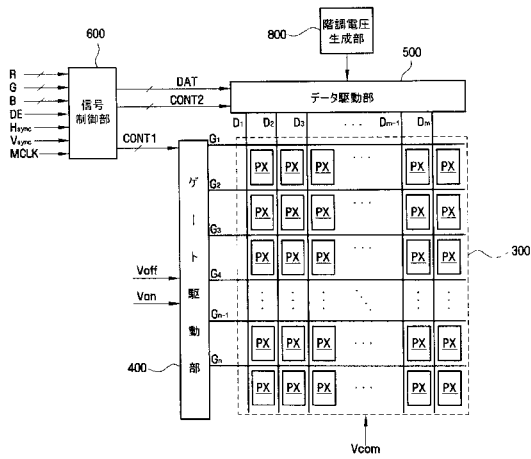
【符号の説明】

【0074】

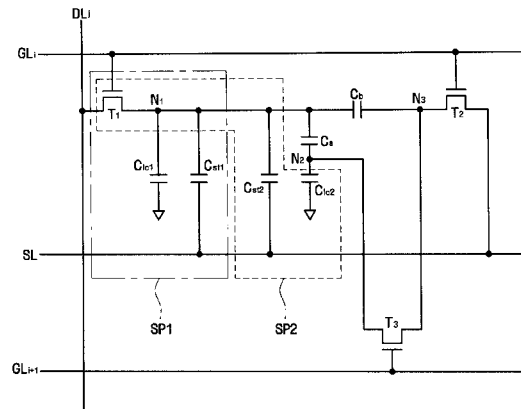
300 液晶パネルアセンブリ
 400 ゲート駆動部
 500 データ駆動部
 600 信号制御部
 800 階調電圧生成部
 DLj データ線
 GLi、GLi+1 ゲート線
 SL ストレージライン
 SP1 第1副画素
 SP2 第2副画素
 T1 第1スイッチング素子
 T2 第2スイッチング素子
 T3 第3スイッチング素子

30

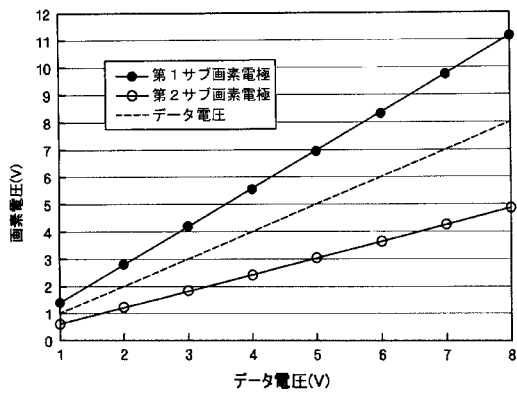
【 図 1 】



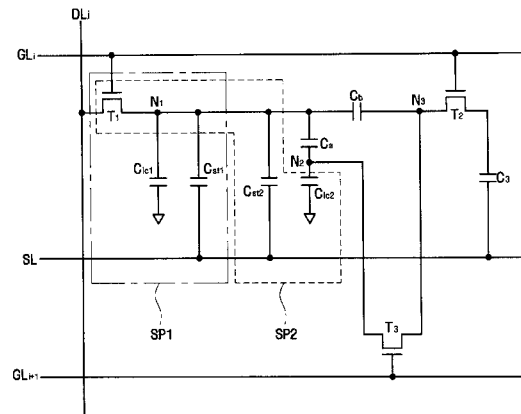
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 2 F 1/133 5 5 0
 G 0 9 G 3/20 6 2 4 B

(72)発明者 金 熙 燮

大韓民国京畿道華城市半月洞新靈通現代1次パートメント110棟304号

(72)発明者 鄭 美 惠

大韓民国京畿道水原市長安區亭子洞大林振興アパートメント824棟1402号

(72)発明者 陸 建 鋼

大韓民国京畿道水原市靈通區靈通洞ピエオクジェオクゴル8團地アパートメント833棟404棟

(72)発明者 李 承 勳

大韓民国京畿道龍仁市貢 稅 洞請求アパートメント102棟1104号

(72)発明者 鄭 光 哲

大韓民国京畿道城南市壽井區太平1洞7115-4番地

Fターム(参考) 2H092 JA24 JB42 JB69 NA01 PA06 QA09
 2H093 NA16 NA53 NC09 NC11 NC34 NC35 ND13 NF09
 2H193 ZA04 ZD23 ZQ08
 5C006 AA16 BB16 BC06 FA55
 5C080 AA10 BB05 DD03 EE29 FF11 JJ02 JJ03 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009181126A	公开(公告)日	2009-08-13
申请号	JP2009014103	申请日	2009-01-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金成雲 金熙燮 鄭美惠 陸建鋼 李承勳 鄭光哲		
发明人	金成雲 金熙燮 鄭美惠 陸建鋼 李承勳 鄭光哲		
IPC分类号	G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
CPC分类号	G09G3/3651 G02F1/136213 G02F1/13624 G02F2203/30 G09G3/3659 G09G2300/0443 G09G2300/0447 G09G2300/0809 G09G2310/0262 G09G2320/028		
FI分类号	G09G3/36 G09G3/20.641.C G09G3/20.642.C G09G3/20.642.D G02F1/1368 G02F1/133.550 G09G3/20.624.B		
F-TERM分类号	2H092/JA24 2H092/JB42 2H092/JB69 2H092/NA01 2H092/PA06 2H092/QA09 2H093/NA16 2H093/NA53 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC35 2H093/ND13 2H093/NF09 2H193/ZA04 2H193/ZD23 2H193/ZQ08 5C006/AA16 5C006/BB16 5C006/BC06 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 2H192/AA24 2H192/BC23 2H192/BC26 2H192/CB12 2H192/DA12 2H192/FA44 2H192/FB03 2H192/FB05 2H192/FB46 2H192/GD61 2H193/ZA07 2H193/ZA19 2H193/ZF13 2H193/ZF42 2H193/ZF44 2H193/ZG48 2H193/ZQ11 2H193/ZQ44 2H193/ZQ48		
优先权	1020080010184 2008-01-31 KR		
其他公开文献	JP5341537B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止亮度降低同时增强横向可视性的液晶显示装置。一种液晶显示装置，包括并联排列的第一和第二栅极线，依次传输栅极电压，与第一和第二栅极线交叉的数据线，以传输数据电压，像素电极，包括位于一个像素中并经由第一电荷共享电容器彼此连接的第一子像素电极和第二子像素电极，以及连接到第一栅极线，数据线和第一子像素电极的像素电极经由第二电荷分配电容器连接到第一子像素电极的第二开关元件，连接到第二栅极线 and 第二子像素电极并经由第二电荷共享电容器连接的第二开关元件并且第三开关元件连接到第一子像素电极。 .The

