

(19) 日本国特許庁(JP)

再 公 表 特 許(A1)

(11) 国際公開番号

W02013/073495

発行日 平成27年4月2日 (2015.4.2)

(43) 国際公開日 平成25年5月23日 (2013.5.23)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G O 2 F 1/1368	2 H 0 9 2
G02F 1/1343 (2006.01)	G O 2 F 1/1343	2 H 1 9 2
H01L 21/336 (2006.01)	H O 1 L 29/78 6 1 2 Z	5 F 1 1 0
H01L 29/786 (2006.01)		

審査請求 有 予備審査請求 未請求 (全 28 頁)

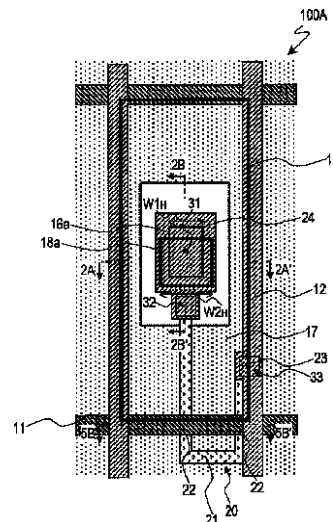
出願番号	特願2013-544256 (P2013-544256)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2012/079258		シャープ株式会社
(22) 国際出願日	平成24年11月12日 (2012.11.12)		大阪府大阪市阿倍野区長池町2番2号
(31) 優先権主張番号	特願2011-253341 (P2011-253341)	(74) 代理人	100101683
(32) 優先日	平成23年11月18日 (2011.11.18)		弁理士 奥田 誠司
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100155000
			弁理士 喜多 修市
		(74) 代理人	100139930
			弁理士 山下 亮司
		(74) 代理人	100125922
			弁理士 三宅 章子
		(74) 代理人	100184985
			弁理士 田中 悠

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、液晶表示装置およびアクティブマトリクス基板の製造方法

(57) 【要約】

アクティブマトリクス基板(100A)は、薄膜トランジスタ(20)、第1方向に略平行な走査配線(11)、第1方向に直交する第2方向に略平行な信号配線(12)、薄膜トランジスタを覆う第1層間絶縁層(16)、第1層間絶縁層上に設けられた下層電極(17)、下層電極上に設けられた誘電体層(18)および誘電体層を介して下層電極の少なくとも一部に重なる上層電極(19)を備える。薄膜トランジスタのドレイン電極(24)に上層電極を電氣的に接続するための第1コンタクトホール(31)は、第1層間絶縁層に形成された第1開口部(16a)と誘電体層に形成された第2開口部(18a)とを含む。第1開口部の第1方向および第2方向のうちの一方の方向に沿った幅は、第2開口部の上記一方の方向に沿った幅よりも小さい。基板の法線方向から見たとき、第2開口部の輪郭の一部が第1開口部の輪郭の内側に位置している。



【特許請求の範囲】**【請求項 1】**

基板と、

前記基板に支持され、半導体層、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタと、

第 1 方向に略平行に延設され、前記薄膜トランジスタの前記ゲート電極に電氣的に接続された走査配線と、

前記第 1 方向に直交する第 2 方向に略平行に延設され、前記薄膜トランジスタの前記ソース電極に電氣的に接続された信号配線と、

前記薄膜トランジスタを覆うように設けられた第 1 層間絶縁層と、

前記第 1 層間絶縁層上に設けられた下層電極と、

前記下層電極上に設けられた誘電体層と、

前記誘電体層上に設けられ、前記誘電体層を介して前記下層電極の少なくとも一部に重なる上層電極と、

を備え、

前記第 1 層間絶縁層および前記誘電体層には、前記ドレイン電極の一部を露出する第 1 コンタクトホールであって、前記ドレイン電極に前記上層電極を電氣的に接続するための第 1 コンタクトホールが形成されており、

前記第 1 コンタクトホールは、前記第 1 層間絶縁層に形成された第 1 開口部と、前記誘電体層に形成された第 2 開口部とを含み、

前記第 1 開口部の、前記第 1 方向および前記第 2 方向のうちの一方の方向に沿った幅は、前記第 2 開口部の、前記一方の方向に沿った幅よりも小さく、

前記基板の法線方向から見たとき、前記第 2 開口部の輪郭の一部が、前記第 1 開口部の輪郭の内側に位置しているアクティブマトリクス基板。

【請求項 2】

前記基板の法線方向から見たとき、前記第 1 開口部および前記第 2 開口部のそれぞれの輪郭は、矩形状である請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

前記基板の法線方向から見たとき、前記第 2 開口部の輪郭は、前記一方の方向に略平行な 2 つの辺を含み、前記 2 つの辺のうちの一方が、部分的に前記第 1 開口部の輪郭の内側に位置している請求項 2 に記載のアクティブマトリクス基板。

【請求項 4】

前記基板の法線方向から見たとき、前記第 2 開口部の輪郭は、前記一方の方向に略平行な 2 つの辺を含み、前記 2 つの辺の両方が、部分的に前記第 1 開口部の輪郭の内側に位置している請求項 2 に記載のアクティブマトリクス基板。

【請求項 5】

前記第 1 開口部の、前記第 1 方向および前記第 2 方向のうちの他方の方向に沿った幅は、前記第 2 開口部の、前記他方の方向に沿った幅よりも大きい請求項 1、2 または 4 に記載のアクティブマトリクス基板。

【請求項 6】

前記第 1 コンタクトホール内で、前記上層電極が前記ドレイン電極と接している請求項 1 から 5 のいずれかに記載のアクティブマトリクス基板。

【請求項 7】

前記下層電極と同一の導電膜から形成された接続電極をさらに備え、

前記第 1 コンタクトホール内で、前記接続電極が前記ドレイン電極と接しており、前記上層電極は前記接続電極と接している請求項 1 から 5 のいずれかに記載のアクティブマトリクス基板。

【請求項 8】

前記半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、

前記ゲート電極または前記半導体層を覆うように設けられた第 2 層間絶縁層と、

10

20

30

40

50

をさらに備え、

前記ゲート絶縁層および前記第 2 層間絶縁層のうちの少なくとも前記第 2 層間絶縁層には、前記半導体層の一部を露出する第 2 コンタクトホールであって、前記半導体層に前記ドレイン電極を電氣的に接続するための第 2 コンタクトホールが形成されており、

前記基板の法線方向から見たとき、前記第 2 コンタクトホールの少なくとも一部が、前記第 1 コンタクトホールに重なっている請求項 1 から 7 のいずれかに記載のアクティブマトリクス基板。

【請求項 9】

前記基板の法線方向から見たとき、前記第 1 コンタクトホールの中心と、前記第 2 コンタクトホールの中心とがずれている請求項 8 に記載のアクティブマトリクス基板。

10

【請求項 10】

前記上層電極および前記下層電極は、それぞれ透明な導電材料から形成されている請求項 1 から 9 のいずれかに記載のアクティブマトリクス基板。

【請求項 11】

前記第 1 開口部の前記第 1 方向に沿った幅が、前記第 2 開口部の前記第 1 方向に沿った幅よりも小さい請求項 1 から 10 のいずれかに記載のアクティブマトリクス基板。

【請求項 12】

請求項 1 から 11 のいずれかに記載のアクティブマトリクス基板と、
前記アクティブマトリクス基板に対向するように配置された対向基板と、
前記アクティブマトリクス基板および前記対向基板の間に設けられた液晶層と、
を備える液晶表示装置。

20

【請求項 13】

マトリクス状に配置された複数の画素を有し、
前記上層電極は、画素電極として機能する請求項 12 に記載の液晶表示装置。

【請求項 14】

前記上層電極は、複数のスリットを有する請求項 13 に記載の液晶表示装置。

【請求項 15】

前記下層電極、前記誘電体層および前記上層電極は、補助容量を構成する請求項 12 から 14 のいずれかに記載の液晶表示装置。

【請求項 16】

30

半導体層、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタと、
第 1 方向に略平行に延設され、前記薄膜トランジスタの前記ゲート電極に電氣的に接続された走査配線と、

前記第 1 方向に直交する第 2 方向に略平行に延設され、前記薄膜トランジスタの前記ソース電極に電氣的に接続された信号配線と、を備えるアクティブマトリクス基板の製造方法であって、

基板上に、前記薄膜トランジスタを形成する工程 (A) と、

前記薄膜トランジスタを覆う層間絶縁層であって、第 1 開口部を有する層間絶縁層を形成する工程 (B) と、

前記層間絶縁層上に、下層電極を形成する工程 (C) と、

40

前記下層電極上に、第 2 開口部を有する誘電体層を形成する工程 (D) と、

前記誘電体層上に、前記誘電体層を介して前記下層電極の少なくとも一部に重なる上層電極であって、前記第 1 開口部および前記第 2 開口部を含むコンタクトホールにおいて前記ドレイン電極に電氣的に接続された上層電極を形成する工程 (E) と、
を包含し、

前記工程 (B) および前記工程 (D) は、前記第 1 開口部の、前記第 1 方向および前記第 2 方向のうちの一方の方向に沿った幅が、前記第 2 開口部の、前記一方の方向に沿った幅よりも小さく、且つ、前記基板の法線方向から見たとき、前記第 2 開口部の輪郭の一部が、前記第 1 開口部の輪郭の内側に位置するように実行されるアクティブマトリクス基板の製造方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス基板に関し、特に、上層電極および下層電極を含む2層構造電極を有するアクティブマトリクス基板に関する。また、本発明は、そのようなアクティブマトリクス基板を備えた液晶表示装置や、そのようなアクティブマトリクス基板の製造方法に関する。

【背景技術】

【0002】

液晶表示装置は、薄型で低消費電力であるという特徴を有し、様々な分野に広く用いられている。特に、アクティブマトリクス型の液晶表示装置は、高いコントラスト比および優れた応答特性を有し、高性能であるので、テレビやモニタ、ノートパソコンに用いられており、近年その市場規模が拡大している。

10

【0003】

アクティブマトリクス型の液晶表示装置は、一般に、画素ごとにスイッチング素子として薄膜トランジスタ(TFT)が形成されたアクティブマトリクス基板(「TFT基板」と呼ばれることもある)と、カラーフィルタなどが形成された対向基板(「カラーフィルタ基板」と呼ばれることもある)と、アクティブマトリクス基板および対向基板の間に設けられた液晶層とを備えている。薄膜トランジスタに電氣的に接続された画素電極と、共通電極との電位差に応じた電界が液晶層に印加され、この電界によって液晶層中の液晶分子の配向状態が変化することにより、各画素の光透過率を制御して表示を行うことができる。

20

【0004】

アクティブマトリクス型の液晶表示装置には、その用途に応じて様々な表示モードが提案され、採用されている。表示モードとしては、TN(Twisted Nematic)モード、VA(Vertical Alignment)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モードなどが挙げられる。

【0005】

一部の表示モードでは、アクティブマトリクス基板に「2層電極構造」が採用される。2層電極構造とは、薄膜トランジスタを覆う層間絶縁層上に、下層電極と、下層電極を覆う誘電体層と、誘電体層を介して下層電極に重なる上層電極とが設けられている構造である。例えば、一般的なFFSモードでは、特許文献1に開示されているように、共通電極が下層電極として設けられ、複数のスリットが形成された画素電極が上層電極として設けられる。共通電極および画素電極は、いずれも透明な導電材料から形成されている。なお、特許文献2に開示されているように、FFSモードにおいて、画素電極が下層電極として設けられ、複数のスリットが形成された共通電極が上層電極として設けられる構成も知られている。

30

【0006】

また、後に詳述する理由から、表示モードを問わず(つまりVAモードなどにおいても)、2層電極構造を採用することが考えられる。

40

【0007】

上層電極が画素電極である2層電極構造を採用する場合、画素電極と、薄膜トランジスタのドレイン電極とを電氣的に接続するために、ドレイン電極の一部を露出させるための開口部を、薄膜トランジスタを覆う層間絶縁層と、電極間に位置する誘電体層との両方に形成する必要がある。層間絶縁層の開口部と誘電体層の開口部とを含むコンタクトホール内でドレイン電極に接するように画素電極を形成することにより、画素電極をドレイン電極に電氣的に接続することができる。

【0008】

この場合、誘電体層の開口部を形成する際のエッチングにより、層間絶縁層の開口部の

50

テーパー部（傾斜側面）も掘られてしまい、コンタクトホールの側面形状が急峻化してしまう。そのため、相対的に厚さの小さい画素電極が、コンタクトホール内で断線することがある（「段切れ」と呼ばれる）。そこで、画素電極の段切れに伴う接続不良を回避するために、誘電体層の開口部は、基板の法線方向から見たときにその全体が層間絶縁層の開口部の内側に位置するように形成される。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2002-182230号公報

【特許文献2】特開2011-53443号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、誘電体層のエッチング膜厚は大きいので、誘電体層の開口部は、基板面内方向の仕上がり径が大きくなりやすい。そのため、誘電体層の開口部をその内側に含む、層間絶縁層の開口部についても、必然的にその径を大きくする必要がある。

【0011】

一方、ドレイン電極は、画素電極への電氣的な接続という役割だけでなく、層間絶縁層の開口部のテーパー部近傍における、液晶分子の配向が乱れた領域を遮光する役割も担っている。そのため、層間絶縁層の開口部の径が拡大すると、ドレイン電極のサイズも拡大させる必要がある。

20

【0012】

ドレイン電極は、典型的には信号配線と同層である（つまり同じ導電膜をパターニングすることによって形成されている）。従って、精細度の高い液晶表示装置において、水平方向の画素ピッチと垂直方向の画素ピッチとの比（H/V比）が1：3である標準的な画素構成を採用すると、ドレイン電極のサイズが上述した理由により大きい場合、水平方向の同層間スペースを十分に確保することができなくなる。そのため、精細度に対する制限が発生し、高い精細度での製造が困難になる。具体的には、画素密度が370ppi以上の製造が、困難になってしまう。

【0013】

30

本発明は、上記問題に鑑みてなされたものであり、その目的は、2層電極構造を有しているにもかかわらず従来よりも高い精細度で製造し得るアクティブマトリクス基板を提供することにある。

【課題を解決するための手段】

【0014】

本発明の実施形態におけるアクティブマトリクス基板は、基板と、前記基板に支持され、半導体層、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタと、第1方向に略平行に延設され、前記薄膜トランジスタの前記ゲート電極に電氣的に接続された走査配線と、前記第1方向に直交する第2方向に略平行に延設され、前記薄膜トランジスタの前記ソース電極に電氣的に接続された信号配線と、前記薄膜トランジスタを覆うように設けられた第1層間絶縁層と、前記第1層間絶縁層上に設けられた下層電極と、前記下層電極上に設けられた誘電体層と、前記誘電体層上に設けられ、前記誘電体層を介して前記下層電極の少なくとも一部に重なる上層電極と、を備え、前記第1層間絶縁層および前記誘電体層には、前記ドレイン電極の一部を露出する第1コンタクトホールであって、前記ドレイン電極に前記上層電極を電氣的に接続するための第1コンタクトホールが形成されており、前記第1コンタクトホールは、前記第1層間絶縁層に形成された第1開口部と、前記誘電体層に形成された第2開口部とを含み、前記第1開口部の、前記第1方向および前記第2方向のうちの一方の方向に沿った幅は、前記第2開口部の、前記一方の方向に沿った幅よりも小さく、前記基板の法線方向から見たとき、前記第2開口部の輪郭の一部が、前記第1開口部の輪郭の内側に位置している。

40

50

【 0 0 1 5 】

ある好適な実施形態において、前記基板の法線方向から見たとき、前記第 1 開口部および前記第 2 開口部のそれぞれの輪郭は、矩形状である。

【 0 0 1 6 】

ある好適な実施形態において、前記基板の法線方向から見たとき、前記第 2 開口部の輪郭は、前記一方の方向に略平行な 2 つの辺を含み、前記 2 つの辺のうちの一方が、部分的に前記第 1 開口部の輪郭の内側に位置している。

【 0 0 1 7 】

ある好適な実施形態において、前記基板の法線方向から見たとき、前記第 2 開口部の輪郭は、前記一方の方向に略平行な 2 つの辺を含み、前記 2 つの辺の両方が、部分的に前記第 1 開口部の輪郭の内側に位置している。

10

【 0 0 1 8 】

ある好適な実施形態において、前記第 1 開口部の、前記第 1 方向および前記第 2 方向のうちの他方の方向に沿った幅は、前記第 2 開口部の、前記他方の方向に沿った幅よりも大きい。

【 0 0 1 9 】

ある好適な実施形態において、前記第 1 コンタクトホール内で、前記上層電極が前記ドレイン電極と接している。

【 0 0 2 0 】

ある好適な実施形態において、本発明によるアクティブマトリクス基板は、前記下層電極と同一の導電膜から形成された接続電極をさらに備え、前記第 1 コンタクトホール内で、前記接続電極が前記ドレイン電極と接しており、前記上層電極は前記接続電極と接している。

20

【 0 0 2 1 】

ある好適な実施形態において、本発明によるアクティブマトリクス基板は、前記半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、前記ゲート電極または前記半導体層を覆うように設けられた第 2 層間絶縁層と、をさらに備え、前記ゲート絶縁層および前記第 2 層間絶縁層のうちの少なくとも前記第 2 層間絶縁層には、前記半導体層の一部を露出する第 2 コンタクトホールであって、前記半導体層に前記ドレイン電極を電氣的に接続するための第 2 コンタクトホールが形成されており、前記基板の法線方向から見たとき、前記第 2 コンタクトホールの少なくとも一部が、前記第 1 コンタクトホールに重なっている。

30

【 0 0 2 2 】

ある好適な実施形態において、前記基板の法線方向から見たとき、前記第 1 コンタクトホールの中心と、前記第 2 コンタクトホールの中心とがずれている。

【 0 0 2 3 】

ある好適な実施形態において、前記上層電極および前記下層電極は、それぞれ透明な導電材料から形成されている。

【 0 0 2 4 】

ある好適な実施形態において、前記第 1 開口部の前記第 1 方向に沿った幅が、前記第 2 開口部の前記第 1 方向に沿った幅よりも小さい。

40

【 0 0 2 5 】

本発明による液晶表示装置は、上記構成を有するアクティブマトリクス基板と、前記アクティブマトリクス基板に対向するように配置された対向基板と、前記アクティブマトリクス基板および前記対向基板の間に設けられた液晶層と、を備える。

【 0 0 2 6 】

ある好適な実施形態において、本発明による液晶表示装置は、マトリクス状に配置された複数の画素を有し、前記上層電極は、画素電極として機能する。

【 0 0 2 7 】

ある好適な実施形態において、前記上層電極は、複数のスリットを有する。

50

【 0 0 2 8 】

ある好適な実施形態において、前記下層電極、前記誘電体層および前記上層電極は、補助容量を構成する。

【 0 0 2 9 】

ある好適な実施形態において、本発明による液晶表示装置は、V A モードで表示を行う。

【 0 0 3 0 】

ある好適な実施形態において、本発明による液晶表示装置は、F F S モードで表示を行う。

【 0 0 3 1 】

本発明の実施形態におけるアクティブマトリクス基板の製造方法は、半導体層、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタと、第1方向に略平行に延設され、前記薄膜トランジスタの前記ゲート電極に電氣的に接続された走査配線と、前記第1方向に直交する第2方向に略平行に延設され、前記薄膜トランジスタの前記ソース電極に電氣的に接続された信号配線と、を備えるアクティブマトリクス基板の製造方法であって、基板上に、前記薄膜トランジスタを形成する工程(A)と、前記薄膜トランジスタを覆う層間絶縁層であって、第1開口部を有する層間絶縁層を形成する工程(B)と、前記層間絶縁層上に、下層電極を形成する工程(C)と、前記下層電極上に、第2開口部を有する誘電体層を形成する工程(D)と、前記誘電体層上に、前記誘電体層を介して前記下層電極の少なくとも一部に重なる上層電極であって、前記第1開口部および前記第2開口部を含むコンタクトホールにおいて前記ドレイン電極に電氣的に接続された上層電極を形成する工程(E)と、を包含し、前記工程(B)および前記工程(D)は、前記第1開口部の、前記第1方向および前記第2方向のうちの一方の方向に沿った幅が、前記第2開口部の、前記一方の方向に沿った幅よりも小さく、且つ、前記基板の法線方向から見たとき、前記第2開口部の輪郭の一部が、前記第1開口部の輪郭の内側に位置するように実行される。

【発明の効果】

【 0 0 3 2 】

本発明の実施形態によると、2層電極構造を有しているにもかかわらず従来よりも高い精細度で製造し得るアクティブマトリクス基板を提供することができる。

【図面の簡単な説明】

【 0 0 3 3 】

【図1】本発明の好適な実施形態におけるアクティブマトリクス基板100Aを模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

【図2】本発明の好適な実施形態におけるアクティブマトリクス基板100Aを模式的に示す図であり、(a)は、図1中の2A-2A'線に沿った断面図であり、(b)は、図1中の2B-2B'線に沿った断面図である。

【図3】比較例のアクティブマトリクス基板1000を模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

【図4】比較例のアクティブマトリクス基板1000を模式的に示す図であり、図3中の4A-4A'線に沿った断面図である。

【図5】アクティブマトリクス基板100Aの製造方法を説明するための工程断面図であり、(a1)~(a3)は、図1中の2A-2A'線に沿った断面に対応し、(b1)~(b3)は、図1中の5B-5B'線に沿った断面に対応する。

【図6】アクティブマトリクス基板100Aの製造方法を説明するための工程断面図であり、(a1)~(a3)は、図1中の2A-2A'線に沿った断面に対応し、(b1)~(b3)は、図1中の5B-5B'線に沿った断面に対応する。

【図7】アクティブマトリクス基板100Aの製造方法を説明するための工程断面図であり、(a1)および(a2)は、図1中の2A-2A'線に沿った断面に対応し、(b1)および(b2)は、図1中の5B-5B'線に沿った断面に対応する。

10

20

30

40

50

【図 8】アクティブマトリクス基板 100A の製造方法を説明するための工程断面図であり、(a1) および (a2) は、図 1 中の 2A - 2A' 線に沿った断面に対応し、(b1) および (b2) は、図 1 中の 5B - 5B' 線に沿った断面に対応する。

【図 9】本発明の好適な実施形態におけるアクティブマトリクス基板 100B を模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

【図 10】本発明の好適な実施形態におけるアクティブマトリクス基板 100B を模式的に示す図であり、(a) は、図 9 中の 10A - 10A' 線に沿った断面図であり、(b) は、図 9 中の 10B - 10B' 線に沿った断面図である。

【図 11】本発明の好適な実施形態におけるアクティブマトリクス基板 100C を模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

10

【図 12】本発明の好適な実施形態におけるアクティブマトリクス基板 100C を模式的に示す図であり、(a) は、図 11 中の 12A - 12A' 線に沿った断面図であり、(b) は、図 11 中の 12B - 12B' 線に沿った断面図である。

【図 13】本発明の好適な実施形態におけるアクティブマトリクス基板 100D を模式的に示す図であり、1つの画素に対応した領域を示す平面図である。

【図 14】本発明の好適な実施形態におけるアクティブマトリクス基板 100D を模式的に示す図であり、(a) は、図 13 中の 14A - 14A' 線に沿った断面図であり、(b) は、図 13 中の 14B - 14B' 線に沿った断面図である。

【図 15】本発明の好適な実施形態におけるアクティブマトリクス基板 100A ~ 100D が用いられ得る液晶表示装置 200 を模式的に示す断面図である。

20

【図 16】液晶表示装置 200 に VA モードを採用した場合の画素構造の例を示す図であり、1つの画素に対応した領域を示す平面図である。

【図 17】液晶表示装置 200 に VA モードを採用した場合の画素構造の他の例を示す図であり、1つの画素に対応した領域を示す平面図である。

【図 18】液晶表示装置 200 に VA モードを採用した場合の画素構造のさらに他の例を示す図であり、1つの画素に対応した領域を示す平面図である。

【図 19】液晶表示装置 200 に VA モードを採用した場合の画素構造のさらに他の例を示す図であり、1つの画素に対応した領域を示す平面図である。

【図 20】液晶表示装置 200 に FFS モードを採用した場合の画素構造の例を示す図であり、1つの画素に対応した領域を示す平面図である。

30

【図 21】液晶表示装置 200 に FFS モードを採用した場合の画素構造の他の例を示す図であり、1つの画素に対応した領域を示す平面図である。

【発明を実施するための形態】

【0034】

以下、図面を参照しながら本発明の実施形態を説明する。なお、本発明は以下の実施形態に限定されるものではない。

【0035】

(実施形態 1)

図 1 および図 2 に、本実施形態におけるアクティブマトリクス基板 100A を示す。図 1 は、アクティブマトリクス基板 100A を模式的に示す平面図であり、図 2 (a) および (b) は、それぞれ図 1 中の 2A - 2A' 線および 2B - 2B' 線に沿った断面図である。

40

【0036】

アクティブマトリクス基板 100A は、VA モードで表示を行う液晶表示装置に用いられる。液晶表示装置は、マトリクス状に配置された複数の画素を有しており、図 1 は、液晶表示装置の 1つの画素に対応した領域を示している。

【0037】

アクティブマトリクス基板 100A は、図 1、図 2 (a) および (b) に示すように、基板 10 と、薄膜トランジスタ (TFT) 20 と、走査配線 11 と、信号配線 12 とを備える。

50

【 0 0 3 8 】

基板 1 0 は、透明で絶縁性を有する。基板 1 0 は、典型的にはガラス基板である。

【 0 0 3 9 】

T F T 2 0 は、基板 1 0 に支持されている。T F T 2 0 は、半導体層 2 1、ゲート電極 2 2、ソース電極 2 3 およびドレイン電極 2 4 を有する。本実施形態における T F T 2 0 は、トップゲート型の T F T である。また、T F T 2 0 は、ゲートを 2 つ有する（つまりゲート電極 2 2 が 2 つ設けられた）、いわゆるダブルゲート構造を有する。

【 0 0 4 0 】

走査配線（「ゲートバスライン」と呼ばれることもある）1 1 は、ある方向（第 1 方向）に略平行に延設されている。本実施形態では、第 1 方向は、液晶表示装置の表示面における水平方向である。走査配線 1 1 は、T F T 2 0 のゲート電極 2 2 に電氣的に接続されている。

10

【 0 0 4 1 】

信号配線（「ソースバスライン」と呼ばれることもある）1 2 は、第 1 方向に直交する方向（第 2 方向）に略平行に延設されている。本実施形態では、第 2 方向は、液晶表示装置の表示面における垂直方向である。信号配線 1 2 は、T F T 2 0 のソース電極 2 3 に電氣的に接続されている。

【 0 0 4 2 】

基板 1 0 の表面には、ベースコート層 1 3 が形成されており、ベースコート層 1 3 上に T F T 2 0 の半導体層 2 1 が設けられている。半導体層 2 1 の材料としては、公知の種々の半導体材料を用いることができ、例えば、アモルファスシリコン、多結晶シリコン、連続粒界結晶シリコン（C G S : Continuous Grain Silicon）などを用いることができる。また、In - Ga - Zn - O 系半導体（I G Z O）などの酸化物半導体を用いてもよい。

20

【 0 0 4 3 】

半導体層 2 1 を覆うように、ゲート絶縁層 1 4 が形成されており、ゲート絶縁層 1 4 上に走査配線 1 1 およびゲート電極 2 2 が設けられている。つまり、ゲート絶縁層 1 4 は、半導体層 2 1 とゲート電極 2 2 との間に設けられている。本実施形態では、走査配線 1 1 の、半導体層 2 1 に重なる部分が、ゲート電極 2 2 として機能する。

【 0 0 4 4 】

走査配線 1 1 やゲート電極 2 2 を覆うように、層間絶縁層 1 5 が設けられており、層間絶縁層 1 5 上に、信号配線 1 2、ソース電極 2 3 およびドレイン電極 2 4 が設けられている。ゲート絶縁層 1 4 および層間絶縁層 1 5 には、半導体層 2 1 の一部を露出するコンタクトホール 3 2 および 3 3 が形成されている。前者のコンタクトホール 3 2 は、半導体層 2 1 にドレイン電極 2 4 を電氣的に接続するためのものである。本実施形態では、コンタクトホール 3 2 内でドレイン電極 2 4 が半導体層 2 1 に接していることにより、半導体層 2 1 とドレイン電極 2 4 とが互いに電氣的に接続されている。後者のコンタクトホール 3 3 は、半導体層 2 1 にソース電極 2 3 を電氣的に接続するためのものである。本実施形態では、コンタクトホール 3 3 内でソース電極 2 3 が半導体層 2 1 に接していることにより、半導体層 2 1 とソース電極 2 3 とが互いに電氣的に接続されている。

30

【 0 0 4 5 】

アクティブマトリクス基板 1 0 0 A は、図 1、図 2（a）および（b）に示すように、層間絶縁層 1 6 と、下層電極 1 7 と、誘電体層 1 8 と、上層電極 1 9 とをさらに備える。

40

【 0 0 4 6 】

層間絶縁層 1 6 は、T F T 2 0 を覆うように設けられている。より具体的には、層間絶縁層 1 6 は、信号配線 1 2 やソース電極 2 3、ドレイン電極 2 4 などの上に形成されている。以下では、相対的に上側に位置する層間絶縁層 1 6 を「第 1 層間絶縁層」と呼び、相対的に下側に位置する層間絶縁層 1 5 を「第 2 層間絶縁層」と呼ぶ。

【 0 0 4 7 】

下層電極 1 7 は、第 1 層間絶縁層 1 6 上に設けられている。下層電極 1 7 は、すべての画素にわたって連続するように形成されている。ただし、下層電極 1 7 は、後述するコン

50

タクトホール 31 近傍には形成されていない。

【0048】

誘電体層 18 は、下層電極 17 上に設けられている。

【0049】

上層電極 19 は、誘電体層 18 上に設けられている。上層電極 19 は、誘電体層 18 を介して下層電極 17 の少なくとも一部に重なる。上層電極 19 は、各画素ごとに独立に（分離して）形成されている。本実施形態では、上層電極 19 は、各画素の略全体を占めており、スリットや開口部が形成されていない、いわゆるべた電極である。また、上層電極 19 は、TFT20 のドレイン電極 24 に電氣的に接続されており、TFT20 を介して信号配線 11 から表示信号電圧を供給される。つまり、上層電極 19 は、画素電極として機能する。

10

【0050】

これに対し、下層電極 17 は、補助容量電圧（Cs 電圧）を供給され、補助容量配線および補助容量電極として機能する。つまり、下層電極 17 および上層電極 19 と、これらの間に位置する誘電体層 18 とは、補助容量を構成する。画素電極として機能する上層電極 19 と補助容量電極として機能する下層電極 17 とは、それぞれ透明な導電材料（例えばITO）から形成されている。

【0051】

第1層間絶縁層 16 および誘電体層 18 には、ドレイン電極 24 の一部を露出するコンタクトホール 31 が形成されている。このコンタクトホール 31 は、ドレイン電極 24 に上層電極 19 を電氣的に接続するためのものである。本実施形態では、コンタクトホール 31 内で上層電極 19 がドレイン電極 24 と接していることにより、ドレイン電極 24 と上層電極 19 とが互いに電氣的に接続されている。

20

【0052】

以下では、ドレイン電極 24 に上層電極 19 を電氣的に接続するためのコンタクトホール 31 を「第1コンタクトホール」と呼ぶ。これに対し、半導体層 21 にドレイン電極 24 を電氣的に接続するためのコンタクトホール 32 を「第2コンタクトホール」と呼び、半導体層 21 にソース電極 23 を電氣的に接続するためのコンタクトホール 33 を「第3コンタクトホール」と呼ぶ。

【0053】

第1コンタクトホール 31 は、第1層間絶縁層 16 に形成された第1開口部 16a と、誘電体層 18 に形成された第2開口部 18a とを含んでいる。本実施形態では、基板 10 の法線方向から見たとき、第1開口部 16a および第2開口部 18a のそれぞれの輪郭は、矩形状である。

30

【0054】

図1に示されているように、第1開口部 16a の水平方向（第1方向）に沿った幅 W_{1H} は、第2開口部 18a の水平方向に沿った幅 W_{2H} よりも小さい。つまり、第1開口部 16a の輪郭を構成する4つの辺のうちの水平方向に略平行な2つの辺は、第2開口部 18a の輪郭を構成する4つの辺のうちの水平方向に略平行な2つの辺よりも短い。

【0055】

また、基板 10 の法線方向から見たとき、第2開口部 18a の輪郭の一部が、第1開口部 16a の輪郭の内側に位置している。より具体的には、第2開口部 18a の輪郭の、水平方向に略平行な2つの辺のうちの一方（ここでは上辺）が、部分的に第1開口部 16a の輪郭の内側に位置している。このように、第2開口部 18a の輪郭と、第1開口部 16a の輪郭とは交差している。

40

【0056】

本実施形態におけるアクティブマトリクス基板 100A では、第1層間絶縁層 16 の第1開口部 16a と、誘電体層 18 の第2開口部 18a とが、上述したような形状・配置で形成されていることにより、製造可能な精細度を向上させることができ、従来よりも高い精細度での製造が可能となる。以下、この理由を、比較例を参照しながら説明する。

50

【 0 0 5 7 】

図 3 および図 4 に、比較例のアクティブマトリクス基板 1 0 0 0 を示す。図 3 は、アクティブマトリクス基板 1 0 0 0 を模式的に示す平面図であり、図 4 は、図 3 中の 4 A - 4 A' 線に沿った断面図である。

【 0 0 5 8 】

比較例のアクティブマトリクス基板 1 0 0 0 では、第 1 層間絶縁層 1 6 の第 1 開口部 1 6 a および誘電体層 1 8 の第 2 開口部 1 8 a の形状・配置が、本実施形態におけるアクティブマトリクス基板 1 0 0 A の第 1 開口部 1 6 a および第 2 開口部 1 8 a の形状・配置と異なっている。

【 0 0 5 9 】

アクティブマトリクス基板 1 0 0 0 では、上層電極 1 9 の段切れに伴う接続不良を回避するために、図 3 および図 4 に示すように、誘電体層 1 8 の第 2 開口部 1 8 a は、基板 1 0 の法線方向から見たときにその全体が第 1 層間絶縁層 1 6 の第 1 開口部 1 6 a の内側に位置するように形成されている。つまり、第 2 開口部 1 8 a の輪郭の全部が、第 1 開口部 1 6 a の輪郭の内側に位置している。従って、第 1 開口部 1 6 a の垂直方向（第 2 方向）に沿った幅 W_{1V} が、第 2 開口部 1 8 a の垂直方向に沿った幅 W_{2V} よりも大きいだけでなく、第 1 開口部 1 6 a の水平方向（第 1 方向）に沿った幅 W_{1H} も、第 2 開口部 1 8 a の水平方向に沿った幅 W_{2H} よりも大きい。

【 0 0 6 0 】

そのため、第 1 開口部 1 6 a のテーパ部近傍を適切な遮光幅（第 1 開口部 1 6 a の輪郭からドレイン電極 2 4 の外縁までの距離） SW で遮光するためには、ドレイン電極 2 4 の水平方向に沿った幅 W_{3H} も大きくする必要がある。従って、水平方向の画素ピッチと垂直方向の画素ピッチとの比（ H/V 比）が 1 : 3 である標準的な画素構成が採用されている場合、精細度が高くなると、水平方向の同層間スペース S を十分に確保することができなくなる。そのため、比較例のアクティブマトリクス基板 1 0 0 0 では、精細度に対する制限が発生し、高い精細度での製造が困難になる。具体的には、画素密度が 3 7 0 p p i 以上での製造が、困難になってしまう。

【 0 0 6 1 】

これに対し、本実施形態におけるアクティブマトリクス基板 1 0 0 A では、第 1 開口部 1 6 a の水平方向（第 1 方向）に沿った幅 W_{1H} が、第 2 開口部 1 8 a の水平方向に沿った幅 W_{2H} よりも小さいので、遮光幅 SW を従来と同じだけ確保したまま（つまり配向乱れによるコントラスト比の低下を伴うことなく）、ドレイン電極 2 4 の水平方向に沿った幅 W_{3H} を小さくすることができる。そのため、十分な同層間スペース S を確保することができるので、製造可能な精細度（同層間でのリーク不良を増加させることのない上限値）を高くすることができる。具体的には、画素密度を 4 5 0 p p i 程度まで高くしても、十分に製造することができる。

【 0 0 6 2 】

なお、第 1 開口部 1 6 a の幅が第 2 開口部 1 8 a の幅よりも小さくなるような断面（ $W_{1H} < W_{2H}$ である図 2（a）に示す断面）においては、第 1 コンタクトホール 3 1 の側面形状の急峻化に起因する上層電極 1 9 の段切れが発生する懸念がある。しかしながら、本実施形態におけるアクティブマトリクス基板 1 0 0 A では、第 2 開口部 1 8 a の輪郭の一部が、第 1 開口部 1 6 a の輪郭の内側に位置しており、第 2 開口部 1 8 a の輪郭が第 1 開口部 1 6 a の輪郭の内側に位置するような断面（図 2（b）に示す断面）においては上層電極 1 9 の段切れの発生が抑制される。図 2（b）において、第 1 コンタクトホール 3 1 の左側の側面形状は、比較例のアクティブマトリクス基板 1 0 0 0 と同じであることに注目されたい。そのため、その部分（第 2 開口部 1 8 a の輪郭のうち、第 1 開口部 1 6 a の輪郭の内側に位置する部分；ここでは第 2 開口部 1 8 a の輪郭の上辺の一部）を起点として上層電極 1 9 とドレイン電極 2 4 との接触面積を十分に（比較例と同等以上に）確保することができるので、比較例と同等以上の接続抵抗を実現することができる。

【 0 0 6 3 】

このように、本実施形態におけるアクティブマトリクス基板 100A では、比較例のアクティブマトリクス基板 1000 と同等の性能や接続抵抗を確保した上で、製造可能な精細度を向上させることができる。また、同一の画素ピッチ（つまり同一の精細度）で比較した場合には、本実施形態におけるアクティブマトリクス基板 100A では、同層間スペース S が拡大されるので、同層間でのリーク不良を低減させることができ、歩留りの向上を図ることができる。

【0064】

さらに、本実施形態のアクティブマトリクス基板 100A では、補助容量を構成する上層電極 19 および下層電極 17 がそれぞれ透明な導電材料から形成されているので、開口率を低下させることなく、十分な補助容量値を確保することができる。また、下層電極 17 により、画素電極として機能する上層電極 19 を、走査配線 11 および信号配線 12 から電氣的に遮蔽することができるので、上層電極 19 と、走査配線 11 や信号配線 12 との間に静電容量（寄生容量）が形成されるのを防止することができる。そのため、走査配線 11 や信号配線 12 の負荷を低減させることができ、消費電力の低減も可能となる。

【0065】

続いて、図 5 ~ 図 8 を参照しながら、本実施形態におけるアクティブマトリクス基板 100A の製造方法の例を説明する。図 5 ~ 図 8 は、アクティブマトリクス基板 100A の製造方法を説明するための工程断面図である。図 5 および図 6 の (a1) ~ (a3) と、図 7 および図 8 の (a1) および (a2) とは、図 1 中の 2A - 2A' 線に沿った断面（第 1 コンタクトホール 31 を含む断面）に対応し、図 5 および図 6 の (b1) ~ (b3) と、図 7 および図 8 の (b1) および (b2) は、図 1 中の 5B - 5B' 線に沿った断面（TFT20 を含む断面）に対応する。

【0066】

まず、図 5 (a1) および (b1) に示すように、基板 10 上に、ベースコート層 13 を形成する。例えば、基板 10 としてガラス基板を用い、このガラス基板の表面に CVD 法によりベースコート層 13 として厚さ 50nm ~ 100nm の SiON 膜（下層）と厚さ 50nm ~ 200nm の SiO₂ 膜（上層）との積層膜（SiO₂/SiON 膜）を形成する。

【0067】

次に、図 5 (a2) および (b2) に示すように、ベースコート層 13 上に半導体層 21 を形成する。例えば、公知の手法により、半導体層 21 として厚さ 30nm ~ 60nm の島状の多結晶シリコン (poly-Si) 層を形成する。

【0068】

続いて、図 5 (a3) および (b3) に示すように、半導体層 21 を覆うゲート絶縁層 14 を形成する。例えば、CVD 法によりゲート絶縁層 14 として厚さ 50nm ~ 100nm の SiO₂ 膜を形成する。

【0069】

その後、図 6 (a1) および (b1) に示すように、ゲート絶縁層 14 上に走査配線 11 およびゲート電極 22 を形成する。例えば、スパッタ法により厚さ 30nm ~ 50nm の TaN 膜（下層）と厚さ 300nm ~ 400nm の W 膜（上層）との積層膜を堆積し、この積層膜（W/TaN 膜）をフォトリソグラフィ法によりパターニングすることによって、走査配線 11 およびゲート電極 22 を形成する。

【0070】

次に、図 6 (a2) および (b2) に示すように、走査配線 11 およびゲート電極 22 を覆う第 2 層間絶縁層 15 を形成する。例えば、CVD 法により第 2 層間絶縁層 15 として厚さ 100nm ~ 300nm の SiNx 膜（下層）と厚さ 400nm ~ 700nm の SiO₂ 膜（上層）との積層膜（SiO₂/SiNx 膜）を形成する。その後、ゲート絶縁層 14 および第 2 層間絶縁層 15 に、半導体層 21 の一部を露出するコンタクトホール 32 および 33（図 6 (a2) および (b2) では不図示）をエッチングにより形成する。

【0071】

10

20

30

40

50

続いて、図 6 (a 3) および (b 3) に示すように、第 2 層間絶縁層 1 5 上に、信号配線 1 2、ソース電極 2 3 (図 6 (a 3) および (b 3) では不図示) およびドレイン電極 2 4 を形成する。例えば、スパッタ法により厚さ 3 0 n m ~ 5 0 n m の T i 膜 (下層) と、厚さ 3 0 0 n m ~ 5 0 0 n m の A l 層 (中間層) と、厚さ 3 0 n m ~ 5 0 n m の T i 膜 (上層) との積層膜を堆積し、この積層膜 (T i / A l / T i 膜) をフォトリソグラフィ法によりパターンニングすることによって、信号配線 1 2、ソース電極 2 3 およびドレイン電極 2 4 を形成する。このようにして、基板 1 0 上に、T F T 2 0 を形成することができる。

【 0 0 7 2 】

次に、図 7 (a 1) および (b 1) に示すように、T F T 2 0 を覆う第 1 層間絶縁層 1 6 であって、第 1 開口部 1 6 a を有する第 1 層間絶縁層 1 6 を形成する。第 1 層間絶縁層 1 6 は、樹脂等の有機材料からなる層を含むことが好ましい。例えば、第 1 層間絶縁層 1 6 として厚さ 2 μ m ~ 3 μ m のポジ型の感光性樹脂膜を用いて、第 1 開口部 1 6 a を有する第 1 層間絶縁層 1 6 を形成することができる。

10

【 0 0 7 3 】

続いて、図 7 (a 2) および (b 2) に示すように、第 1 層間絶縁層 1 6 上に、下層電極 (補助容量配線および補助容量電極として機能する) 1 7 を形成する。例えば、スパッタ法により下層電極 1 7 として厚さ 5 0 n m ~ 2 0 0 n m の I T O 膜を形成する。なお、後に第 1 コンタクトホール 3 1 となる領域近傍 (つまり第 1 開口部 1 6 a 近傍) においては下層電極 1 7 の導電膜は除去されている。

20

【 0 0 7 4 】

次に、図 8 (a 1) および (b 1) に示すように、下層電極 1 7 上に、第 2 開口部 1 8 a を有する誘電体層 1 8 を形成する。例えば、C V D 法により厚さ 1 0 0 n m ~ 3 0 0 n m の S i N x 膜を堆積し、この S i N x 膜にエッチングにより第 2 開口部 1 8 a を形成することにより、誘電体層 1 8 を形成する。

【 0 0 7 5 】

その後、図 8 (a 2) および (b 2) に示すように、誘電体層 1 8 上に、誘電体層 1 8 を介して下層電極 1 7 の少なくとも一部に重なる上層電極 (画素電極として機能する) 1 9 を形成する。例えば、スパッタ法により厚さ 5 0 n m ~ 2 0 0 n m の I T O 膜を堆積し、この I T O 膜をフォトリソグラフィ法によりパターンニングすることにより、上層電極 1 9 を形成する。上層電極 1 9 は、第 1 層間絶縁層 1 6 の第 1 開口部 1 6 a および誘電体層 1 8 の第 2 開口部 1 8 a を含む第 1 コンタクトホール 3 1 において、ドレイン電極 2 4 に電氣的に接続されている。

30

【 0 0 7 6 】

第 1 層間絶縁層 1 6 を形成する工程および誘電体層 1 8 を形成する工程は、第 1 開口部 1 6 a の水平方向 (第 1 方向) に沿った幅 W_{1H} が、第 2 開口部 1 8 a の水平方向に沿った幅 W_{2H} よりも小さくなるように実行される。また、これら 2 つの工程は、基板 1 0 の法線方向から見たとき、第 2 開口部 1 8 a の輪郭の一部が、第 1 開口部 1 6 a の輪郭の内側に位置するように実行される。

40

【 0 0 7 7 】

このようにして、本実施形態におけるアクティブマトリクス基板 1 0 0 A を製造することができる。

【 0 0 7 8 】

なお、本実施形態では、第 1 開口部 1 6 a の水平方向 (第 1 方向) に沿った幅 W_{1H} が、第 2 開口部 1 8 a の水平方向に沿った幅 W_{2H} よりも小さい場合を例示したが本発明はこれに限定されるものではない。本実施形態のように、ドレイン電極 2 4 が信号配線 1 2 と同一の導電膜から形成されている場合には、水平方向の同層間スペースを十分に確保するために、第 1 開口部 1 6 a の水平方向に沿った幅 W_{1H} を第 2 開口部 1 8 a の水平方向に沿った幅 W_{2H} よりも小さくすることが好ましいが、垂直方向の同層間スペースを十分に確保したい場合には、第 1 開口部 1 6 a の垂直方向 (第 2 方向) に沿った幅を、第 2 開

50

口部 18a の垂直方向に沿った幅よりも小さくすればよい。つまり、図 1 に示されている第 1 開口部 16a および第 2 開口部 18a を 90° 回転させた構成を採用してもよい。

【0079】

また、本実施形態では、VA モードの液晶表示装置用の画素構造を例示したが、他の表示モードの液晶表示装置用の画素構造であっても、本発明を好適に用いることができ、例えば、FFS モードの液晶表示装置用の画素構造であってもよい。VA モードの液晶表示装置が、垂直配向型の液晶層を備えるのに対し、FFS モードの液晶表示装置は、水平配向型の液晶層を備える。また、画素内におけるドレイン電極 24 の位置にも制限はなく、図 1 等に例示したように画素の中央付近に限定されず、各表示モード用の画素構造（電極構造）に応じた最適な位置であってよい。

10

【0080】

（実施形態 2）

図 9 および図 10 に、本実施形態におけるアクティブマトリクス基板 100B を示す。図 9 は、アクティブマトリクス基板 100B を模式的に示す平面図であり、図 10 (a) および (b) は、それぞれ図 9 中の 10A - 10A' 線および 10B - 10B' 線に沿った断面図である。以下では、アクティブマトリクス基板 100B が実施形態 1 におけるアクティブマトリクス基板 100A と異なる点を中心に説明を行う。

【0081】

アクティブマトリクス基板 100B では、実施形態 1 におけるアクティブマトリクス基板 100A と同様に、第 1 開口部 16a の水平方向（第 1 方向）に沿った幅 W_{1H} が、第 2 開口部 18a の水平方向に沿った幅 W_{2H} よりも小さい。つまり、第 1 開口部 16a の輪郭を構成する 4 つの辺のうちの水平方向に略平行な 2 つの辺は、第 2 開口部 18a の輪郭を構成する 4 つの辺のうちの水平方向に略平行な 2 つの辺よりも短い。

20

【0082】

さらに、アクティブマトリクス基板 100B では、第 1 開口部 16a の垂直方向（第 2 方向）に沿った幅 W_{1V} が、第 2 開口部 18a の垂直方向に沿った幅 W_{2V} よりも大きい。つまり、第 1 開口部 16a の輪郭を構成する 4 つの辺のうちの垂直方向に略平行な 2 つの辺は、第 2 開口部 18a の輪郭を構成する 4 つの辺のうちの垂直方向に略平行な 2 つの辺よりも長い。

【0083】

そのため、アクティブマトリクス基板 100B では、基板 10 の法線方向から見たとき、第 2 開口部 18a の輪郭の、水平方向に略平行な 2 つの辺の両方（上辺および下辺）が、部分的に第 1 開口部 16a の輪郭の内側に位置している。

30

【0084】

本実施形態におけるアクティブマトリクス基板 100B においても、第 1 開口部 16a の水平方向（第 1 方向）に沿った幅 W_{1H} が、第 2 開口部 18a の水平方向に沿った幅 W_{2H} よりも小さい。従って、遮光幅 SW を従来と同じだけ確保したまま（つまり配向乱れによるコントラスト比の低下を伴うことなく）、ドレイン電極 24 の水平方向に沿った幅 W_{3H} を小さくすることができる。そのため、十分な同層間スペース S を確保することができるので、製造可能な精細度を高くすることができる。

40

【0085】

また、本実施形態においても、第 2 開口部 18a の輪郭の一部が、第 1 開口部 16a の輪郭の内側に位置している。さらに、本実施形態では、基板 10 の法線方向から見たとき、第 2 開口部 18a の輪郭の、水平方向に略平行な 2 つの辺の両方が、部分的に第 1 開口部 16a の輪郭の内側に位置している。そのため、第 2 開口部 18a の輪郭が第 1 開口部 16a の輪郭の内側に位置するような断面（図 10 (b) に示す断面）においては上層電極 19 の段切れの発生が抑えられる。図 10 (b) において、第 1 コンタクトホール 31 の左側および右側の側面形状が、比較例のアクティブマトリクス基板 1000 と同じであることに注目されたい。そのため、それらの部分（第 2 開口部 18a の輪郭の上辺および下辺の一部）を起点として上層電極 19 とドレイン電極 24 との接触面積を実施

50

形態 1 のアクティブマトリクス基板 100A よりもさらに大きくすることができるので、接続抵抗をいっそう低くすることができる。

【0086】

また、比較例のアクティブマトリクス基板 1000 では、上層電極 19 とドレイン電極 24 との接触面積は、誘電体層 18 の第 2 開口部 18a の仕上り径に依存する。ここで、接触面積には、矩形のコーナー部に対応する部分の面積も含まれる。そのため、OPC (Optical Proximity Correction) 等の微細化技術を適用しない限り、角部が丸まってしまう、その結果接触面積も小さくなり、仕上りばらつきが大きくなるという問題がある。

【0087】

本実施形態のアクティブマトリクス基板 100B では、上層電極 19 とドレイン電極 24 との接触面積に矩形のコーナー部を含まない構造となるので、OPC 等の微細化技術を適用しなくても接続抵抗を低くすることができ、併せて仕上がりばらつきも低減することができる。

【0088】

(実施形態 3)

図 11 および図 12 に、本実施形態におけるアクティブマトリクス基板 100C を示す。図 11 は、アクティブマトリクス基板 100C を模式的に示す平面図であり、図 12 (a) および (b) は、それぞれ図 11 中の 12A - 12A' 線および 12B - 12B' 線に沿った断面図である。以下では、アクティブマトリクス基板 100C が実施形態 2 におけるアクティブマトリクス基板 100B と異なる点を中心に説明を行う。

【0089】

アクティブマトリクス基板 100C は、図 11、図 12 (a) および (b) に示すように、上層電極 19 をドレイン電極 24 に電氣的に接続するための接続電極 17' をさらに備える。接続電極 17' は、下層電極 17 と同一の導電膜から形成されている。つまり、接続電極 17' は、下層電極 17 を形成する工程において、下層電極 17 と同じ導電材料 (ここでは透明導電材料) を用いて同時に形成されている。

【0090】

第 1 コンタクトホール 31 内では、この接続電極 17' がドレイン電極 24 と接していると同時に、上層電極 19 は接続電極 17' と接しており、そのことによって上層電極 19 がドレイン電極 24 に電氣的に接続されている。

【0091】

本実施形態におけるアクティブマトリクス基板 100C では、上述したような接続電極 17' が設けられているので、誘電体層 18 に第 2 開口部 18a をエッチングにより形成する際に、第 1 開口部 16a のテーパ部が接続電極 17' によって覆われている。従って、第 1 開口部 16a のテーパ部が掘られて急峻化することが防止される。そのため、第 1 開口部 16a の幅が第 2 開口部 18a の幅よりも小さくなるような断面 ($W_{1H} < W_{2H}$ である図 12 (a) に示す断面) においても、上層電極 19 の段切れの発生を抑制することができる。また、接続電極 17' と上層電極 19 とが積層されていることにより、冗長構造が実現されることになるので、そのことによる信頼性の向上効果も得られる。

【0092】

(実施形態 4)

図 13 および図 14 に、本実施形態におけるアクティブマトリクス基板 100D を示す。図 13 は、アクティブマトリクス基板 100D を模式的に示す平面図であり、図 14 (a) および (b) は、それぞれ図 13 中の 14A - 14A' 線および 14B - 14B' 線に沿った断面図である。以下では、アクティブマトリクス基板 100D が実施形態 2 におけるアクティブマトリクス基板 100B と異なる点を中心に説明を行う。

【0093】

本実施形態におけるアクティブマトリクス基板 100D は、ゲート絶縁層 14 および第 2 層間絶縁層 15 に形成されている第 2 コンタクトホール 32 の配置が、実施形態 2 にお

10

20

30

40

50

けるアクティブマトリクス基板 100B と異なっている。

【0094】

実施形態 2 のアクティブマトリクス基板 100B では、図 9 および図 10 (b) に示されているように、基板 10 の法線方向から見たとき、第 2 コンタクトホール 32 は、第 1 コンタクトホール 31 に重なっていない。

【0095】

これに対し、本実施形態におけるアクティブマトリクス基板 100D では、図 13 および図 14 (b) に示されているように、基板 10 の法線方向から見たとき、第 2 コンタクトホール 32 の少なくとも一部が、第 1 コンタクトホール 31 に重なっている。また、基板 10 の法線方向から見たとき、第 1 コンタクトホール 31 の中心と、第 2 コンタクトホール 32 の中心とは、ずれている。

10

【0096】

本実施形態におけるアクティブマトリクス基板 100D では、上述したように、第 2 コンタクトホール 32 の少なくとも一部が、第 1 コンタクトホール 31 に重なっているため、ドレイン電極 24 のサイズをさらに小さくすることができる。そのため、開口率のいっそうの向上を図ることができる。

【0097】

なお、本実施形態のように、第 2 コンタクトホール 32 の少なくとも一部が第 1 コンタクトホール 31 に重なる構成を採用する場合、図 13 および図 14 (b) に例示しているように、第 1 コンタクトホール 31 の中心と、第 2 コンタクトホール 32 の中心とは、ずれていることが好ましい。第 1 コンタクトホール 31 の中心と、第 2 コンタクトホール 32 の中心とが一致していると、誘電体層 18 に第 2 開口部 18a を形成する際に、エッチング膜厚が極端に増加して、誘電体層 18 を開口できない可能性が生じるからである。

20

【0098】

また、上記実施形態 1 ~ 4 では、トップゲート型の TFT 20 を例示したが、本発明はこれに限定されるものではない。TFT 20 として、ボトムゲート型の TFT を用いてもよい。その場合、ゲート絶縁層 14 は、ゲート電極 22 を覆うように設けられる。また、第 2 層間絶縁層 15 は、半導体層 21 を覆うように設けられる。さらに、第 2 コンタクトホール 32 は、ゲート絶縁層 14 には形成されず、第 2 層間絶縁層 15 のみに形成される。

30

【0099】

(液晶表示装置の構成)

ここで、実施形態 1 ~ 4 のアクティブマトリクス基板 100A ~ 100D が用いられ得る液晶表示装置の具体的な構成を説明する。

【0100】

図 15 に示す液晶表示装置 200 は、アクティブマトリクス基板 100 と、対向基板 110 と、液晶層 120 とを備える。

【0101】

アクティブマトリクス基板 100 は、例えば、実施形態 1 ~ 4 のアクティブマトリクス基板 100A ~ 100D のいずれかである。

40

【0102】

対向基板 110 は、アクティブマトリクス基板 100 に対向するように配置されている。対向基板 110 には、典型的には、カラーフィルタ (不図示) が設けられている。また、液晶層 120 に対して縦電界が印加される表示モード (例えば VA モード) では、対向基板 110 には、画素電極 (図 1 などに示す上層電極 19) に対向する対向電極 (共通電極; 不図示) が設けられている。液晶層 120 に対して横電界が印加される表示モード (例えば FFS モード) では、アクティブマトリクス基板 100 に共通電極が設けられている。例えば、2 層電極構造における下層電極 17 を共通電極として機能させることができる。

【0103】

50

液晶層 120 は、アクティブマトリクス基板 100 および対向基板 110 の間に設けられている。液晶層 120 としては、VA モードでは垂直配向型の液晶層が用いられ、FFS モードでは水平配向型の液晶層が用いられる。

【0104】

アクティブマトリクス基板 100 および対向基板 110 のそれぞれの液晶層 120 側の表面には、配向膜 130a および 130b が設けられている。配向膜 130a および 130b としては、表示モードに応じて、垂直配向膜または水平配向膜が用いられる。

【0105】

また、典型的には、液晶層 120 を介して互いに対向する一対の偏光板が設けられている。さらに、必要に応じて、液晶層 120 の背面側および / または観察者側に、位相差板が設けられている。

10

【0106】

以下、液晶表示装置 200 に VA モードや FFS モードを採用した場合における、具体的な画素構造の例を説明する。以下に説明する例では、アクティブマトリクス基板 100 における、第 1 開口部 16a および第 2 開口部 18a の形状・配置は、実施形態 2 におけるアクティブマトリクス基板 100B と同じである。勿論、第 1 開口部 16a および第 2 開口部 18a の形状・配置は、実施形態 1、3 および 4 におけるアクティブマトリクス基板 100A、100C および 100D と同じであってもよい。

【0107】

図 16 に、VA モードを採用した場合の画素構造の例を示す。図 16 に示す例では、画素電極として機能する上層電極 19 は、いわゆるべた電極である。アクティブマトリクス基板 100 上には、複数の柱状スペーサ 41 が形成されている。各柱状スペーサ 41 は、走査配線 11 と信号配線 12 との交差部に配置されている。つまり、各画素の 4 隅に、都合 4 つの柱状スペーサ 41 が配置されている。また、対向基板 110 の対向電極には、各画素の中心に対応する領域に開口部 43 が形成されている。

20

【0108】

柱状スペーサ 41 は、その側面に対して液晶分子を垂直に配向させるような配向規制力を有する。また、対向電極の開口部 43 は、電圧印加時にそのエッジに直交する方向に液晶分子を倒すような配向規制力を発現させる。そのため、液晶層 120 に電圧が印加されると、各画素には、軸対称配向（放射状傾斜配向）をとる液晶ドメインが形成される。図 16 には、電圧印加時における液晶分子の配向方向が矢印 D で示されている。1 つの液晶ドメイン内では、液晶分子は、ほぼ全方位に配向するので、良好な視角特性が得られる。

30

【0109】

図 17 に、VA モードを採用した場合の画素構造の他の例を示す。図 17 に示す例においても、対向基板 110 の対向電極には、各画素の中心に対応する領域に開口部 43 が形成されている。ただし、図 17 に示す例では、アクティブマトリクス基板 100 上ではなく対向基板 110 上に、複数の柱状スペーサ 42 が形成されている。また、各柱状スペーサ 42 は、信号配線 12 に重なるように配置されており、垂直方向において各画素の中心付近に位置している。

【0110】

図 17 に示す例においても、液晶層 120 に電圧が印加されると、柱状スペーサ 42 の配向規制力と、対向電極の開口部 43 の配向規制力とによって、各画素に軸対称配向の液晶ドメインが形成される。アクティブマトリクス基板 100 上に形成された柱状スペーサ 41 と、対向基板 110 上に形成された柱状スペーサ 42 とでは、液晶分子に及ぼす配向規制力の方向が異なるので、その違いに応じて、アクティブマトリクス基板 100 上に形成された柱状スペーサ 41 と、対向基板 110 上に形成された柱状スペーサ 42 とでは、平面的な配置が異なっている。

40

【0111】

また、図 17 に示す例では、画素電極として機能する上層電極 19 の左上角部および左下角部に切欠き部 19c が形成されている。これは、画素間に形成される配向中心の位置

50

を規制して表示品位を向上するためである。液晶層 120 への電圧印加時には、対向電極の開口部 43 の中央（画素の中央）だけでなく、上下方向（表示面の垂直方向）に隣接する 2 つの画素の間にも配向中心が形成される。この画素間の配向中心を形成するための配向規制力は、セル厚や、画素電極の電極パターンの仕上がり、プレチルト角（特開 2002-357830 号公報に開示されているような P S A 技術を適用した場合）等の諸条件の影響によって弱まることがあるので、左右方向における配向中心の位置が画素単位でばらつくことがある。このばらつきは、表示のざらつきや、左右方向に視角を倒したときの色味異常のような表示品位の低下の原因となる。上層電極 19 に切欠き部 19c を形成することにより、上下画素間における配向中心の位置を規制することができる。具体的には、上述したように切欠き部 19c が上層電極 19 の左側（左上角部および左下角部）に形成されていると、画素電極同士（上層電極 19 同士）の間隔が狭い側（つまり切欠き部 19c が形成されていない右側）に配向中心を固定することができる。

10

20

30

40

50

【0112】

なお、図 17 に示す例では、走査配線 11 が、画素の中心付近を横切るように配置されているが、走査配線 11 の位置はこれに限定されるものではない。ただし、対向基板 110 上に柱状スペーサ 42 が形成されている場合、柱状スペーサ 42 近傍での光漏れを防止するために、対向基板 110 側に水平方向に延びる帯状のブラックマトリクス（遮光層）を設けて柱状スペーサ 42 の周囲 $3\mu\text{m} \sim 5\mu\text{m}$ の領域を遮光することが好ましい。そのため、図 17 に示すように、走査配線 11 を、画素の中心付近を横切るように配置し、対向基板 110 側のブラックマトリクスに重ねることにより、高開口率を実現することができる。

【0113】

図 18 および図 19 に、V A モードを採用した場合の画素構造のさらに他の例を示す。図 18 および図 19 に示す例では、アクティブマトリクス基板 100 上に、複数の柱状スペーサ 41 が形成されている。各柱状スペーサ 41 は、走査配線 11 と信号配線 12 との交差部に配置されている。つまり、各画素の 4 隅に、都合 4 つの柱状スペーサ 41 が配置されている。また、対向基板 110 の対向電極には、各画素の中心に対応する領域に開口部 43 が形成されている。

【0114】

さらに、図 18 および図 19 に示す例では、画素電極として機能する上層電極 19 は、複数のスリット 19s を有する。図 18 に示す例では、複数のスリット 19s は、水平方向および垂直方向に対して 45° の角をなす方向に略平行に延びている。また、図 19 に示す例では、複数のスリット 19s は、垂直方向に略平行に延びている。これらのスリット 19s は、電圧印加時に、スリット 19s の延設方向に対して略平行に液晶分子を倒すような配向規制力を発現させる。

【0115】

図 18 および図 19 に示す例では、液晶層 120 に電圧が印加されると、柱状スペーサ 41 の配向規制力と、対向電極の開口部 43 の配向規制力と、上層電極（画素電極）19 の複数のスリット 19s の配向規制力とによって、配向規制が行われる。図 18 および図 19 に示す例では、図 16 に示す例と比較すると、上層電極 19 の複数のスリット 19s による配向規制力が付加される分、配向状態をより安定化させることができ、また、応答速度を向上させることができる。また、図 18 および図 19 に示す例では、上層電極 19 の、スリット 19s が形成されている領域（画素の上側に位置する部分および下側に位置する部分）と、スリット 19s が形成されていない領域（画素の中央に位置する部分）とで、液晶層 120 への実効的な印加電圧が異なる。そのため、1 つの画素内に、複数の異なる γ 特性（表示輝度の階調依存性）を混在させ、それらを合成して表示を行うことができるので、 γ 特性の視角依存性を低減することができる。 γ 特性の視角依存性とは、正面方向から観測したときの γ 特性と斜め方向から観測したときの γ 特性とが異なるという問題点であり、中間調表示を斜め方向から観察したときの色変化（「白浮き」や「カラーシフト」と呼ばれる。）として視認される。

【 0 1 1 6 】

図 2 0 および図 2 1 に、 F F S モードを採用した場合の画素構造の例を示す。図 2 0 および図 2 1 に示す例では、画素電極として機能する上層電極 1 9 は、複数のスリット 1 9 s を有する。複数のスリット 1 9 s は、垂直方向に略平行に延びている。また、下層電極 1 7 は、共通電極として機能する。

【 0 1 1 7 】

図 2 0 および図 2 1 に示す例では、上層電極 1 9 と下層電極 1 7 との間に電位差が与えられると、横電界（斜め電界）が生成され、横電界によって液晶分子の配向状態が制御される。液晶層 1 2 0 に横電界が印加される表示モードでは、液晶分子の配向方向が表示面内（液晶層 1 2 0 の層面内）で変化するので、良好な視角特性が得られる。

10

【 0 1 1 8 】

なお、図 2 0 に示す例では、アクティブマトリクス基板 1 0 0 上に複数の柱状スペーサ 4 1 が形成されているのに対し、図 2 1 に示す例では、対向基板 1 1 0 上に複数の柱状スペーサ 4 2 が形成されている。

【 産業上の利用可能性 】

【 0 1 1 9 】

本発明の実施形態によると、2 層電極構造を有しているにもかかわらず従来よりも高い精細度で製造し得るアクティブマトリクス基板を提供することができる。本発明は、各種の表示モードの液晶表示装置用のアクティブマトリクス基板に広く用いることができる。

20

【 符号の説明 】

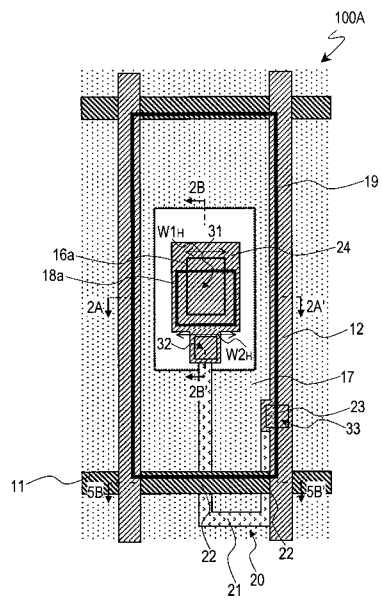
【 0 1 2 0 】

- 1 0 基板
- 1 1 走査配線
- 1 2 信号配線
- 1 3 ベースコート層
- 1 4 ゲート絶縁層
- 1 5 第 2 層間絶縁層
- 1 6 第 1 層間絶縁層
- 1 6 a 第 1 開口部（第 1 層間絶縁層の開口部）
- 1 7 下層電極
- 1 8 誘電体層
- 1 8 a 第 2 開口部（誘電体層の開口部）
- 1 9 上層電極（画素電極）
- 1 9 s スリット
- 2 0 薄膜トランジスタ（ T F T ）
- 2 1 半導体層
- 2 2 ゲート電極
- 2 3 ソース電極
- 2 4 ドレイン電極
- 3 1 第 1 コンタクトホール
- 3 2 第 2 コンタクトホール
- 3 3 第 3 コンタクトホール
- 4 1、4 2 柱状スペーサ
- 4 3 対向電極の開口部
- 1 0 0、1 0 0 A、1 0 0 B、1 0 0 C、1 0 0 D アクティブマトリクス基板

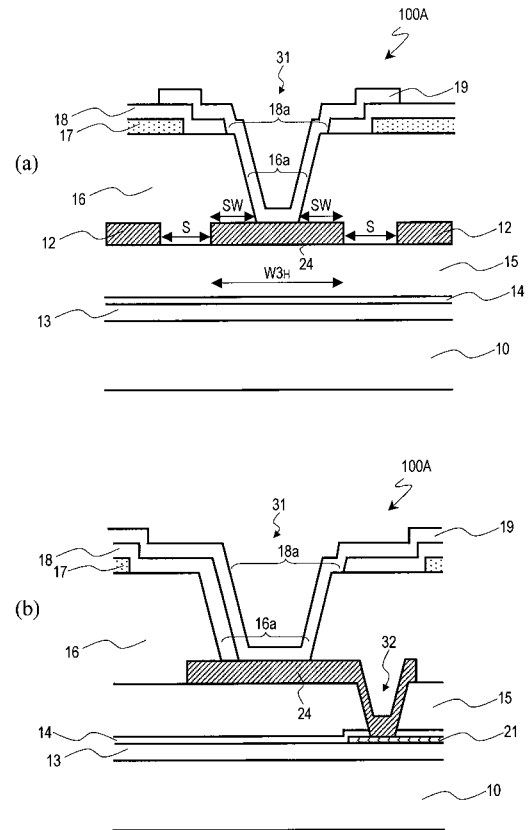
30

40

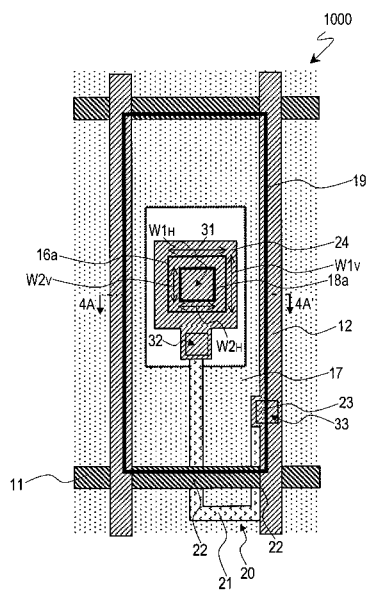
【図 1】



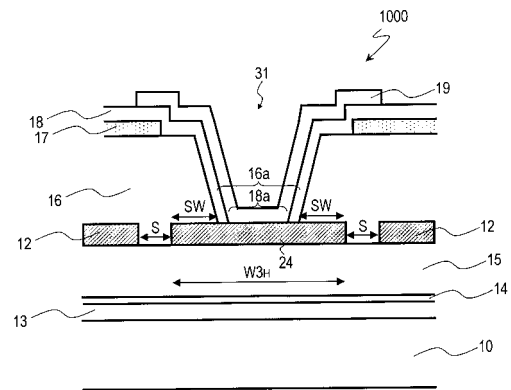
【図 2】



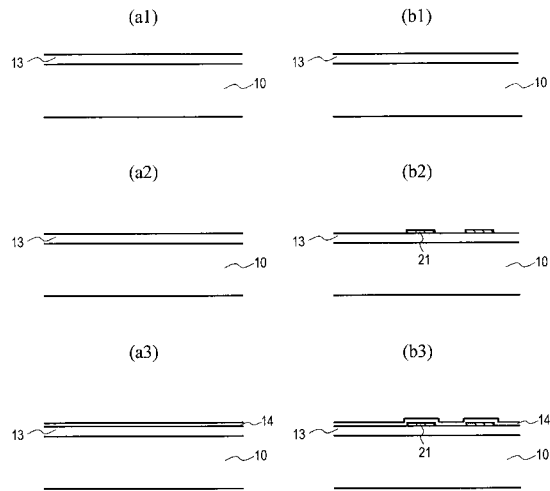
【図 3】



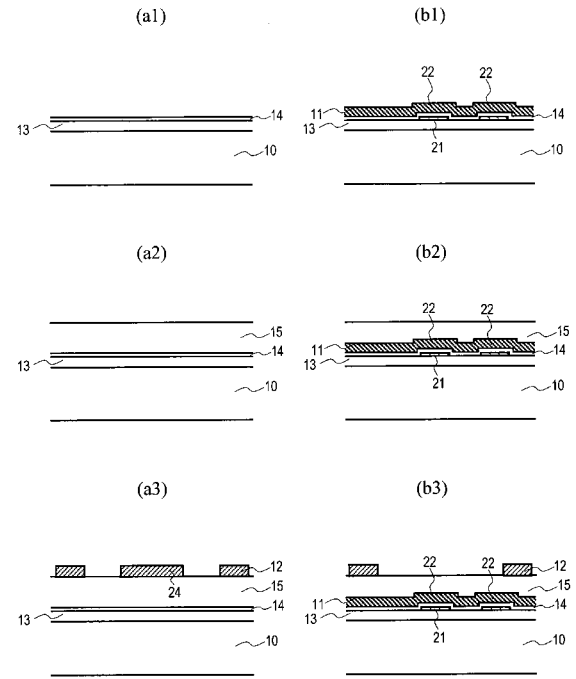
【図 4】



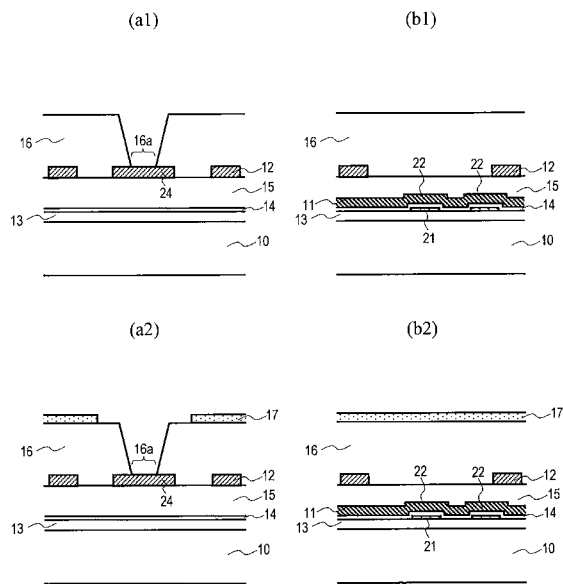
【図 5】



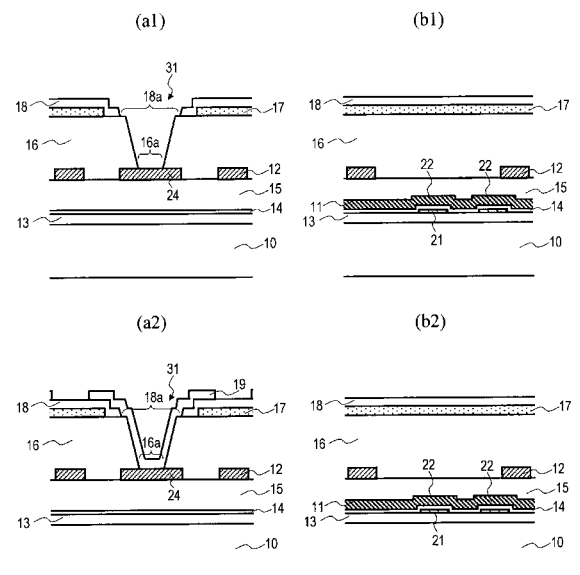
【図 6】



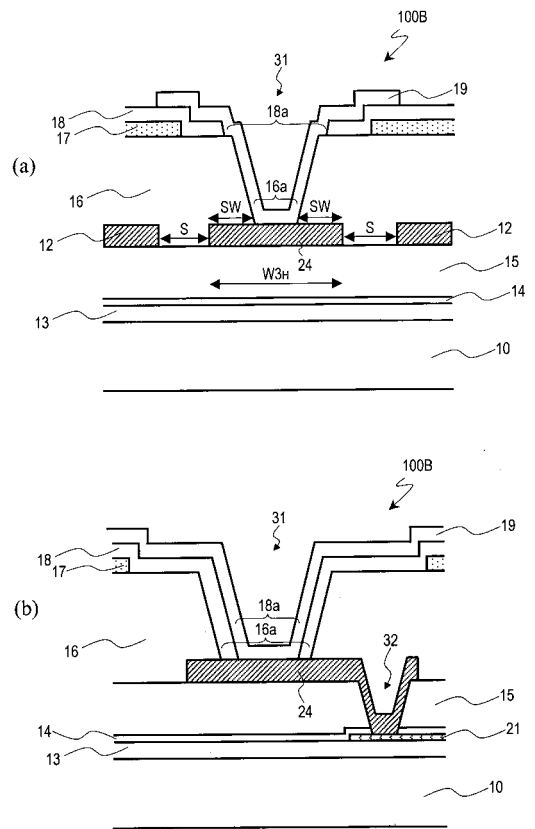
【図 7】



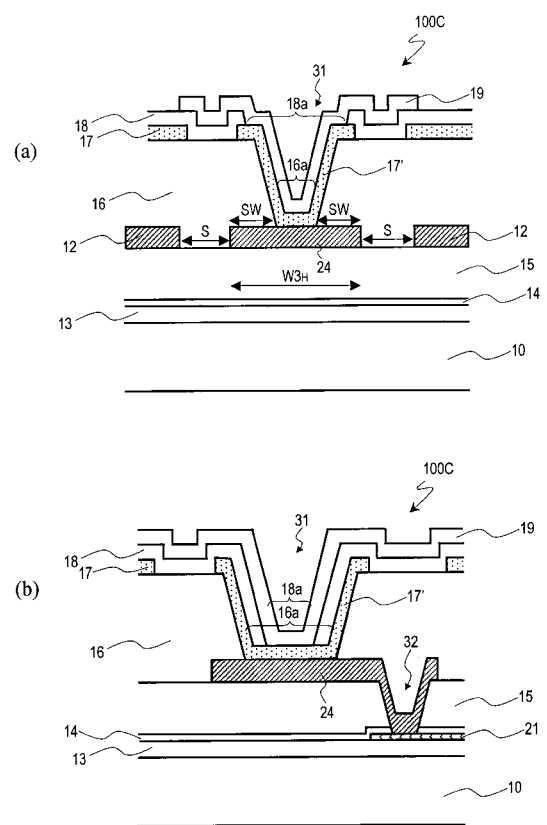
【図 8】



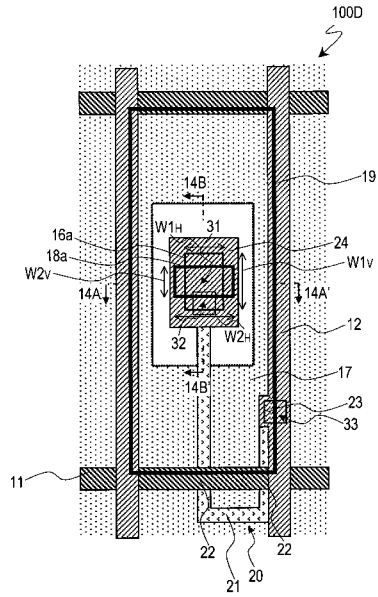
【 図 1 0 】



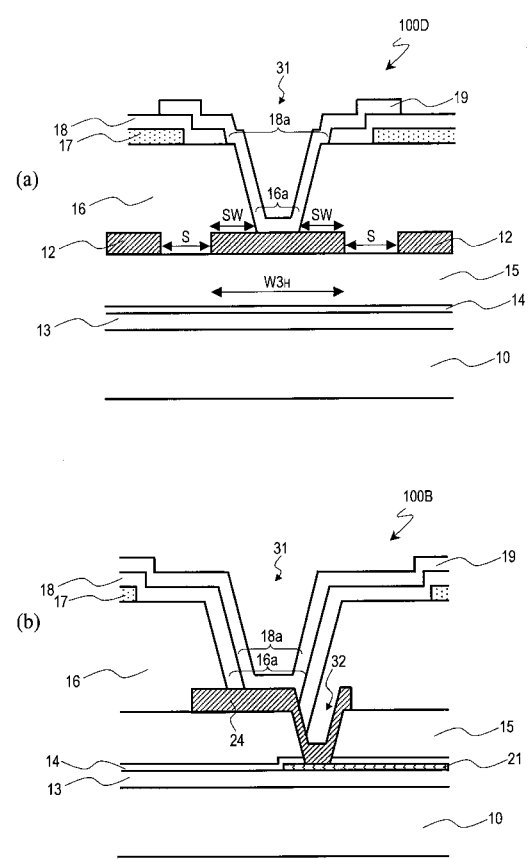
【 ㊦ 1 2 】



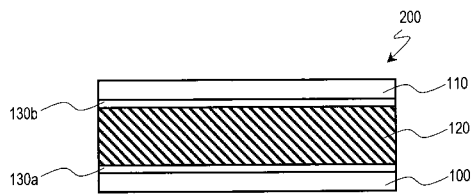
【図 13】



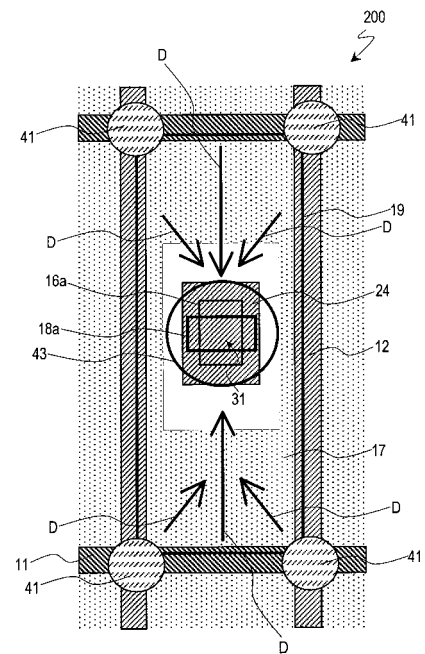
【図 14】



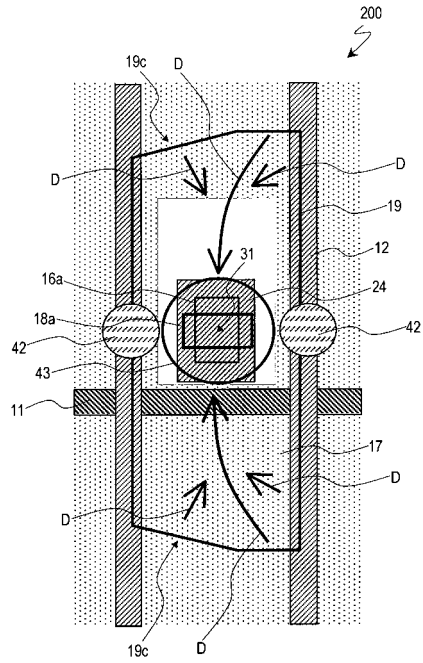
【図 15】



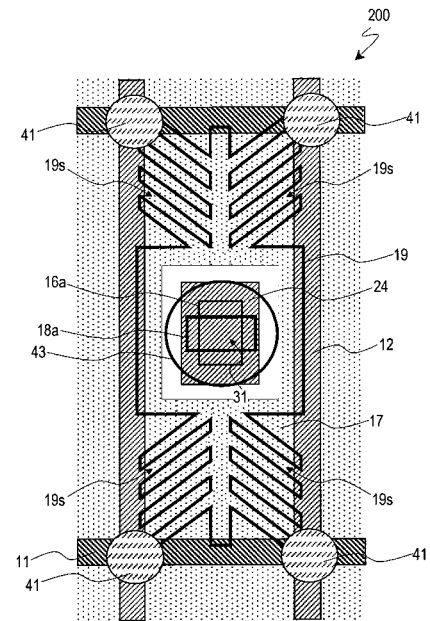
【図 16】



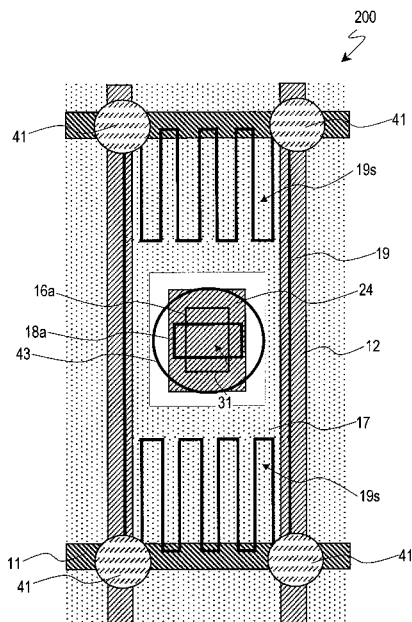
【図 17】



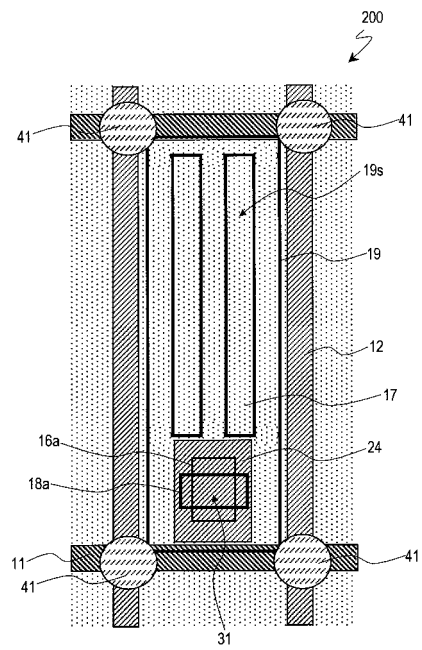
【図 18】



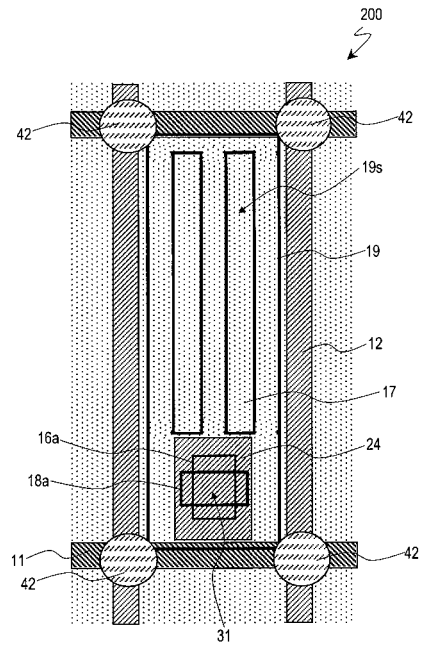
【図 19】



【図 20】



【 図 2 1 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079258

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/1343(2006.01)i, G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/1343, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-53443 A (Sony Corp.), 17 March 2011 (17.03.2011), entire text; all drawings & US 2011/50551 A1 & CN 102004360 A	1-16
A	JP 2000-174128 A (NEC Corp.), 23 June 2000 (23.06.2000), paragraph [0013] (Family: none)	1-16
A	JP 2004-354496 A (NEC LCD Technologies, Ltd.), 16 December 2004 (16.12.2004), paragraphs [0025] to [0027]; fig. 2 & US 2004/239857 A1 & TW 248545 B & KR 10-2004-102344 A & CN 1573477 A	1-16

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 January, 2013 (24.01.13)Date of mailing of the international search report
05 February, 2013 (05.02.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 7 9 2 5 8									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G02F1/1368(2006.01)i, G02F1/1343(2006.01)i, G09F9/30(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G02F1/1368, G02F1/1343, G09F9/30											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2013年										
日本国実用新案登録公報	1996-2013年										
日本国登録実用新案公報	1994-2013年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2011-53443 A（ソニー株式会社）2011.03.17, 全文、全図 & US 2011/50551 A1 & CN 102004360 A	1-16									
A	JP 2000-174128 A（日本電気株式会社）2000.06.23, 段落[0013]（ファミリーなし）	1-16									
A	JP 2004-354496 A（NEC液晶テクノロジー株式会社）2004.12.16, 段落[0025]-[0027]、図2 & US 2004/239857 A1 & TW 248545 B & KR 10-2004-102344 A & CN 1573477 A	1-16									
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
<table border="0"> <tr> <td> * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td> の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 24.01.2013		国際調査報告の発送日 05.02.2013									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 右田 昌士 電話番号 03-3581-1101 内線 3255	2 L 9513								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72)発明者 守屋 由瑞

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 中西 登

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 GA13 GA14 GA17 JA25 JA46 JB13 JB58 JB69 KB22 PA03
 2H192 AA24 BA25 BB13 BC33 BC34 CB02 CB13 CB45 CC04 DA13
 DA73 DA74 GA42 GA43 GD23 HA33 JA13 JA32
 5F110 AA26 AA30 BB01 CC01 CC07 DD02 DD13 DD15 DD17 EE01
 EE04 EE14 EE28 EE44 FF02 FF29 GG01 GG02 GG13 GG15
 GG25 HL03 HL12 NN03 NN04 NN23 NN24 NN27 NN35 NN72
 NN73

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵基板，液晶显示装置和有源矩阵基板的制造方法		
公开(公告)号	JPWO2013073495A1	公开(公告)日	2015-04-02
申请号	JP2013544256	申请日	2012-11-12
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	守屋由瑞 中西登		
发明人	守屋 由瑞 中西 登		
IPC分类号	G02F1/1368 G02F1/1343 H01L21/336 H01L29/786		
CPC分类号	G02F1/136286 G02F1/136227 G02F2001/134372 G02F2001/13629 G02F2201/40 H01L27/124 H01L27/1248 H01L27/1259		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.612.Z		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA17 2H092/JA25 2H092/JA46 2H092/JB13 2H092/JB58 2H092/JB69 2H092/KB22 2H092/PA03 2H192/AA24 2H192/BA25 2H192/BB13 2H192/BC33 2H192/BC34 2H192/CB02 2H192/CB13 2H192/CB45 2H192/CC04 2H192/DA13 2H192/DA73 2H192/DA74 2H192/GA42 2H192/GA43 2H192/GD23 2H192/HA33 2H192/JA13 2H192/JA32 5F110/AA26 5F110/AA30 5F110/BB01 5F110/CC01 5F110/CC07 5F110/DD02 5F110/DD13 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE04 5F110/EE14 5F110/EE28 5F110/EE44 5F110/FF02 5F110/FF29 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG25 5F110/HL03 5F110/HL12 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN72 5F110/NN73		
代理人(译)	奥田诚治 三宅明子 田中 悠		
优先权	2011253341 2011-11-18 JP		
其他公开文献	JP5723023B2		
外部链接	Espacenet		

摘要(译)

有源矩阵基板（100A）包括薄膜晶体管（20），基本平行于第一方向的扫描配线（11），基本平行于正交于第一方向的第二方向的信号配线（12）和覆盖该薄膜晶体管的第一薄膜晶体管。层间绝缘层（16），设置在第一层间绝缘层上的下部电极（17），设置在下部电极上的介电层（18）以及经由介电层的下部电极的至少一部分。提供重叠的上电极（19）。用于将上电极电连接到薄膜晶体管的漏电极（24）的第一接触孔（31）形成在第一层间绝缘层和介电层中形成的第一开口（16a）中。还有第二个开口（18a）。沿着第一方向和第二方向之一的第一开口的宽度小于沿着第二方向的第二开口的宽度。从基板的法线方向观察时，第二开口的轮廓的一部分位于第一开口的轮廓的内侧。

