

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/033827

発行日 平成25年2月7日 (2013.2.7)

(43) 国際公開日 平成23年3月24日(2011.3.24)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 624B	2H193
G02F 1/1368 (2006.01)	G09G 3/20 624D	5C006
G02F 1/133 (2006.01)	G09G 3/20 611E	5C080
	G09G 3/20 611A	
	審査請求 有 予備審査請求 未請求	(全 38 頁) 最終頁に続く

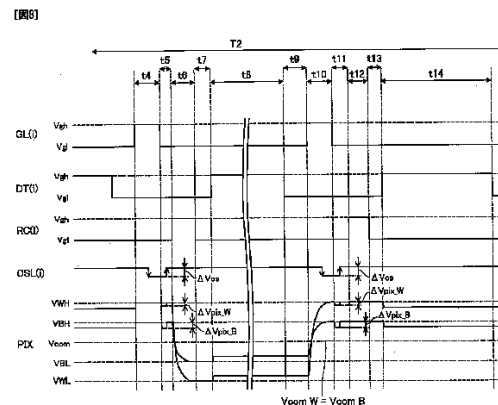
出願番号	特願2011-531827 (P2011-531827)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/058918		シャープ株式会社
(22) 国際出願日	平成22年5月26日 (2010.5.26)		大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
(31) 優先権主張番号	特願2009-215065 (P2009-215065)	(74) 代理人	110000338
(32) 優先日	平成21年9月16日 (2009.9.16)		特許業務法人原謙三国際特許事務所
(33) 優先権主張国	日本国 (JP)	(72) 発明者	横山 真
			日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
		(72) 発明者	古田 成
			日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
		(72) 発明者	村上 祐一郎
			日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

メモリ型の液晶表示装置において、データ保持期間（ T_2 ）では、各ゲートライン（ $GL(i)$ ）を同時にアクティブにしている間（期間 t_4 、期間 t_{10} ）に、 CS ライン（ $CSL(i)$ ）に供給する保持容量配線信号（ CS ）の電位を一旦低下させ（ ΔV_{cs} ）、各ゲートライン（ $GL(i)$ ）を同時に非アクティブにしてからリフレッシュ出力制御線（ $RC(i)$ ）をアクティブにするまで（期間 t_5 、期間 t_{11} ）に、保持容量配線信号（ CS ）の電位をもとの電位に戻す。これにより、メモリ型の液晶表示装置において、フリッカを低減することにより表示品位の向上を図る。



【特許請求の範囲】**【請求項 1】**

データ信号電位の書き込み後のデータ保持期間にリフレッシュ動作を行うメモリ型の液晶表示装置であって、

データ信号線と、走査信号線と、保持容量配線と、データ転送線と、リフレッシュ線と、画素電極と、対向電極と、制御端子が該走査信号線に接続された第 1 トランジスタと、制御端子が該データ転送線に接続された第 2 トランジスタと、制御端子が該第 2 トランジスタを介して該画素電極に接続された第 3 トランジスタと、制御端子が該リフレッシュ線に接続された第 4 トランジスタと、該画素電極に接続された第 1 保持容量と、該第 2 トランジスタを介して該画素電極に接続された第 2 保持容量と、を備え、

上記画素電極は、上記第 1 トランジスタを介して上記データ信号線に接続されるとともに、上記第 3 トランジスタおよび第 4 トランジスタを介して上記データ転送線に接続され、

上記データ保持期間では、上記各走査信号線を同時にアクティブにしている間に、上記保持容量配線に供給する保持容量配線信号の電位を一旦低下させ、上記各走査信号線を同時に非アクティブにしてから上記リフレッシュ線をアクティブにするまでの間に、上記保持容量配線信号の電位をもとの電位に戻すことを特徴とする液晶表示装置。

【請求項 2】

上記保持容量配線信号の電位の変化量は、上記画素電極の電位の低下量に応じて設定されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

上記保持容量配線信号の電位の変化量は、上記第 1 トランジスタを OFF したときのゲート端子およびドレイン端子間の寄生容量に起因する上記画素電極の電位の低下量に応じて設定されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

上記保持容量配線信号の電位の変化量は、上記第 1 トランジスタを OFF したときのゲート端子およびドレイン端子間の寄生容量と、上記データ保持期間における上記データ信号線に供給されるデータ信号電位の変動とに起因する上記画素電極の電位の低下量に応じて設定されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

データ信号電位の書き込み期間では、上記データ転送線をアクティブにしておき、上記各データ信号線にデータ信号電位を出力しながら上記各走査信号線を順次選択することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

上記データ保持期間では、上記データ信号線に、上記第 3 トランジスタを ON にする定電位を与えることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

上記データ保持期間では、上記データ転送線を非アクティブにしながら、上記各走査信号線を一旦同時にアクティブにした後に上記各リフレッシュ線を同時にアクティブにすることによりリフレッシュ動作を行うことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

上記対向電極の電位を、リフレッシュ動作ごとに 2 値間に入れ替えることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

上記 2 値はともに、データ信号電位の最小値よりも大きく、データ信号電位の最大値よりも小さいことを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

データ信号電位の書き込み後のデータ保持期間にリフレッシュ動作を行うメモリ型の液晶表示装置の駆動方法であって、

データ信号線と、走査信号線と、保持容量配線と、データ転送線と、リフレッシュ線と

10

20

30

40

50

、画素電極と、対向電極と、制御端子が該走査信号線に接続された第 1 トランジスタと、制御端子が該データ転送線に接続された第 2 トランジスタと、制御端子が該第 2 トランジスタを介して該画素電極に接続された第 3 トランジスタと、制御端子が該リフレッシュ線に接続された第 4 トランジスタと、該画素電極に接続された第 1 保持容量と、該第 2 トランジスタを介して該画素電極に接続された第 2 保持容量と、を備え、

上記画素電極は、上記第 1 トランジスタを介して上記データ信号線に接続されるとともに、上記第 3 トランジスタおよび第 4 トランジスタを介して上記データ転送線に接続され

データ信号電位の書き込み期間では、上記データ転送線をアクティブにしておき、上記各データ信号線にデータ信号電位を出力しながら上記各走査信号線を順次選択する一方、

上記データ保持期間では、上記データ信号線に、上記第 3 トランジスタを ON にする定電位を与えるとともに、上記データ転送線を非アクティブにしながら、上記各走査信号線を一旦同時にアクティブにした後に上記各リフレッシュ線を同時にアクティブにし、かつ

上記各走査信号線を同時にアクティブにしている間に、上記保持容量配線に供給する保持容量配線信号の電位を一旦低下させ、上記各走査信号線を同時に非アクティブにしてから上記リフレッシュ線をアクティブにするまでの間に、上記保持容量配線信号の電位をもとの電位に戻すことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ型の液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置では、一般に、画素ごとに設けられた薄膜トランジスタ (Thin Film Transistor、以下、TFT と称す) におけるゲート - ドレイン間の寄生容量に起因する画素電位の電位変動により、フリッカが発生するという問題がある。

【0003】

図 16 は、液晶表示装置における 1 画素の等価回路を示している。この図に示すように、ソースライン 11 は、列方向 (縦方向) に互いに平行となるように各列に 1 本ずつ形成されており、ゲートライン 12 は行方向 (横方向) に互いに平行となるように各行に 1 本ずつ形成されている。TFT 13 及び画素電極 14 は、ソースライン 11 とゲートライン 12 との各交点に対応してそれぞれ形成されており、TFT 13 のソース電極 s がソースライン 11 に、ゲート電極 g がゲートライン 12 に、ドレイン電極 d が画素電極 14 にそれぞれ接続されている。また、画素電極 14 と共通電極 (対向電極) 19 との間には、液晶を介して液晶容量 C_{lc} が形成されている。

【0004】

CS ライン 15 は、行方向 (横方向) に互いに平行となるように各行に 1 本ずつ形成されており、ゲートライン 12 と対をなすように配置されている。各 CS ライン 15 と、それぞれ各行に配置された画素電極 14 との間には、保持容量 C_{cs} (「補助容量」ともいう) が形成されている。

【0005】

上記の構成において、TFT 13 には、その構造上、ゲート電極 g とドレイン電極 d との間に引き込み容量 (寄生容量) C_{gd} が必然的に形成されるため、寄生容量 C_{gd} に起因して、画素電極に書き込まれた電位が変動する。図 17 は、画素電極 14 の電位 (画素電位) の変化の様子を示すタイミングチャートである。なお、図 17 の動作は、TFT 13 をオンしてソースライン 11 から画素電極 14 にデータ信号電位を供給した後 TFT 13 をオフして、次に TFT 13 をオンするまで、供給したデータ信号電位を保持する様子を表している。

【0006】

10

20

30

40

50

ここで、ゲートオン電圧を V_{gh} 、ゲートオフ電圧を V_{gl} 、これらの差 ($V_{gh} - V_{gl}$) を V_g 、ソース電極 s とドレイン電極 d との間の寄生容量を C_{sd} とすると、変動電位 (引き込み電圧) ΔV_{pix} は次式で表される。

$$V_{pix} = C_{gd} \cdot V_g / (C_{lc} + C_{cs} + C_{gd} + C_{sd}) \cdots (1)$$

上記引き込み電圧 ΔV_{pix} により生じるフリッカを低減する方法として、共通電極電位 (対向電位) V_{com} を、 ΔV_{pix} に応じて設定 (シフト) する方法がある。図 17 は、対向電位 V_{com} を、 ΔV_{pix} に応じてシフトした状態を示している。具体的には、対向電位 V_{com} は、 ΔV_{pix} を考慮して、正極性駆動時の画素電位と対向電位 V_{com} との電位差と、負極性駆動時の画素電位と対向電位 V_{com} との電位差とが等しくなるように設定される。この対向電位 V_{com} を最適対向電位 V_{com} という。

10

【0007】

これにより、正極性駆動時と負極性駆動時とで同輝度の表示を行うことができるため、フリッカを低減することができる。

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】日本国公開特許公報「特開 2002 - 229532 号公報 (2002 年 8 月 16 日公開)」

【発明の概要】

【発明が解決しようとする課題】

20

【0009】

しかしながら、上記従来の方法では、白表示に相当する電位を書き込む場合と、黒表示に相当する電位を書き込む場合とでは、最適対向電位 V_{com} が一致せず、所定の階調においてフリッカが発生するという問題がある。ここで、白表示時と黒表示時とで最適対向電位 V_{com} がずれる原因について、図 18 を用いて以下に説明する。図 18 は、最適対向電位 V_{com} がずれた様子を示すタイミングチャートである。

【0010】

一般に、液晶容量 C_{lc} の容量値は、液晶がオンしている場合とオフしている場合とで異なる。以下では、ノーマリーブラックの場合を例に挙げる。この場合、液晶がオンしているときは白表示となり、液晶がオフしているときは黒表示となる。

30

【0011】

液晶がオンしているときの、液晶容量を C_{lc_on} 、引き込み電圧を ΔV_{pix_on} とし、液晶がオフしているときの、液晶容量を C_{lc_off} 、引き込み電圧を ΔV_{pix_off} とすると、 ΔV_{pix_on} および ΔV_{pix_off} は、以下の式で表される。

$$V_{pix_on} = C_{gd} \cdot \Delta V_g / (C_{lc_on} + C_{cs} + C_{gd} + C_{sd}) \cdots (2)$$

$$V_{pix_off} = C_{gd} \cdot \Delta V_g / (C_{lc_off} + C_{cs} + C_{gd} + C_{sd}) \cdots (3)$$

式 (2) および (3) から、液晶容量 C_{lc} が異なると、引き込み電圧 V_{pix} も異なることが分かる。そして、最適対向電位 V_{com} は、上述のように引き込み電圧 V_{pix} に応じて設定されるため、電圧印加時と電圧非印加時とで引き込み電圧 V_{pix} がずれることにより、最適対向電位 V_{com} もずれることになる。

40

【0012】

一般に、液晶がオンしているときの液晶容量 C_{lc_on} は、液晶がオフしているときの液晶容量 C_{lc_off} よりも大きい ($C_{lc_on} > C_{lc_off}$) ため、 $V_{pix_on} < V_{pix_off}$ となる。よって、液晶オン時の最適対向電位を V_{com_on} 、液晶オフ時の最適対向電位を V_{com_off} とすると、 $V_{com_on} > V_{com_off}$ となる。

【0013】

50

具体例を挙げると、液晶容量 $C_{lc_on} = 100\text{ fF}$ 、液晶容量 $C_{lc_off} = 50\text{ fF}$ 、補助容量 $C_{cs} = 200\text{ fF}$ 、ゲート - ドレイン間の寄生容量 $C_{gd} = 10\text{ fF}$ 、ソース - ドレイン間の寄生容量 $C_{sd} = 10\text{ fF}$ 、 $\Delta V_g = 15\text{ V}$ とすると、式 (2) および (3) より、

$$V_{pix_on} = 0.469\text{ V}$$

$$V_{pix_off} = 0.556\text{ V}$$

となる。

【0014】

上記の結果より、引き込み電圧の差が約 0.1 V であることが分かる。そのため、例えば、最適対向電位 V_{com} を、中間調表示を基準に設定した場合、すなわち、センター電位 $((V_{gh} + V_{gl}) / 2)$ に対してロー (Low) 側に 0.5 V シフトさせた値に設定した場合、白表示では -0.031 V ずれる一方、黒表示では $+0.056\text{ V}$ ずれてしまう。この場合、画素電位がセンター電位から離れるほど (白書き込みの画素電位が大きくなるほど、または、黒書き込みの画素電位が小さくなるほど)、最適対向電位 V_{com} のずれが大きくなる。また、最適対向電位 V_{com} を、白階調表示を基準に設定した場合、すなわち、センター電位に対してロー側に 0.469 V シフトさせた値に設定した場合、黒表示では 0.1 V ずれてしまう。この場合、画素電位がセンター電位から離れるほど (黒書き込みの画素電位が小さくなるほど)、最適対向電位 V_{com} のずれが大きくなる。

10

【0015】

このように、液晶がオンしているときとオフしているときとでは、液晶容量 C_{lc} の容量値が異なるため、最適対向電位 V_{com} を一致させることができず、これにより、所定の階調でフリッカが視認され易くなる。

20

【0016】

上記の問題は、特に、画素メモリを備えた液晶表示装置 (メモリ型の液晶表示装置) (例えば、特許文献 1) において顕著となる。メモリ型の液晶表示装置では、一旦、画素に書き込まれた画像データを保持して、該画像データの極性を反転させながらリフレッシュ動作を行って表示 (メモリ動作モード) を行う。多色 (多階調) 表示を行う通常動作 (通常動作モード、多色表示モード) においては、データ信号線を通して画素に 1 フレームごとに新しい画像データに書き換える一方、メモリ動作モードにおいては、メモリ回路 (画素メモリ) に保持した画像データを用いることから、リフレッシュ動作を行う間はデータ信号線に書き換え用の画像データを供給する必要がない。

30

【0017】

従って、メモリ動作モードにおいては、走査信号線およびデータ信号線を駆動する回路の動作を停止させることが可能であるので消費電力を削減することが可能であるし、大きな容量を有するデータ信号線の充放電回数の削減や、メモリ動作期間に対応する画像データをコントローラに伝送せずに済むことによる、消費電力の低減も可能である。そのため、当該メモリ動作モードは、携帯電話の待ち受け画面表示などの低消費電力化の要求が強い画像表示によく用いられる。

【0018】

このようなメモリ型の液晶表示装置では、2 値の駆動を行っているため、上記のとおり最適対向電位 V_{com} が、白表示時と黒表示時とで一致せず、フリッカによる表示品位の低下が顕著となる。

40

【0019】

本発明では、上記問題点に鑑み、メモリ型の液晶表示装置において、フリッカを低減することにより表示品位を向上させうる構成を提案する。

【課題を解決するための手段】

【0020】

本発明の液晶表示装置は、上記課題を解決するために、

データ信号電位の書き込み後のデータ保持期間にリフレッシュ動作を行うメモリ型の液

50

晶表示装置であって、

データ信号線と、走査信号線と、保持容量配線と、データ転送線と、リフレッシュ線と、画素電極と、対向電極と、制御端子が該走査信号線に接続された第 1 トランジスタと、制御端子が該データ転送線に接続された第 2 トランジスタと、制御端子が該第 2 トランジスタを介して該画素電極に接続された第 3 トランジスタと、制御端子が該リフレッシュ線に接続された第 4 トランジスタと、該画素電極に接続された第 1 保持容量と、該第 2 トランジスタを介して該画素電極に接続された第 2 保持容量と、を備え、

上記画素電極は、上記第 1 トランジスタを介して上記データ信号線に接続されるとともに、上記第 3 トランジスタおよび第 4 トランジスタを介して上記データ転送線に接続され、

上記データ保持期間では、上記各走査信号線を同時にアクティブにしている間に、上記保持容量配線に供給する保持容量配線信号の電位を一旦低下させ、上記各走査信号線を同時に非アクティブにしてから上記リフレッシュ線をアクティブにするまでの間に、上記保持容量配線信号の電位をもとの電位に戻すことを特徴とする。

【 0 0 2 1 】

上記構成によれば、データ保持期間では、上記データ信号線に、上記第 3 トランジスタを ON にする定電位を与え、上記データ転送線を非アクティブにしなが、上記走査信号線を一旦アクティブにした後に上記リフレッシュ線をアクティブにすることにより、適切にリフレッシュ動作を行うことができる。さらに、上記各走査信号線を同時にアクティブにしている間に、上記保持容量配線に供給する保持容量配線信号の電位を一旦低下させ、上記各走査信号線を同時に非アクティブにしてから上記リフレッシュ線をアクティブにするまでの間に、上記保持容量配線信号の電位をもとの電位に戻すことにより、トランジスタの寄生容量等に起因して低下した画素電極の電位（画素電位）を、もとの電位に戻すことができる。そのため、対向電極の電位 V_{com} を調整することなく、最適対向電位（センター電位）を設定することができる。また、データ信号電位の値（例えば、黒表示に対応する電位および白表示に対応する電位）に関わらず、最適対向電位を共通に設定することができる。よって、フリッカを低減することができるため、表示品位を向上させることができる。

【 0 0 2 2 】

本液晶表示装置では、上記保持容量配線信号の電位の変化量は、上記画素電極の電位の低下量に応じて設定されている構成とすることもできる。

【 0 0 2 3 】

本液晶表示装置では、上記保持容量配線信号の電位の変化量は、上記第 1 トランジスタを OFF したときのゲート端子およびドレイン端子間の寄生容量に起因する上記画素電極の電位の低下量に応じて設定されている構成とすることもできる。

【 0 0 2 4 】

本液晶表示装置では、上記保持容量配線信号の電位の変化量は、上記第 1 トランジスタを OFF したときのゲート端子およびドレイン端子間の寄生容量と、上記データ保持期間における上記データ信号線に供給されるデータ信号電位の変動とに起因する上記画素電極の電位の低下量に応じて設定されている構成とすることもできる。

【 0 0 2 5 】

本液晶表示装置では、データ信号電位の書き込み期間では、上記データ転送線をアクティブにしておき、上記各データ信号線にデータ信号電位を出力しながら上記各走査信号線を順次選択する構成とすることもできる。

【 0 0 2 6 】

本液晶表示装置では、上記データ保持期間では、上記データ信号線に、上記第 3 トランジスタを ON にする定電位を与える構成とすることもできる。

【 0 0 2 7 】

本液晶表示装置では、上記データ保持期間では、上記データ転送線を非アクティブにしなが、上記各走査信号線を一旦同時にアクティブにした後に上記各リフレッシュ線を同

10

20

30

40

50

時にアクティブにすることによりリフレッシュ動作を行う構成とすることもできる。

【 0 0 2 8 】

本液晶表示装置では、上記対向電極の電位を、リフレッシュ動作ごとに2値間に入れ替える構成とすることもできる。

【 0 0 2 9 】

本液晶表示装置では、上記2値はともに、データ信号電位の最小値よりも大きく、データ信号電位の最大値よりも小さい構成とすることもできる。

【 0 0 3 0 】

本発明の液晶表示装置の駆動方法は、上記課題を解決するために、

データ信号電位の書き込み後のデータ保持期間にリフレッシュ動作を行うメモリ型の液晶表示装置の駆動方法であって、

データ信号線と、走査信号線と、保持容量配線と、データ転送線と、リフレッシュ線と、画素電極と、対向電極と、制御端子が該走査信号線に接続された第1トランジスタと、制御端子が該データ転送線に接続された第2トランジスタと、制御端子が該第2トランジスタを介して該画素電極に接続された第3トランジスタと、制御端子が該リフレッシュ線に接続された第4トランジスタと、該画素電極に接続された第1保持容量と、該第2トランジスタを介して該画素電極に接続された第2保持容量と、を備え、

上記画素電極は、上記第1トランジスタを介して上記データ信号線に接続されるとともに、上記第3トランジスタおよび第4トランジスタを介して上記データ転送線に接続され、

データ信号電位の書き込み期間では、上記データ転送線をアクティブにしておき、上記各データ信号線にデータ信号電位を出力しながら上記各走査信号線を順次選択する一方、

上記データ保持期間では、上記データ信号線に、上記第3トランジスタをONにする定電位を与えるとともに、上記データ転送線を非アクティブにしながら、上記各走査信号線を一旦同時にアクティブにした後に上記各リフレッシュ線を同時にアクティブにし、かつ、

上記各走査信号線を同時にアクティブにしている間に、上記保持容量配線に供給する保持容量配線信号の電位を一旦低下させ、上記各走査信号線を同時に非アクティブにしてから上記リフレッシュ線をアクティブにするまでの間に、上記保持容量配線信号の電位をもとの電位に戻すことを特徴とする。

【 0 0 3 1 】

上記構成によれば、上記液晶表示装置と同様に効果を得ることができる。

【 発明の効果 】

【 0 0 3 2 】

以上のように、本発明の液晶表示装置および液晶表示装置の駆動方法では、データ信号線と、走査信号線と、保持容量配線と、データ転送線と、リフレッシュ線と、画素電極と、対向電極と、制御端子が該走査信号線に接続された第1トランジスタと、制御端子が該データ転送線に接続された第2トランジスタと、制御端子が該第2トランジスタを介して該画素電極に接続された第3トランジスタと、制御端子が該リフレッシュ線に接続された第4トランジスタと、該画素電極に接続された第1保持容量と、該第2トランジスタを介して該画素電極に接続された第2保持容量と、を備え、

上記画素電極は、上記第1トランジスタを介して上記データ信号線に接続されるとともに、上記第3トランジスタおよび第4トランジスタを介して上記データ転送線に接続され、

上記データ保持期間では、上記各走査信号線を同時にアクティブにしている間に、上記保持容量配線に供給する保持容量配線信号の電位を一旦低下させ、上記各走査信号線を同時に非アクティブにしてから上記リフレッシュ線をアクティブにするまでの間に、上記保持容量配線信号の電位をもとの電位に戻す構成である。

【 0 0 3 3 】

これにより、メモリ型の液晶表示装置において、フリッカを低減することができるため

、表示品位を向上させることができる。

【図面の簡単な説明】

【0034】

【図1】本実施の形態に係る液晶表示装置の構成を示すブロック図である。

【図2】本液晶表示装置における画素メモリの構成を示すブロック図である。

【図3】図2の画素メモリの動作を示す図であり、(a)ないし(h)は、各動作を示している。

【図4】本液晶表示装置における画素メモリの構成を示す回路図である。

【図5】図4の画素メモリにおいて、実施例1の動作を説明するためのタイミングチャートである。

10

【図6】図5の動作における他の動作を示すタイミングチャートである。

【図7】図4の画素メモリにおいて、最適対向電位 V_{com} のずれが生じた場合の様子を示すタイミングチャートである。

【図8】図4の画素メモリにおいて、実施例1の画素に対応する動作を示すタイミングチャートである。

【図9】本発明の思想を説明するためのタイミングチャートである。

【図10】図4の画素メモリにおいて、実施例2の動作を説明するためのタイミングチャートである。

【図11】図4の画素メモリにおいて、実施例2の動作を説明するための回路図である。

20

【図12】図4の画素メモリにおいて、実施例2の動作を説明するための回路図である。

【図13】図4の画素メモリにおいて、最適対向電位 V_{com} のずれが生じた場合の様子を示すタイミングチャートである。

【図14】図4の画素メモリにおいて、実施例2の画素に対応する動作を示すタイミングチャートである。

【図15】本発明の思想を説明するためのタイミングチャートである。

【図16】従来の液晶表示装置における画素の構成を示す回路図である。

【図17】図16における画素電極の電位(画素電位)の変化の様子を示すタイミングチャートである。

【図18】図16の画素において、最適対向電位 V_{com} のずれが生じた場合の様子を示すタイミングチャートである。

30

【発明を実施するための形態】

【0035】

本発明の一実施形態を図面を用いて説明する。図1に、本実施の形態に係る液晶表示装置の構成を示す。本液晶表示装置1は、メモリ回路(画素メモリMR)が設けられた液晶パネルを備え、データ信号電位の書き込み後のデータ保持期間にリフレッシュ動作を行うメモリ型の液晶表示装置であり、携帯電話の動作時の画面表示等に用いられる多色(多階調)表示モード(通常動作モード)と、携帯電話の待ち受け時の画面表示等に用いられるメモリ動作モードとを切り替えて動作する。

【0036】

液晶表示装置1は、ゲートドライバ/CSドライバ2(走査信号線駆動回路/保持容量配線駆動回路)、制御信号バッファ回路3、駆動信号発生回路/映像信号発生回路4(表示制御回路)、デマルチプレクサ5、画素アレイ6、を備えている。ゲートライン(走査信号線)GL(i)、CSライン(補助容量配線)CSL(i)、データ転送制御線(データ転送線)DT(i)、リフレッシュ出力制御線(リフレッシュ線)RC(i)、ソースライン(データ信号線)SL(j)、および、出力信号線vd(k)を備えている。但し、iは1 i nの整数、jは1 j mの整数、kは1 k l < mの整数とする。

40

【0037】

画素アレイ6は、画素メモリMR(メモリ回路)を含む画素40がn行m列のマトリクス状に配置された構成である。各画素メモリMRは画像データを独立に保持する。i行とj列との交点に位置する画素メモリMRに対応して、ゲートラインGL(i)、データ転

50

送制御線 $DT(i)$ 、リフレッシュ出力制御線 $RC(i)$ 、 CS ライン $CSL(i)$ 、及び、ソースライン $SL(j)$ が配されている。

【0038】

ゲートドライバ/ CS ドライバ2は、ゲートライン $GL(i)$ および CS ライン $CSL(i)$ を介して n 行分の画素40を駆動する駆動回路である。ゲートライン $GL(i)$ および CS ライン $CSL(i)$ は、 i 行目の各画素40に接続されている。

【0039】

制御信号バッファ回路3は、データ転送制御線 $DT(i)$ およびリフレッシュ出力制御線 $RC(i)$ を介して n 行分の画素40を駆動する駆動回路である。

【0040】

駆動信号発生回路/映像信号発生回路4は、画像表示およびメモリ動作を行うための制御駆動回路であり、メモリ動作に用いられるタイミングのみならず、表示動作に用いられるゲートスタートパルス、ゲートクロック、ソーススタートパルス、および、ソースクロックなどのタイミングを生成する回路を兼ねることができる。

【0041】

駆動信号発生回路/映像信号発生回路4は、多色表示モード(メモリ回路非動作)時にビデオ出力端子から多階調ビデオ信号を出力し、出力信号線 $vd(k)$ およびデマルチプレクサ5を介してソースライン $SL(j)$ を駆動する。また、駆動信号発生回路/映像信号発生回路4は、同時に、ゲートドライバ/ CS ドライバ2を駆動・制御する信号 $s1$ を出力する。これによって各画素40に表示データを書き込み、多階調の表示を行う。

【0042】

また、駆動信号発生回路/映像信号発生回路4は、メモリ回路動作モード時に、ビデオ出力端子から画素40内に保持するデータを出力信号線 $vd(k)$ (k は $1 \leq k \leq m$ の整数) およびデマルチプレクサ5を介してソースライン $SL(j)$ に送出するとともに、ゲートドライバ/ CS ドライバ2を駆動・制御する信号 $s2$ および制御信号バッファ回路3を駆動・制御する信号 $s3$ を出力する。これによって、画素40にデータを書き込んで表示および保持したり、画素40に保持されたデータを読み出したりする。

【0043】

但し、画素40に書き込んでメモリ回路に保持したデータは表示に用いられるだけでもよいので、画素40からの読み出し動作は必ずしも行われなくてよい。駆動信号発生回路/映像信号発生回路4がメモリ回路動作モードにおいてビデオ出力端子から出力信号線 $vd(k)$ に出力するデータは、第1の電位レベルと第2の電位レベルとで表される2値論理レベルである。画素40が、カラー表示の各画素に対応する場合には、2に対して画素の色数だけ累乗した色数での表示が可能になる。例えば、画素がRGBの3色分ある場合には、2の3乗=8色の表示モードでの表示が可能になる。

【0044】

デマルチプレクサ5は、出力信号線 $vd(k)$ に出力されたデータを、対応するソースライン $SL(j)$ に振り分けて出力する。

【0045】

図2に、各画素メモリMRの構成の概念を示す。

【0046】

画素メモリMRは、スイッチ回路 $SW1$ 、第1データ保持部 $DS1$ 、データ転送部 $TS1$ 、第2データ保持部 $DS2$ 、リフレッシュ出力制御部 $RS1$ 、および、供給源 $VS1$ を備えている。

【0047】

また、画素メモリMRには、ソースライン $SL(1)$ に相当するデータ入力線 $IN1$ 、ゲートライン $GL(1)$ に相当するスイッチ制御線 $SC1$ 、データ転送制御線 $DT1$ 、および、リフレッシュ出力制御線 $RC1$ が設けられている。

【0048】

スイッチ回路 $SW1$ は、ゲートドライバ/ CS ドライバ2によりスイッチ制御線 $SC1$

10

20

30

40

50

を介して駆動されることによって、データ入力線 I N 1 と第 1 データ保持部 D S 1 との間の導通と遮断とを選択的に行う。

【 0 0 4 9 】

第 1 データ保持部 D S 1 は、第 1 データ保持部 D S 1 に入力される 2 値論理レベルを保持する。

【 0 0 5 0 】

データ転送部 D T 1 は、制御信号バッファ回路 3 によりデータ転送制御線 D T 1 を介して駆動されることによって、第 1 データ保持部 D S 1 に保持されている 2 値論理レベルを第 1 データ保持部 D S 1 が保持したまま第 2 データ保持部 D S 2 へ転送する転送動作と、上記転送動作を行わない非転送動作とを選択的に行う。なお、データ転送制御線 D T 1 に供給される信号は全画素メモリ M R に共通であるので、データ転送制御線 D T 1 は必ずしも行ごとに設けられて制御信号バッファ回路 3 によって駆動される必要はなく、駆動信号発生回路 / 映像信号発生回路 4 やその他のものによって駆動されてもよい。

【 0 0 5 1 】

第 2 データ保持部 D S 2 は、第 2 データ保持部 D S 2 に入力される 2 値論理レベルを保持する。

【 0 0 5 2 】

リフレッシュ出力制御部 R S 1 は、制御信号バッファ回路 3 によりリフレッシュ出力制御線 R C 1 を介して駆動されることによって第 1 の動作を行う状態または第 2 の動作を行う状態に選択的に制御される。なお、リフレッシュ出力制御線 R C 1 に供給される信号は全画素メモリ M R に共通であるので、リフレッシュ出力制御線 R C 1 は必ずしも行ごとに設けられて制御信号バッファ回路 3 によって駆動される必要はなく、駆動信号発生回路 / 映像信号発生回路 4 やその他のものによって駆動されてもよい。

【 0 0 5 3 】

第 1 の動作は、第 2 データ保持部 D S 2 に保持されている 2 値論理レベルが第 1 の電位レベルであるか第 2 の電位レベルであるかという制御情報に応じて、リフレッシュ出力制御部 R S 1 への入力を取り込んでリフレッシュ出力制御部 R S 1 の出力として第 1 データ保持部 D S 1 に供給するアクティブ状態となるか、リフレッシュ出力制御部 R S 1 の出力を停止する非アクティブ状態となるかを選択する動作である。

【 0 0 5 4 】

第 2 の動作は、上記制御情報に関わらずリフレッシュ出力制御部 R S 1 の出力を停止する動作である。

【 0 0 5 5 】

供給源 V S 1 は、リフレッシュ出力制御部 R S 1 の入力に、設定された電位の供給を行う。

【 0 0 5 6 】

次に、上記画素メモリ M R の状態の遷移について、図 3 の (a) ~ (h) を用いて説明する。ここでは、第 1 の電位レベルを H i g h として「 H 」を、第 2 の電位レベルを L o w として「 L 」を、それぞれ図に示してある。また、上下に「 H 」および「 L 」が並んで記載されている箇所は、上段が画素メモリ M R に「 H 」を書き込む場合の電位レベルの遷移状態を、下段が画素メモリ M R に「 L 」を書き込む場合の電位レベルの遷移状態をそれぞれ示す。

【 0 0 5 7 】

データの書き込みモードにおいては、まず、データの書き込み期間 T 1 が設けられる。

【 0 0 5 8 】

書き込み期間 T 1 においては、図 3 の (a) に示すように、スイッチ制御線 S C 1 によってスイッチ回路 S W 1 が O N 状態とされ、データ入力線 I N 1 からスイッチ回路 S W 1 を介して第 1 データ保持部 D S 1 に、データに対応した第 1 の電位レベルと第 2 の電位レベルとのいずれかで表される保持対象の 2 値論理レベルが入力される。

【 0 0 5 9 】

第1データ保持部DS1に2値論理レベルが入力されると、スイッチ制御線SC1によってスイッチ回路SW1はOFF状態とされる。またこのとき、データ転送制御線DT1によってデータ転送部TS1がON状態すなわち転送動作する状態とされ、第1データ保持部DS1に入力された2値論理レベルは保持されたまま、第1データ保持部DS1からデータ転送部TS1を介して第2データ保持部DS2に2値論理レベルが転送される。第2データ保持部DS2に2値論理レベルが転送されると、データ転送部TS1はOFF状態すなわち非転送動作を行う状態とされる。

【0060】

また、書き込み期間T1に続いてリフレッシュ期間T2（データ保持期間）が設けられる。

10

【0061】

図3の(b)に示すように、リフレッシュ期間T2においては、まず、デマルチプレクサ15からデータ入力線IN1に、第1の電位レベルを出力しておく。

【0062】

そして、図3の(c)に示すように、スイッチ制御線SC1によってスイッチ回路SW1がON状態とされ、データ入力線IN1からスイッチ回路SW1を介して第1データ保持部DS1に、第1の電位レベルが入力される。第1データ保持部DS1に第1の電位レベルが入力されると、スイッチ制御線SC1によってスイッチ回路SW1はOFF状態とされる。

20

【0063】

次いで、図3の(d)に示すように、リフレッシュ出力制御線RC1によってリフレッシュ出力制御部RS1は第1の動作を行う状態に制御される。リフレッシュ出力制御部RS1の第1の動作は、このときに第2データ保持部DS2に2値論理レベルとして第1の電位レベルと第2の電位レベルとのうちのいずれが保持されているかを表す制御情報に応じて異なる。

【0064】

すなわち、第2データ保持部DS2に第1の電位レベルが保持されている場合には、リフレッシュ出力制御部RS1は、第2データ保持部DS2に第1の電位レベルが保持されていることを示す第1の制御情報が第2データ保持部DS2からリフレッシュ出力制御部RS1に伝達されることによりアクティブ状態となり、リフレッシュ出力制御部RS1への入力を取り込んでリフレッシュ出力制御部RS1の出力として第1データ保持部DS1に供給する動作を行う。リフレッシュ出力制御部RS1がこの第1の動作を行うとき、供給源VS1の電位は、第1の制御情報がリフレッシュ出力制御部RS1に伝達されている期間において少なくとも最終的にはリフレッシュ出力制御部RS1の入力に第2の電位レベルを供給することができるよう、設定されている。この場合には、第1データ保持部DS1は、それまで保持していた2値論理レベルに上書きされる状態で、リフレッシュ出力制御部RS1から供給された第2の電位レベルを保持する。

30

【0065】

一方、第2データ保持部DS2に第2の電位レベルが保持されている場合には、リフレッシュ出力制御部RS1は非アクティブ状態となり、第2データ保持部DS2に第2の電位レベルが保持されていることを示す第2の制御情報が第2データ保持部DS2からリフレッシュ出力制御部RS1に伝達されることにより、出力を停止した状態（図中「×」で示す）となる。この場合には、第1データ保持部DS1はそれまで保持していた第1の電位レベルを保持し続ける。

40

【0066】

その後、リフレッシュ出力制御線RC1によってリフレッシュ出力制御部RS1は第2の動作を行う状態に制御される。

【0067】

リフレッシュ期間T2では、次いで、図3の(e)に示すように、データ転送制御線DT1によってデータ転送部TS1が転送動作する状態とされ、それまで第1データ保持部

50

D S 1 に保持されていた 2 値論理データは、第 1 データ保持部 D S 1 に保持されたまま、第 1 データ保持部 D S 1 からデータ転送部 T S 1 を介して第 2 データ保持部 D S 2 に転送される。第 1 データ保持部 D S 1 から第 2 データ保持部 D S 2 にデータが転送されると、データ転送部 T S 1 は O F F 状態すなわち非転送動作を行う状態とされる。

【 0 0 6 8 】

次いで、図 3 の (f) に示すように、スイッチ制御線 S C 1 によってスイッチ回路 S W 1 が O N 状態とされ、データ入力線 I N 1 からスイッチ回路 S W 1 を介して第 1 データ保持部 D S 1 に、第 1 の電位レベルが入力される。第 1 データ保持部 D S 1 に第 1 の電位レベルが入力されると、スイッチ制御線 S C 1 によってスイッチ回路 S W 1 は O F F 状態とされる。

10

【 0 0 6 9 】

次いで、図 3 の (g) に示すように、リフレッシュ出力制御線 R C 1 によってリフレッシュ出力制御部 R S 1 が第 1 の動作を行う状態に制御される。第 2 データ保持部 D S 2 に第 1 の電位レベルが保持されている場合には、リフレッシュ出力制御部 R S 1 はアクティブ状態となり、供給源 V S 1 から供給される第 2 の電位レベルを第 1 データ保持部 D S 1 に供給する動作を行う。この場合には、第 1 データ保持部 D S 1 は、それまで保持していた 2 値論理レベルに上書きされる状態で、リフレッシュ出力制御部 R S 1 から供給された第 2 の電位レベルを保持する。一方、第 2 データ保持部 D S 2 に第 2 の電位レベルが保持されている場合には、リフレッシュ出力制御部 R S 1 は非アクティブ状態となり、出力を停止した状態となる。この場合には、第 1 データ保持部 D S 1 はそれまで保持していた第 1 の電位レベルを保持し続ける。その後、リフレッシュ出力制御線 R C 1 によってリフレッシュ出力制御部 R S 1 が第 2 の動作を行う状態に制御され、出力を停止した状態となる。

20

【 0 0 7 0 】

次いで、図 3 の (h) に示すように、データ転送制御線 D T 1 によってデータ転送部 T S 1 が転送動作する状態とされ、それまで第 1 データ保持部 D S 1 に保持されていた 2 値論理レベルは、第 1 データ保持部 D S 1 に保持されたまま、第 1 データ保持部 D S 1 からデータ転送部 T S 1 を介して第 2 データ保持部 D S 2 に転送される。第 1 データ保持部 D S 1 から第 2 データ保持部 D S 2 に 2 値論理レベルが転送されると、データ転送部 T S 1 は O F F 状態すなわち非転送動作を行う状態とされる。

30

【 0 0 7 1 】

上記の一連の動作により、図 3 の (h) では、第 1 データ保持部 D S 1 および第 2 データ保持部 D S 2 において、図 3 の (a) の書き込み期間 T 1 で書き込んだ 2 値論理レベルが復元される。従って、図 3 の (h) の後に図 3 の (b) ~ (h) までの動作を任意数繰り返しても書き込み期間 T 1 で書き込んだデータが同様に復元される。

【 0 0 7 2 】

ここで、書き込み期間 T 1 に第 1 の電位レベル（ここでは H i g h ）が書き込まれた場合には、図 3 の (d) と図 3 の (f) とで 1 回ずつレベル反転されてリフレッシュされることにより、第 1 の電位レベルに復元され、書き込み期間 T 1 に第 2 の電位レベル（ここでは L o w ）が書き込まれた場合には、図 3 の (c) と図 3 の (g) とで 1 回ずつ反転されてリフレッシュされることにより、第 2 の電位レベルに復元される。

40

【 0 0 7 3 】

なお、第 1 の電位レベルを L o w 、第 2 の電位レベルを H i g h とする場合には、上述の動作論理を反転させればよい。

【 0 0 7 4 】

上記構成によれば、リフレッシュ期間 T 2 において、図 3 の (c) ・ (f) のようにデータ入力線 I N 1 から第 1 データ保持部 D S 1 に第 1 の電位レベルを供給するとともに、図 3 の (d) ・ (g) のようにリフレッシュ出力制御部 R S 1 が供給源 V S 1 から第 1 データ保持部 D S 1 に第 2 の電位レベルを供給するようにしたので、リフレッシュ動作を行うのに例えばインバータを備える必要がない。

50

【 0 0 7 5 】

従って、データ転送部 T S 1 に用いられるデータ転送素子にオフリーク電流が存在して第 2 データ保持部 D S 2 のデータ保持ノードの電位が変動しても、当該データ保持ノードの電位に基づいてリフレッシュ動作を行う回路であるリフレッシュ出力制御部 R S 1 に、消費電流の増加や誤動作のない動作を適切に行わせることができる。

【 0 0 7 6 】

次に、当該画素メモリ M R の具体的な構成および動作について説明する。

【 0 0 7 7 】

図 4 に、本実施の形態に係る画素メモリ M R (メモリ回路)の構成を、等価回路として示す。

10

【 0 0 7 8 】

画素メモリ M R は、前述したように、スイッチ回路 S W 1、第 1 データ保持部 D S 1、データ転送部 T S 1、第 2 データ保持部 D S 2、および、リフレッシュ出力制御部 R S 1 を備えている。

【 0 0 7 9 】

スイッチ回路 S W 1 は、Nチャネル型の T F T であるトランジスタ N 1 (第 1 トランジスタ)からなる。第 1 データ保持部 D S 1 は容量 C a 1 (第 1 保持容量)からなる。データ転送部 T S 1 は転送素子としての Nチャネル型の T F T であるトランジスタ N 2 (第 2 トランジスタ)からなる。第 2 データ保持部 D S 2 は容量 C b 1 (第 2 保持容量)からなる。リフレッシュ出力制御部 R S 1 は、Nチャネル型の T F T であるトランジスタ N 3 (第 4 トランジスタ)と、Nチャネル型の T F T であるトランジスタ N 4 (第 3 トランジスタ)とからなる。容量 C a 1 は容量 C b 1 よりも容量値が大きい。

20

【 0 0 8 0 】

すなわち、図 4 では、画素メモリ M R を構成する全てのトランジスタが Nチャネル型の T F T (電界効果トランジスタ)からなる。従って、画素メモリ M R はアモルファスシリコン中にも作り込みやすい。

【 0 0 8 1 】

また、各画素メモリ M R を駆動する信号線として、前述のゲートライン G L (i)、データ転送制御線 D T (i)、リフレッシュ出力制御線 R C (i)、ソースライン S L (j)、及び、C S ライン C S L (i) が液晶表示装置 1 に設けられている。

30

【 0 0 8 2 】

また、上記の T F T のような電界効果型トランジスタの一方のドレイン/ソース端子(導通端子)を第 1 のドレイン/ソース端子、他方のドレイン/ソース端子を第 2 のドレイン/ソース端子と呼ぶものとする。このことについては他の実施例でも同様とする。

【 0 0 8 3 】

トランジスタ N 1 のゲート端子(制御端子)はゲートライン G L (i)、トランジスタ N 1 の第 1 のドレイン/ソース端子はソースライン S L (j) に、トランジスタ N 1 の第 2 のドレイン/ソース端子は容量 C a 1 の一端であるノード P I X (保持ノード)に、それぞれ接続されている。容量 C a 1 の他端は C S ライン C S L (i) に接続されている。トランジスタ N 1 が O N 状態であるときはスイッチ回路 S W 1 は導通状態となり、トランジスタ N 1 が O F F 状態であるときはスイッチ回路 S W 1 は遮断状態となる。

40

【 0 0 8 4 】

トランジスタ N 2 のゲート端子はデータ転送制御線 D T (i)、トランジスタ N 2 の第 1 のドレイン/ソース端子はノード P I X に、トランジスタ N 2 の第 2 のドレイン/ソース端子は容量 C b 1 の一端であるノード M R Y (保持ノード)に、それぞれ接続されている。容量 C b 1 の他端は C S ライン C S L (i) に接続されている。トランジスタ N 2 が O N 状態であるときはデータ転送部 T S 1 は転送動作する状態となり、トランジスタ N 2 が O F F 状態であるときはデータ転送部 T S 1 は非転送動作を行う状態となる。

【 0 0 8 5 】

トランジスタ N 3 のゲート端子はリフレッシュ出力制御部 R S 1 の入力端子 I N 1 とし

50

てノードM R Yに、トランジスタN 3の第1のドレイン/ソース端子はデータ転送制御線D T (i)に、トランジスタN 3の第2のドレイン/ソース端子はトランジスタN 4の第1のドレイン/ソース端子に、それぞれ接続されている。トランジスタN 4のゲート端子はリフレッシュ出力制御線R C (i)に、トランジスタN 4の第2のドレイン/ソース端子はリフレッシュ出力制御部R S 1の出力端子O U T 1としてノードP I Xに、それぞれ接続されている。すなわち、トランジスタN 3とトランジスタN 4とは、リフレッシュ出力制御部R S 1の入力とリフレッシュ出力制御部R S 1の出力との間に、トランジスタN 3がリフレッシュ出力制御部R S 1の入力側に配置されるように、互いに直列に接続されている。なお、トランジスタN 3とトランジスタN 4との互いの接続位置は、上記例の場合と入れ替わってもよく、トランジスタN 3とトランジスタN 4とは、リフレッシュ出力制御部R S 1の入力とリフレッシュ出力制御部R S 1の出力との間に互いに直列に接続されていればよい。

10

【0086】

トランジスタN 4がON状態であるときに、リフレッシュ出力制御部R S 1は第1の動作を行う状態に制御され、トランジスタN 4がOFF状態であるときに、リフレッシュ出力制御部R S 1は第2の動作を行う状態に制御される。トランジスタN 3はNチャネル型であるので、リフレッシュ出力制御部R S 1が第1の動作を行うときに、アクティブ状態となる制御情報すなわちアクティブレベルはH i g h、非アクティブ状態となる制御情報すなわち非アクティブレベルはL o wである。

20

【0087】

なお、ノードP I Xと対向電極（共通電極）C O Mとの間に、液晶容量C l cが接続されている。

【0088】

次に、上記構成の画素メモリM Rの動作について説明する。なお、ここでは、画素メモリM Rの基本的な動作説明を主とするため、上述した寄生容量に起因した電位変動は考慮しないものとする。

【0089】

図5および図6に、画素メモリM Rのデータの書き込み動作を示す。本実施例では、画素アレイ6の各行を線順次に駆動（走査）する。従って、書き込み期間T 1は行ごとに決められており、i行の書き込み期間T 1をT 1 iと表記する。図5では書き込み期間T 1 iに第1のデータとしての「1」= H i g hが書き込まれる場合を示し、図6では書き込み期間T 1 iに第2のデータとしての「0」= L o wが書き込まれる場合を示している。また、図5および図6の下方に、図3の(a)～(h)に対応する各期間におけるノードP I Xの電位（左側）およびノードM R Yの電位（右側）を併せて示した。

30

【0090】

図5においては、ゲートラインG L (i)、データ転送制御線D T (i)、および、リフレッシュ出力制御線R C (i)には、制御信号バッファ回路13からH i g h（アクティブレベル）とL o w（非アクティブレベル）とからなる2値レベルの電位が印加される。上記2値レベルのH i g h電位およびL o w電位については、上記の各線に個別に設定されてもよい。ソースラインS L (j)には、デマルチプレクサ5を介して駆動信号発生回路/映像信号発生回路14から、ゲートラインG L (i)のH i g h電位より低いH i g hとL o wとからなる2値論理レベルが出力される。データ転送制御線D T (i)のH i g h電位は、ソースラインS L (j)のH i g h電位とゲートラインG L (i)のH i g h電位とのいずれかに等しく、データ転送制御線D T (i)のL o w電位は上記2値論理レベルのL o w電位に等しい。また、C SラインC S L (i)が供給する電位（C S電位）は一定である。

40

【0091】

データの書き込み動作に対しては、書き込み期間T 1 iとリフレッシュ期間T 2 とが設けられている。書き込み期間T 1 iは行ごとに決められた時刻t w iから開始される。リフレッシュ期間T 2は全行の画素メモリM Rへのデータ書き込みが終了した後に、全行に

50

対して時刻 t_r から一斉に開始される。書き込み期間 T_{1i} は、画素メモリ MR_1 に保持させようとするデータを書き込む期間であり、順に連続する期間 t_{1i} および期間 t_{2i} からなる。リフレッシュ期間 T_2 は、画素メモリ MR に書き込んだデータをリフレッシュしながら保持する期間であり、順に連続する期間 $t_3 \sim$ 期間 t_{14} を有している。

【0092】

書き込み期間 T_{1i} において、期間 t_{1i} ではゲートライン $GL(i)$ およびデータ転送制御線 $DT(i)$ の電位がともに $High$ となる。リフレッシュ出力制御線 $RC(i)$ の電位は Low である。これによりトランジスタ $N_1 \cdot N_2$ が ON 状態になるため、スイッチ回路 SW_1 は導通状態、データ転送部 TS_1 は転送動作する状態となり、ノード P_{IX} にソースライン $SL(j)$ に供給された第1の電位レベル（ここでは $High$ とする）が書き込まれる。期間 t_{2i} ではゲートライン $GL(i)$ の電位が Low となる一方、データ転送制御線 $DT(i)$ の電位は $High$ を持続する。リフレッシュ出力制御線 $RC(i)$ の電位は Low である。これによりトランジスタ N_1 が OFF 状態になるため、スイッチ回路 SW_1 は遮断状態になる。また、トランジスタ N_2 が ON 状態を維持するため、データ転送部 TS_1 は転送動作する状態を維持する。従って、ノード P_{IX} からノード M_{RY} に第1の電位レベルが転送されるとともに、ノード $P_{IX} \cdot M_{RY}$ はソースライン $SL(j)$ から切り離される。上記過程は、図3の(a)の状態に相当する。

10

【0093】

次にリフレッシュ期間 T_2 が開始される。リフレッシュ期間 T_2 では、ソースライン $SL(j)$ の電位 (V_{sig}) は、第1の電位レベルである $High$ とされる。また、ゲートライン $GL(i)$ 、データ転送制御線 $DT(i)$ 、および、リフレッシュ出力制御線 RC_i については、 $1 \sim i$ の全てについて以下に説明する駆動が行われる、すなわち、全画素メモリ MR について一斉にリフレッシュ動作を行う（以下、これを「全リフレッシュ動作」と呼ぶことがある）。

20

【0094】

リフレッシュ期間 T_2 において、期間 t_3 では、ゲートライン $GL(i)$ の電位が Low となり、データ転送制御線 $DT(i)$ の電位が Low となり、リフレッシュ出力制御線 $RC(i)$ の電位が Low となる。これによりトランジスタ N_2 が OFF 状態となるため、データ転送部 TS_1 は非転送動作を行う状態となり、ノード P_{IX} とノード M_{RY} とは互いに切り離される。ノード P_{IX} とノード M_{RY} とには、ともに $High$ が保持される。上記過程は図3の(b)の状態に相当する。

30

【0095】

期間 t_4 では、ゲートライン $GL(i)$ の電位が $High$ となり、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が Low を持続する。これによりトランジスタ N_1 が ON 状態となるため、スイッチ回路 SW_1 が導通状態となり、ノード P_{IX} にソースライン $SL(j)$ から再び $High$ 電位が書き込まれる。

【0096】

期間 t_5 では、ゲートライン $GL(i)$ の電位が Low となり、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が Low を持続する。これによりトランジスタ N_1 が OFF 状態となるため、スイッチ回路 SW_1 が遮断状態となり、ノード P_{IX} は、ソースライン $SL(j)$ から切り離されて $High$ を保持する。

40

【0097】

期間 $t_4 \sim$ 期間 t_5 の過程は図5(c)の状態に相当する。

【0098】

期間 t_6 では、ゲートライン $GL(i)$ の電位が Low を持続し、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が $High$ になる。これによりトランジスタ N_4 が ON 状態になり、リフレッシュ出力制御部 RS_1 は第1の動作を行う。また、ノード M_{RY} の電位が $High$ であることからトランジス

50

タN3はON状態であるので、リフレッシュ出力制御部RS1がアクティブ状態となり、データ転送制御線DT(i)からトランジスタN3・N4を介してノードPIXにLow電位が供給される。データ転送制御線DT(i)は図2における供給源VS1を兼ねている。

【0099】

期間t7では、ゲートラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がLowになる。これによりトランジスタN4がOFF状態になるので、リフレッシュ出力制御部RS1は第2の動作を行う状態となり、ノードPIXは、第2ワード線Xi(2)から切り離されてLowを保持する。

10

【0100】

期間t6～期間t7の過程は図3の(d)の状態に相当する。

【0101】

期間t8では、ゲートラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がHighになり、リフレッシュ出力制御線RC(i)の電位がLowを持続する。これによりトランジスタN2がON状態となるため、データ転送部TS1が転送動作する状態となる。このとき、容量Ca1と容量Cb1との間で電荷の移動が起こり、ノードPIXおよびノードMRYの両方の電位がLowとなる。ノードPIXの電位は、容量Cb1からトランジスタN2を介して容量Ca1に正電荷が移動することにより、若干の電圧ΔVxだけ上昇するが、Lowの電位範囲内にある。

20

【0102】

この期間t8はリフレッシュされた2値論理データを、データ転送部TS1を介して互いに接続された第1データ保持部DS1と第2データ保持部DS2との両方によって保持する期間であり、長く設定することが可能である。このことは以後の実施例でも同様である。

【0103】

期間t9では、ゲートラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がLowになり、リフレッシュ出力制御線RC(i)の電位がLowを持続する。これによりトランジスタN2がOFF状態となるため、データ転送部TS1が非転送動作を行う状態となり、ノードPIXとノードMRYとは互いに切り離される。ノードPIXとノードMRYとには、ともにLowが保持される。期間t8～期間t9の上記過程は図3の(e)の状態に相当する。

30

【0104】

期間t10では、ゲートラインGL(i)の電位がHighになり、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がLowを持続する。これによりトランジスタN1がON状態となるため、スイッチ回路SW1は導通状態となり、ノードPIXにソースラインSL(j)から再びHigh電位が書き込まれる。

【0105】

期間t11では、ゲートラインGL(i)の電位がLowになり、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がLowを持続する。これによりトランジスタN1がOFF状態となるため、スイッチ回路SW1は遮断状態となり、ノードPIXは、ソースラインSL(j)から切り離されてHighを保持する。

40

【0106】

期間t10～期間t11の過程は図3の(f)の状態に相当する。

【0107】

期間t12では、ゲートラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がHighになる。これによりトランジスタN4がON状態になるため、リフレッシュ出力制御部

50

R S 1 は第 1 の動作を行う状態となる。また、ノード M R Y の電位が L o w であることからトランジスタ N 3 は O F F 状態であるので、リフレッシュ出力制御部 R S 1 は非アクティブ状態となり、出力を停止した状態となる。従って、ノード P I X は H i g h を保持したままとなる。

【 0 1 0 8 】

期間 t 1 3 では、ゲートライン G L (i) の電位が L o w を持続し、データ転送制御線 D T (i) の電位が L o w を持続し、リフレッシュ出力制御線 R C (i) の電位が L o w になる。これによりトランジスタ N 4 は O F F 状態となるため、ためりリフレッシュ出力制御部 R S 1 は第 2 の動作を行う状態となり、ノード P I X は H i g h を保持する。

【 0 1 0 9 】

期間 t 1 2 ~ 期間 t 1 3 の上記過程は図 3 の (g) の状態に相当する。

【 0 1 1 0 】

期間 t 1 4 では、ゲートライン G L (i) の電位が L o w を持続し、データ転送制御線 D T (i) の電位が H i g h になり、リフレッシュ出力制御部 R S 1 の電位が L o w を持続する。これによりトランジスタ N 2 が O N 状態となるため、データ転送部 T S 1 は転送動作する状態となる。このとき、容量 C a 1 と容量 C b 1 との間で電荷の移動が起こり、ノード P I X およびノード M R Y の両方の電位が H i g h となる。ノード P I X の電位は、容量 C a 1 からトランジスタ N 2 を介して容量 C b 1 に正電荷が移動することにより、若干の電圧 $\Delta V y$ だけ低下するが、H i g h の電位範囲内にある。上記過程は図 3 の (h) の状態に相当する。

【 0 1 1 1 】

この期間 t 1 4 はリフレッシュされた 2 値論理データを、データ転送部 T S 1 を介して互いに接続された第 1 データ保持部 D S 1 と第 2 データ保持部 D S 2 との両方によって保持する期間であり、長く設定することが可能である。このことは以後の実施例でも同様である。

【 0 1 1 2 】

以上の動作により、ノード P I X の電位は、期間 t 1 i ~ 期間 t 5 および期間 t 1 0 ~ 期間 t 1 4 で H i g h、期間 t 6 ~ 期間 t 9 で L o w となり、ノード M R Y の電位は、期間 t 1 i ~ 期間 t 7 および期間 t 1 4 で H i g h、期間 t 8 ~ 期間 t 1 3 で L o w となる。

【 0 1 1 3 】

この後、リフレッシュ期間 T 2 を継続する場合には、期間 t 3 ~ 期間 t 1 4 の動作を繰り返す。新たなデータを書き込む場合には、リフレッシュ期間 T 2 を終了して全リフレッシュ動作モードを解除する。

【 0 1 1 4 】

以上が、図 5 についての説明である。

【 0 1 1 5 】

なお、全リフレッシュ動作の命令を、外部からの信号ではなく、発振器等にて内部で発生させたクロックにより生成するようにしてもよい。そうすることで外部システムが一定時間毎にリフレッシュ命令を入力する必要がなくなり、柔軟なシステム構築ができるという利点がある。本実施例による画素メモリ M R を用いたダイナミックメモリ回路においては、全リフレッシュ動作を、ゲートライン G L (i) ごとにスキャンすることによって行う必要がなく、アレイ全体に一括で行うことができるため、一般の従来のダイナミックメモリ回路においてソースライン S L (j) の電位を破壊読み出ししながらリフレッシュするのに必要となるような周辺回路を削減することができる。

【 0 1 1 6 】

次に、図 6 についての説明を行う。

【 0 1 1 7 】

図 6 では、書き込み期間 T 1 i に画素メモリ M R に第 2 の電位レベルとしての L o w を書き込むが、書き込み期間 T 1 i にソースライン S L (j) の電位を L o w とする他は、

各期間における、ゲートライン $GL(i)$ 、データ転送制御線 $DT(i)$ 、および、リフレッシュ出力制御線 $RC(i)$ の電位変化は図 5 と同様である。

【0118】

これにより、ノード PIX の電位は、期間 t_{1i} ~ 期間 t_3 および期間 t_{12} ~ 期間 t_{14} で Low 、期間 t_4 ~ 期間 t_{11} で $High$ となり、ノード MRY の電位は、期間 t_{1i} ~ 期間 t_7 および期間 t_{14} で Low 、期間 t_8 ~ 期間 t_{13} で $High$ となる。

【0119】

なお、図 3 の (a) ~ (h) は画素メモリ MR の状態遷移を表すものであったが、図 5 および図 6 における画素メモリ MR の動作ステップとしては、以下のように区分することができる。

10

【0120】

(1) 第 1 のステップ (期間 t_{1i} ~ 期間 t_{2i} (書き込み期間 T_{1i}))

第 1 のステップでは、駆動信号発生回路 / 映像信号発生回路 4 からソースライン $SL(j)$ にデータに対応する 2 値論理レベルを供給した状態、かつ、リフレッシュ出力制御部 $RS1$ に第 2 の動作を行わせた状態としてスイッチ回路 $SW1$ を導通させることにより画素メモリ MR に上記 2 値論理レベルを書き込み、画素メモリ MR に上記 2 値論理レベルが書き込まれた状態、かつ、リフレッシュ出力制御部 $RS1$ に第 2 の動作を行わせた状態としてデータ転送部 $TS1$ によって転送動作を行う。

【0121】

(2) 第 2 のステップ (期間 t_3 ~ 期間 t_4 と期間 t_9 ~ 期間 t_{10} とのそれぞれ)

20

第 2 のステップでは、第 1 ステップに続いて、リフレッシュ出力制御部 $RS1$ に第 2 の動作を行わせた状態、かつ、データ転送部 $TS1$ に非転送動作を行わせた状態としてスイッチ回路 $SW1$ を導通させることにより、リフレッシュ出力制御部 $RS1$ をアクティブ状態とする制御情報に相当するレベルと同じ 2 値論理レベルをソースライン $SL(j)$ を介して第 1 データ保持部 $DS1$ に入力する。

【0122】

(3) 第 3 のステップ (期間 t_5 ~ 期間 t_6 と期間 t_{11} ~ 期間 t_{12} とのそれぞれ)

第 3 のステップでは、第 2 ステップに続いて、スイッチ回路 $SW1$ を遮断した状態、かつ、データ転送部 $TS1$ に非転送動作を行わせた状態としてリフレッシュ出力制御部 $RS1$ によって第 1 の動作を行うとともに、第 1 の動作の終了時には供給源 $VS1$ からリフレッシュ出力制御部 $RS1$ の入力にリフレッシュ出力制御部 $RS1$ をアクティブ状態とする制御情報に相当するレベルの反転レベルの 2 値論理レベルを供給している状態とする。

30

【0123】

(4) 第 4 のステップ (期間 t_7 ~ 期間 t_8 と期間 t_{13} ~ 期間 t_{14} とのそれぞれ)

第 4 のステップでは、第 3 ステップに続いて、スイッチ回路 $SW1$ を遮断した状態、かつ、リフレッシュ出力制御部 $RS1$ に第 2 の動作を行わせた状態としてデータ転送部 $TS1$ によって転送動作を行う。

【0124】

そして、書き込み動作全体としては、まず第 1 ステップを実行し、第 1 のステップに続いて、第 2 のステップの開始から第 4 のステップの終了までの一連の動作 (期間 t_3 ~ 期間 t_8) を 1 回以上実行する動作となる。

40

【0125】

ここで、図 4 の液晶容量 C_{lc} は、ノード PIX と共通電極 COM との間に液晶層が配置されてなる容量である。すなわち、ノード PIX は画素電極に接続されている。このとき、容量 C_{a1} は画素 40 の補助容量としても機能する。また、スイッチ回路 $SW1$ を構成するトランジスタ $N1$ は画素 40 の選択素子としても機能する。共通電極 (対向電極) COM は、図 4 の回路が形成されるマトリクス基板に対向する共通電極基板上に設けられる。但し、共通電極 COM はマトリクス基板と同一基板上にあってもよい。

【0126】

画素メモリ MR において、多階調表示モード (通常動作モード) では、画素 40 に 2 値

50

レベルよりも電位レベル数の多いデータ信号を供給して、リフレッシュ制御部RS1にアクティブ状態となる第1の動作を行わせない状態で表示を行えばよい。多階調表示モードでは、データ転送制御線DT(i)の電位をLowに固定することにより容量Ca1のみを補助容量として機能させてもよいし、データ転送制御線DT(i)の電位をHighに固定することにより、容量Ca1と容量Cb1とを合わせて補助容量として機能させてもよい。また、リフレッシュ出力制御線RC(i)の電位をLowに固定してトランジスタN4をOFF状態に保持することにより、もしくはデータ転送制御線DT(i)の電位をトランジスタN3がOFF状態となるように高く設定することにより、データ転送制御線DT(i)の電位が第1データ保持部DS1に蓄積された電荷によって決められる液晶容量C1cの表示階調に影響を与えないようにすることができ、メモリ機能を持たない液晶表示装置と同一の表示性能を実現することができる。

10

【0127】

これに対して、メモリ動作モードでは、第1データ保持部の電位に応じた表示を行うことができる。液晶はAC的に極性を反転させない場合、焼きつきや液晶の劣化を引き起こすため、液晶をオンしているとき（白表示）および液晶をオフしているとき（黒表示）のどちらの場合でも、液晶に印加させる電圧の絶対値を同じにしながら極性を反転させる必要がある。そのため、対向電極COMの電位Vcomは、正極性駆動時の画素電位と対向電位Vcomとの電位差と、負極性駆動時の画素電位と対向電位Vcomとの電位差とが等しくなるように設定される（最適対向電位）。

20

【0128】

なお、図5および図6では、共通電極COMの電位は、トランジスタN1がON状態となるごとにHighとLowとの間で反転するように駆動される。ここで、共通電極COMのHigh電位は上記2値論理レベルのHigh電位に等しく、共通電極COMのLow電位は上記2値論理レベルのLow電位に等しいとすると、共通電極COMの電位がLowであるときに、ノードPIXの電位がLowならば正極性の黒表示、ノードPIXの電位がHighならば正極性の白表示となり、共通電極COMの電位がHighであるときに、ノードPIXの電位がLowならば負極性の白表示、ノードPIXの電位がHighならば負極性の黒表示となる。従って、ノードPIXの電位がリフレッシュされるごとに、表示階調をほぼ維持したまま液晶印加電圧の向きが反転するように液晶が駆動されることになり、液晶印加電圧の実効値が正負で一定となる液晶の交流駆動が可能になる。また、共通電極COMの電位（2値）はともに、データ信号電位の最小値よりも大きく、データ信号電位の最大値よりも小さい構成とすることもできる。また、共通電極COMの電位は、後述する実施例1および2に示すように、一定の値に設定されていても良い。

30

【0129】

しかしながら、従来の液晶表示装置では、図18に示したように、白表示に相当する電位を書き込む場合と、黒表示に相当する電位を書き込む場合とでは、最適対向電位(Vcom_W、Vcom_B)が一致せず、所定の階調においてフリッカが発生するという問題がある。

【0130】

図5および図6では、トランジスタN1の寄生容量Cgdを考慮していないため、画素電位（ノードPIXの電位）は、トランジスタN1がオフしても変動せず理想的な波形となっているが、現実には、寄生容量Cgdに起因して画素電位が変動するため、図18と同様、最適対向電位Vcomがずれることになる。図7は、図4の画素メモリMRにおいて、最適対向電位Vcomのずれが生じた場合の様子を示している。図7では、図5における、リフレッシュ期間T2の、ゲートラインGL(i)、データ転送部DT(i)、リフレッシュ出力制御線RC(i)、CSラインCSL(i)、および、ノードPIXの電位変化の詳細を示している。図7に示すように、ゲートラインGL(i)がHigh電位からLow電位（トランジスタN1がOFF）になると、トランジスタN1の寄生容量Cgdに起因してノードPIXの電位が低下することにより、最適対向電位Vcomがセンター電位からずれてしまう。また、白表示に相当する電位を書き込む場合の最適対向電位

40

50

(V_{com_W})と、黒表示に相当する電位を書き込むの最適対向電位(V_{com_B})が一致しない。これにより、フリッカが発生し表示品位の低下を招くという問題がある。

【0131】

そこで、本液晶表示装置では、上記の構成に加えて、CSラインCSL(i)に供給する電位(CS電位)を調整することにより最適対向電位 V_{com} ($V_{com_W} \cdot V_{com_B}$)を設定する構成を有している。この構成について、以下、実施例1～3を挙げて説明する。

【0132】

(実施例1)

図8は、本液晶表示装置の画素(図4)に対応する動作を示すタイミングチャートである。なお、以下では、説明の便宜上、図18に示した従来の動作と比較するため、図16の画素において本発明の思想を適用した場合の動作について、図9を例に挙げて説明することとし、図8に示す動作の説明は後述する。

【0133】

図9は、図18の動作に本発明の思想を適用した場合の、画素電極14(図16参照)の電位(画素電位)の変化の様子を示すタイミングチャートである。なお、図9の動作は、TF T13(図16)をオンしてソースライン11から画素電極14にデータ信号電位を供給した後、TF T13をオフして、次にTF T13をオンするまで、供給したデータ信号電位を保持する様子を表している。

【0134】

図9に示すように、まず、ゲートラインGL(i)(ゲートライン12)の電位がHighの期間に、CSラインCSL(i)(CSライン15)の電位(CS電位)を ΔV_{cs} 分下げる(図9の(i))。このとき、トランジスタ13はON状態であるため、画素電極14はトランジスタ13を介してソースライン11に接続される。そのため、CS電位が低下(ΔV_{cs})しても、画素電極14の電位(画素電極に書き込まれた電位、「画素電位」ともいう)(High電位)は変動しない。

【0135】

続いて、ゲートライン12の電位がLowになると、トランジスタ13がOFFし、画素電極14がフローティング状態となり、トランジスタ13のゲート電極gとドレイン電極dとの間の寄生容量 C_{gd} に起因して、画素電位が ΔV_{pix} (引き込み電圧)だけ低下する。その後、CS電位を ΔV_{cs} 分引き上げて、もとの電位に戻す(図9の(ii))。このとき、トランジスタ13はOFF状態であり、画素電極14は電荷を保持したままフローティング状態にあるため、CS電位を ΔV_{cs} 分引き上げるることにより、画素電位が突き上がる。

【0136】

なお、図9の(ii)に示す画素電位が突き上がる方向は、引き込みの変動方向と反対方向としているため、引き込み電圧が、本来の充電すべき電圧に補正されることになる。

【0137】

ここで、画素電位の変動電圧(引き込み電圧) ΔV_{pix} 、及び、CS電位を調整(引き下げ、引き上げ)することによって補正される電圧(補正電圧) $\Delta V_{pix}'$ は、それぞれ次式で表すことができる。なお、ゲートオン電圧を V_{gh} 、ゲートオフ電圧を V_{gl} 、これらの差を V_g とする。

$$V_{pix} = C_{gd} \times V_g / (C_{lc} + C_{cs} + C_{gd} + C_{sd}) \cdots (4)$$

$$\Delta V_{pix}' = \Delta V_{cs} \times C_{cs} / (C_{lc} + C_{cs} + C_{gd} + C_{sd}) \cdots (5)$$

ここで、例えば、理想的な状態として、引き込み電圧(ΔV_{pix})が完全に補正された場合を想定すると、次式が成り立つ。

$$\Delta V_{pix} = \Delta V_{pix}' \cdots (6)$$

したがって、式(4)～(6)より、CS電位の調整電圧 ΔV_{cs} は、次式で表される。

$$\Delta V_{cs} = V_g \times C_{gd} / C_{cs} \cdots (7)$$

10

20

30

40

50

式(7)から分かるように、液晶のオン/オフにより変動する液晶容量 C_{lc} が消去されている。したがって、引き込み電圧(ΔV_{pix})を補正するために設定したCS電位の調整電圧(ΔV_{cs})を、式(7)を参照して所望の値に設定すれば、液晶のオン/オフに関わらず、式(6)の理想的な条件を満たすことが可能となる。すなわち、画素電位の低下分(引き込み電圧 ΔV_{pix})を補正することができるため、対向電位 V_{com} を調整することなく、液晶のオン時とオフ時とで最適対向電位 $V_{com}(V_{comW} \cdot V_{comB})$ を一致させることができ、フリッカの発生を抑えることができる。

【0138】

具体例を以下に示す。液晶容量 $C_{lc_on} = 100(fF)$ 、液晶容量 $C_{lc_off} = 50(fF)$ 、補助容量 $C_{cs} = 200(fF)$ 、ゲート-ドレイン間の寄生容量 $C_{gd} = 10(fF)$ 、ソース-ドレイン間の寄生容量 $C_{sd} = 10(fF)$ 、($V_{gh} - V_{gl}) = 15(V)$ とすると、CS電位の調整電圧 ΔV_{cs} は、式(7)より、
 $V_{cs} = 0.75V$
 となる。

10

【0139】

白表示および黒表示それぞれの、トランジスタN1の寄生容量 C_{gd} に起因する引き込み電圧 V_{pix_on} 、 V_{pix_off} は、式(2)(3)より、
 $\Delta V_{pix_on} = 0.469V$
 $\Delta V_{pix_off} = 0.556V$
 となる。

20

【0140】

これに対して、白表示および黒表示の場合の補正電圧 $\Delta V_{pix}'_{on}$ 、 $\Delta V_{pix}'_{off}$ は、式(5)より、
 $\Delta V_{pix}'_{on} = 0.469V$
 $\Delta V_{pix}'_{off} = 0.556V$
 となる。

【0141】

上記のように、画素電位の変動(引き込み電圧)があっても、それに応じた補正が可能であることが分かる。すなわち、CS電位の調整電圧(突き下げ/突き上げ電圧) ΔV_{cs} を、 $0.75V$ に設定することにより、画素電位の低下分(引き込み電圧 $\Delta V_{pix_on} = 0.469V$ 、 $\Delta V_{pix_off} = 0.556V$)を補正する(元に戻す)ことができるため、対向電位 V_{com} を調整する必要がなく、また、液晶がオンしているときの最適対向電位 V_{comW} と、液晶がオフしているときの最適対向電位 V_{comB} とを一致させることができる。当然、中間調に対してもこれに応じた補正が可能となる。よって、フリッカを低減することができるため表示品位を向上させることができる。

30

【0142】

ここで、本液晶表示装置の画素(図4)に対応する動作について、図8を用いて説明する。

【0143】

図8には、図6のリフレッシュ期間 T_2 における、ゲートライン $GL(i)$ 、データ転送部 $DT(i)$ 、リフレッシュ出力制御線 $RC(i)$ 、CSライン $CSL(i)$ 、および、ノード PIX の電位変化の詳細を示している。

40

【0144】

まず、期間 t_4 において、ゲートライン $GL(i)$ の電位が $High$ となり、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が Low を持続する。これによりトランジスタN1がON状態となるため、スイッチ回路 $SW1$ が導通状態となり、ノード PIX にソースライン $SL(j)$ から、白表示に相当する $High$ 電位(V_{HW})が書き込まれる。トランジスタN1がON状態の間に、CSライン $CSL(i)$ の電位が ΔV_{cs} だけ低下する(図8の(i))。

【0145】

50

期間 t_5 では、ゲートライン $GL(i)$ の電位が Low となり、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が Low を持続する。これによりトランジスタ N_1 が OFF 状態となるため、スイッチ回路 SW_1 が遮断状態となり、ノード PIX は、ソースライン $SL(j)$ から切り離され、フローティング状態となる。ノード PIX の電位は、トランジスタ N_1 が OFF した瞬間、ゲート - ドレイン間の寄生容量 C_{gd} に起因して、 V_{WH} から ΔV_{pix_W} だけ低下する。その後、 CS ライン $CSL(i)$ の電位が ΔV_{cs} だけ上昇する (図 8 の (ii))。すると、ノード PIX の電位は上昇し、もとの電位 V_{WH} に戻る。

【0146】

期間 t_6 では、ゲートライン $GL(i)$ の電位が Low を持続し、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が $High$ になる。これによりトランジスタ N_4 が ON 状態になり、リフレッシュ出力制御部 RS_1 は第 1 の動作を行う。また、ノード MRY の電位が $High$ であることからトランジスタ N_3 は ON 状態であるので、リフレッシュ出力制御部 RS_1 がアクティブ状態となり、データ転送制御線 $DT(i)$ からトランジスタ $N_3 \cdot N_4$ を介してノード PIX に Low 電位 (V_{WL}) が供給される。

【0147】

期間 $t_7 \sim$ 期間 t_9 では、図 6 と同様の動作を行う。

【0148】

期間 t_{10} では、ゲートライン $GL(i)$ の電位が $High$ になり、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が Low を持続する。これによりトランジスタ N_1 が ON 状態となるため、スイッチ回路 SW_1 は導通状態となり、ノード PIX にソースライン $SL(j)$ から再び $High$ 電位が書き込まれる。また、 CS ライン $CSL(i)$ の電位が ΔV_{cs} だけ低下する (図 8 の (iii))。

【0149】

期間 t_{11} では、ゲートライン $GL(i)$ の電位が Low となり、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が Low を持続する。これによりトランジスタ N_1 が OFF 状態となるため、スイッチ回路 SW_1 が遮断状態となり、ノード PIX は、ソースライン $SL(j)$ から切り離され、フローティング状態となる。ノード PIX の電位は、トランジスタ N_1 が OFF した瞬間、ゲート - ドレイン間の寄生容量 C_{gd} に起因して、 V_{WH} から ΔV_{pix_W} だけ低下する。その後、 CS ライン $CSL(i)$ の電位が ΔV_{cs} だけ上昇する (図 8 の (iv))。すると、ノード PIX の電位は上昇し、もとの電位 V_{WH} に戻る。

【0150】

期間 t_{12} では、ゲートライン $GL(i)$ の電位が Low を持続し、データ転送制御線 $DT(i)$ の電位が Low を持続し、リフレッシュ出力制御線 $RC(i)$ の電位が $High$ になる。これによりトランジスタ N_4 が ON 状態になるため、リフレッシュ出力制御部 RS_1 は第 1 の動作を行う状態となる。また、ノード MRY の電位が Low であることからトランジスタ N_3 は OFF 状態であるので、リフレッシュ出力制御部 RS_1 は非アクティブ状態となり、出力を停止した状態となる。従って、ノード PIX は $High$ (V_{WH}) を保持したままとなる。

【0151】

期間 $t_{13} \sim$ 期間 t_{14} では、図 6 と同様の動作を行う。

【0152】

なお、ノード PIX にソースライン $SL(j)$ から、黒表示に相当する $High$ 電位 (V_{HB}) が書き込まれる場合には、ノード PIX の電位は、トランジスタ N_1 が OFF した瞬間 (期間 t_5 , t_{11})、ゲート - ドレイン間の寄生容量 C_{gd} に起因して、 V_{WB} から ΔV_{pix_B} だけ低下する。なお、式 (2)、(3) より、引き込み電圧は液晶容量に応じて変化するため、 $V_{pix_W} < V_{pix_B}$ の関係となる。この場合にも、

10

20

30

40

50

ゲートライン $GL(i)$ が $High$ 電位の期間に低下した CS ライン $CSL(i)$ の電位が ΔV_{cs} だけ上昇する (図 8 の (ii), (iv)) と、ノード PIX の電位は上昇し、もとの電位 V_{WB} に戻る (期間 t_5 , 期間 t_{11})。

【0153】

以上のように、本実施例 1 に係る液晶表示装置では、画素に書き込まれた画像データを保持して、該画像データの極性を反転させながらリフレッシュ動作を行う期間 (T_2 : データ保持期間) において、ゲートライン $GL(i)$ をアクティブにしている間 (期間 t_4 , 期間 t_{10}) に、 CS ライン $CSL(i)$ を所定電位だけ低下させ、その後ゲートライン $GL(i)$ を非アクティブにしてからリフレッシュ出力制御線 $RC(i)$ をアクティブにするまで (期間 t_5 、期間 t_{11}) に、 CS ライン $CSL(i)$ の電位をもとの電位に戻す (該所定電位だけ上昇させる) 構成を有している。これにより、寄生容量 C_{gd} に起因して低下したノード PIX の電位 (画素電位) を、もとの電位に戻すことができるため、対向電位 V_{com} を調整することなく、最適対向電位 (センター電位) を設定することができる。また、ソースライン $SL(j)$ へ供給するデータ信号電位の値に関わらず、最適対向電位を共通に設定することができる。よって、フリッカを低減することができるため、表示品位を向上させることができる。

10

【0154】

(実施例 2)

上記実施例 1 では、トランジスタ N_1 を OFF したときのトランジスタ N_1 のゲート - ドレイン間の寄生容量 C_{gd} に起因する電位変動 (引き込み電圧) のみに着目している。次に、複数の要因により画素電位の変動が生じた場合に、フリッカを低減するための構成 (実施例 2) について説明する。

20

【0155】

トランジスタ N_1 を OFF した後に画素電位が変動する要因としては、上記のようにトランジスタ N_1 のゲート - ドレイン間の寄生容量 C_{gd} に起因する引き込み電圧の他に、ソースライン $SL(j)$ の電位変動による引き込み電圧が考えられる。

【0156】

そこで、トランジスタ N_1 を OFF した後にソースライン $SL(j)$ の電位 (V_{sig}) を変動させる構成について簡単に説明する。

【0157】

30

本実施例 3 の画素メモリ MR は図 4 と同じである。なお、ソースライン $SL(j)$ はサンプリングスイッチ SMP を介して駆動信号発生回路 / 映像信号発生回路 4 に接続されている。また、図 4 におけるノード PIX を $node A$ 、ノード MRY を $node B$ 、データ転送制御線 $DT(i)$ を $node C$ とする。

【0158】

図 10 に示すように、リフレッシュ期間においては、リフレッシュ出力制御部 RS_1 に出力端子 OUT_1 を遮断させた状態において、第 1 データ保持部 DS_1 と第 2 データ保持部 DS_2 とが同じ 2 値論理レベルを保持し、データ転送制御線 $DT(i)$ の電位を第 1 の電位レベルと第 2 の電位レベルとのうちの一方 (例えば図 10 では Low) とするとともに、駆動信号発生回路 / 映像信号発生回路 4 からソースライン $SL(j)$ に第 1 の電位レベルと第 2 の電位レベルとのうちの他方 (例えば図 10 では $High$) を供給してからソースライン $SL(j)$ がフローティングとされた状態にある所定期間を t_x を設ける。

40

【0159】

図 11 に、 $node A = 0V$ 、 $node B = 0V$ 、 $node C = 5V$ の場合に、ソースライン $SL(j)$ を $0V$ としてからフローティングとした状態における、期間 t_x の $node A$ に対するリーク状態を示す。トランジスタ N_1 においてはリーク電流が発生せず、トランジスタ $N_3 \cdot N_4$ において $node C$ から $node A$ に向うリーク電流が発生する。

【0160】

図 12 に、 $node A = 5V$ 、 $node B = 5V$ 、 $node C = 5V$ の場合に、ソース

50

ライン $SL(j)$ を $0V$ としてからフローティングとした状態における、期間 t_x の $node A$ に対するリーク状態を示す。トランジスタ $N1$ において $node A$ からソースライン $SL(j)$ に向うリーク電流が発生し、トランジスタ $N3 \cdot N4$ においてはリーク電流が発生しない。

【0161】

本実施例 3 によれば、第 1 データ保持部 $DS1$ の 2 値論理レベルの保持ノードが、第 1 の電位レベルを保持している場合と、第 2 の電位レベルを保持している場合とで、当該保持ノードに対して発生するリークが平衡している。

【0162】

よって、書き込まれたデータに対応する 2 値論理レベルを保持する 2 つの保持部と、2 つの保持部の間の 2 値論理レベルの転送を行うデータ転送部と、一方の保持部の保持する 2 値論理レベルに基づいて他方の保持部のリフレッシュ動作を行う回路とを備えたメモリ装置であって、メモリセルに 2 値論理レベルを供給する配線から当該 2 値論理レベルを書き込む 1 つ目の保持部に対するリーク量を異なる回路状態間で平衡させることのできるメモリ装置を実現することができる。

【0163】

また、ソースライン $SL(j)$ をフローティングとするので、リーク電流を減少させることができ、低消費電力化を図ることができる。

【0164】

なお、所定期間 t_x において、リフレッシュ出力制御部 $RS1$ に出力端子 $OUT1$ を遮断させた状態において、第 1 データ保持部 $DS1$ と第 2 データ保持部 $DS2$ とが同じ 2 値論理レベルを保持し、データ転送制御線 $DT(i)$ の電位を第 1 の電位レベルと第 2 の電位レベルとのうちの一方（例えば図 10 では Low ）とするとともに、駆動信号発生回路 / 映像信号発生回路 4 からソースライン $SL(j)$ に第 1 の電位レベルと第 2 の電位レベルとのうちの他方（例えば図 10 では $High$ ）を供給し続けてもよい。

【0165】

上記の動作を行う液晶表示装置では、トランジスタ $N1$ のゲート - ドレイン間の寄生容量 C_{gd} に起因する引き込み電圧の他に、ソースライン $SL(j)$ の電位変動による引き込み電圧による画素電位の変動が生じ得る。図 10 では、これらの引き込み電圧を考慮していないため、画素電位（ノード P_{IX} の電位）は、トランジスタ $N1$ がオフしても変動せず理想的な波形となっているが、現実には、トランジスタ $N1$ の寄生容量 C_{gd} およびソースライン $SL(j)$ の電位変動に起因して画素電位が変動するため、最適対向電位 V_{com} がずれることになる。図 13 は、図 4 の画素メモリ MR において、最適対向電位 V_{com} のずれが生じた場合の様子を示している。図 13 では、図 10 における、リフレッシュ期間 $T2$ の、ゲートライン $GL(i)$ 、データ転送部 $DT(i)$ 、リフレッシュ出力制御線 $RC(i)$ 、ソースライン $SL(j)$ 、 CS ライン $CSL(i)$ 、および、ノード P_{IX} の電位変化の詳細を示している。図 13 に示すように、まず、ゲートライン $GL(i)$ が $High$ 電位から Low 電位（トランジスタ $N1$ が OFF ）になると、トランジスタ $N1$ の寄生容量 C_{gd} に起因してノード P_{IX} の電位 ΔV_{pix1} だけ低下する。次に、ソースライン $SL(j)$ の電位 V_{sig} が $High$ から Low に変化すると、ノード P_{IX} の電位は、さらに ΔV_{pix2} だけ低下する。これにより、最適対向電位 V_{com} がセンター電位からずれてしまう。また、白表示に相当する電位を書き込む場合の最適対向電位（ V_{com_W} ）と、黒表示に相当する電位を書き込むの最適対向電位（ V_{com_B} ）が一致しない。これにより、フリッカが発生し表示品位の低下を招くという問題がある。

【0166】

本実施例 2 では、このようなトランジスタ $N1$ のゲート - ドレイン間の寄生容量 C_{gd} に起因する引き込み電圧と、ソースライン $SL(j)$ の電位変動による引き込み電圧とによる画素電位の変動を補正する構成について説明する。図 14 は、本液晶表示装置の画素（図 4）に対応する動作を示すタイミングチャートである。なお、以下では、説明の便宜

上、図 18 に示した従来の動作と比較するため、図 16 の画素において、本発明の思想を適用した場合の動作を例に挙げて説明することとし、図 14 に示す動作の説明は後述する。

【0167】

図 15 は、図 18 の動作に本発明の思想を適用した場合の、画素電極 14 (図 16 参照) の電位 (画素電位) の変化の様子を示すタイミングチャートである。なお、図 15 の動作は、TFT 13 をオンしてソースライン 11 から画素電極 14 にデータ信号電位を供給した後、TFT 13 をオフして、次に TFT 13 をオンするまで、供給したデータ信号電位を保持する様子を表している。

【0168】

図 15 に示すように、まず、ゲートライン GL (i) (ゲートライン 12) の電位が High の期間に、CS ライン CSL (i) (CS ライン 15) の電位 (CS 電位) を ΔV_{cs} 分下げる (図 15 の (i))。このとき、トランジスタ 13 は ON 状態であるため、画素電極 14 はトランジスタ 13 を介してソースライン 11 に接続される。そのため、CS 電位が低下 (ΔV_{cs}) しても、画素電極 14 の電位 (画素電位) (High 電位) は変動しない。

【0169】

続いて、ゲートライン GL (i) の電位が Low になると、トランジスタ 13 が OFF し、画素電極 14 がフローティング状態となり、トランジスタ 13 のゲート電極 g とドレイン電極 d との間の寄生容量 C_{gd} に起因して、画素電位が ΔV_{pix1} (引き込み電圧) だけ低下する。次に、ソースライン SL (j) の電位 (V_{sig}) が High から Low に変化すると、画素電位は、さらに ΔV_{pix2} (引き込み電圧) だけ低下する。

【0170】

その後、CS 電位を ΔV_{cs} 分引き上げて、もとの電位に戻す (図 15 の (ii))。このとき、トランジスタ 13 は OFF 状態であり、画素電極 14 は電荷を保持したままフローティング状態にあるため、CS 電位を ΔV_{cs} 分引き上げることにより、画素電位が突き上がる。

【0171】

なお、図 15 の (ii) に示す画素電位が突き上がる方向は、引き込みの変動方向と反対方向としているため、引き込み電圧が、本来の充電すべき電圧に補正されることになる。

【0172】

ここで、画素電位の変動電圧 (引き込み電圧) ΔV_{pix} は、次のように表すことができる。すなわち、1 回目の引き込み (トランジスタ N1 の寄生容量 C_{gd} に起因する引き込み) が生じてから、2 回目の引き込み (ソースライン SL (j) の電位変動による引き込み) が生じるまでの間、ゲートライン GL i は OFF 状態であるため、画素電位は一定に維持される。よって、引き込み電圧 ΔV_{pix} は、1 回目および 2 回目の引き込み電圧の合計で表される。 ΔV_{pix1} 、 ΔV_{pix2} 、 ΔV_{pix} は、次式で表される。

$$\Delta V_{pix1} = \Delta V_g \times C_{gd} / (C_{lc} + C_{cs} + C_{gd} + C_{sd})$$

$$\Delta V_{pix2} = \Delta V_{sig} \times C_{sd} / (C_{lc} + C_{cs} + C_{gd} + C_{sd})$$

$$\Delta V_{pix} = \Delta V_{pix1} + \Delta V_{pix2} = (\Delta V_g \times C_{gd} + \Delta V_{sig} \times C_{sd}) / (C_{lc} + C_{cs} + C_{gd} + C_{sd}) \cdots (8)$$

また、CS 電位を調整する (ΔV_{cs} 分引き上げる) ことによって補正される (突き上がる) 電圧 (補正電圧) $\Delta V_{pix'}$ は、次式で表すことができる。

$$\Delta V_{pix'} = \Delta V_{cs} \times C_{cs} / (C_{lc} + C_{cs} + C_{gd} + C_{sd}) \cdots (9)$$

ここで、例えば、理想的な状態として、引き込み電圧 (ΔV_{pix}) が完全に補正された場合を想定すると、次式が成り立つ。

$$\Delta V_{pix} = \Delta V_{pix'} \cdots (10)$$

したがって、式 (8) ~ (10) より、CS 電位の調整電圧 ΔV_{cs} は、次式で表される。

$$\Delta V_{cs} = \Delta V_g \times C_{gd} / C_{cs} + \Delta V_{sig} \times C_{sd} / C_{cs} \cdots (11)$$

10

20

30

40

50

また、トランジスタN1の寄生容量 C_{gd} に起因する引き込み電圧 ΔV_{pix1} に対する調整電圧を ΔV_{cs_gd} 、ソースライン $SL(j)$ の電位変動による引き込み電圧 ΔV_{pix2} に対する調整電圧を ΔV_{cs_sd} とすると、式(7)と同様の考え方から次式が成り立つ。

$$\Delta V_{cs_gd} = \Delta V_g \times C_{gd} / C_{cs} \cdots (12)$$

$$\Delta V_{cs_sd} = \Delta V_{sig} \times C_{sd} / C_{cs} \cdots (13)$$

式(9)～(11)より、次式が成り立つ。

$$\Delta V_{cs} = \Delta V_{cs_gd} + \Delta V_{cs_sd} \cdots (14)$$

したがって、式(14)より、複数の寄生容量の影響を考慮した場合でも、それぞれ独立した調整電圧(ΔV_{cs_gd} 、 ΔV_{cs_sd})を算出し、線形的な和を求めることにより、全体の調整電圧(ΔV_{cs})を算出することができる。そして、式(12)～(14)から分かるように、液晶のオン/オフにより変動する液晶容量 C_{lc} が消去されている。したがって、引き込み電圧(ΔV_{pix})を補正するために設定したCS電位の調整電圧(ΔV_{cs})を、式(12)(13)を参照して所望の値に設定すれば、液晶のオン/オフに関係なく、式(10)の理想的な条件を満たすことが可能となる。すなわち、画素電位の低下分(引き込み電圧 ΔV_{pix})を補正することができるため、対向電圧 V_{com} を調整することなく、液晶のオン時とオフ時とで最適対向電位 $V_{com}(V_{comW} \cdot V_{comB})$ を一致させることができ、フリッカの発生を抑えることができる。

【0173】

具体例を以下に示す。液晶容量 $C_{lc_on} = 100 \text{ fF}$ 、液晶容量 $C_{lc_off} = 50 \text{ fF}$ 、補助容量 $C_{cs} = 200 \text{ fF}$ 、ゲート-ドレイン間の寄生容量 $C_{gd} = 10 \text{ fF}$ 、ソース-ドレイン間の寄生容量 $C_{sd} = 10 \text{ fF}$ 、 $\Delta V_g = V_{gh} - V_{gl} = 15 \text{ V}$ 、 $\Delta V_{sig} = 5 \text{ V}$ とすると、CS電位の調整電圧 ΔV_{cs} は、式(12)～(14)より、

$$\Delta V_{cs} = 1.0 \text{ V}$$

となる。

【0174】

白表示および黒表示それぞれの、トランジスタN1の寄生容量 C_{gd} と、ソースライン $SL(j)$ の電位変動とに起因する引き込み電圧 V_{pix_on} 、 V_{pix_off} は、式(8)より、

$$\Delta V_{pix_on} = 0.625 \text{ V}$$

$$\Delta V_{pix_off} = 0.741 \text{ V}$$

となる。

【0175】

これに対して、白表示および黒表示の場合の補正電圧 $\Delta V_{pix}'_{on}$ 、 $\Delta V_{pix}'_{off}$ は、式(9)より、

$$\Delta V_{pix}'_{on} = 0.625 \text{ V}$$

$$\Delta V_{pix}'_{off} = 0.741 \text{ V}$$

となる。

【0176】

上記のように、複数の要因による画素電位の変動(引き込み電圧)があっても、それに応じた補正が可能であることが分かる。すなわち、CS電位の調整電圧(突き下げ/突き上げ電圧) ΔV_{cs} を、 1.0 V に設定することにより、画素電位の低下分(引き込み電圧 $\Delta V_{pix_on} = 0.625 \text{ V}$ 、 $\Delta V_{pix_off} = 0.741 \text{ V}$)を補正する(元に戻す)ことができるため、対向電位 V_{com} を調整する必要がなく、液晶に電圧が印加されているときの最適対向電位 V_{com} と、液晶に電圧が印加されていないときの最適対向電位 V_{com} とを一致させることができる。当然、中間調に対してもこれに応じた補正が可能となる。よって、液晶のオン・オフ時における液晶容量 C_{lc} の違いによるフリッカ等の発生を抑えることができる。

【0177】

10

20

30

40

50

ここで、本液晶表示装置の画素（図４）に対応する動作について、図１４を用いて説明する。

【０１７８】

図１４には、図１０のリフレッシュ期間Ｔ２における、ゲートラインＧＬ（ｉ）、データ転送部ＤＴ（ｉ）、リフレッシュ出力制御線ＲＣ（ｉ）、ソースラインＳＬ（ｊ）、ＣＳラインＣＳＬ（ｉ）、および、ノードＰＩＸの電位変化の詳細を示している。

【０１７９】

まず、期間ｔ４において、ゲートラインＧＬ（ｉ）の電位がＨｉｇｈとなり、データ転送制御線ＤＴ（ｉ）の電位がＬｏｗを持続し、リフレッシュ出力制御線ＲＣ（ｉ）の電位がＬｏｗを持続する。これによりトランジスタＮ１がＯＮ状態となるため、スイッチ回路ＳＷ１が導通状態となり、ノードＰＩＸにソースラインＳＬ（ｊ）から、白表示に相当するＨｉｇｈ電位（ＶＨＷ）が書き込まれる。トランジスタＮ１がＯＮ状態の間に、ＣＳラインＣＳＬ（ｉ）の電位がΔＶｃｓだけ低下する（図１４の（ｉ））。

10

【０１８０】

期間ｔ５では、ゲートラインＧＬ（ｉ）の電位がＬｏｗとなり、データ転送制御線ＤＴ（ｉ）の電位がＬｏｗを持続し、リフレッシュ出力制御線ＲＣ（ｉ）の電位がＬｏｗを持続する。これによりトランジスタＮ１がＯＦＦ状態となるため、スイッチ回路ＳＷ１が遮断状態となり、ノードＰＩＸは、ソースラインＳＬ（ｊ）から切り離され、フローティング状態となる。ノードＰＩＸの電位は、トランジスタＮ１がＯＦＦした瞬間、ゲート・ドレイン間の寄生容量Ｃｇｄに起因して、ＶＷＨからΔＶｐｉｘ_Ｗ１だけ低下する。続いて、ソースラインＳＬ（ｊ）の電位がＨｉｇｈからＬｏｗに変化すると、画素電位は、さらにΔＶｐｉｘ_Ｗ２（引き込み電圧）だけ低下する。

20

【０１８１】

その後、ＣＳラインＣＳＬ（ｉ）の電位がΔＶｃｓだけ上昇する（図１４の（ｉｉ））。すると、ノードＰＩＸの電位は上昇し、もとの電位ＶＷＨに戻る。

【０１８２】

期間ｔ６では、ゲートラインＧＬ（ｉ）の電位がＬｏｗを持続し、データ転送制御線ＤＴ（ｉ）の電位がＬｏｗを持続し、リフレッシュ出力制御線ＲＣ（ｉ）の電位がＨｉｇｈになる。これによりトランジスタＮ４がＯＮ状態になり、リフレッシュ出力制御部ＲＳ１は第１の動作を行う。また、ノードＭＲＹの電位がＨｉｇｈであることからトランジスタＮ３はＯＮ状態であるので、リフレッシュ出力制御部ＲＳ１がアクティブ状態となり、データ転送制御線ＤＴ（ｉ）からトランジスタＮ３・Ｎ４を介してノードＰＩＸにＬｏｗ電位（ＶＷＬ）が供給される。

30

【０１８３】

期間ｔ７～期間ｔ９では、図１０と同様の動作を行う。

【０１８４】

期間ｔ１０では、ゲートラインＧＬ（ｉ）の電位がＨｉｇｈになり、データ転送制御線ＤＴ（ｉ）の電位がＬｏｗを持続し、リフレッシュ出力制御線ＲＣ（ｉ）の電位がＬｏｗを持続する。これによりトランジスタＮ１がＯＮ状態となるため、スイッチ回路ＳＷ１は導通状態となり、ノードＰＩＸにソースラインＳＬ（ｊ）から再びＨｉｇｈ電位が書き込まれる。また、ＣＳラインＣＳＬ（ｉ）の電位がΔＶｃｓだけ低下する（図１４の（ｉｉｉ））。

40

【０１８５】

期間ｔ１１では、ゲートラインＧＬ（ｉ）の電位がＬｏｗとなり、データ転送制御線ＤＴ（ｉ）の電位がＬｏｗを持続し、リフレッシュ出力制御線ＲＣ（ｉ）の電位がＬｏｗを持続する。これによりトランジスタＮ１がＯＦＦ状態となるため、スイッチ回路ＳＷ１が遮断状態となり、ノードＰＩＸは、ソースラインＳＬ（ｊ）から切り離され、フローティング状態となる。ノードＰＩＸの電位は、トランジスタＮ１がＯＦＦした瞬間、ゲート・ドレイン間の寄生容量Ｃｇｄに起因して、ＶＷＨからΔＶｐｉｘ_Ｗ１だけ低下する。続いて、ソースラインＳＬ（ｊ）の電位がＨｉｇｈからＬｏｗに変化すると、画素電位は、

50

さらに ΔV_{pix_W2} (引き込み電圧) だけ低下する。

【0186】

その後、CSラインCSL(i)の電位が ΔV_{cs} だけ上昇する(図14の(iv))。すると、ノードPIXの電位は上昇し、もとの電位VWHに戻る。

【0187】

期間t12では、ゲートラインGL(i)の電位がLowを持続し、データ転送制御線DT(i)の電位がLowを持続し、リフレッシュ出力制御線RC(i)の電位がHighになる。これによりトランジスタN4がON状態になるため、リフレッシュ出力制御部RS1は第1の動作を行う状態となる。また、ノードMRYの電位がLowであることからトランジスタN3はOFF状態であるので、リフレッシュ出力制御部RS1は非アクティブ状態となり、出力を停止した状態となる。従って、ノードPIXはHigh(VWH)を保持したままとなる。

10

【0188】

期間t13～期間t14では、図10と同様の動作を行う。

【0189】

なお、ノードPIXにソースラインSL(j)から、黒表示に相当するHigh電位(VHB)が書き込まれる場合には、ノードPIXの電位は、トランジスタN1がOFFした瞬間(期間t5, 期間t11)、ゲート-ドレイン間の寄生容量Cgdに起因して、VWBから ΔV_{pix_B1} だけ低下し、その後、ソースラインSL(j)の電位がHighからLowに変化すると、画素電位は、さらに ΔV_{pix_B2} (引き込み電圧)だけ低下する。なお、式(2)、(3)より、引き込み電圧は液晶容量に応じて変化するため、 $V_{pix_W} (V_{pix_W1} + V_{pix_W2}) < V_{pix_B} (V_{pix_B1} + V_{pix_B2})$ の関係となる。この場合にも、ゲートラインGL(i)がHigh電位の期間に低下したCSラインCSL(i)の電位が ΔV_{cs} だけ上昇する(図14の(ii), (iv))と、ノードPIXの電位は上昇し、もとの電位VWBに戻る(期間t5, 期間t11)。

20

【0190】

以上のように、本実施例2に係る液晶表示装置においても、実施例1と同様、画素に書き込まれた画像データを保持して、該画像データの極性を反転させながらリフレッシュ動作を行う期間(T2:データ保持期間)において、ゲートラインGL(i)をアクティブにしている間に、CSラインCSL(i)を所定電位だけ低下させ、その後ゲートラインGL(i)を非アクティブにしてからリフレッシュ出力制御線RC(i)をアクティブにするまで(期間t5、期間t11)に、CSラインCSL(i)の電位をもとの電位に戻す(該所定電位だけ上昇させる)構成を有している。これにより、トランジスタN1のゲート-ドレイン間の寄生容量Cgdに起因する引き込み電圧と、ソースラインSL(j)の電位変動による引き込み電圧とによるノードPIXの電位(画素電位)を、もとの電位に戻すことができるため、対向電位Vcomを調整することなく、最適対向電位(センター電位)を設定することができる。また、ソースラインSL(j)へ供給するデータ信号電位の値に関わらず、最適対向電位を共通に設定することができる。よって、フリッカを低減することができるため、表示品位を向上させることができる。

30

40

【0191】

なお、上記実施例1および2では、対向電極(共通電極)COMの電位(対向電位Vcom)は、一定の構成を例示しているが、本発明はこれに限定されるものではなく、図5, 6に示したように、High電位とLow電位の2値間で変化するAC的に変化する構成としても良い。この場合には、対向電極の電位を、リフレッシュ動作ごとに2値間で入れ替える構成とすることができる。また、上記2値はともに、データ信号電位の最小値よりも大きく、データ信号電位の最大値よりも小さい構成とすることもできる。

【0192】

本発明の液晶表示装置は、上記課題を解決するために、

データ信号電位の書き込み後のデータ保持期間にリフレッシュ動作を行うメモリ型の液

50

晶表示装置であって、

データ信号線と、走査信号線と、保持容量配線と、データ転送線と、リフレッシュ線と、画素電極と、対向電極と、制御端子が該走査信号線に接続された第 1 トランジスタと、制御端子が該データ転送線に接続された第 2 トランジスタと、制御端子が該第 2 トランジスタを介して該画素電極に接続された第 3 トランジスタと、制御端子が該リフレッシュ線に接続された第 4 トランジスタと、該画素電極に接続された第 1 保持容量と、該第 2 トランジスタを介して該画素電極に接続された第 2 保持容量と、を備え、

上記画素電極は、上記第 1 トランジスタを介して上記データ信号線に接続されるとともに、上記第 3 トランジスタおよび第 4 トランジスタを介して上記データ転送線に接続され、

上記データ保持期間では、上記各走査信号線を同時にアクティブにしている間に、上記保持容量配線に供給する保持容量配線信号の電位を一旦低下させ、上記各走査信号線を同時に非アクティブにしてから上記リフレッシュ線をアクティブにするまでの間に、上記保持容量配線信号の電位をもとの電位に戻すことを特徴とする。

【 0 1 9 3 】

上記構成によれば、データ保持期間では、上記データ信号線に、上記第 3 トランジスタを ON にする定電位を与え、上記データ転送線を非アクティブにししながら、上記走査信号線を一旦アクティブにした後に上記リフレッシュ線をアクティブにすることにより、適切にリフレッシュ動作を行うことができる。さらに、上記各走査信号線を同時にアクティブにしている間に、上記保持容量配線に供給する保持容量配線信号の電位を一旦低下させ、上記各走査信号線を同時に非アクティブにしてから上記リフレッシュ線をアクティブにするまでの間に、上記保持容量配線信号の電位をもとの電位に戻すことにより、トランジスタの寄生容量等に起因して低下した画素電極の電位（画素電位）を、もとの電位に戻すことができる。そのため、対向電極の電位 V_{com} を調整することなく、最適対向電位（センター電位）を設定することができる。また、データ信号電位の値（例えば、黒表示に対応する電位および白表示に対応する電位）に関わらず、最適対向電位を共通に設定することができる。よって、フリッカを低減することができるため、表示品位を向上させることができる。

【 0 1 9 4 】

本液晶表示装置では、上記保持容量配線信号の電位の変化量は、上記画素電極の電位の低下量に応じて設定されている構成とすることもできる。

【 0 1 9 5 】

本液晶表示装置では、上記保持容量配線信号の電位の変化量は、上記第 1 トランジスタを OFF したときのゲート端子およびドレイン端子間の寄生容量に起因する上記画素電極の電位の低下量に応じて設定されている構成とすることもできる。

【 0 1 9 6 】

本液晶表示装置では、上記保持容量配線信号の電位の変化量は、上記第 1 トランジスタを OFF したときのゲート端子およびドレイン端子間の寄生容量と、上記データ保持期間における上記データ信号線に供給されるデータ信号電位の変動とに起因する上記画素電極の電位の低下量に応じて設定されている構成とすることもできる。

【 0 1 9 7 】

本液晶表示装置では、データ信号電位の書き込み期間では、上記データ転送線をアクティブにしておき、上記各データ信号線にデータ信号電位を出力しながら上記各走査信号線を順次選択する構成とすることもできる。

【 0 1 9 8 】

本液晶表示装置では、上記データ保持期間では、上記データ信号線に、上記第 3 トランジスタを ON にする定電位を与える構成とすることもできる。

【 0 1 9 9 】

本液晶表示装置では、上記データ保持期間では、上記データ転送線を非アクティブにししながら、上記各走査信号線を一旦同時にアクティブにした後に上記各リフレッシュ線を同

10

20

30

40

50

時にアクティブにすることによりリフレッシュ動作を行う構成とすることもできる。

【0200】

本液晶表示装置では、上記対向電極の電位を、リフレッシュ動作ごとに2値間に入れ替える構成とすることもできる。

【0201】

本液晶表示装置では、上記2値はともに、データ信号電位の最小値よりも大きく、データ信号電位の最大値よりも小さい構成とすることもできる。

【0202】

本発明の液晶表示装置の駆動方法は、上記課題を解決するために、

データ信号電位の書き込み後のデータ保持期間にリフレッシュ動作を行うメモリ型の液晶表示装置の駆動方法であって、

データ信号線と、走査信号線と、保持容量配線と、データ転送線と、リフレッシュ線と、画素電極と、対向電極と、制御端子が該走査信号線に接続された第1トランジスタと、制御端子が該データ転送線に接続された第2トランジスタと、制御端子が該第2トランジスタを介して該画素電極に接続された第3トランジスタと、制御端子が該リフレッシュ線に接続された第4トランジスタと、該画素電極に接続された第1保持容量と、該第2トランジスタを介して該画素電極に接続された第2保持容量と、を備え、

上記画素電極は、上記第1トランジスタを介して上記データ信号線に接続されるとともに、上記第3トランジスタおよび第4トランジスタを介して上記データ転送線に接続され、

データ信号電位の書き込み期間では、上記データ転送線をアクティブにしておき、上記各データ信号線にデータ信号電位を出力しながら上記各走査信号線を順次選択する一方、

上記データ保持期間では、上記データ信号線に、上記第3トランジスタをONにする定電位を与えるとともに、上記データ転送線を非アクティブにしながら、上記各走査信号線を一旦同時にアクティブにした後に上記各リフレッシュ線を同時にアクティブにし、かつ、

上記各走査信号線を同時にアクティブにしている間に、上記保持容量配線に供給する保持容量配線信号の電位を一旦低下させ、上記各走査信号線を同時に非アクティブにしてから上記リフレッシュ線をアクティブにするまでの間に、上記保持容量配線信号の電位をもとの電位に戻すことを特徴とする。

【0203】

上記構成によれば、上記液晶表示装置と同様に効果を得ることができる。

【0204】

本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0205】

本発明は、携帯電話のディスプレイなどに好適に使用することができる。

【符号の説明】

【0206】

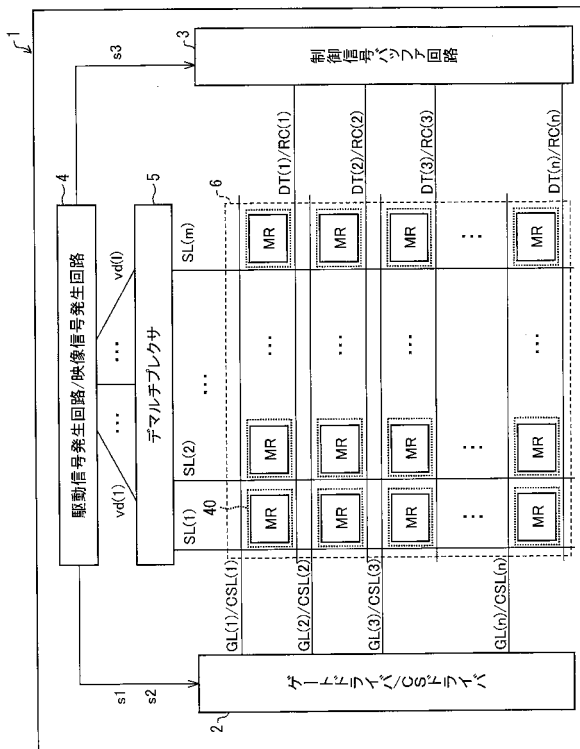
- 1 液晶表示装置
- 2 ゲートドライバ / CSドライバ (走査信号線駆動回路 / 保持容量配線駆動回路)
- 3 制御信号バッファ回路
- 4 駆動信号発生回路 / 映像信号発生回路 (表示制御回路)
- 5 デマルチプレクサ
- 6 画素アレイ
- 40 画素
- 64 対向電極 (共通電極)
- GL ゲートライン (走査信号線)

- C S L C Sライン（補助容量配線）
 D T データ転送制御線（データ転送線）
 R C リフレッシュ出力制御線（リフレッシュ線）
 S L ソースライン（データ信号線）
 M R 画素メモリ（メモリ回路）
 S W 1 スイッチ回路
 D S 1 第1データ保持部
 T S 1 データ転送部
 D S 2 第2データ保持部
 R S 1 リフレッシュ出力制御部
 V S 1 供給源
 N 1 ~ N 4 トランジスタ（Nチャネル型の電界効果トランジスタ）
 P 1 トランジスタ（Pチャネル型の電界効果トランジスタ、第5トランジスタ）
 N 1 トランジスタ（第1トランジスタ）
 N 2 トランジスタ（第2トランジスタ）
 N 3 トランジスタ（第3トランジスタ）
 N 4 トランジスタ（第4トランジスタ）
 C a 1 容量（第1保持容量）
 C b 1 容量（第2保持容量）
 P I X 画素電極の電位（画素電位）

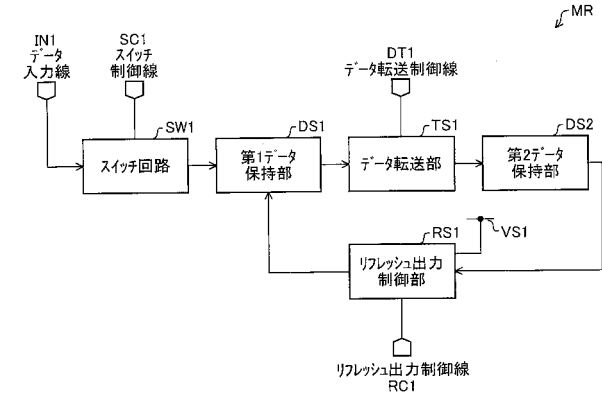
10

20

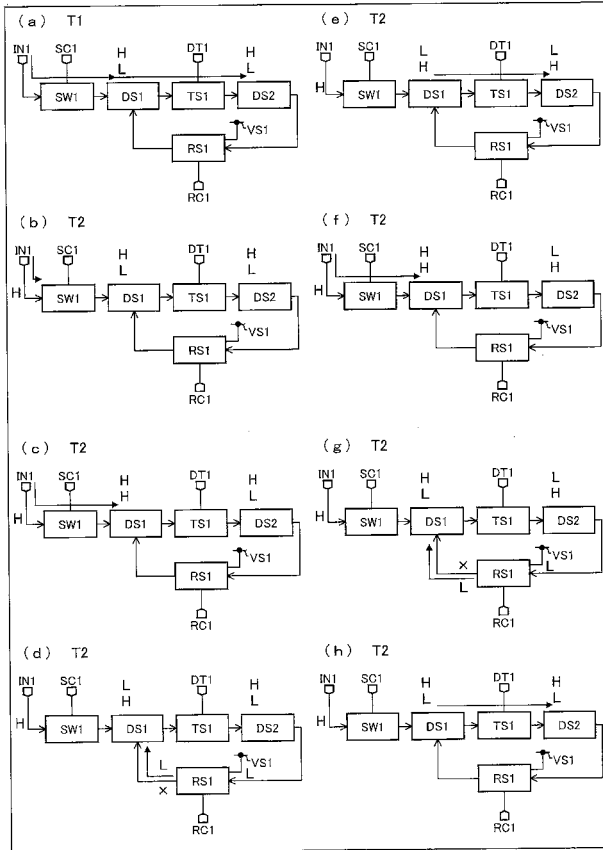
【図1】



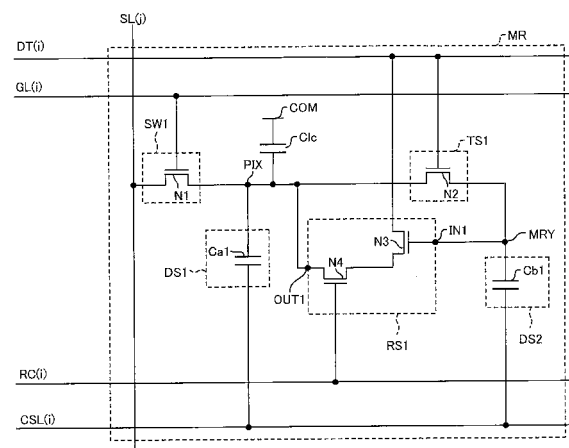
【図2】



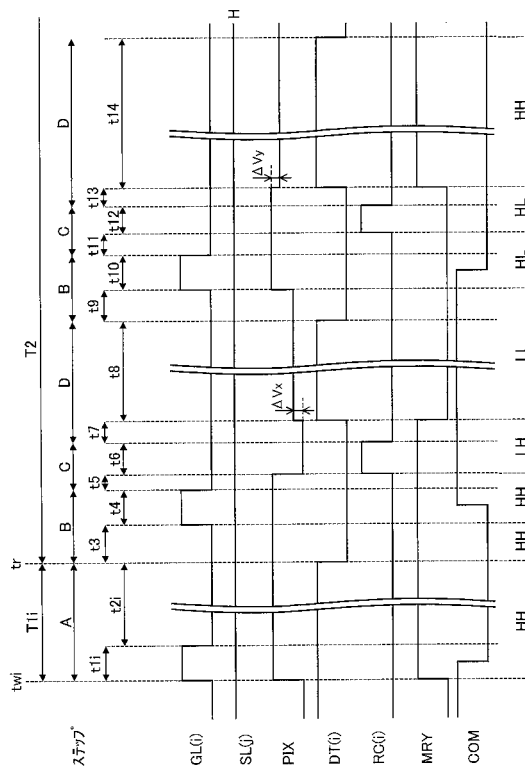
【図 3】



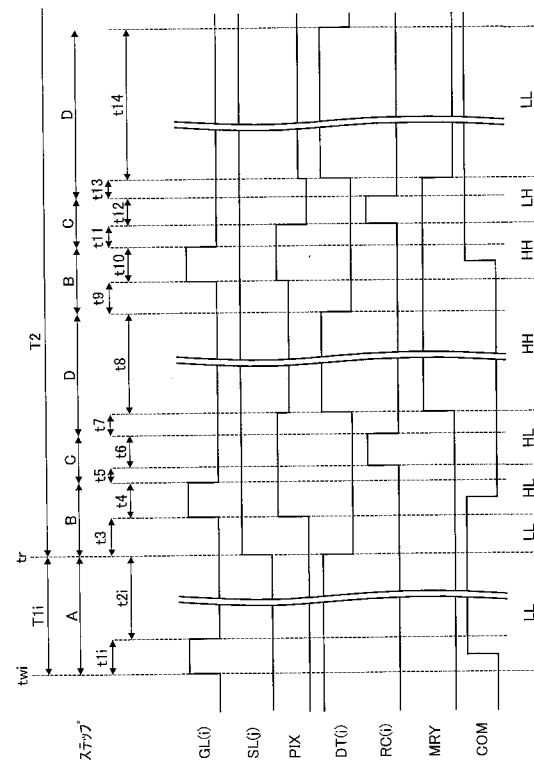
【図 4】



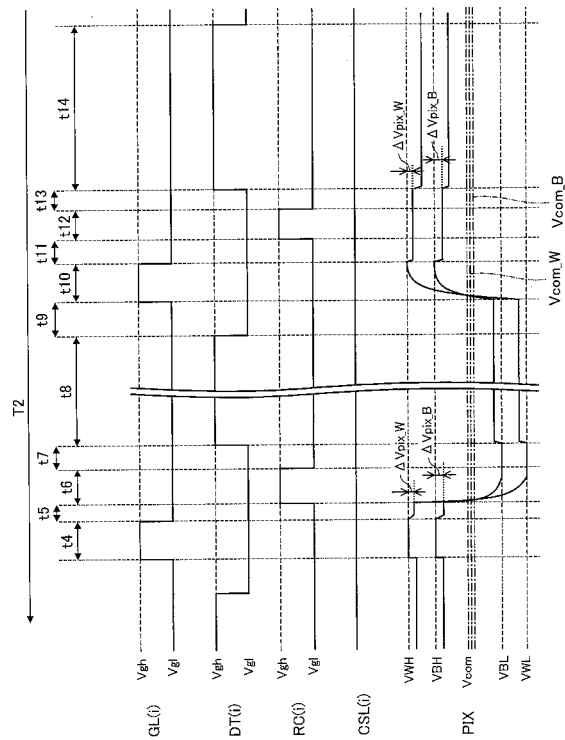
【図 5】



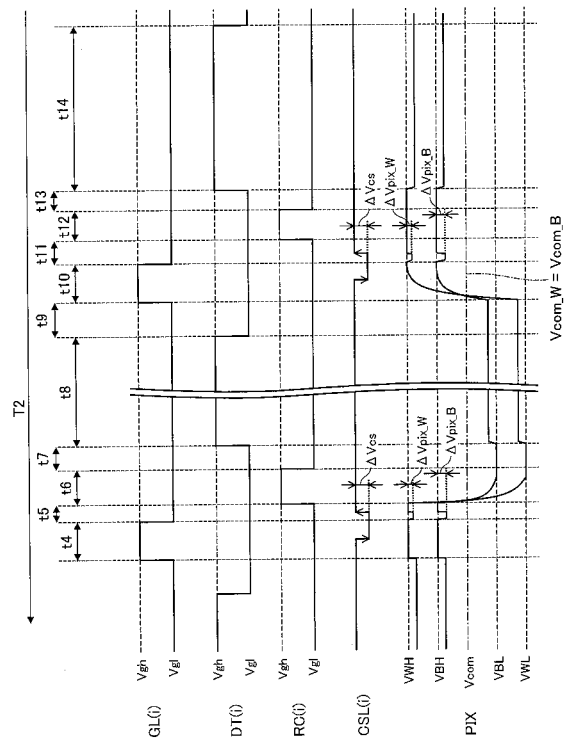
【図 6】



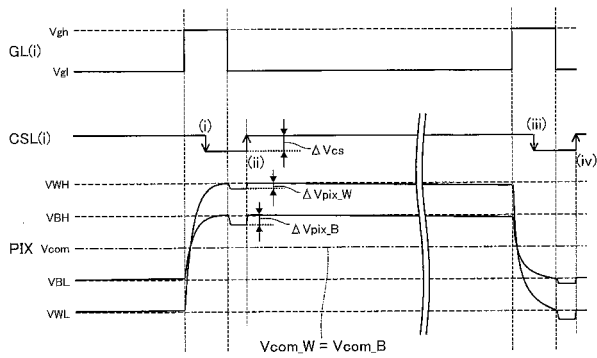
【図 7】



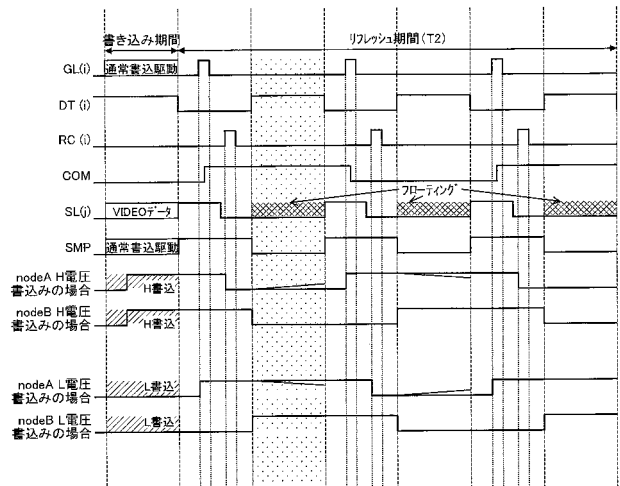
【図 8】



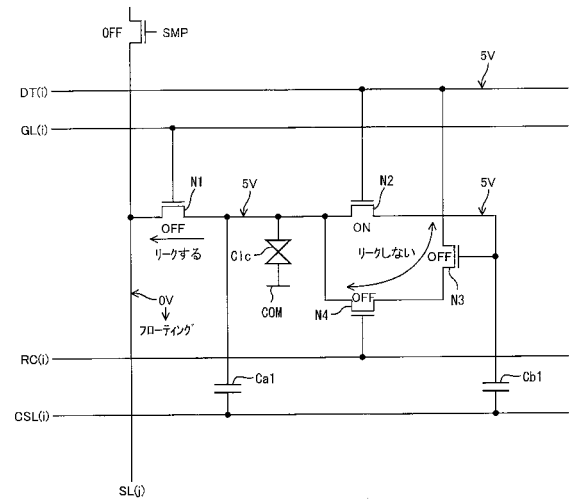
【図 9】



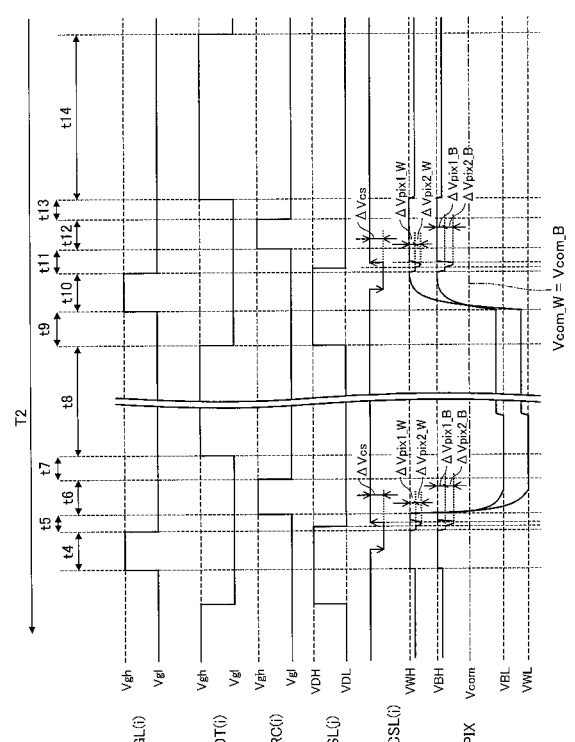
【図 10】



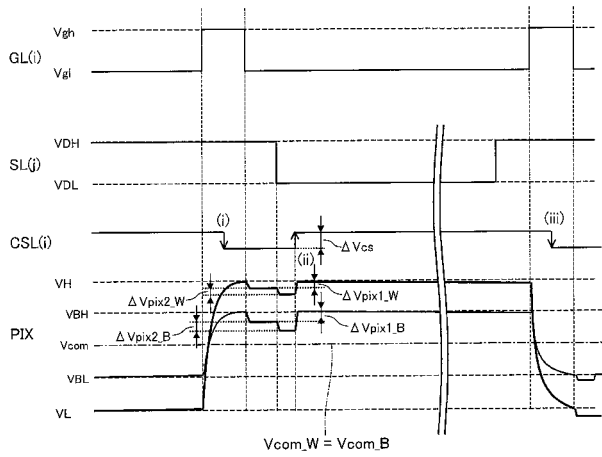
【 図 1 2 】



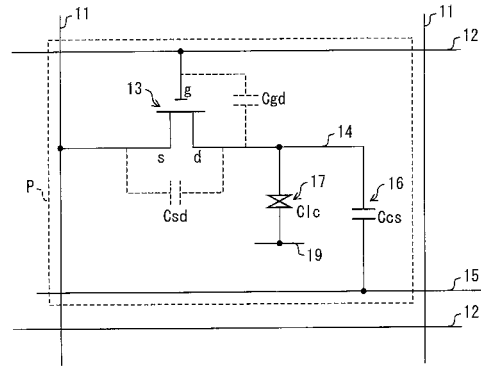
【 図 1 4 】



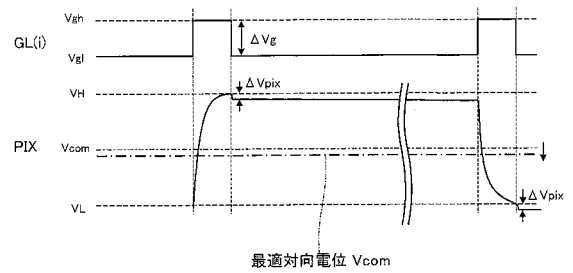
【図 15】



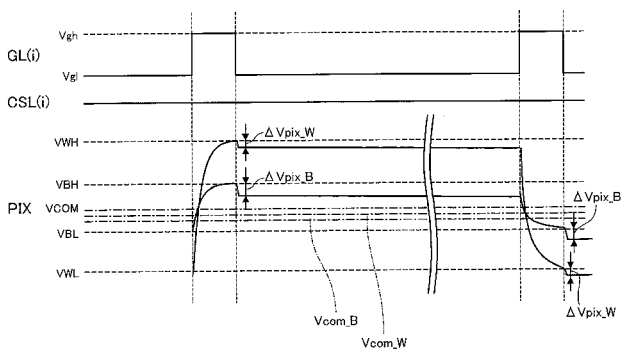
【図 16】



【図 17】



【図 18】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/058918

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G02F1/1368, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-229532 A (Toshiba Corp.), 16 August 2002 (16.08.2002), entire text; all drawings & US 2002/0075205 A1 & TW 548625 B & KR 10-2002-0059226 A	1-10
A	JP 5-216443 A (Toshiba Corp.), 27 August 1993 (27.08.1993), entire text; all drawings (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 June, 2010 (11.06.10)Date of mailing of the international search report
22 June, 2010 (22.06.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告		国際出願番号 PCT/JP2010/058918									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/36, G02F1/133, G02F1/1368, G09G3/20											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2002-229532 A（株式会社東芝）2002.08.16, 全文、全図 & US 2002/0075205 A1 & TW 548625 B & KR 10-2002-0059226 A	1-10									
A	JP 5-216443 A（株式会社東芝）1993.08.27, 全文、全図（ファミリーなし）	1-10									
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
<table border="0"> <tr> <td> * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td> の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 11.06.2010		国際調査報告の発送日 22.06.2010									
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 鳥居 祐樹	2G 4070 電話番号 03-3581-1101 内線 3226								

フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 3 D
 G 0 9 G 3/20 6 2 2 D
 G 0 9 G 3/20 6 2 4 E
 G 0 2 F 1/1368
 G 0 2 F 1/133 5 5 0

(81) 指定国 AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72) 発明者 佐々木 寧

日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72) 発明者 業天 誠二郎

日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72) 発明者 西 修司

日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム (参考) 2H092 JA24 JB42 JB69 NA01 NA26 PA06

2H193 ZA04 ZA07 ZA19 ZB02 ZB03 ZB07 ZB14 ZB16 ZB18 ZC16

ZC25 ZD30 ZE21 ZF21 ZF31

5C006 AA21 AC24 AC25 AF69 BA11 BB16 BC06 FA23 FA37 FA47

FA56

5C080 AA10 BB05 CC03 DD06 DD26 EE29 EE30 FF07 FF11 JJ02

JJ03 JJ04 JJ05

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JPWO2011033827A1	公开(公告)日	2013-02-07
申请号	JP2011531827	申请日	2010-05-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	横山真 古田成 村上祐一郎 佐々木寧 業天誠二郎 西修司		
发明人	横山 真 古田 成 村上 祐一郎 佐々木 寧 業天 誠二郎 西 修司		
IPC分类号	G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
CPC分类号	G09G3/3648 G02F1/13624 G09G2300/043 G09G2300/0819 G09G2300/0852 G09G2300/0876 G09G2310/063 G09G2310/08 G09G2320/0219 G09G2320/0247 G09G2340/0428		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.624.D G09G3/20.611.E G09G3/20.611.A G09G3/20.623.D G09G3/20.622.D G09G3/20.624.E G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/JA24 2H092/JB42 2H092/JB69 2H092/NA01 2H092/NA26 2H092/PA06 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZB02 2H193/ZB03 2H193/ZB07 2H193/ZB14 2H193/ZB16 2H193/ZB18 2H193/ZC16 2H193/ZC25 2H193/ZD30 2H193/ZE21 2H193/ZF21 2H193/ZF31 5C006/AA21 5C006/AC24 5C006/AC25 5C006/AF69 5C006/BA11 5C006/BB16 5C006/BC06 5C006/FA23 5C006/FA37 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
优先权	2009215065 2009-09-16 JP		
其他公开文献	JP5301673B2		
外部链接	Espacenet		

摘要(译)

在存储型液晶显示装置中，在数据保持期间（ T_2 ）中，在同时激活栅极线（ $GL(i)$ ）（期间 t_4 ，期间 t_{10} ）的同时，改变CS线（ $CSL(i)$ ）。直到要提供的辅助电容布线信号（CS）的电位一次降低（ ΔV_{cs} ），并且同时关闭每个栅极线（ $GL(i)$ ），直到激活刷新输出控制线（ $RC(i)$ ）为止。在（时段 t_5 ，时段 t_{11} ）中，辅助电容器布线信号（CS）的电势返回到原始电势。因此，在存储型液晶显示装置中，通过减少闪烁来提高显示质量。

