

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6552861号
(P6552861)

(45) 発行日 令和1年7月31日 (2019.7.31)

(24) 登録日 令和1年7月12日 (2019.7.12)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 G02F 1/133 (2006.01)
 G02F 1/1368 (2006.01)

G09G 3/36
 G09G 3/20 611E
 G09G 3/20 621E
 G09G 3/20 622C
 G09G 3/20 622D

請求項の数 8 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2015-76250 (P2015-76250)
 (22) 出願日 平成27年4月2日 (2015.4.2)
 (65) 公開番号 特開2016-197148 (P2016-197148A)
 (43) 公開日 平成28年11月24日 (2016.11.24)
 審査請求日 平成30年2月22日 (2018.2.22)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府堺市堺区匠町1番地
 (74) 代理人 110000338
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
 (72) 発明者 大橋 衛
 大阪府大阪市阿倍野区長池町2番22号
 シャープ株式会社内

審査官 斎藤 厚志

最終頁に続く

(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動方法、テレビジョン受像機

(57) 【特許請求の範囲】

【請求項1】

第1および第2画素電極を含む画素と、第1画素電極と容量を形成する第1容量配線と、第2画素電極と容量を形成する第2容量配線と、第1トランジスタを介して第1画素電極に接続し、かつ第2トランジスタを介して第2画素電極に接続する走査信号線とを備え、

第1および第2容量配線それぞれに、第1および第2電位が交互に供給され、
 一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第1タイミングと、電位が下降して最小レベルに至る第2タイミングと、第1および第2タイミング間において、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間とが設けられ、

上記第1タイミングおよび第2タイミング間である第1選択期間中は、第1容量配線に第1電位が供給されるとともに、第2容量配線に第2電位が供給され、

上記第2タイミングの後に、第1容量配線への供給電位が第1電位から第2電位に切り替えられ、

上記第2タイミングの後に、第2容量配線への供給電位が第2電位から第1電位に切り替えられる液晶表示装置。

【請求項2】

上記谷期間において上記走査信号線の電位が最大レベルからスロープ状に下降する請求項1記載の液晶表示装置。

【請求項 3】

上記谷期間において上記走査信号線の電位が一旦最大レベルから最小レベルまで下降する請求項 1 記載の液晶表示装置。

【請求項 4】

上記第 1 および第 2 トランジスタに接続するデータ信号線を備え、

第 1 選択期間内の書き込み期間に、上記データ信号線から第 1 および第 2 画素電極に第 1 極性の信号電位が書き込まれる請求項 1 記載の液晶表示装置。

【請求項 5】

上記第 1 選択期間においては上記谷期間が上記書き込み期間の前に設けられている請求項 4 記載の液晶表示装置。

10

【請求項 6】

上記第 1 選択期間の次の第 2 選択期間に、第 1 容量配線に第 2 電位が供給されるとともに、第 2 容量配線に第 1 電位が供給され、第 2 選択期間内の書き込み期間に、上記データ信号線から第 1 および第 2 画素電極に第 1 極性の信号電位が書き込まれ、

上記第 2 選択期間の次の第 3 選択期間に、第 1 容量配線に第 2 電位が供給されるとともに、第 2 容量配線に第 1 電位が供給され、第 3 選択期間内の書き込み期間に、上記データ信号線から第 1 および第 2 画素電極に第 2 極性の信号電位が書き込まれ、

上記第 3 選択期間の次の第 4 選択期間に、第 1 容量配線に第 1 電位が供給されるとともに、第 2 容量配線に第 2 電位が供給され、第 4 選択期間内の書き込み期間に、上記データ信号線から第 1 および第 2 画素電極に第 2 極性の信号電位が書き込まれる請求項 4 記載の液晶表示装置。

20

【請求項 7】

第 1 および第 2 画素電極を含む画素と、第 1 画素電極と容量を形成する第 1 容量配線と、第 2 画素電極と容量を形成する第 2 容量配線と、第 1 トランジスタを介して第 1 画素電極に接続し、かつ第 2 トランジスタを介して第 2 画素電極に接続する走査信号線とを備えた液晶表示装置の駆動方法であって、

第 1 および第 2 容量配線それぞれに、第 1 および第 2 電位を交互に供給し、

一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第 1 タイミングと、電位が下降して最小レベルに至る第 2 タイミングと、第 1 および第 2 タイミング間にあって、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間とを設け、

30

上記第 1 および第 2 タイミング間である第 1 選択期間中は、第 1 容量配線に第 1 電位を供給するとともに、第 2 容量配線に第 2 電位を供給し、

上記第 2 タイミングの後に、上記第 1 容量配線への供給電位を第 1 電位から第 2 電位に切り替え、

上記第 2 タイミングの後に、上記第 2 容量配線への供給電位を第 2 電位から第 1 電位に切り替える液晶表示装置の駆動方法。

【請求項 8】

請求項 1 ～ 6 のいずれか 1 項に記載の液晶表示装置と、チューナとを備えるテレビジョン受像機。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置、液晶表示装置の駆動方法、テレビジョン受像機に関する。

【背景技術】

【0002】

特許文献 1 には、1 画素に設けた第 1 画素電極および第 2 画素電極それぞれを、別々のトランジスタを介して同一データ信号線および同一走査信号線に接続するとともに、第 1 画素電極と容量を形成する容量配線と、第 2 画素電極を容量を形成する容量配線とに異なる

50

容量信号を供給することで、1画素内に明サブ画素と暗サブ画素とを形成する駆動方法が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】日本国公開特許公報2004-62146（公開日：2004年2月26日）

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

前記駆動方法においては、走査信号線がアクティブ状態から非アクティブ状態になるタイミングで容量信号にリップルが発生し、これによって、明サブ画素と暗サブ画素とが適正に形成されない現象が起こりうることが見いだされた。本発明の目的の1つは、このような現象を抑えて表示品位を高めることにある。

【課題を解決するための手段】

【0005】

本液晶表示装置は、第1および第2画素電極を含む画素と、第1画素電極と容量を形成する第1容量配線と、第2画素電極と容量を形成する第2容量配線と、第1トランジスタを介して第1画素電極に接続し、かつ第2トランジスタを介して第2画素電極に接続する走査信号線とを備え、第1および第2容量配線それぞれに、第1および第2電位が交互に供給され、一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第1タイミングと、電位が下降して最小レベルに至る第2タイミングと、第1および第2タイミング間において、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間とが設けられていることを特徴とする。

20

【発明の効果】

【0006】

前記構成によれば、谷期間における電位降下および電位上昇が寄与して第1および第2容量配線それぞれに生じるリップルが抑制される。これにより、明サブ画素と暗サブ画素とを適正に形成することができる。

【図面の簡単な説明】

30

【0007】

【図1】本液晶表示装置の概略構成を示す模式図である。

【図2】実施の形態1の液晶パネルの構成を示す回路図である。

【図3】(a)～(c)は、実施の形態1の本液晶表示装置の駆動方法を示す模式図である。

【図4】実施の形態1の液晶表示装置の駆動方法を示すタイミングチャートである。

【図5】本液晶表示装置の具体的構成を示す模式図である。

【図6】実施の形態2の液晶表示装置の駆動方法を示すタイミングチャートである。

【図7】実施の形態3の液晶表示装置の駆動方法を示すタイミングチャートである。

【図8】実施の形態3の液晶表示装置の別駆動方法を示すタイミングチャートである。

40

【図9】実施の形態4の液晶表示装置の駆動方法を示すタイミングチャートである。

【図10】(a)～(c)は、実施の形態5の本液晶表示装置の駆動方法を示す模式図である。

【図11】(a)(b)は、実施の形態6の液晶TVの構成を示す模式図である。

【図12】参考例である液晶表示装置の駆動方法を示すタイミングチャートである。

【発明を実施するための形態】

【0008】

本発明の実施の形態を図1～図12に基づいて以下に説明する。

【0009】

図1は、本液晶表示装置の構成を示す模式図である。図1に示すように、液晶表示装置

50

2 は、液晶パネル 3 と、バックライト 4 と、液晶パネル 3 の複数の走査信号線（例えば、走査信号線 GL_j ）を駆動するゲートドライバ 6 と、液晶パネル 3 の複数のデータ信号線（例えば、データ信号線 $DL_1 \cdot DL_2$ ）を駆動するソースドライバ 7 と、液晶パネル 3 の複数の容量配線（例えば、容量配線 $CL_i \cdot CL_j$ ）を駆動する CS ドライバ 8 と、ゲートドライバ 6 およびソースドライバ 7 並びに CS ドライバ 8 を制御する表示制御回路 10 とを備える。液晶パネル 3 には、 j 番目の走査信号線 GL_j およびデータ信号線 DL の交差部分に画素 PX_j が形成されている。

【0010】

〔実施の形態 1〕

図 2 は、図 1 の液晶パネル 3 の構成を示す回路図である。図 2 に示すように、画素 PX_j は、第 1 画素電極 PE_1 および第 2 画素電極 PE_2 を含み、第 1 画素電極 PE_1 および共通電極 COM （対向電極）並びにこれらで挟まれた液晶層によってサブ画素 SP_1 が形成され、第 2 画素電極 PE_2 および共通電極 COM （対向電極）並びにこれらで挟まれた液晶層によってサブ画素 SP_2 が形成される。

10

【0011】

第 1 画素電極 PE_1 は、トランジスタ TR_1 を介してデータ信号線 DL_1 および走査信号線 GL_j に接続され、第 1 画素電極 PE_1 と容量配線 CL_i との間には補助容量 C_1 が形成されている。同様に、第 2 画素電極 PE_2 は、トランジスタ TR_2 を介してデータ信号線 DL_1 および走査信号線 GL_j に接続され、第 2 画素電極 PE_2 と容量配線 CL_j との間には補助容量 C_2 が形成されている。

20

【0012】

また、画素 PX_k は、第 3 画素電極 PE_3 および第 4 画素電極 PE_4 を含み、第 3 画素電極 PE_3 および共通電極 COM （対向電極）並びにこれらで挟まれた液晶層によってサブ画素 SP_3 が形成され、第 4 画素電極 PE_4 および共通電極 COM （対向電極）並びにこれらで挟まれた液晶層によってサブ画素 SP_4 が形成される。

【0013】

第 3 画素電極 PE_3 は、トランジスタ TR_3 を介して、データ信号線 DL_1 に隣接するデータ信号線 DL_2 および走査信号線 GL_k に接続され、第 3 画素電極 PE_3 と容量配線 CL_j との間には補助容量 C_3 が形成されている。同様に、第 4 画素電極 PE_4 は、トランジスタ TR_4 を介してデータ信号線 DL_2 および走査信号線 GL_k に接続され、第 4 画素電極 PE_4 と容量配線 CL_k との間には補助容量 C_4 が形成されている。

30

【0014】

なお、CS ドライバ 8 には 12 本の幹配線（幹配線 $M_1 \cdot M_2$ を含む）が設けられており、容量配線 CL_i は CS 幹配線 M_1 に接続され、容量配線 CL_j は CS 幹配線 M_2 に接続され、容量配線 CL_k は CS 幹配線 M_3 に接続されている。

【0015】

以上のように、液晶表示装置 2 は、1 画素列に 2 本のデータ信号線を配したダブルソース構造であり、走査信号線は 2 本ずつ（例えば、走査信号線 GL_j と走査信号線 $16GL_k$ ）同時選択され、画素 PX_j および画素 PX_k の 4 つの画素電極（第 1～第 4 画素電極 $PE_1 \sim PE_4$ ）に同時にデータ信号が書き込まれる。なお、以下では、主として画素 PX_j と、画素 PX_j に接続される走査信号線 GL_j およびデータ信号線 DL_1 と、画素 PX_j （サブ画素 $SP_1 \cdot SP_2$ ）と容量を形成する容量配線 $CL_i \cdot CL_j$ について説明していく。

40

【0016】

図 3 (a)・(b) は、本実施の形態の液晶表示装置の駆動方法を示すタイミングチャートである。走査信号線を 2 本ずつ順次走査するゲートドライバ 6 は、例えば、走査信号線 GL_j にゲートパルス GP_j を供給することでこれを選択する。ソースドライバ 7 は、データ信号線 DL_1 にデータ信号 DS を供給する。CS ドライバ 8 は、CS 幹配線 M_1 を介して容量配線 CL_i に第 1 容量信号 CS_i を供給するとともに、CS 幹配線 M_2 を介して容量配線 CL_j に第 2 容量信号 CS_j を供給する。

50

【 0 0 1 7 】

図 3 (a) ・ (b) に示すように、第 1 容量信号 $C S i$ および第 2 容量信号 $C S j$ はともに、第 1 電位 (以下、適宜「 $L o w$ 」と記載) と第 1 電位よりも高い第 2 電位 (以下、適宜「 $H i g h$ 」と記載) とが交互に入れ替わる信号であり、互いに位相が半周期分ずれた反転関係にある。

【 0 0 1 8 】

図 3 (c) に示すように、ゲートパルス $G P j$ は、谷期間 $U 1$ を挟んで並ぶ 2 つのサブパルス $A 1 \cdot B 1$ からなる。すなわち、各垂直走査期間には、走査信号線 $G L j$ について、電位が上昇して最大レベル ($H i g h$) へ至る第 1 タイミング $T 1$ と、電位が下降して最小レベル ($L o w$) に至る第 2 タイミング $T 2$ と、第 1 タイミング $T 1$ および第 2 タイミング $T 2$ 間にあって、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間 $U 1$ とが設けられている。なお、走査信号線 $G L j$ は、その電位が最小レベル以上閾値レベル未満の時に非アクティブ状態、その電位が前記閾値レベル以上最大レベル以下のときにアクティブ状態となる。ここでは、走査信号線 $G L j$ にゲートパルス $G P j$ が供給される選択期間のうち、サブパルス $A 1$ に対応する期間に、データ信号線 $D L 1$ から第 1 および第 2 画素電極 $P E 1 \cdot P E 2$ にプリチャージが行われ、サブパルス $B 1$ に対応する期間 (書き込み期間) に、データ信号線 $D L 1$ から第 1 および第 2 画素電極 $P E 1 \cdot P E 2$ にデータ信号が書き込まれる (本チャージ) 。

【 0 0 1 9 】

図 3 (a) に示すように、第 1 垂直走査期間内の選択期間 (第 1 選択期間) に第 1 容量信号 $C S i$ が $L o w$ 、第 2 容量信号 $C S j$ が $H i g h$ となっており、この選択期間で第 1 および第 2 画素電極 $P E 1 \cdot P E 2$ にプラス極性のデータ信号が書き込まれた後に、第 1 容量信号 $C S i$ が $H i g h$ に、第 2 容量信号 $C S j$ が $L o w$ に反転する。

【 0 0 2 0 】

第 1 および第 2 容量信号 $C S i \cdot C S j$ は、第 1 垂直走査期間内の選択期間から第 2 垂直走査期間内の選択期間までの 1 フレーム期間 $F P$ の実効電位が、第 1 電位 ($L o w$) および第 2 電位 ($H i g h$) の中間値である第 3 電位 (例えば、共通電極 $C O M$ の電位である共通電位 $V c o m$) である。

【 0 0 2 1 】

このように、1 フレーム期間 $F P$ の第 1 容量信号 $C S i$ の実効値が第 3 電位であり、第 1 垂直走査期間の選択期間終了時 (トランジスタ $T R 1$ の $O F F$ 時) の第 1 容量信号 $C S i$ が $L o w$ (第 1 電位) であるため、第 1 画素電極 $P E 1$ (容量配線 $C L 1$ と容量 $C 1$ を形成) の実効値は、第 1 垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位 (プラス) から引き上げられる。これにより、第 1 画素電極 $P E 1$ を含むサブ画素 $S P 1$ は、データ信号の想定よりも明るい明サブ画素となる。

【 0 0 2 2 】

また、1 フレーム期間 $F P$ の第 1 容量信号 $C S j$ の実効値が第 3 電位であり、第 1 垂直走査期間の選択期間終了時 (トランジスタ $T R 2$ の $O F F$ 時) の第 2 容量信号 $C S j$ が $H i g h$ (第 2 電位) であるため、第 2 画素電極 $P E 2$ (容量配線 $C L 2$ と容量 $C 2$ を形成) の 1 フレーム期間 $F P$ の実効値は、第 1 垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位 (プラス) から引き下げられる。これにより、第 2 画素電極 $P E 2$ を含むサブ画素 $S P 2$ は、データ信号の想定よりも暗い暗サブ画素となる。

【 0 0 2 3 】

図 3 (a) に示すように、第 2 垂直走査期間内の選択期間 (第 2 選択期間) に第 1 容量信号 $C S i$ が $H i g h$ 、第 2 容量信号 $C S j$ が $L o w$ となっており、この選択期間で第 1 および第 2 画素電極 $P E 1 \cdot P E 2$ にプラス極性のデータ信号が書き込まれた後に、第 1 容量信号 $C S i$ が $L o w$ に、第 2 容量信号 $C S j$ が $H i g h$ に反転する。

【 0 0 2 4 】

第 1 および第 2 容量信号 $C S i \cdot C S j$ は、第 2 垂直走査期間内の選択期間から第 3 垂直走査期間内の選択期間までの 1 フレーム期間の実効電位が、第 1 電位 ($L o w$) および

10

20

30

40

50

第2電位(High)の中間値である第3電位(例えば、共通電位Vcom)である。

【0025】

このように、1フレーム期間の第1容量信号CSiの実効値が第3電位であり、第2垂直走査期間の選択期間終了時(トランジスタTR1のOFF時)の第1容量信号CSiがHigh(第2電位)であるため、第1画素電極PE1(容量配線CL1と容量C1を形成)の実効値は、第2垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位(プラス)から引き下げられる。これにより、第1画素電極PE1を含むサブ画素SP1は、データ信号の想定よりも暗い暗サブ画素となる。

【0026】

また、1フレーム期間の第1容量信号CSjの実効値が第3電位であり、第2垂直走査期間の選択期間終了時(トランジスタTR2のOFF時)の第2容量信号CSjがLow(第1電位)であるため、第2画素電極PE2(容量配線CL2と容量C2を形成)の1フレーム期間の実効値は、第2垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位(プラス)から引き上げられる。これにより、第2画素電極PE2を含むサブ画素SP2は、データ信号の想定よりも明るい明サブ画素となる。

10

【0027】

図3(b)に示すように、第3垂直走査期間内の選択期間(第3選択期間)に第1容量信号CSiがHigh、第2容量信号CSjがLowとなっており、この選択期間で第1および第2画素電極PE1・PE2にマイナス極性のデータ信号が書き込まれた後に、第1容量信号CSiがLowに、第2容量信号CSjがHighに反転する。

20

【0028】

第1および第2容量信号CSi・CSjは、第3垂直走査期間内の選択期間から第4垂直走査期間内の選択期間までの1フレーム期間の実効電位が、第3電位(例えば、共通電位Vcom)である。

【0029】

このように、1フレーム期間の第1容量信号CSiの実効値が第3電位であり、第3垂直走査期間の選択期間終了時(トランジスタTR1のOFF時)の第1容量信号CSiがHigh(第2電位)であるため、第1画素電極PE1(容量配線CL1と容量C1を形成)の実効値は、第3垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位(マイナス)から引き下げられる。これにより、第1画素電極PE1を含むサブ画素SP1は、データ信号の想定よりも明るい明サブ画素となる。

30

【0030】

また、1フレーム期間の第1容量信号CSjの実効値が第3電位であり、第3垂直走査期間の選択期間終了時(トランジスタTR2のOFF時)の第2容量信号CSjがLow(第1電位)であるため、第2画素電極PE2(容量配線CL2と容量C2を形成)の1フレーム期間の実効値は、第3垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位(マイナス)から引き上げられる。これにより、第2画素電極PE2を含むサブ画素SP2は、データ信号の想定よりも暗い暗サブ画素となる。

【0031】

図3(b)に示すように、第4垂直走査期間内の選択期間(第4選択期間)に第1容量信号CSiがLow、第2容量信号CSjがHighとなっており、この選択期間で第1および第2画素電極PE1・PE2にマイナス極性のデータ信号が書き込まれた後に、第1容量信号CSiがHighに、第2容量信号CSjがLowに反転する。

40

【0032】

第1および第2容量信号CSi・CSjは、第4垂直走査期間内の選択期間から次の垂直走査期間内の選択期間までの1フレーム期間の実効電位が、第3電位(例えば、共通電極COMの電位である共通電位Vcom)である。

【0033】

このように、1フレーム期間FPの第1容量信号CSiの実効値が第3電位であり、第4垂直走査期間の選択期間終了時(トランジスタTR1のOFF時)の第1容量信号CS

50

i が Low (第1電位)であるため、第1画素電極 P E 1 (容量配線 C L 1 と容量 C 1 を形成)の実効値は、第4垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位 (マイナス)から引き上げられる。これにより、第1画素電極 P E 1 を含むサブ画素 S P 1 は、データ信号の想定よりも暗い暗サブ画素となる。

【0034】

また、1フレーム期間 F P の第1容量信号 C S j の実効値が第3電位であり、第4垂直走査期間の選択期間終了時 (トランジスタ T R 2 の O F F 時) の第2容量信号 C S j が High (第2電位)であるため、第2画素電極 P E 2 (容量配線 C L 2 と容量 C 2 を形成)の1フレーム期間 F P の実効値は、第4垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位 (マイナス)から引き下げられる。これにより、第2画素電極 P E 2 を含むサブ画素 S P 2 は、データ信号の想定よりも明るい明サブ画素となる。

10

【0035】

このように、1画素 (P X j) 内に、明サブ画素および暗サブ画素を形成することで、視野角特性を高めることができる。さらに、1画素 (P X j) 内の明サブ画素および暗サブ画素の位置 (垂直方向、上下方向) を1垂直走査期間ごとに入れ替えることで、垂直方向の見かけの解像度を2倍に高めることができる。

【0036】

ここで、一般的なひとやまのゲートパルスを用いた参考例を図12を用いて説明する。この参考例では、図12(c)・(d)に示すように、例えばゲートパルスの立ち下がり時に容量信号に大きなリップルが生じ、これによって、ゲートパルス立ち下がり時の容量信号の電位が沈んでしまう。このため、図12(c)のように容量信号がマイナス側に反転する場合は、画素電極の電位の突き下げが足りず、図12(d)のように容量信号がプラス側に反転する場合は、画素電極の電位の突き上げが過剰になってしまう。

20

【0037】

このため、図12(a)に示すように、データ信号の極性がプラスである第1および第2垂直走査期間では、第1サブ画素 S P 1 および第2サブ画素 S P 2 がともに明方向にシフトし、図12(b)に示すように、データ信号の極性がマイナスである第3および第4垂直走査期間では第1サブ画素 S P 1 および第2サブ画素 S P 2 がともに暗方向にシフトする。ここで、駆動周波数を120Hzとすると、2垂直走査期間ごとに(60Hzで)画面が明暗に振れることになり、フリッカとして視認される。

30

【0038】

一方、本液晶表示装置2では、図3(c)に示すように、ゲートパルス G P j は、谷期間 U 1 を挟んで並ぶ2つのサブパルス A 1 ・ B 1 からなるため、谷期間 U 1 におけるサブパルス A 1 の立ち下げとサブパルス B 1 の立ち上げとが寄与して第1および第2容量信号 C S i ・ C S j のリップルが抑制され、これら容量信号の波形を適正に維持することができる。これにより、図3(a)・(b)のように各垂直走査期間において明サブ画素および暗サブ画素の輝度を適正に設定することができ、図12のような参考例で生じるフリッカを抑制することができる。

【0039】

図4は、液晶表示装置2の駆動例を示すタイミングチャートである。図4に示すように、ゲートクロック信号 G C K とゲートイネイブル信号 G O E を用いて、走査信号線 G L j に供給する走査信号 G S j (図3のゲートパルス G P j を含む)を形成することができる。

40

【0040】

まずは、G C K の High 期間を 3.2 [us]、G C K の Low 期間を 4.2 [us]、G O E の High 期間を 4.2 [us]、G O E の Low 期間を 3.2 [us] とし、G C K および G O E の立ち下がりタイミングを同期させておく。

【0041】

そして、サブパルス A 1 の立ち上がりを、G C K のパルス X 1 および G O E のパルス Y 1 の同時立ち下がり同期させ、サブパルス A 1 の立ち下がり、G O E のパルス Y 2 の

50

立ち上がりに同期させ、G O E のパルス Y 2 の立ち上がりタイミングと G O E のパルス Y 2 の立ち下がりタイミングとの間を谷期間 U 1 とし、サブパルス B 1 の立ち上がりを、G C K のパルス X 2 および G O E のパルス Y 2 の同時立ち下がりに同期させ、サブパルス B 1 の立ち下がり、G C K のパルス X 3 の立ち上がりに同期させる。なお、パルス X 1 ~ X 3 は連続する 3 つのパルスであり、パルス Y 1 ~ Y 3 は連続する 3 つのパルスである。

【 0 0 4 2 】

また、ラッチパルス L P i はパルス X 1 のアクティブ期間内に配され、ラッチパルス L P j はパルス X 2 のアクティブ期間内に配され、ラッチパルス L P k はパルス X 3 のアクティブ期間内に配され、ラッチパルス L P i およびラッチパルス L P j 間に走査信号線 G L i に対応するデータ信号が出力され、ラッチパルス L P j およびラッチパルス L P k 間に走査信号線 G L j に対応するデータ信号が出力される。すなわち、画素 P X j は、サブパルス A 1 のアクティブ期間にプリチャージされ、サブパルス B 1 のアクティブ期間に本チャージされる。

10

【 0 0 4 3 】

また、第 1 容量信号 C S i は、G C K のパルス X 3 の中程で第 1 電位 (L o w) から第 2 電位 (H i g h) に反転し、第 1 容量信号 C S j は、G C K のパルス X 3 の中程で第 2 電位 (H i g h) から第 1 電位 (L o w) に反転する。

【 0 0 4 4 】

液晶表示装置 2 では走査信号線の 2 本同時選択が行われるため、ゲートパルス G P j およびゲートパルス G P k は全体が時間的に重なり、ゲートパルス G P j のサブパルス A 1 は、直前に選択される走査信号線へのゲートパルス G P i のサブパルス B 1 と時間的に重なっている。

20

【 0 0 4 5 】

図 5 は本液晶表示装置 2 における各種信号および供給電位の流れを示すブロック図である。図 5 に示すように、図 1 の表示制御回路 1 0 に設けられるタイミングコントローラ 1 1 は、ゲートスタートパルス信号 (G S P)、ゲートクロック信号 (G C K)、ゲートオンイネイブル信号 (G O E) をゲートドライバ 6 に出力し、表示データ D A T (例えば L V D S 信号) およびラッチストロブ信号 L S をソースドライバ 7 に供給する。また、ソースドライバ 7 には、階調電位 (V H 2 5 5 、 V H 1 2 8 、 V H 6 4 等) が入力される。

【 0 0 4 6 】

30

C S ドライバ 8 には、C S レベルシフタ 1 3、D A 変換回路 1 4、および C S 幹配線 M 1 ~ M 1 2 が含まれる。タイミングコントローラ 1 1 は、C S 駆動の O N / O F F を制御するフラグ信号 (C S - E N) および C S タイミング信号 (C S A ~ C S L) を C S レベルシフタ 1 3 に出力する。C S レベルシフタ 1 3 には、低電位側の V C C 電位 (例えば、3 . 3 V) および高電位側の V L S 電位 (例えば、1 5 . 6 V) 並びに共通電極電位 V c o m が供給され、D A 変換回路 1 4 には、低電位側の V C C 電位 (例えば、3 . 3 V) および高電位側の V L S 電位 (例えば、1 5 . 6 V) が供給される。

【 0 0 4 7 】

D A 変換回路 1 4 は、V C C 電位および V L S 電位から V C S X 電位、V C S Y 電位、V C S y 電位、および V C S x 電位を作成し、これらを C S レベルシフタ 1 3 に供給する。

40

【 0 0 4 8 】

C S レベルシフタ 1 3 は、C S タイミング信号 (C S A ~ C S L) に従い、V C S X 電位、V C S Y 電位、V C S y 電位、および V C S x 電位を用いて容量信号 C S 1 ~ 1 2 を生成し、これらを C S 幹配線 M 1 ~ M 1 2 を介して各容量配線に出力する。

【 0 0 4 9 】

〔 実施の形態 2 〕

図 6 (a) は、図 4 のゲートパルス G P j (サブパルス A 1 およびサブパルス B 1) を示しており、A 1 の長さ < B 1 の長さである。ここで、図 4 における第 1 タイミング T 1 および第 2 タイミング T 2 間の幅を W とし、図 6 (a) のゲートパルス G P j を以下の

50

ように設定することもできる。すなわち、(b)のように、サブパルスA1を伸ばしてサブパルスA2とし、谷期間U1を短縮して谷期間U2としてもよい(A2の長さ<B1の長さ)。また、(c)のように、サブパルスA1を伸ばしてサブパルスA2とし、谷期間U1を短縮して谷期間U2とし、サブパルスB1を伸ばしてサブパルスB2とともよい(A2の長さ<B2の長さ)。また、(d)のように、サブパルスを3つとし、谷期間を2つ設けてもよい。具体的には、サブパルスA1を伸ばしてサブパルスA2とし、谷期間U1を短縮して谷期間U3とし、サブパルスB1を分割してサブパルスB4およびサブパルスB5とし、サブパルスB4とサブパルスB5との間隙を谷期間U4とすることもできる(B5の長さ<A2の長さ<B4の長さ、U3の長さ<U4の長さ)。

【0050】

10

〔実施の形態3〕

実施の形態1~2では、走査信号GSjのゲートパルスGPjを、間隔を空けた2つのサブパルスで構成しているがこれに限定されない。図7のように、ゲートパルスGPjを、ひとやまパルスの一部に切欠き形状の谷期間を設けた構成とすることもできる。

【0051】

すなわち、GCKのパルスX1の立ち下がりに同期してゲートパルスGPjを最大レベルに立ち上げ(第1タイミングT1)、GCKのパルスX2の立ち上がり前からスロープ状に一旦電位降下させた後にGCKのパルスX3の立ち上がりに同期して最大レベルに戻すことで谷期間U1を設け、GCKのパルスX3の立ち上がり前からスロープ状に電位降下させて、GCKのパルスX3の立ち上がりと同期して最小レベルとする。ここでは、谷期間U1での電位降下量を最大レベルおよび最小レベル間の電位差よりも小さくし、閾値レベル未満には落とさない(谷期間U1でも走査信号線GLjのアクティブ状態を維持する)ようにしている。

20

【0052】

また、第1容量信号CSiは、GCKのパルスX3の中程で第1電位(Low)から第2電位(High)に反転し、第1容量信号CSjは、GCKのパルスX3の中程で第2電位(High)から第1電位(Low)に反転する。

【0053】

また、ラッチパルスLPiはパルスX1のアクティブ期間内に配され、ラッチパルスLPjはパルスX2のアクティブ期間内に配され、ラッチパルスLPkはパルスX3のアクティブ期間内に配され、ラッチパルスLPiおよびラッチパルスLPj間に走査信号線GLiに対応するデータ信号が出力され、ラッチパルスLPjおよびラッチパルスLPk間に走査信号線GLjに対応するデータ信号が出力される。

30

【0054】

また、ゲートパルスGPjおよびゲートパルスGPkは全体が時間的に重なり、ゲートパルスGPjと、直前に選択される走査信号線へのゲートパルスGPiとは、GCKのパルスX1およびパルスX2の間隙の期間だけ重なっている。

【0055】

なお、図8に示すゲートパルスGPjのように、谷期間U1での電位降下量を最大レベルおよび最小レベル間の電位差と等しくする(谷期間U1で最小レベルまで電位降下させ、走査信号線GLjを一旦非アクティブ状態とする)こともできる。

40

【0056】

また、図8に示すように、ゲートパルスGPjと、直前に選択される走査信号線へのゲートパルスGPiとを時間的に重ねない構成も可能である。

【0057】

また、図7・図8では、ゲートパルス1つに1つの谷期間を設けているがこれに限定されない。ゲートパルス1つに対して切欠き状の谷期間を複数設けることもできる。

【0058】

〔実施の形態4〕

実施の形態1~3ではダブルソース構造を前提に説明しているが、これに限定されない

50

。図9のように、シングルソースの構造でも当然構わない。この場合、画素P X kは、第3画素電極P E 3および第4画素電極P E 4を含み、第3画素電極P E 3および共通電極C O M（対向電極）並びにこれらで挟まれた液晶層によってサブ画素S P 3が形成され、第4画素電極P E 4および共通電極C O M（対向電極）並びにこれらで挟まれた液晶層によってサブ画素S P 4が形成される。

【0059】

第3画素電極P E 3は、トランジスタT R 3を介して、データ信号線D L 1および走査信号線G L kに接続され、第3画素電極P E 3と容量配線C L jとの間には補助容量C 3が形成されている。同様に、第4画素電極P E 4は、トランジスタT R 4を介してデータ信号線D L 1および走査信号線G L kに接続され、第4画素電極P E 4と容量配線C L kとの間には補助容量C 4が形成されている。

10

【0060】

〔実施の形態5〕

図3で示した実施の形態1の駆動方法を図10のように変形することもできる。すなわち、図10(a)・(b)に示すように、第1および第2容量信号C S i・C S jそれぞれについて、1フレーム期間F P内に、第1電位と第2電位とが交互に入れ替わるスイング期間S Tと、第1および第2電位の中間値である第3電位V c o mが維持される非スイング期間N Tとを設ける。例えば、垂直走査期間に相当する1080H分をスイング期間S Tとし、垂直帰線期間に相当する、フレーム期間の末尾（例えば40H分）を、V c o mが維持される非スイング期間N Tとする。これにより、C Sドライバ8の駆動負荷が軽減され、表示品位を高めることができる。なお、第1および第2容量信号C S i・C S jそれぞれの周期が24Hで垂直帰線期間が40Hの場合、40Hの内の24Hをスイング期間S Tに付け足し（S T = 1104とする）、余った16Hを非スイング期間N Tとすることもできる。

20

【0061】

〔実施の形態6〕

図11(a)に示すように、実施の形態1～5の液晶表示装置2を、テレビジョン放送のチューナ装置20と組み合わせることで、例えば、図11(b)に示すような液晶テレビ30を構成することが可能である。

30

【0062】

〔まとめ〕

以上のように、本発明の第1態様にかかる液晶表示装置は、第1および第2画素電極を含む画素と、第1画素電極と容量を形成する第1容量配線と、第2画素電極と容量を形成する第2容量配線と、第1トランジスタを介して第1画素電極に接続し、かつ第2トランジスタを介して第2画素電極に接続する走査信号線とを備え、第1および第2容量配線それぞれに、第1および第2電位が交互に供給され、一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第1タイミングと、電位が下降して最小レベルに至る第2タイミングと、第1および第2タイミング間にあつて、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間とが設けられていることを特徴とする。

40

【0063】

前記構成によれば、谷期間における電位降下および電位上昇が寄与して第1および第2容量配線それぞれに生じるリップルが抑制される。これにより、1画素内に明サブ画素と暗サブ画素とを適正に形成することができる。

【0064】

本発明の第2態様にかかる液晶表示装置は、前記第1態様について、上記谷期間において上記電位が最大レベルからスロープ状に下降することを特徴とする。

【0065】

このように、谷期間において上記電位を最大レベルからスロープ状に下降させることで、容量信号の波形をより適正に維持することができる。

【0066】

50

本発明の第3態様にかかる液晶表示装置は、前記第1または2態様について、上記谷期間において上記電位が一旦最大レベルから最小レベルまで下降することを特徴とする。

【0067】

このように、谷期間において上記電位を一旦最大レベルから最小レベルまで下降させることで、谷期間における電位降下および電位上昇が効果的に寄与し、容量信号のリップルを大幅に抑制することができる。

【0068】

本発明の第4態様にかかる液晶表示装置は、前記第1～3態様のいずれかについて、上記第1および第2トランジスタに接続するデータ信号線を備え、上記第1および第2タイミング間である第1選択期間に、第1容量配線が第1電位であって、第2容量配線が第2電位であり、第1選択期間内の書き込み期間に、上記データ信号線から第1および第2画素電極に第1極性の信号電位が書き込まれることを特徴とする。

10

【0069】

前記構成によれば、1画素内に明サブ画素と暗サブ画素とを形成し、視野角特性を高めることができる。

【0070】

本発明の第5態様にかかる液晶表示装置は、前記第1～4態様のいずれかについて、上記第1選択期間においては上記谷期間が上記書き込み期間の前に設けられていることを特徴とする。

【0071】

20

前記構成によれば、谷期間を設けながら画素充電率を維持することができる。

【0072】

本発明の第6態様にかかる液晶表示装置は、前記第1～5態様のいずれかについて、上記第1選択期間の次の第2選択期間に、第1容量配線が第2電位であって、第2容量配線が第1電位であり、第2選択期間内の書き込み期間に、上記データ信号線から第1および第2画素電極に第1極性の信号電位が書き込まれ、上記第2選択期間の次の第3選択期間に、第1容量配線が第2電位であって、第2容量配線が第1電位であり、第3選択期間内の書き込み期間に、上記データ信号線から第1および第2画素電極に第2極性の信号電位が書き込まれ、上記第3選択期間の次の第4選択期間に、第1容量配線が第1電位であって、第2容量配線が第2電位であり、第4選択期間内の書き込み期間に、上記データ信号線から第1および第2画素電極に第2極性の信号電位が書き込まれることを特徴とする。

30

【0073】

前記構成によれば、1画素内において明サブ画素および暗サブ画素の位置を垂直走査期間ごとに入れ替えることができ、見かけの解像度を高めることができる。

【0074】

そして、前記のとおり、第1および第2容量配線それぞれに生じるリップルが抑制されるため、フリッカの低減された表示を実現することができる。

【0075】

本液晶表示装置の駆動方法は、第1および第2画素電極を含む画素と、第1画素電極と容量を形成する第1容量配線と、第2画素電極と容量を形成する第2容量配線と、第1トランジスタを介して第1画素電極に接続し、かつ第2トランジスタを介して第2画素電極に接続する走査信号線とを備えた液晶表示装置の駆動方法であって、第1および第2容量配線それぞれに、第1および第2電位を交互に供給し、一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第1タイミングと、電位が下降して最小レベルに至る第2タイミングと、第1および第2タイミング間であって、電位が最大レベルから一旦下降した後最大レベルに戻る谷期間とを設けることを特徴とする。

40

【0076】

前記構成によれば、谷期間における電位降下および電位上昇が寄与して第1および第2容量配線それぞれに生じるリップルが抑制される。これにより、1画素内に明サブ画素と暗サブ画素とを適正に形成することができる。

50

【 0 0 7 7 】

本テレビジョン受像機は、前記第 1 ～ 6 態様にかかるいずれかの液晶表示装置と、チューナとを備えることを特徴とする。

【 0 0 7 8 】

本発明は前記の実施の形態に限定されるものではなく、前記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

【産業上の利用可能性】

【 0 0 7 9 】

本液晶表示装置は、液晶テレビ、液晶モニタ、テレビモニタ等に好適である。

10

【符号の説明】

【 0 0 8 0 】

2 液晶表示装置

3 液晶パネル

4 バックライト

6 ソースドライバ

7 ゲートドライバ

8 CSドライバ

10 表示制御回路

30 液晶テレビ

20

PXj 画素

GLj 走査信号線

DL1・DL2 データ信号線

CLi CLj 容量配線

PE1 第1画素電極

PE2 第2画素電極

GPi・GPj ゲートパルス

U1～U3 谷期間

CSi 第1容量信号

CSj 第2容量信号

30

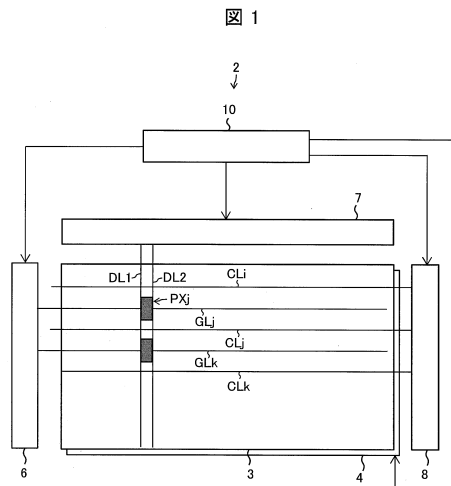
DS データ信号

ST スイング期間

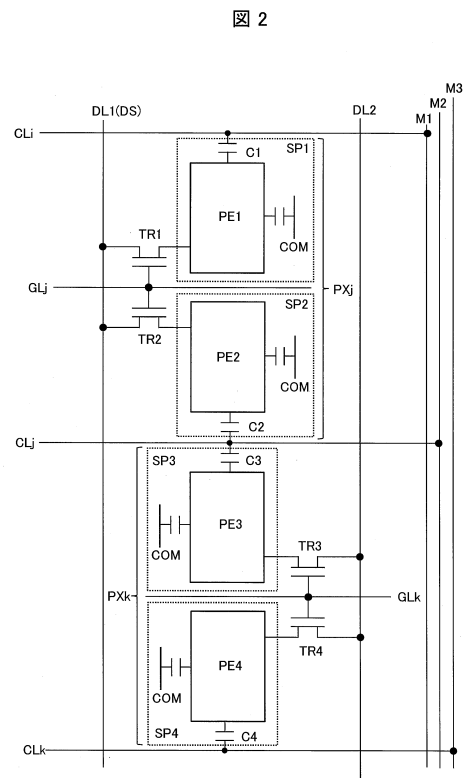
NT 非スイング期間

FP 1フレーム期間

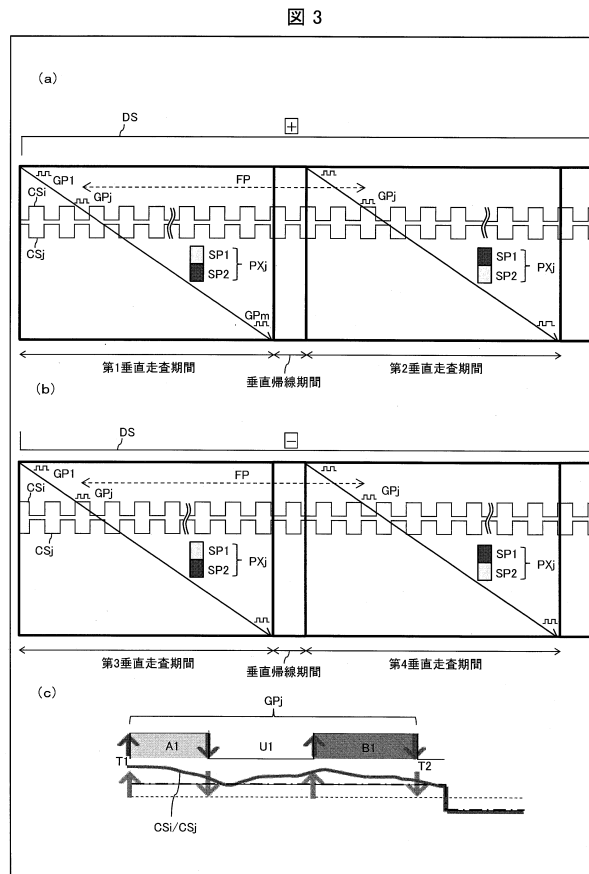
【図 1】



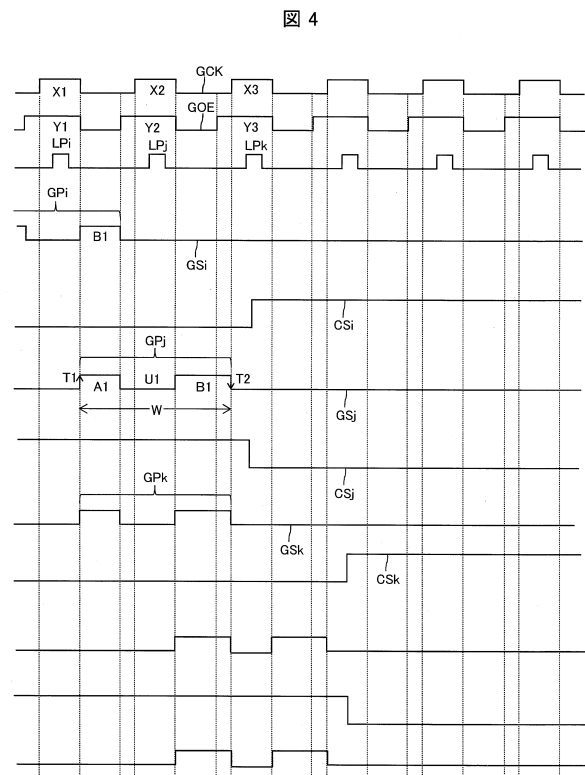
【図 2】



【図 3】

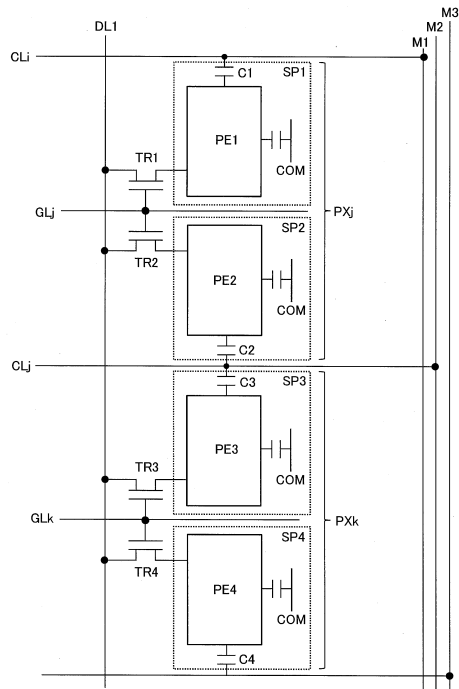


【図 4】



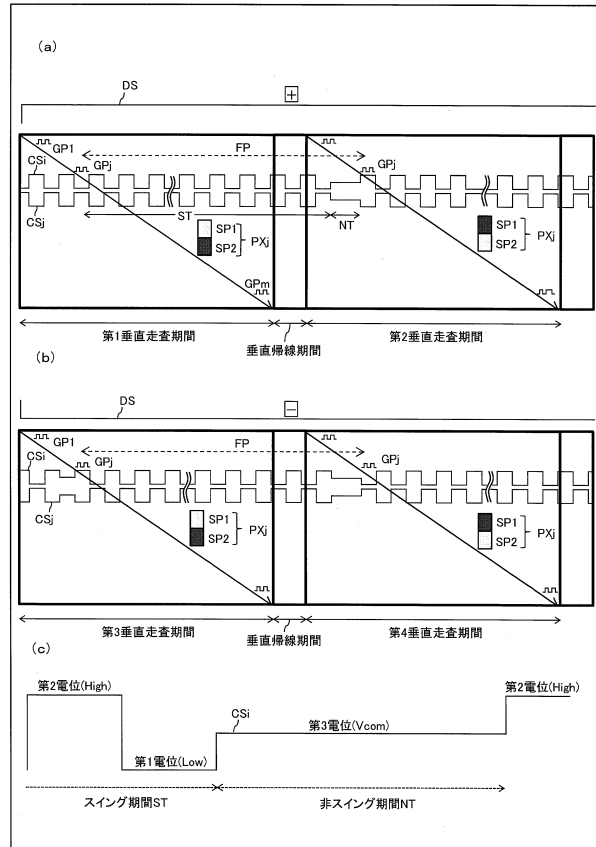
【図 9】

図 9



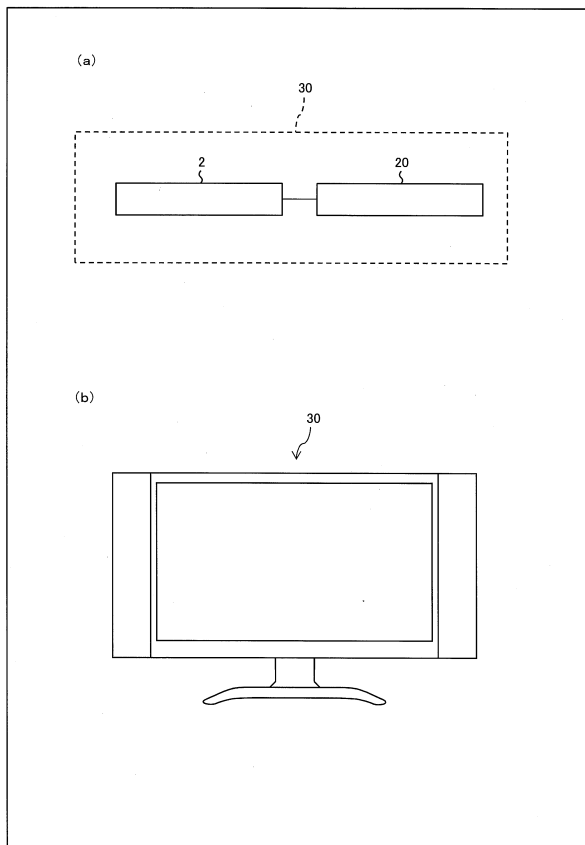
【図 10】

図 10



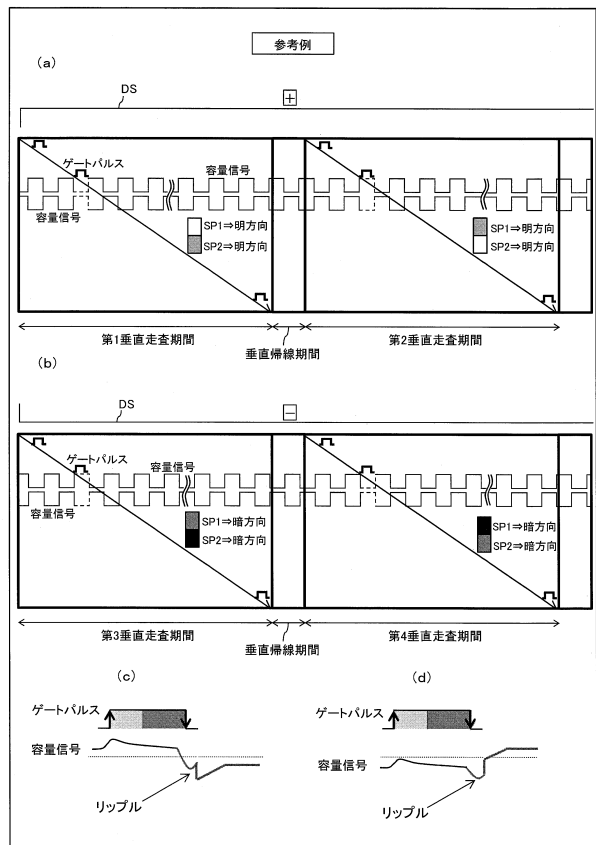
【図 11】

図 11



【図 12】

図 12



フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 4 E
G 0 2 F	1/133	5 5 0
G 0 2 F	1/1368	

(56)参考文献 国際公開第 2 0 1 4 / 0 6 9 5 2 9 (W O , A 1)
特開 2 0 0 6 - 2 3 4 8 9 5 (J P , A)
国際公開第 2 0 1 5 / 0 4 0 8 8 0 (W O , A 1)
米国特許出願公開第 2 0 1 3 / 0 0 4 4 0 9 6 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 3 6
G 0 2 F	1 / 1 3 3
G 0 2 F	1 / 1 3 6 8
G 0 9 G	3 / 2 0

专利名称(译)	液晶显示装置，驱动液晶显示装置的方法，电视接收机		
公开(公告)号	JP6552861B2	公开(公告)日	2019-07-31
申请号	JP2015076250	申请日	2015-04-02
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	大橋衛		
发明人	大橋 衛		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1368		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.621.E G09G3/20.622.C G09G3/20.622.D G09G3/20.622.G G09G3/20.624.D G09G3/20.624.E G02F1/133.550 G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/BC24 2H192/BC26 2H192/GD61 2H193/ZA07 2H193/ZB02 2H193/ZB14 2H193/ZC25 2H193/ZC35 2H193/ZD23 2H193/ZE06 5C006/AC11 5C006/AC24 5C006/AC25 5C006/BB16 5C006/BC02 5C006/BC06 5C006/EC02 5C006/FA23 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD07 5C080/FF10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43		
审查员(译)	齐藤敦		
其他公开文献	JP2016197148A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提高液晶显示器的显示质量。解决方案：提供一种液晶显示器，包括：像素，每个像素包括第一和第二像素电极;第一电容布线形成第一像素电极和电容;第二电容配线形成第二像素电极和电容;扫描信号线通过第一晶体管与第一像素电极连接，并通过第二晶体管与第二像素电极连接，其中电容信号分别提供给第一和第二电容配线;对于扫描信号线，存在电势增加到最大电平的第一时序和电势在一个垂直扫描时段中降低到最小电平的第二时序，并且在第一和第二之间提供谷值时段时间和期间，潜力从最高水平一度下降，随后回到最高水平。图示：图3

(19) 日本国特許庁(JP)		(12) 特 許 公 報(B2)	(11) 特許番号 特許第6552861号 (P6552861)
(45) 発行日 令和1年7月31日(2019.7.31)		(24) 登録日 令和1年7月12日(2019.7.12)	
(51) Int. Cl. G09G 3/36 (2006.01) G09G 3/20 (2006.01) G02F 1/133 (2006.01) G02F 1/1368 (2006.01)		F I G09G 3/36 G09G 3/20 611E G09G 3/20 621E G09G 3/20 622C G09G 3/20 622D 請求項の数 8 (全 16 頁) 最終頁に続く	
(21) 出願番号 (22) 出願日 (65) 公開番号 (43) 公開日 審査請求日	特願2015-76250(P2015-76250) 平成27年4月2日(2015.4.2) 特開2016-197148(P2016-197148A) 平成28年11月24日(2016.11.24) 平成30年2月22日(2018.2.22)	(73) 特許権者 シャープ株式会社 大阪府堺市堺区匠町1番地 110000338 (74) 代理人 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK 大橋 衛 大阪府大阪市阿倍野区長池町2-2番22号 シャープ株式会社内 審査官 斎藤 厚志	(72) 発明者 大橋 衛 大阪府大阪市阿倍野区長池町2-2番22号 シャープ株式会社内
(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動方法、テレビジョン受像機		最終頁に続く	