

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6434620号
(P6434620)

(45) 発行日 平成30年12月5日 (2018. 12. 5)

(24) 登録日 平成30年11月16日 (2018. 11. 16)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 622E

G09G 3/20 622B

G09G 3/20 612K

G02F 1/133 505

請求項の数 18 (全 17 頁)

(21) 出願番号 特願2017-524994 (P2017-524994)
 (86) (22) 出願日 平成26年11月27日 (2014. 11. 27)
 (65) 公表番号 特表2017-534924 (P2017-534924A)
 (43) 公表日 平成29年11月24日 (2017. 11. 24)
 (86) 国際出願番号 PCT/CN2014/092326
 (87) 国際公開番号 W02016/074283
 (87) 国際公開日 平成28年5月19日 (2016. 5. 19)
 審査請求日 平成29年5月9日 (2017. 5. 9)
 (31) 優先権主張番号 201410639701.X
 (32) 優先日 平成26年11月13日 (2014. 11. 13)
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 516010618
 深▲せん▼市華星光電技術有限公司
 SHENZHEN CHINA STAR
 OPTOELECTRONICS TE
 CHNOLOGY CO., LTD.
 中国広東省深▲せん▼市光明新区塘明大道
 9-2号
 (74) 代理人 110002262
 TRY 国際特許業務法人
 (72) 発明者 戴 超
 中国広東省深▲せん▼市光明新区塘明大道
 9-2号施北娜
 (72) 発明者 賴 梓傑
 中国広東省深▲せん▼市光明新区塘明大道
 9-2号施北娜

最終頁に続く

(54) 【発明の名称】 液晶表示用GOA回路及び液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶表示用GOA回路であって、カスケード接続された複数のシフトレジスタを備え、第Nステージシフトレジスタに基づいて表示領域の第Nステージ走査線 (G (N)) に対する充電を制御し、該第Nステージシフトレジスタは、プルアップ回路 (200) と、プルダウン回路 (400) と、プルダウン保持回路 (600) と、プルアップ制御回路 (100) と、トランスファ回路 (300) と、ブートストラップコンデンサ (Cb) とを備え、

前記プルアップ回路 (200)、前記プルダウン保持回路 (600) 及び前記ブートストラップコンデンサ (Cb) は、それぞれゲート信号点 (Q (N)) 及び前記第Nステージ走査線 (G (N)) に接続され、

前記プルアップ制御回路 (100) 及び前記トランスファ回路 (300) は、前記ゲート信号点 (Q (N)) に接続され、

前記プルダウン回路 (400) は、第N+1ステージシフトレジスタからのスタート信号 (ST (N+1)) に接続され、

前記プルアップ制御回路 (100) は、第N-1ステージシフトレジスタからのスタート信号 (ST (N-1)) に接続され、

前記プルダウン保持回路 (600) は、第1~第15トランジスタを備え、

第1トランジスタ (T32) は、そのゲートが第1回路点 (P (N)) に接続され、そのドレイン及びソースがそれぞれ前記第Nステージ走査線 (G (N)) 及び第1入力直流

10

20

電圧 (VSS1) に接続され、

第2トランジスタ (T42) は、そのゲートが前記第1回路点 (P(N)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q(N)) 及び第2入力直流電圧 (VSS2) に接続され、

第3トランジスタ (T52) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースがそれぞれソース信号点 (S(N)) 及び前記第1入力直流電圧 (VSS1) に接続され、

第4トランジスタ (T51) は、そのソースが前記ソース信号点 (S(N)) に接続され、そのゲート及びドレインがいずれも第1クロック信号 (LC1) に接続され、

第5トランジスタ (T53) は、そのゲートが前記ソース信号点 (S(N)) に接続され、そのドレイン及びソースがそれぞれ前記第1クロック信号 (LC1) 及び前記第1回路点 (P(N)) に接続され、

第6トランジスタ (T54) は、そのゲートが第2クロック信号 (LC2) に接続され、そのドレイン及びソースがそれぞれ前記第1クロック信号 (LC1) 及び前記第1回路点 (P(N)) に接続され、

第7トランジスタ (T72) は、そのゲートが前記第1回路点 (P(N)) に接続され、そのドレイン及びソースがそれぞれ第Nステージシフトレジスタからのスタート信号 (ST(N)) 及び前記第2入力直流電圧 (VSS2) に接続され、

第8トランジスタ (T33) は、そのゲートが第2回路点 (K(N)) に接続され、そのドレイン及びソースがそれぞれ前記第Nステージ走査線 (G(N)) 及び前記第1入力直流電圧 (VSS1) に接続され、

第9トランジスタ (T43) は、そのゲートが前記第2回路点 (K(N)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q(N)) 及び前記第2入力直流電圧 (VSS2) に接続され、

第10トランジスタ (T62) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースがそれぞれドレイン信号点 (T(N)) 及び前記第1入力直流電圧 (VSS1) に接続され、

第11トランジスタ (T61) は、そのソースが前記ドレイン信号点 (T(N)) に接続され、そのゲート及びドレインがいずれも前記第2クロック信号 (LC2) に接続され、

第12トランジスタ (T63) は、そのゲートが前記ドレイン信号点 (T(N)) に接続され、そのドレイン及びソースがそれぞれ前記第2クロック信号 (LC2) 及び前記第2回路点 (K(N)) に接続され、

第13トランジスタ (T64) は、そのゲートが前記第1クロック信号 (LC1) に接続され、そのドレイン及びソースがそれぞれ前記第2クロック信号 (LC2) 及び前記第2回路点 (K(N)) に接続され、

第14トランジスタ (T73) は、そのゲートが前記第2回路点 (K(N)) に接続され、そのドレイン及びソースがそれぞれ前記第Nステージシフトレジスタからの前記スタート信号 (ST(N)) 及び前記第2入力直流電圧 (VSS2) に接続され、

第15トランジスタ (T55) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースがそれぞれ前記第1回路点 (P(N)) 及び前記第2回路点 (K(N)) に接続され、

作動中には、前記第1クロック信号 (LC1) と前記第2クロック信号 (LC2) との周波数は、第Nステージクロック信号 (CK(N)) より低く、かつ前記第1クロック信号 (LC1) による前記第1回路点 (P(N)) に対する充電と前記第2クロック信号 (LC2) による前記第2回路点 (K(N)) に対する充電は交替で行われており、前記プルアップ回路 (200) は第16トランジスタ (T21) を備え、前記第16トランジスタ (T21) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースが、それぞれ前記第Nステージクロック信号 (CK(N)) を入力し及び前記第Nステージ走査線 (G(N)) に接続される、ことを特徴とする液晶表示用GOA回路

10

20

30

40

50

。

【請求項 2】

前記プルダウン回路(400)は第17トランジスタ(T41)を備え、

前記第17トランジスタ(T41)は、そのゲートが前記第N+1ステージシフトレジスタからのスタート信号(ST(N+1))に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点(Q(N))及び第2入力直流電圧(VSS2)に接続される、ことを特徴とする請求項1に記載の液晶表示用GOA回路。

【請求項 3】

前記トランスファ回路(300)は第18トランジスタ(T22)を備え、

前記第18トランジスタ(T22)は、そのゲートが前記ゲート信号点(Q(N))に接続され、そのドレイン及びソースが、それぞれ前記第Nステージクロック信号(CK(N))を入力し及び前記第Nステージスタート信号(ST(N))を出力する、ことを特徴とする請求項1に記載の液晶表示用GOA回路。

【請求項 4】

前記プルアップ制御回路(100)は第19トランジスタ(T11)を備え、

前記第19トランジスタ(T11)は、そのゲートが前記第N-1ステージシフトレジスタからのスタート信号(ST(N-1))に接続され、そのドレインが定電圧信号源(VDD)に接続され、そのソースが前記ゲート信号点(Q(N))に接続される、ことを特徴とする請求項1に記載の液晶表示用GOA回路。

【請求項 5】

前記プルアップ制御回路(100)は第19トランジスタ(T11)を備え、

前記第19トランジスタ(T11)は、そのゲートが前記第N-1ステージシフトレジスタからのスタート信号(ST(N-1))に接続され、そのドレインが正方向信号源(VF)に接続され、そのソースが前記ゲート信号点(Q(N))に接続される、ことを特徴とする請求項1に記載の液晶表示用GOA回路。

【請求項 6】

前記プルダウン回路(400)は第17トランジスタ(T41)を備え、

前記第17トランジスタ(T41)は、そのゲートが前記第N+1ステージシフトレジスタからのスタート信号(ST(N+1))に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点(Q(N))及び逆方向信号源(VR)に接続される、ことを特徴とする請求項5に記載の液晶表示用GOA回路。

【請求項 7】

前記第Nステージクロック信号(CK(N))のデューティ比は50%未満である、ことを特徴とする請求項1に記載の液晶表示用GOA回路。

【請求項 8】

前記第2入力直流電圧(VSS2)は前記第1入力直流電圧(VSS1)より低い、ことを特徴とする請求項1に記載の液晶表示用GOA回路。

【請求項 9】

液晶表示用GOA回路であって、カスケード接続された複数のシフトレジスタを備え、第Nステージシフトレジスタに基づいて表示領域の第Nステージ走査線(G(N))に対する充電を制御し、該第Nステージシフトレジスタは、プルアップ回路(200)と、プルダウン回路(400)と、プルダウン保持回路(600)と、プルアップ制御回路(100)と、トランスファ回路(300)と、ブートストラップコンデンサ(Cb)とを備え、

前記プルアップ回路(200)、前記プルダウン保持回路(600)及び前記ブートストラップコンデンサ(Cb)は、それぞれゲート信号点(Q(N))及び前記第Nステージ走査線(G(N))に接続され、

前記プルアップ制御回路(100)及び前記トランスファ回路(300)は、前記ゲート信号点(Q(N))に接続され、

前記プルダウン回路(400)は、第N+1ステージシフトレジスタからのスタート信

10

20

30

40

50

号 (ST(N+1)) に接続され、

前記プルアップ制御回路 (100) は、第 N - 1 ステージシフトレジスタからのスタート信号 (ST(N-1)) に接続され、

前記プルダウン保持回路 (600) は、第 1 ~ 第 15 トランジスタを備え、

第 1 トランジスタ (T32) は、そのゲートが第 1 回路点 (P(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線 (G(N)) 及び第 1 入力直流電圧 (VSS1) に接続され、

第 2 トランジスタ (T42) は、そのゲートが前記第 1 回路点 (P(N)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q(N)) 及び第 2 入力直流電圧 (VSS2) に接続され、

10

第 3 トランジスタ (T52) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースがそれぞれソース信号点 (S(N)) 及び前記第 1 入力直流電圧 (VSS1) に接続され、

第 4 トランジスタ (T51) は、そのソースが前記ソース信号点 (S(N)) に接続され、そのゲート及びドレインがいずれも第 1 クロック信号 (LC1) に接続され、

第 5 トランジスタ (T53) は、そのゲートが前記ソース信号点 (S(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号 (LC1) 及び前記第 1 回路点 (P(N)) に接続され、

第 6 トランジスタ (T54) は、そのゲートが第 2 クロック信号 (LC2) に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号 (LC1) 及び前記第 1 回路点 (P(N)) に接続され、

20

第 7 トランジスタ (T72) は、そのゲートが前記第 1 回路点 (P(N)) に接続され、そのドレイン及びソースがそれぞれ第 N ステージシフトレジスタからのスタート信号 (ST(N)) 及び前記第 2 入力直流電圧 (VSS2) に接続され、

第 8 トランジスタ (T33) は、そのゲートが第 2 回路点 (K(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線 (G(N)) 及び前記第 1 入力直流電圧 (VSS1) に接続され、

第 9 トランジスタ (T43) は、そのゲートが前記第 2 回路点 (K(N)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q(N)) 及び前記第 2 入力直流電圧 (VSS2) に接続され、

30

第 10 トランジスタ (T62) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースがそれぞれドレイン信号点 (T(N)) 及び前記第 1 入力直流電圧 (VSS1) に接続され、

第 11 トランジスタ (T61) は、そのソースが前記ドレイン信号点 (T(N)) に接続され、そのゲート及びドレインがいずれも前記第 2 クロック信号 (LC2) に接続され、

第 12 トランジスタ (T63) は、そのゲートが前記ドレイン信号点 (T(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号 (LC2) 及び前記第 2 回路点 (K(N)) に接続され、

第 13 トランジスタ (T64) は、そのゲートが前記第 1 クロック信号 (LC1) に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号 (LC2) 及び前記第 2 回路点 (K(N)) に接続され、

40

第 14 トランジスタ (T73) は、そのゲートが前記第 2 回路点 (K(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージシフトレジスタからの前記スタート信号 (ST(N)) 及び前記第 2 入力直流電圧 (VSS2) に接続され、

第 15 トランジスタ (T55) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 1 回路点 (P(N)) 及び前記第 2 回路点 (K(N)) に接続され、

作動中には、前記第 1 クロック信号 (LC1) と前記第 2 クロック信号 (LC2) との周波数は、第 N ステージクロック信号 (CK(N)) より低く、かつ前記第 1 クロック信

50

号（LC1）による前記第1回路点（P（N））に対する充電と前記第2クロック信号（LC2）による前記第2回路点（K（N））に対する充電は交替で行われる、ことを特徴とする液晶表示用GOA回路。

【請求項10】

前記プルアップ回路（200）は第16トランジスタ（T21）を備え、

前記第16トランジスタ（T21）は、そのゲートが前記ゲート信号点（Q（N））に接続され、そのドレイン及びソースがそれぞれ前記第Nステージクロック信号（CK（N））を入力し及び前記第Nステージ走査線（G（N））に接続される、ことを特徴とする請求項9に記載の液晶表示用GOA回路。

【請求項11】

前記プルダウン回路（400）は第17トランジスタ（T41）を備え、

前記第17トランジスタ（T41）は、そのゲートが前記第N+1ステージシフトレジスタからのスタート信号（ST（N+1））に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点（Q（N））及び第2入力直流電圧（VSS2）に接続される、ことを特徴とする請求項9に記載の液晶表示用GOA回路。

【請求項12】

前記トランスファ回路（300）は第18トランジスタ（T22）を備え、

前記第18トランジスタ（T22）は、そのゲートが前記ゲート信号点（Q（N））に接続され、そのドレイン及びソースが、それぞれ前記第Nステージクロック信号（CK（N））を入力し及び前記第Nステージスタート信号（ST（N））を出力する、ことを特徴とする請求項9に記載の液晶表示用GOA回路。

【請求項13】

前記プルアップ制御回路（100）は第19トランジスタ（T11）を備え、

前記第19トランジスタ（T11）は、そのゲートが前記第N-1ステージシフトレジスタからのスタート信号（ST（N-1））に接続され、そのドレインが定電圧信号源（VDD）に接続され、そのソースが前記ゲート信号点（Q（N））に接続される、ことを特徴とする請求項9に記載の液晶表示用GOA回路。

【請求項14】

前記プルアップ制御回路（100）は第19トランジスタ（T11）を備え、

前記第19トランジスタ（T11）は、そのゲートが前記第N-1ステージシフトレジスタからのスタート信号（ST（N-1））に接続され、そのドレインが正方向信号源（VF）に接続され、そのソースが前記ゲート信号点（Q（N））に接続される、ことを特徴とする請求項9に記載の液晶表示用GOA回路。

【請求項15】

前記プルダウン回路（400）は第17トランジスタ（T41）を備え、

前記第17トランジスタ（T41）は、そのゲートが前記第N+1ステージシフトレジスタからのスタート信号（ST（N+1））に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点（Q（N））及び逆方向信号源（VR）に接続される、ことを特徴とする請求項14に記載の液晶表示用GOA回路。

【請求項16】

前記第Nステージクロック信号（CK（N））のデューティ比は50%未満である、ことを特徴とする請求項9に記載の液晶表示用GOA回路。

【請求項17】

前記第2入力直流電圧（VSS2）は前記第1入力直流電圧（VSS1）より低い、ことを特徴とする請求項9に記載の液晶表示用GOA回路。

【請求項18】

表示装置であって、請求項1～17のいずれか一項に記載の液晶表示用GOA回路を含む、ことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は液晶表示技術の分野に関し、特に、液晶表示用のGOA (Gate Driver On Array、アレイ基板行走査駆動) 回路及び液晶表示装置に関する。

【背景技術】

【0002】

アクティブ型液晶ディスプレイにおいて、各画素は一個の薄膜トランジスタ (Thin film transistor、TFT) を有し、そのゲート (Gate) は走査線と接続され、ドレイン (Drain) はデータ線と接続、ソース (Source) は画素電極と接続される。走査線に十分な電圧を印加することで、該走査線上の全てのTFTがオンになり、且つこのとき、データ線上の表示信号電圧が薄膜トランジスタにより画素電極に書き込まれて、異なる液晶の光透過度が制御されて色彩制御の効果が得られる。

10

【0003】

現在、アクティブ型液晶表示パネル走査線の駆動は、主にパネルに外接されたICによって行われる。外接されたICは、各ステージの走査線における順次充電と放電を制御することができる。

【0004】

アレイ基板行走査駆動 (GOA) 技術は、液晶表示パネルの従来の製造工程を利用して走査線の駆動回路を表示エリア周囲の基板上に作成することで、外接されたICを代替して走査線の駆動を行うことができる。GOA技術は、外接されたICのボンディング (bonding) 工程を削減可能であり、生産能力の向上と製品コストの削減が望める上に、液晶表示パネルを、狭額縁又はフレームレスの表示製品の製造にさらに適合するようにさせることが可能である。

20

【0005】

従来のGOA回路は通常、カスケード接続された複数のシフトレジスタ (shift register) を備え、各ステージのシフトレジスタは、1つのステージの走査線に対応して駆動する。シフトレジスタは主に、プルアップ回路 (Pull-up part) と、プルアップ制御回路 Pull-up control part) と、トランスファ回路 (Transfer Part) と、プルダウン回路 (Key Pull-down Part) と、プルダウン保持回路 (Pull-down Holding Part) と、レベル上昇を担うブートストラップ (Boast) コンデンサとを備える。前記プルアップ回路は、主にクロック信号 (Clock) をゲート (Gate) 信号として出力する役割を担う。前記プルアップ制御回路は、前記プルアップ回路のオン時間の制御を担い、一般的に前ステージのシフトレジスタから送られたトランスファ信号又はGate信号と接続される。前記プルダウン回路は、第1時間にGate信号をローレベルに引き下げ、つまりGate信号をオフにする。前記プルダウン保持回路は、Gate出力信号と前記プルアップ回路のGate信号 (通常Q点と呼ばれる) のオフ状態 (即ち負レベル) を保持 (Holding) する役割を担い、通常2つのプルダウン保持モジュールが交替で作用する。ブートストラップコンデンサ (Cb) は、Q点の二次上昇を担い、これにより前記プルアップ回路のG(N)出力を利する。

30

【0006】

図1には、従来のGOA回路の模式図が示されている。該シフトレジスタは、プルアップ制御回路100と、プルアップ回路200と、トランスファ回路300と、プルダウン回路400と、ブートストラップコンデンサ500と、第1プルダウン保持回路600と、第2プルダウン保持回路700と、ブリッジ回路800とを備え、その中、第1プルダウン保持回路600、第2プルダウン保持回路700及びブリッジ回路800から、三段式抵抗分圧設計が構成される。

40

【0007】

ブリッジ回路800は、主に薄膜トランジスタT55により両端のP(N)とK(N)のレベルを調節する。薄膜トランジスタT55のゲートはQ(N)に接続され、ドレインとソースはそれぞれP(N)とK(N)に接続される。作用期間には、T55のゲートが

50

オンすることにより、 $P(N)$ と $K(N)$ のレベルが互いに近づいてオフ状態になる。且つ、低周波数信号 $LC1$ と $LC2$ のローレベルが VSS より低いいため、作用期間の $P(N)$ と $K(N)$ のレベルを VSS より小さくするように調整することができ、これによりプルダウン $G(N)$ 点の薄膜トランジスタ $T32$ 、 $T33$ 及びプルダウン Q 点の $T42$ 、 $T43$ が $Vgs < 0V$ であることを保証し、作用期間の $G(N)$ 点と Q 点の漏電をよりよく防止することができる。

前記第1プルダウン保持回路600と前記第2プルダウン保持回路700とは、対称の設計を用い、主に以下の機能を実現する。1つ目は以下のとおりである。作用期間には、前記第1プルダウン保持回路600（又は前記第2プルダウン保持回路700）は、抵抗が大きいオフ状態にある。このとき、前記第2プルダウン保持回路700（又は前記第1プルダウン保持回路600）は、抵抗が小さいオン状態にあり、ブリッジ回路800は、抵抗が小さいオン状態にある。このため、 $P(N)$ と $K(N)$ はローレベル状態にあり、 $Q(N)$ 点の上昇とゲート $G(N)$ の出力は確保される。2つ目は以下のとおりである。作用していない期間において、前記第1プルダウン保持回路600及び前記第2プルダウン保持回路700はいずれも、抵抗が小さいオン状態にあり、ブリッジ回路800は、抵抗が大きいオフ状態にある。このように、 $P(N)$ と $K(N)$ のハイローレベル及び交替作用は実現することができる。薄膜トランジスタ $T54$ のゲートは $LC2$ に接続され、そのドレインは $LC1$ に接続され、そのソースは $P(N)$ に接続される。薄膜トランジスタ $T64$ のゲートは $LC1$ に接続され、そのドレインは $LC2$ に接続され、そのソースは $L(N)$ に接続され。この2つのTFTはバランスTFT（Balance TFT）と言われ、主に抵抗分圧作用及び信号切替時の迅速な放電作用を調整することを実現する。 $T52$ のゲートは $Q(N)$ に接続され、そのドレインは $S(N)$ に接続され、そのソースは VSS に接続される。 $T62$ のゲートは $Q(N)$ に接続され、そのドレインは $T(N)$ に接続され、そのソースは VSS に接続される。この2つのTFTは主に、作用期間に、 $S(N)$ 及び $T(N)$ を引き下げる作用を保証する。

【0008】

前記第1プルダウン保持回路600、前記第2プルダウン保持回路及びブリッジ回路800の三段式分圧原理によるシフトレジスタを使用することによって、プルダウン保持回路の高温安定性及び長期間動作信頼性を向上させることができる。また、低周波数信号の作用を十分に用いて、 $P(N)$ と $K(N)$ の切替えを実現し、且つ作用期間に $P(N)$ と $K(N)$ をより低いレベルに引き下げ、作用期間に $Q(N)$ 点と $G(N)$ の漏電を最大限に低下させることを確保する。一方、作用していない期間では、 $P(N)$ と $K(N)$ の中の1つはローレベルにある場合に、 LC のローレベルに概ね近づく。 LC のローレベルが VSS より低いいため、トランジスタ $T32$ / $T42$ 又はトランジスタ $T33$ / $T43$ は、半分の時間で負電圧回復状態となることができる。低周波数信号のローレベルを調整することによって、負電圧のレベルを制御することができ、このようにプルダウン保持回路の故障リスクを効果的に回避することができる。

【0009】

しかしながら、従来のGOA回路は、主にシフトレジスタの原理を用いて、ステージ順に信号を伝送するときに、一般的に直接走査駆動信号 $G(N)$ を使用してトランスファを行う。これは走査駆動信号 $G(N)$ の負荷を増加し、且つ配線が複雑になるため、断線のリスクがある。

【0010】

さらに、ほとんどの従来のGOA回路の基本設計は、単一方向の走査であり、双方向の走査を提供することができない。

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の目的は、液晶表示用GOA回路及び液晶表示装置を提供することである。走査駆動信号 $G(N)$ の代わりに定電圧信号源 VDD を用いてトランスファ作用を実行すると

10

20

30

40

50

ともに、定電圧信号源と一緒に使用するように別のトランスファモジュールを設置してステージ間の信号伝送の目的を実現することによって、走査駆動信号 $G(N)$ は走査信号線の駆動のみを担い、走査駆動信号 $G(N)$ の信号の負荷及びカスケード伝送配線によるリスクが低減し、前記ゲート信号点 $Q(N)$ の作用期間の充電能力が向上し、 VDD のレベルを調整することにより前記ゲート信号点 $Q(N)$ のレベルを向上させることができる。二組の信号源 V_F 及び V_R によって正逆方向の走査を制御して、 GOA 回路の正逆方向の走査機能を実現する。

【課題を解決するための手段】

【0012】

上記の目的を実現するために、本発明は液晶表示用 GOA 回路を提供する。前記液晶表示用 GOA 回路は、カスケード接続された複数のシフトレジスタを備え、第 N ステージシフトレジスタに基づいて表示領域の第 N ステージ走査線に対する充電を制御し、該第 N ステージシフトレジスタは、プルアップ回路と、プルダウン回路と、プルダウン保持回路と、プルアップ制御回路と、トランスファ回路と、ブートストラップコンデンサとを備え、前記プルアップ回路、前記プルダウン保持回路及び前記ブートストラップコンデンサは、それぞれゲート信号点及び前記第 N ステージ走査線に接続され、

前記プルアップ制御回路及び前記トランスファ回路は、前記ゲート信号点に接続され、前記プルダウン回路は、第 $N + 1$ ステージシフトレジスタからのスタート信号に接続され、

前記プルアップ制御回路は、第 $N - 1$ ステージシフトレジスタからのスタート信号に接続され、

前記プルダウン保持回路は、第 1 ～ 第 15 トランジスタを備え、

第 1 トランジスタは、そのゲートが第 1 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線及び第 1 入力直流電圧に接続され、

第 2 トランジスタは、そのゲートが前記第 1 回路点に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び第 2 入力直流電圧に接続され、

第 3 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれソース信号点及び前記第 1 入力直流電圧に接続され、

第 4 トランジスタは、そのソースが前記ソース信号点に接続され、そのゲート及びドレインがいずれも第 1 クロック信号に接続され、

第 5 トランジスタは、そのゲートが前記ソース信号点に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号及び前記第 1 回路点に接続され、

第 6 トランジスタは、そのゲートが第 2 クロック信号に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号及び前記第 1 回路点に接続され、

第 7 トランジスタは、そのゲートが前記第 1 回路点に接続され、そのドレイン及びソースがそれぞれ第 N ステージシフトレジスタからのスタート信号及び前記第 2 入力直流電圧に接続され、

第 8 トランジスタは、そのゲートが第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線及び前記第 1 入力直流電圧に接続され、

第 9 トランジスタは、そのゲートが前記第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び前記第 2 入力直流電圧に接続され、

第 10 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれドレイン信号点及び前記第 1 入力直流電圧に接続され、

第 11 トランジスタは、そのソースが前記ドレイン信号点に接続され、そのゲート及びドレインがいずれも前記第 2 クロック信号に接続され、

第 12 トランジスタは、そのゲートが前記ドレイン信号点に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号及び前記第 2 回路点に接続され、

第 13 トランジスタは、そのゲートが前記第 1 クロック信号に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号及び前記第 2 回路点に接続され、

第 14 トランジスタは、そのゲートが前記第 2 回路点に接続され、そのドレイン及びソ

10

20

30

40

50

ースがそれぞれ前記第Nステージシフトレジスタからの前記スタート信号及び前記第2入力直流電圧に接続され、

第15トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれ前記第1回路点及び前記第2回路点に接続され、

作動中には、前記第1クロック信号と前記第2クロック信号との周波数は、第Nステージクロック信号より低く、かつ前記第1クロック信号による前記第1回路点に対する充電と前記第2クロック信号による前記第2回路点に対する充電は交替で行われており、前記プルアップ回路は第16トランジスタを備え、前記第16トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースが、それぞれ前記第Nステージクロック信号を入力し及び前記第Nステージ走査線に接続される。前記プルダウン回路は、第17トランジスタを備え、前記第17トランジスタは、そのゲートが前記第N+1ステージシフトレジスタからのスタート信号に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び第2入力直流電圧に接続される。

10

【0013】

一実施形態において、前記トランスファ回路は第18トランジスタを備え、

前記第18トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースが、それぞれ前記第Nステージクロック信号を入力し及び前記第Nステージスタート信号を出力する。

【0014】

一実施形態において、前記プルアップ制御回路は第19トランジスタを備え、

前記第19トランジスタは、そのゲートが前記第N-1ステージシフトレジスタからのスタート信号に接続され、そのドレインが定電圧信号源に接続され、そのソースが前記ゲート信号点に接続される。

20

【0015】

一実施形態において、前記プルアップ制御回路は第19トランジスタを備え、

前記第19トランジスタは、そのゲートが前記第N-1ステージシフトレジスタからのスタート信号に接続され、そのドレインが正方向信号源に接続され、そのソースが前記ゲート信号点に接続される。

【0016】

一実施形態において、前記プルダウン回路は第17トランジスタを備え、

前記第17トランジスタは、そのゲートが前記第N+1ステージシフトレジスタからのスタート信号に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び逆方向信号源に接続される。

30

【0017】

一実施形態において、前記第Nステージクロック信号のデューティは50%未満である。

【0018】

一実施形態において、前記第2直流電圧は前記第1直流電圧より低い。

【0019】

上記の目的を実現するために、本発明は他の液晶表示用GOA回路を提供する。前記液晶表示用GOA回路は、カスケード接続された複数のシフトレジスタを備え、第Nステージシフトレジスタに基づいて表示領域の第Nステージ走査線に対する充電を制御し、該第Nステージシフトレジスタは、プルアップ回路と、プルダウン回路と、プルダウン保持回路と、プルアップ制御回路と、トランスファ回路と、ブートストラップコンデンサとを備え、

40

前記プルアップ回路、前記プルダウン保持回路及び前記ブートストラップコンデンサは、それぞれゲート信号点及び前記第Nステージ走査線に接続され、

前記プルアップ制御回路及び前記トランスファ回路は、前記ゲート信号点に接続され、

前記プルダウン回路は、第N+1ステージシフトレジスタからのスタート信号に接続され、

50

前記ブルアップ制御回路は、第 $N - 1$ ステージシフトレジスタからのスタート信号に接続され、

前記ブルダウン保持回路は、第 1 ~ 第 15 トランジスタを備え、

第 1 トランジスタは、そのゲートが第 1 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線及び第 1 入力直流電圧に接続され、

第 2 トランジスタは、そのゲートが前記第 1 回路点に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び第 2 入力直流電圧に接続され、

第 3 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれソース信号点及び前記第 1 入力直流電圧に接続され、

第 4 トランジスタは、そのソースが前記ソース信号点に接続され、そのゲート及びドレインがいずれも第 1 クロック信号に接続され、

第 5 トランジスタは、そのゲートが前記ソース信号点に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号及び前記第 1 回路点に接続され、

第 6 トランジスタは、そのゲートが第 2 クロック信号に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号及び前記第 1 回路点に接続され、

第 7 トランジスタは、そのゲートが前記第 1 回路点に接続され、そのドレイン及びソースがそれぞれ第 N ステージシフトレジスタからのスタート信号及び前記第 2 入力直流電圧に接続され、

第 8 トランジスタは、そのゲートが第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線及び前記第 1 入力直流電圧に接続され、

第 9 トランジスタは、そのゲートが前記第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び前記第 2 入力直流電圧に接続され、

第 10 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれドレイン信号点及び前記第 1 入力直流電圧に接続され、

第 11 トランジスタは、そのソースが前記ドレイン信号点に接続され、そのゲート及びドレインがいずれも前記第 2 クロック信号に接続され、

第 12 トランジスタは、そのゲートが前記ドレイン信号点に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号及び前記第 2 回路点に接続され、

第 13 トランジスタは、そのゲートが前記第 1 クロック信号に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号及び前記第 2 回路点に接続され、

第 14 トランジスタは、そのゲートが前記第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージシフトレジスタからの前記スタート信号及び前記第 2 入力直流電圧に接続され、

第 15 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれ前記第 1 回路点及び前記第 2 回路点に接続され、

作動中には、前記第 1 クロック信号と前記第 2 クロック信号との周波数は、第 N ステージクロック信号より低く、かつ前記第 1 クロック信号による前記第 1 回路点に対する充電と前記第 2 クロック信号による前記第 2 回路点に対する充電は交替で行われる。

【0020】

一実施形態において、前記ブルアップ回路は第 16 トランジスタを備え、

前記第 16 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースが、それぞれ前記第 N ステージクロック信号を入力し及び前記第 N ステージ走査線に接続される。

【0021】

一実施形態において、前記ブルダウン回路は第 17 トランジスタを備え、

前記第 17 トランジスタは、そのゲートが前記第 $N + 1$ ステージシフトレジスタからのスタート信号に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び第 2 入力直流電圧に接続される。

【0022】

一実施形態において、前記トランスファ回路は第 18 トランジスタを備え、

前記第 18 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースが、それぞれ前記第 N ステージクロック信号を入力し及び前記第 N ステージスタート信号を出力する。

【0023】

一実施形態において、前記プルアップ制御回路は第 19 トランジスタを備え、

前記第 19 トランジスタは、そのゲートが前記第 N - 1 ステージシフトレジスタからのスタート信号に接続され、そのドレインが定電圧信号源に接続され、そのソースが前記ゲート信号点に接続される。

【0024】

一実施形態において、前記プルアップ制御回路は第 19 トランジスタを備え、

前記第 19 トランジスタは、そのゲートが前記第 N - 1 ステージシフトレジスタからのスタート信号に接続され、そのドレインが正方向信号源に接続され、そのソースが前記ゲート信号点に接続される。一実施形態において、前記プルダウン回路は第 17 トランジスタを備え、

前記第 17 トランジスタは、そのゲートが前記第 N + 1 ステージシフトレジスタからのスタート信号に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び逆方向信号源に接続される。

【0025】

一実施形態において、前記第 N ステージクロック信号のデューティは 50 % 未満である。

【0026】

一実施形態において、前記第 2 直流電圧は前記第 1 直流電圧より低い。

【0027】

これに対応して、本発明の実施形態の別の態様は、前記液晶表示用 GOA 回路を備える液晶表示装置を提供する。

【発明の効果】

【0028】

本発明の上記の技術的手段によれば、有益な技術的效果は以下のとおりである。第 N ステージ走査線 G (N) の代わりに定電圧信号源 VDD を用いてトランスファ作用を実行するとともに、定電圧信号源と一緒に使用するように別のトランスファモジュールを設置してステージ間の信号伝送の目的を実現することによって、第 N ステージ走査線 G (N) は走査信号線の駆動のみを担い、第 N ステージ走査線 G (N) の負荷及びカスケード伝送配線によるリスクが低減し、前記ゲート信号点 Q (N) の作用期間の充電能力が向上し、VDD のレベルを調整することにより前記ゲート信号点 Q (N) のレベルを向上させることができる。二組の信号源 VF 及び VR によって正逆方向の走査を制御して、GOA 回路の正逆方向の走査機能を実現する。

【図面の簡単な説明】

【0029】

【図 1】従来技術の液晶表示用 GOA 回路の模式図である。

【図 2】本発明による液晶表示用 GOA 回路の第 1 実施形態の回路模式図である。

【図 3】図 2 の GOA 回路の実際の操作におけるキーノードの波形模式図である。

【図 4】本発明による液晶表示用 GOA 回路の第 2 実施形態の回路模式図である。

【図 5】図 4 の GOA 回路の正方向走査操作におけるキーノードの波形模式図である。

【図 6】図 4 の GOA 回路の逆方向走査操作におけるキーノードの波形模式図である。

【発明を実施するための形態】

【0030】

下記では、各実施例と図面を用いて、例を上げる方法で本発明の実施可能な実施例を説明する。本発明に開示されている方向の用語、例えば、「上」、「下」、「前」、「後」、「左」、「右」、「内」、「外」、「側面」等は、本発明の図面での方向を参照するためのものである。そのため、本明細書で使用される方向の用語は、本発明を説明、理解さ

10

20

30

40

50

せるためのものであり、本発明を制限するものではない。

【 0 0 3 1 】

図 2 は、本発明による液晶表示用 G O A 回路の第 1 実施形態の回路模式図である。この実施形態において、該 G O A 回路は、カスケード接続された複数のシフトレジスタを備え、第 N ステージシフトレジスタに基づいて表示領域の第 N ステージ走査線 G (N) に対する充電を制御し、該第 N ステージシフトレジスタは、プルアップ回路 2 0 0 と、プルダウン回路 4 0 0 と、プルダウン保持回路 6 0 0 と、プルアップ制御回路 1 0 0 と、トランスファ回路 3 0 0 と、ブートストラップコンデンサ C b とを備える。前記プルアップ回路 2 0 0、前記プルダウン回路 4 0 0、前記プルダウン保持回路 6 0 0 及び前記ブートストラップコンデンサ C b は、それぞれゲート信号点 Q (N) 及び前記第 N ステージ走査線 G (N) に接続される。前記プルアップ制御回路 1 0 0 及び前記トランスファ回路 3 0 0 はいずれも、前記ゲート信号点 Q (N) に接続される。

10

【 0 0 3 2 】

プルダウン保持回路 (6 0 0) は、第 1 ~ 第 1 5 トランジスタを備え、

第 1 トランジスタ T 3 2 は、そのゲートが第 1 回路点 P (N) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線 G (N) 及び第 1 入力直流電圧 V S S 1 に接続され、

第 2 トランジスタ T 4 2 は、そのゲートが前記第 1 回路点 P (N) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 Q (N) 及び第 2 入力直流電圧 V S S 2 に接続され、

20

第 3 トランジスタ T 5 2 は、そのゲートが前記ゲート信号点 Q (N) に接続され、そのドレイン及びソースがそれぞれソース信号点 S (N) 及び前記第 1 入力直流電圧 V S S 1 に接続され、

第 4 トランジスタ T 5 1 は、そのソースが前記ソース信号点 S (N) に接続され、そのゲート及びドレインがいずれも第 1 クロック信号 L C 1 に接続され、

第 5 トランジスタ T 5 3 は、そのゲートが前記ソース信号点 S (N) に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号 L C 1 及び前記第 1 回路点 P (N) に接続され、

第 6 トランジスタ T 5 4 は、そのゲートが第 2 クロック信号 L C 2 に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号 L C 1 及び前記第 1 回路点 P (N) に接続され、

30

第 7 トランジスタ T 7 2 は、そのゲートが前記第 1 回路点 P (N) に接続され、そのドレイン及びソースがそれぞれ第 N ステージシフトレジスタからのスタート信号 S T (N) 及び前記第 2 入力直流電圧 V S S 2 に接続され、

第 8 トランジスタ T 3 3 は、そのゲートが第 2 回路点 K (N) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線 G (N) 及び前記第 1 入力直流電圧 V S S 1 に接続され、

第 9 トランジスタ T 4 3 は、そのゲートが前記第 2 回路点 K (N) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 Q (N) 及び前記第 2 入力直流電圧 V S S 2 に接続され、

40

第 1 0 トランジスタ T 6 2 は、そのゲートが前記ゲート信号点 Q (N) に接続され、そのドレイン及びソースがそれぞれドレイン信号点 T (N) 及び前記第 1 入力直流電圧 V S S 1 に接続され、

第 1 1 トランジスタ T 6 1 は、そのソースが前記ドレイン信号点 T (N) に接続され、そのゲート及びドレインがいずれも前記第 2 クロック信号 L C 2 に接続され、

第 1 2 トランジスタ T 6 3 は、そのゲートが前記ドレイン信号点 T (N) に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号 L C 2 及び前記第 2 回路点 K (N) に接続され、

第 1 3 トランジスタ T 6 4 は、そのゲートが前記第 1 クロック信号 L C 1 に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号 L C 2 及び前記第 2 回路点 K (

50

N) に接続され、

第14トランジスタ73は、そのゲートが前記第2回路点K(N)に接続され、そのドレイン及びソースがそれぞれ前記第Nステージシフトレジスタからの前記スタート信号ST(N)及び前記第2入力直流電圧VSS2に接続され、

第15トランジスタ55は、そのゲートが前記ゲート信号点Q(N)に接続され、そのドレイン及びソースがそれぞれ前記第1回路点P(N)及び前記第2回路点K(N)に接続される。

【0033】

作動中には、前記第1クロック信号LC1と前記第2クロック信号LC2との周波数は、第Nステージクロック信号CK(N)より低く、かつ前記第1クロック信号LC1)の前記第1回路点(P(N))に対する充電と前記第2クロック信号(LC2)の前記第2回路点(K(N))に対する充電は交替で行われる。

10

【0034】

具体的には、前記プルアップ回路200は第16トランジスタ21を備える。前記第16トランジスタ21は、そのゲートが前記ゲート信号点Q(N)に接続され、そのドレイン及びソースがそれぞれ前記第Nステージクロック信号CK(N)を入力し及び第Nステージ走査線G(N)に接続される。

【0035】

前記プルダウン回路400は第17トランジスタ41を備える。前記第17トランジスタ41は、そのゲートが前記第N+1ステージシフトレジスタからのスタート信号ST(N+1)に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点Q(N)及び第2入力直流電圧VSS2に接続される。

20

【0036】

前記トランスファ回路300は第18トランジスタ22を備える。前記第18トランジスタ22は、そのゲートが前記ゲート信号点Q(N)に接続され、そのドレイン及びソースが、それぞれ前記第Nステージクロック信号CK(N)を入力し及び前記第Nステージスタート信号ST(N)を出力する。

【0037】

前記プルアップ制御回路100は第19トランジスタ11を備える。前記第19トランジスタ11は、そのゲートが前記第N-1ステージシフトレジスタからのスタート信号ST(N-1)に接続され、そのドレインが定電圧信号源VDDに接続され、そのソースが前記ゲート信号点Q(N)に接続される。

30

【0038】

本実施形態では、前記第Nステージ走査線G(N)のトランスファ作用の代わりに、前記定電圧信号源VDDを採用するため、前記第Nステージ走査線G(N)が走査信号線の駆動のみを担い、前記第Nステージ走査線G(N)信号の負荷及びカスケード伝送配線によるリスクが低減し、前記ゲート信号点Q(N)点の作用期間の充電能力が向上し、定電圧信号源VDDのレベルを調整することにより前記ゲート信号点Q(N)のレベルを向上させることができる。

【0039】

40

図3は、図2のGOA回路の実際の操作におけるキーノードの波形模式図である。XCKは、該第Nステージシフトレジスタと隣接するクロック信号を表す。つまり、XCKは第N±1ステージクロック信号(CK(N±1))である。

【0040】

第Nステージクロック信号(CK(N))と第N±1ステージクロック信号(CK(N±1))とのデューティ比(Duty cycle)は50%未満である必要がある。これは主に、前記ゲート信号点Q(N)が凸字形の波形を形成するために、第16トランジスタ21を用いて前記第Nステージ走査線G(N)をプルダウンするからである。

【0041】

前記定電圧信号源VDDはハイレベルに設定され、クロック信号CK及びXCKのハイ

50

レベルと同じであってもよい。前記ゲート信号点 $Q(N)$ の充電能力の向上を望む場合、前記定電圧信号源 VDD のレベルを適切に高めることができる。

【0042】

前記第1入力直流電圧 $VSS1$ 及び前記第2入力直流電圧 $VSS2$ は、二組の定電圧の負電圧源であり、主に回路を駆動するためのローレベルを提供するために用いられる。一般的に、前記第2入力直流電圧 $VSS2$ は、前記第1入力直流電圧 $VSS1$ より低いように設定される。

【0043】

図4は、本発明による液晶表示用GOA回路の第2実施形態の回路模式図である。この実施形態において、前記定電圧信号源 VDD は正方向信号源 VF に相当し、前記第17トランジスタ($T41$)のソースは、前記第2入力直流電圧 $VSS2$ に接続されるのではなく、逆方向信号源 VR に接続される。この実施形態では、前記正方向信号源 VF と前記逆方向信号源 VR を用いて、正逆方向走査の制御を行う。

【0044】

前記正方向信号源 VF がハイレベルとし、前記逆方向信号源 VR がローレベルとする場合、この回路は正方向走査操作を行う。このとき、依然として、前記プルアップ制御回路100は前記プルアップ制御回路100の機能を奏し、前記プルダウン回路400は前記プルダウン回路400の機能を奏して、前記ゲート信号点 $Q(N)$ のプルダウンを担い、操作原理は前記第1実施形態と同様である。

【0045】

前記正方向信号源 VF がローレベルとされ、前記逆方向信号源 VR がハイレベルとされる場合、この回路は逆方向走査操作を行う。このとき、前記プルアップ制御回路100は前記プルダウン回路400の機能を奏し、前記プルダウン回路400は前記プルアップ制御回路100の機能を奏し、前記ゲート信号点 $Q(N)$ のプルダウンを担う。つまり、逆方向走査操作のときに、前記プルアップ制御回路100及び前記プルダウン回路400による動作は、逆方向走査操作のときの動作と異なる。

【0046】

上記のように、前記正方向信号源 VF 及び前記逆方向信号源 VR を制御して、回路の正逆方向走査操作を実現することができる。

【0047】

図5は、図4のGOA回路の正方向走査操作におけるキーノードの波形模式図である。この正方向走査操作において、前記正方向信号源 VF はハイレベルとされ、前記逆方向信号源 VR はローレベルとされ、他の信号はすべて第1実施形態と同じである。

【0048】

第 N ステージクロック信号($CK(N)$)と第 $N \pm 1$ ステージクロック信号($CK(N \pm 1)$)とのデューティ比は50%未満である必要がある。これは主に、前記ゲート信号点 $Q(N)$ が凸字形の波形を形成するために、第16トランジスタ $T21$ を用いて前記第 N ステージ走査線 $G(N)$ をプルダウンするからである。

【0049】

前記第 $N - 1$ ステージシフトレジスタのスタート信号 $ST(N - 1)$ の信号は、第1段階のレベルの上昇を行うために、前記ゲート信号点 $Q(N)$ に伝送される。

【0050】

図6は、図4のGOA回路の逆方向走査操作におけるキーノードの波形模式図である。この逆方向走査操作において、前記正方向信号源 VF はローレベルとされ、前記逆方向信号源 VR はハイレベルとされる。

【0051】

第 N ステージクロック信号($CK(N)$)と第 $N \pm 1$ ステージクロック信号($CK(N \pm 1)$)とのデューティ比(Duty Ratio)は50%未満である必要がある。これは主に、前記ゲート信号点 $Q(N)$ が凸字形の波形を形成するために、第16トランジスタ $T21$ を用いて前記第 N ステージ走査線 $G(N)$ をプルダウンするからである。

【 0 0 5 2 】

前記第 $N + 1$ ステージシフトレジスタのスタート信号 $ST(N + 1)$ の信号は、第 1 段階のレベルの上昇を行うために、前記ゲート信号点 $Q(N)$ に伝送される。

【 0 0 5 3 】

二組の信号源 V_F 及び V_R によって正逆方向の走査を制御して、 GOA 回路の正逆方向の走査機能を実現する。

【 0 0 5 4 】

上述したように、本発明は好ましい実施例を挙げていたが、前記好ましい実施例は本発明を制限するものではなく、当業者にとって、本発明の精神と範囲から離れない前提下、いろんな更新と修飾を行うことができ、そのため、本発明の保護範囲は特許請求の範囲に記載されている技術特徴を基準にするべきである。

10

【 図 1 】

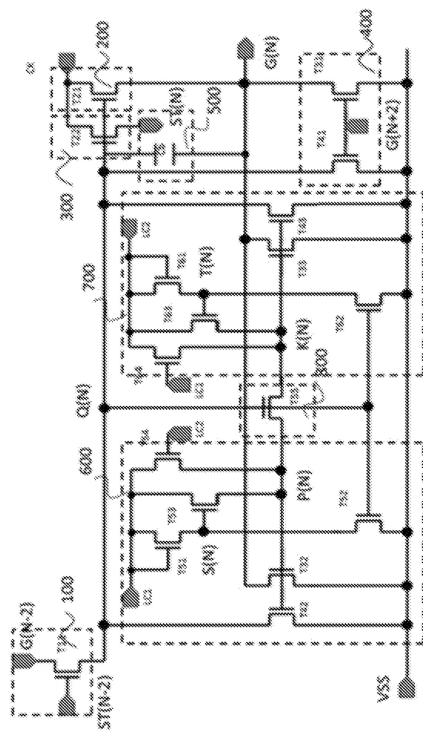


図 1

【 図 2 】

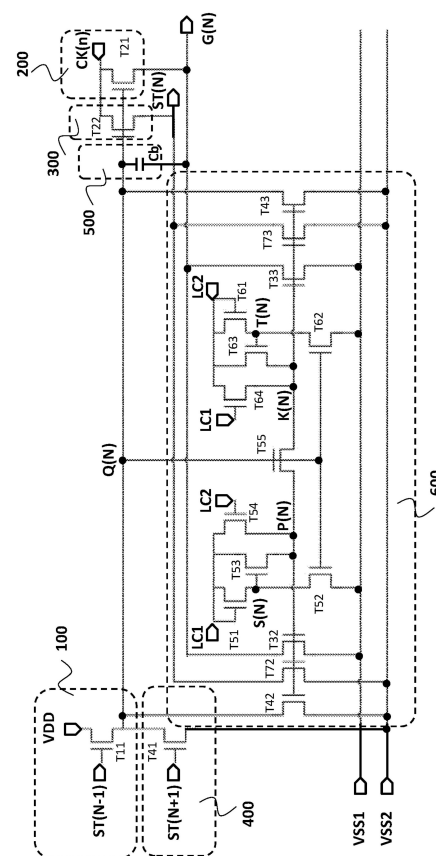


図 2

【 図 3 】

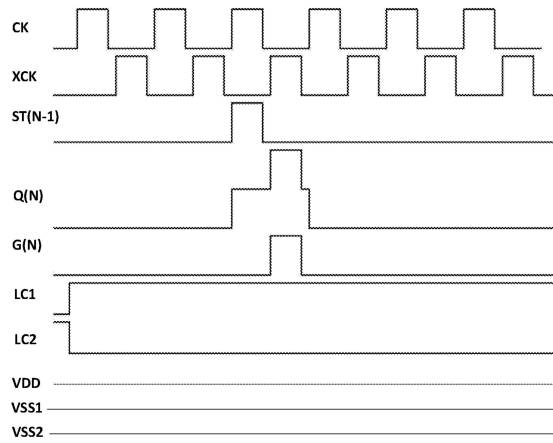


图 3

【 図 4 】

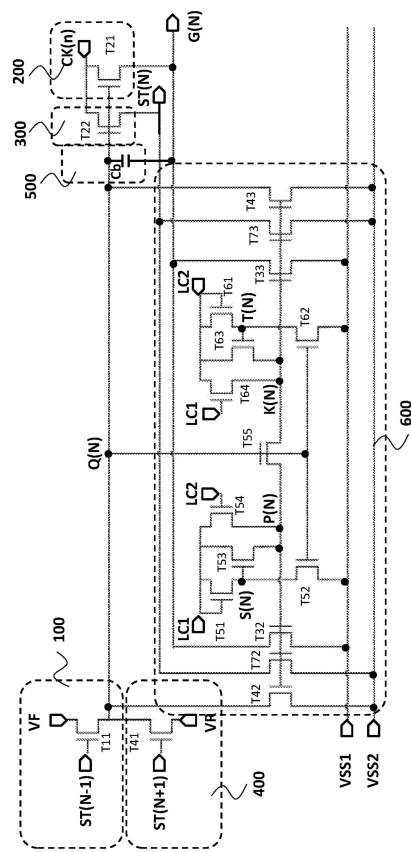


图 4

【 図 5 】

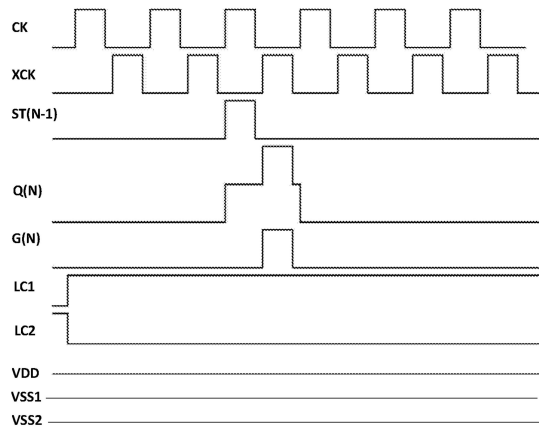


图 5

【 図 6 】

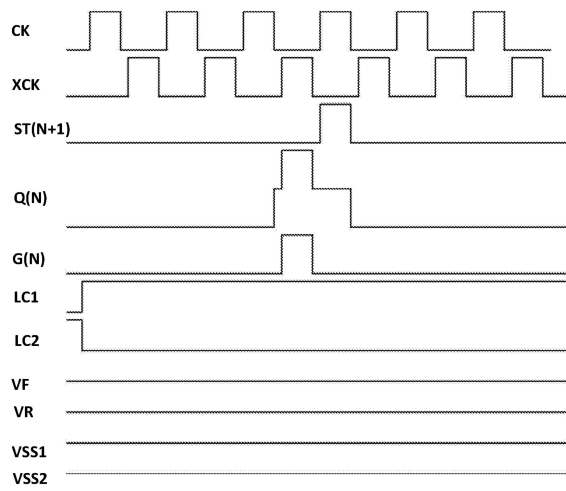


图 6

フロントページの続き

審査官 斎藤 厚志

(56)参考文献 特開 2 0 0 8 - 0 0 3 6 0 2 (J P , A)
特開 2 0 1 1 - 2 0 4 3 4 3 (J P , A)
特開 2 0 1 4 - 0 7 1 4 5 2 (J P , A)
米国特許出願公開第 2 0 1 4 / 0 0 9 2 0 7 8 (U S , A 1)
中国特許出願公開第 1 0 4 0 0 8 7 4 1 (C N , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 6
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0

专利名称(译)	液晶表示用GOA回路及び液晶表示装置		
公开(公告)号	JP6434620B2	公开(公告)日	2018-12-05
申请号	JP2017524994	申请日	2014-11-27
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
当前申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	戴超 頼梓傑		
发明人	戴 超 頼 梓傑		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0286 G11C19/287 G09G3/3648 G09G3/3696 G09G2230/00 G09G2300/0871 G09G2310/0289		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.622.B G09G3/20.612.K G02F1/133.505		
审查员(译)	齐藤敦		
优先权	201410639701.X 2014-11-13 CN		
其他公开文献	JP2017534924A		
外部链接	Espacenet		

摘要(译)

本发明公开了一种用于液晶显示器的GOA电路。该用于液晶显示器的GOA电路具有多个级联连接的移位寄存器，并基于第N级移位寄存器控制显示区域中的第N级扫描线的充电，并且第N级移位寄存器被拉上电路，下拉电路，下拉保持电路，上拉控制电路，传输电路和自举电容器。代替第N级扫描线，使用恒定电压信号源或两组信号源执行传送操作。本发明的实施例还公开了一种显示装置。本发明降低了由于第N级扫描线和级联传输线的负载引起的风险。并且可以控制正向和反向扫描。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6434620号 (P6434620)
(45) 発行日 平成30年12月5日 (2018.12.5)		(24) 登録日 平成30年11月16日 (2018.11.16)	
(51) Int. Cl. G09G 3/36 (2006.01) G09G 3/20 (2006.01) G02F 1/133 (2006.01)		F 1 G09G 3/36 G09G 3/20 622E G09G 3/20 622B G09G 3/20 612K G02F 1/133 505	
(21) 出願番号 特願2017-524994 (P2017-524994)		(73) 特許権者 516010618 深▲せん▼市華星光電技術有限公司 SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. 中国広東省深▲せん▼市光明新区塘明大道9-2号	
(86) (22) 出願日 平成26年11月27日 (2014.11.27)		(74) 代理人 110002262 TRY国際特許業務法人	
(65) 公表番号 特表2017-534924 (P2017-534924A)		(72) 発明者 戴 超 中国広東省深▲せん▼市光明新区塘明大道9-2号 頼 梓傑 中国広東省深▲せん▼市光明新区塘明大道9-2号	
(43) 公表日 平成29年11月24日 (2017.11.24)			
(86) 国際出願番号 PCT/CN2014/092326			
(87) 国際公開番号 W02016/074283			
(87) 国際公開日 平成28年5月19日 (2016.5.19)			
(31) 優先権主張番号 201410639701.X			
(32) 優先日 平成26年11月13日 (2014.11.13)			
(33) 優先権主張国 中国 (CN)			

(54) 【発明の名称】 液晶表示用GOA回路及び液晶表示装置

最終頁に続く