

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6078131号

(P6078131)

(45) 発行日 平成29年2月8日(2017.2.8)

(24) 登録日 平成29年1月20日(2017.1.20)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
HO1L 29/786 (2006.01)	HO1L 29/78 618B
HO1L 21/336 (2006.01)	HO1L 29/78 618Z
GO2F 1/133 (2006.01)	HO1L 29/78 627F
GO9G 3/36 (2006.01)	GO2F 1/133 550
請求項の数 4 (全 48 頁) 最終頁に続く	

(21) 出願番号	特願2015-187115 (P2015-187115)	(73) 特許権者	000153878
(22) 出願日	平成27年9月24日(2015.9.24)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-99900 (P2011-99900)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	山崎 舜平
原出願日	平成23年4月27日(2011.4.27)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-28291 (P2016-28291A)		半導体エネルギー研究所内
(43) 公開日	平成28年2月25日(2016.2.25)	(72) 発明者	小山 潤
審査請求日	平成27年9月25日(2015.9.25)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-104441 (P2010-104441)		半導体エネルギー研究所内
(32) 優先日	平成22年4月28日(2010.4.28)		
(33) 優先権主張国	日本国(JP)	審査官	磯野 光司

最終頁に続く

(54) 【発明の名称】 液晶表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

画素部と、バックライトユニットと、駆動回路部と、を有し、
 前記画素部は、トランジスタと、画素電極とを有し、
 前記トランジスタは、チャンネル形成領域を有する第1の酸化物半導体層と、ゲート電極と、ソース電極と、ドレイン電極と、を有し、
 前記画素電極は、前記ソース電極又は前記ドレイン電極と電氣的に接続され、
 前記駆動回路部は、選択信号出力回路を有し、
 前記選択信号出力回路は、前記トランジスタをオンとする信号と、前記トランジスタをオフとする信号と、を出力する機能を有し、
 前記駆動回路部は、前記選択信号出力回路へのスタート信号の入力、前記選択信号出力回路へのクロック信号の入力、又は、前記選択信号出力回路への電源電圧の入力を停止させる機能を有する液晶表示装置の作製方法であって、
第2の酸化物半導体層に対し、脱水化又は脱水素化処理を行った後、酸素を供給する処理を行うことで、前記第1の酸化物半導体層が形成されることを特徴とする液晶表示装置の作製方法。

【請求項2】

画素部と、バックライトユニットと、駆動回路部と、を有し、
 前記画素部は、トランジスタと、画素電極とを有し、
 前記トランジスタは、チャンネル形成領域を有する第1の酸化物半導体層と、ゲート電極

と、ソース電極と、ドレイン電極と、を有し、

前記画素電極は、前記ソース電極又は前記ドレイン電極と電氣的に接続され、

前記駆動回路部は、選択信号出力回路を有し、

前記選択信号出力回路は、前記トランジスタをオンとする信号と、前記トランジスタをオフとする信号と、を出力する機能を有し、

前記駆動回路部は、前記選択信号出力回路へのスタート信号の入力、前記選択信号出力回路へのクロック信号の入力、又は、前記選択信号出力回路への電源電圧の入力を停止させる機能を有する液晶表示装置の作製方法であって、

第2の酸化物半導体層に対し、炉の内部において、純度6N以上の窒素雰囲気、又は、純度6N以上の希ガス雰囲気で加熱処理を行った後、降温する過程において前記炉の内部に、純度6N以上の酸素ガス、純度6N以上のN₂Oガス、又は、露点が-40以下の乾燥エアを導入する工程を経ることで、前記第1の酸化物半導体層が形成されることを特徴とする液晶表示装置の作製方法。

10

【請求項3】

請求項1又は請求項2において、

前記トランジスタのオフ電流は、前記トランジスタの温度が150 のとき、チャンネル幅1μmあたり 1×10^{-19} A以下であることを特徴とする液晶表示装置の作製方法。

【請求項4】

請求項1乃至請求項3のいずれかーにおいて、

前記バックライトユニットは、冷陰極管を有することを特徴とする液晶表示装置の作製方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、液晶表示装置に関する。

【背景技術】

【0002】

近年、液晶表示装置において消費電力を低減するための技術の開発が進められている。

【0003】

液晶表示装置の消費電力を低減する方法の一つとしては、例えば動画表示を行うとき画素における画像の書き換えを行う間隔より静止画表示を行うときに画素における画像の書き換えを行う間隔を長くすることにより、静止画表示の際の不要な画像の書き換え動作を低減し、液晶表示装置における消費電力の低減を図る技術が挙げられる（例えば特許文献1）。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-283775号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0005】

しかしながら、上記特許文献1のような従来の消費電力の低減方法は、静止画表示のときの画素における画像の書き換えの間隔が短いため、消費電力を十分に低減することができるとはいえない。

【0006】

また、上記液晶表示装置は、温度変化により表示画像の輝度が変化してしまい、静止画を表示する場合であっても、時間が経過するに従って徐々に輝度の変化が大きくなり、表示品位が低下してしまうため、書き換えの間隔を長くすることは困難である。例えば、温度変化に伴う画素に設けられたトランジスタのオフ電流の上昇により、表示画像の輝度が変化する。

50

【 0 0 0 7 】

上記液晶表示装置の温度変化は、例えばバックライトユニットからの発光により発生する熱に起因する。例えば、冷陰極管を光源として用いたバックライトユニットは、例えばLED (Light Emitting Diode) を光源として用いたバックライトユニットと比較して、発光効率が高く、大面積の液晶表示装置への適用が容易である。しかし、冷陰極管を光源として用いたバックライトユニットは、発熱量が大きいいため、液晶表示装置の温度変化が著しくなる。よって、冷陰極管を光源として用いたバックライトユニットを具備する液晶表示装置において、表示品位を低下させることなく、画素における画像の書き換えの間隔を長くすることは困難であり、消費電力を十分に低減することができない。また、フルカラー表示の液晶表示装置の場合、一つの画素は、複数の単位画素を備えるため、同じ画素数であるモノクロ表示の液晶表示装置と比較して表示品位の変化の影響を受けやすい。このことから、画素における画像の書き換えの間隔を長くすることは困難であり、消費電力を十分に低減することができないといえる。

10

【 0 0 0 8 】

本発明の一態様では、液晶表示装置の消費電力を低減することを課題の一つとする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の一態様は、動作モードとして第1の動作モード及び第2の動作モードを有し、第1の動作モードのときに画素データを書き込む画素を選択する選択信号を出力する回路から選択信号を出力させ、第2の動作モードのときに画素データを書き込む画素を選択する選択信号を出力する回路の動作を停止させるものである。

20

【 0 0 1 0 】

本発明の一態様は、画素部を含み、第1の動作モードのときに選択信号を出力し、第2の動作モードのときに選択信号の出力が停止する選択信号出力回路と、画像信号が入力され、入力された画像信号をもとに画素データ信号を生成して出力する画素データ信号出力回路と、光源として冷陰極管を備え、画素部に光を射出するバックライトユニットと、を具備し、画素部は、ソース電極、ドレイン電極、及びゲート電極を有し、第1の動作モードのときに、ゲート電極に選択信号が入力され、ソース電極及びドレイン電極の一方に画素データ信号が入力され、第2の動作モードのときにオフ状態を維持するトランジスタと、トランジスタのソース電極及びドレイン電極の他方に電気的に接続される第1の電極と、第2の電極と、第1の電極及び第2の電極を介して電圧が印加される複数の液晶分子を有する液晶と、を備え、トランジスタは、チャンネルが形成される層として、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含む液晶表示装置である。

30

【 0 0 1 1 】

本発明の一態様は、画素部を含み、第1の動作モードのときにX個(Xは自然数)の選択信号を出力し、第2の動作モードのときにX個の選択信号の出力が停止する選択信号出力回路と、画像信号が入力され、入力された画像信号をもとにY個(Yは自然数)の画素データ信号を生成して出力する画素データ信号出力回路と、冷陰極管を備え、画素部に光を射出するバックライトユニットと、を具備し、画素部は、それぞれがソース電極、ドレイン電極、及びゲート電極を有し、第1の動作モードのときに、それぞれのゲート電極に1個の選択信号が入力され、それぞれのソース電極及びドレイン電極の一方に1個の画素データ信号が入力され、第2の動作モードのときに、それぞれがオフ状態を維持するN個(Nは3以上の自然数)のトランジスタと、それぞれが、N個のトランジスタのうち、互いに異なるトランジスタのソース電極及びドレイン電極の他方に電気的に接続されるN個の第1の電極と、第2の電極と、N個の第1の電極のそれぞれ及び第2の電極を介して電圧が印加される複数の液晶分子を有する液晶と、それぞれ、N個の第1の電極のうち、互いに異なる第1の電極に重畳するK個(Kは3以上N以下の自然数)のカラーフィルタと、を備え、N個のトランジスタのそれぞれは、チャンネルが形成される層として、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含む液晶表示装置である。

40

【発明の効果】

50

【 0 0 1 2 】

本発明の一態様により、必要に応じて画像の書き換えの間隔を長くすることができるため、消費電力を低減することができる。例えば、冷陰極管を備えたバックライトユニットを具備する液晶表示装置の場合であっても、必要に応じて画像の書き換えの間隔を長くすることができるため、消費電力を低減することができる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】実施の形態 1 における液晶表示装置を説明するための図。

【図 2】実施の形態 2 における制御信号生成回路の構成例を示すブロック図。

【図 3】実施の形態 3 におけるシフトレジスタの構成例を説明するための図。

【図 4】実施の形態 3 におけるシフトレジスタの動作例を説明するためのタイミングチャート。

【図 5】実施の形態 4 におけるトランジスタの構造例を説明するための断面模式図。

【図 6】実施の形態 4 におけるトランジスタの作製方法を説明するための断面模式図。

【図 7】実施の形態 4 におけるトランジスタの作製方法を説明するための断面模式図。

【図 8】特性評価回路の構成を示す回路図。

【図 9】図 8 に示す特性評価回路を用いたリーク電流測定方法を説明するためのタイミングチャート。

【図 10】条件 4、条件 5、及び条件 6 における測定に係る経過時間 T_{ime} と、出力電圧 V_{out} との関係を示す図。

【図 11】測定に係る経過時間 T_{ime} と、該測定によって算出されたリーク電流との関係を示す図。

【図 12】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 13】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 14】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 15】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 16】実施の形態 5 の単位画素におけるアクティブマトリクス基板の構造例を示す図。

。

【図 17】実施の形態 5 における単位画素の構造例を示す図。

【図 18】実施の形態 6 におけるバックライトユニットの構成例を示す模式図。

【図 19】実施の形態 7 における電子機器の構成例を示す模式図。

【図 20】実施の形態 7 における電子機器の構成例を示す模式図。

【発明を実施するための形態】

【 0 0 1 4 】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではないものとする。

。

【 0 0 1 5 】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに適宜置き換えることができる。

【 0 0 1 6 】

また、本明細書にて用いる「第 k (k は自然数)」という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

【 0 0 1 7 】

(実施の形態 1)

本実施の形態では、選択的に書き換え動作を停止させることが可能な液晶表示装置について説明する。

【 0 0 1 8 】

本実施の形態の液晶表示装置の一例について、図 1 を用いて説明する。図 1 は、本実施の形態における液晶表示装置の一例を説明するための図である。

【 0 0 1 9 】

まず、本実施の形態の液晶表示装置の構成例について、図 1 (A) を用いて説明する。図 1 (A) は、本実施の形態における液晶表示装置の構成の一例を示すブロック図である。

【 0 0 2 0 】

図 1 (A) に示す液晶表示装置は、選択信号出力回路 (S E L O U T と もいう) 1 0 1 x と、画素データ信号出力回路 (P X D O U T と もいう) 1 0 1 y と、バックライトユニット (L I G H T と もいう) 1 0 2 と、画素 (P X と もいう) 1 0 3 と、を具備する。

【 0 0 2 1 】

選択信号出力回路 1 0 1 x は、X 個 (X は自然数) の選択信号 S E L を出力する機能を有する。選択信号出力回路 1 0 1 x は、例えばスタート信号、クロック信号、及び電源電圧が入力されることにより X 個の選択信号 S E L の出力動作を行う。例えば、選択信号出力回路 1 0 1 x を、シフトレジスタを備える構成とし、該シフトレジスタにスタート信号、クロック信号、及び電源電圧を入力し、該シフトレジスタにより選択信号 S E L となるパルス信号を出力させることにより、X 個の選択信号 S E L を出力することができる。

【 0 0 2 2 】

なお、一般的に電圧とは、ある二点間における電位の差 (電位差 と もいう) のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト (V) で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位 (基準電位 と もいう) との電位差を、該一点の電圧として用いる場合がある。

【 0 0 2 3 】

画素データ信号出力回路 1 0 1 y には、画像信号 I M G が入力される。画素データ信号出力回路 1 0 1 y は、入力された画像信号 I M G を元に Y 個 (Y は自然数) の画素データ信号 P X D を生成し、生成した Y 個の画素データ信号 P X D を出力する機能を有する。画素データ信号出力回路 1 0 1 y は、例えばスタート信号、クロック信号、及び電源電圧が入力されることにより画素データ信号 P X D の出力動作を行う。例えば、画素データ信号出力回路 1 0 1 y を、シフトレジスタ、記憶回路、及びアナログスイッチを備える構成とする。さらに、上記シフトレジスタにスタート信号、クロック信号、及び電源電圧が入力され、該シフトレジスタによりパルス信号を出力させ、パルス信号に従って画像信号 I M G のデータを記憶回路に記憶し、アナログスイッチをオン状態にする。これにより、画素データ信号出力回路 1 0 1 y は、記憶した画像信号 I M G のデータを Y 個の画素データ信号 P X D として出力することができる。

【 0 0 2 4 】

なお、図 1 (A) に示すように、表示制御回路 (D C T L と もいう) 1 0 1 w を用いることにより、選択信号出力回路 1 0 1 x 及び画素データ信号出力回路 1 0 1 y の動作を制御することもできる。なお、表示制御回路 1 0 1 w は、必ずしも設けなくてもよい。

【 0 0 2 5 】

表示制御回路 1 0 1 w は、選択信号出力回路 1 0 1 x 及び画素データ信号出力回路 1 0 1 y にスタート信号、クロック信号、及び電源電圧を出力するか否かを制御する機能を有する。また、表示制御回路 1 0 1 w は、画像信号 I M G を画素データ信号出力回路 1 0 1 y に出力するか否かを制御する機能を有していてもよい。例えば、表示制御回路 1 0 1 w は、制御信号が入力されることにより、入力された制御信号に従って、スタート信号、クロック信号、及び電源電圧、又は画像信号 I M G、スタート信号、クロック信号、及び電源電圧を出力する。

【 0 0 2 6 】

制御信号は、例えば入力される画像信号 I M G 又は使用者による命令信号に従って生成される。画像信号 I M G に従って制御信号を生成する場合、例えば連続するフレーム期間毎に画像信号 I M G のデータを比較し、比較結果に応じてパルスが設定された制御信号を生

10

20

30

40

50

成することができる。また、命令信号に従って制御信号を生成する場合、例えば使用者による入力装置（例えばキーボード又はポインティングデバイス（例えばマウス又はタッチパネルなど））からの入力を検出し、使用者による入力操作の有無に従ってパルスが設定された制御信号を生成することができる。

【0027】

バックライトユニット102は、光源を備えた発光ユニットである。バックライトユニット102は、光源として冷陰極管を備え、光を射出する機能を有する。なお、バックライトユニット102に光制御回路を設け、該光制御回路により、射出する光の輝度又は光の点灯タイミングを制御してもよい。

【0028】

画素103は、画素部104に設けられる。画素部104は、入力される画素データ信号PXDに応じて表示が行われる領域である。なお、本実施の形態の液晶表示装置では、画素103を複数具備する構成にしてもよい。

【0029】

ここで、画素部104の構成例について説明する。

【0030】

画素103は、N個（Nは3以上の自然数）の単位画素（PXUともいう）103pにより構成される。また、N個のトランジスタと、N個の第1の電極としてN個の画素電極と、第2の電極として共通電極と、液晶と、K個（Kは3以上N以下の自然数）のカラーフィルタと、を含み、N個のトランジスタ、N個の第1の電極、第2の電極、液晶、及びK個のカラーフィルタを用いて、N個の単位画素103pが構成される。なお、画素103におけるN個の単位画素の数は、N個に限定されず、少なくとも一つの単位画素を有していればよく、このとき画素103に入力される画素データ信号の数も少なくとも一つであればよい。

【0031】

なお、液晶表示装置において、トランジスタは、電界効果トランジスタであり、特に指定する場合を除き、ソース電極、ドレイン電極、及びゲート電極を少なくとも有する。

【0032】

N個のトランジスタのそれぞれのゲート電極には、1個の選択信号SELが入力され、N個のトランジスタのそれぞれのソース電極及びドレイン電極の一方には、1個の画素データ信号PXDが入力される。なお、Xが2以上の場合には、少なくとも2個以上のトランジスタのゲート電極に互いに異なる選択信号SELが入力されてもよく、また、少なくとも2個以上のトランジスタのゲート電極に同じ選択信号SELが入力されてもよい。また、Yが2以上の場合には、2個以上のトランジスタのソース及びドレインの一方に互いに異なる画素データ信号PXDが入力されてもよく、また、2個以上のトランジスタのソース及びドレインの一方に同じ画素データ信号PXDが入力されてもよい。

【0033】

N個のトランジスタのそれぞれとしては、キャリアの数が極めて少ない半導体層を含むトランジスタを用いることができ、例えば酸化物半導体層を含むトランジスタを用いることができる。上記酸化物半導体層は、チャネルが形成される層（チャネル形成層ともいう）としての機能を有する。また、上記酸化物半導体層は、真性（I型ともいう）、又は実質的に真性である半導体層であり、キャリアの数が極めて少なく、キャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0034】

また、チャネル形成層としての機能を有する上記酸化物半導体層を含むトランジスタのオフ電流は、チャネル幅 $1 \mu\text{m}$ あたり 10 aA ($1 \times 10^{-17} \text{ A}$) 以下、好ましくはチャネル幅 $1 \mu\text{m}$ あたり 1 aA ($1 \times 10^{-18} \text{ A}$) 以下、さらには好ましくはチャネル幅 $1 \mu\text{m}$ あたり 10 zA ($1 \times 10^{-20} \text{ A}$) 以下、さらに好ましくはチャネル幅 $1 \mu\text{m}$ あたり 1 zA ($1 \times 10^{-21} \text{ A}$) 以下、さらに好ましくはチャネル幅 $1 \mu\text{m}$ あたり 100 y

10

20

30

40

50

$A(1 \times 10^{-22} A)$ 以下である。

【0035】

また、上記酸化物半導体層は、キャリア濃度が低いため、該酸化物半導体層を含むトランジスタは、温度が変化した場合であっても、オフ電流は、上記の値の範囲内である。例えばトランジスタの温度が150 であっても、トランジスタのオフ電流は、チャネル幅1 μm あたり100 $\pm A$ 以下であることが好ましい。

【0036】

上記トランジスタを画素103のトランジスタに用いることにより、トランジスタのオフ電流に起因する画素の表示状態の変動を抑制することができるため、一回の画素データの書き込みに対応する単位画素の保持期間を長くすることができる。そのため、画素データの書き込みの間隔を長くすることができる。例えば、画素データの書き込みの間隔を10秒以上、好ましくは30秒以上、さらに好ましくは1分以上にすることもできる。また、画素データを書き込まないときには、画素データを書き込む際に動作させる回路を停止させることができるため、画素データを書き込む間隔を長くすればするほど、より消費電力を低減することができる。

【0037】

N個の画素電極のそれぞれは、N個のトランジスタのうち、互いに異なるトランジスタのソース電極及びドレイン電極の他方に電気的に接続される。なお、N個の画素電極及び共通電極は、透光性を有していてもよい。

【0038】

K個のカラーフィルタのそれぞれは、N個の画素電極のうち、互いに異なる画素電極に重畳する。例えば、K個のカラーフィルタは、少なくとも赤、緑、及び青の色を呈する光を透過するカラーフィルタを含む。また、赤、緑、及び青の色を呈する光を透過するカラーフィルタに限定されず、例えばシアン、マゼンタ、及びイエローなどのその他の色を呈する光を透過するカラーフィルタを適宜組み合わせる又は置き換えて用いてもよい。

【0039】

液晶は、複数の液晶分子を有する。複数の液晶分子には、N個の画素電極のそれぞれ、及び共通電極により電圧が印加される。

【0040】

また、液晶としては、例えば電気制御複屈折型液晶（ECB型液晶ともいう）、二色性色素を添加した液晶（GH液晶ともいう）、高分子分散型液晶、又はディスコチック液晶などを用いることができる。また、液晶としては、ブルー相を示す液晶を用いてもよい。ブルー相を示す液晶は、例えばブルー相を示す液晶とカイラル剤とを含む液晶組成物により構成される。ブルー相を示す液晶は、応答速度が1 msec以下と短く、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。よって、ブルー相を示す液晶を用いることにより、動作速度を向上させることができる。

【0041】

例えば、図1(A)に示すように、赤に対応する単位画素103p、緑に対応する単位画素103p、及び青に対応する単位画素103pの3個の単位画素103pにより画素103を構成することができる。赤に対応する単位画素103pは、赤の色を呈する光を透過するカラーフィルタを含み、緑に対応する単位画素103pは、緑の色を呈する光を透過するカラーフィルタを含み、青に対応する単位画素103pは、青の色を呈する光を透過するカラーフィルタを含む。このとき、上記N及びKは3である。上記3色に対応する3個の単位画素103pにより画素103を構成することにより、画素103において、フルカラー表示を行うことができる。また、例えば上記3個の単位画素103pに白に対応する単位画素103pを加えた4個の単位画素103pにより画素103を構成してもよい。白に対応する単位画素103pは、カラーフィルタを含まない。このとき、上記Nは4であり、上記Kは3である。一般的に、赤、緑、及び青の加法混色により白を得る場合には、それぞれカラーフィルタにより光が減衰する。しかし、カラーフィルタを含まない単位画素103pを用いて白を生成する構成にすることにより、白に対応する単位画素

103pに入射する光を、減衰させることなく表示に用いることができるため、画素103における表示輝度を向上させることができる。なお、画素103にカラーフィルタを必ずしも設けなくてもよいが、カラーフィルタを設けることによりフルカラー表示を行うことができる。

【0042】

また、図1(A)に示す液晶表示装置の表示方式としては、例えばTN(Twisted Nematic)モード、IPS(In Plane Switching)モード、STM(Super Twisted Nematic)モード、VA(Vertical Alignment)モード、ASM(Axially Symmetric Aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モード、又はFFS(Fringe Field Switching)モードなどを用いてもよい。また、液晶表示装置の表示方式にフレーム期間毎に画素電極及び共通電極の間に印加される電圧の高低(極性)を反転させる駆動方法(反転駆動ともいう)を用いてもよい。反転駆動を用いることにより、画像の焼き付きを防止することができる。

【0043】

なお、画像とは、画素部の画素により構成される映像のことである。

【0044】

なお、選択信号出力回路101x及び画素103は、同一基板上に設けられていてもよい。また、選択信号出力回路101x、画素データ信号出力回路101yの少なくとも一部、及び画素103は、同一基板上に設けられていてもよい。これにより、同一工程で画素103と、他の回路を形成することができる。

【0045】

さらに、単位画素103pの等価回路について、図1(B)を用いて説明する。図1(B)は、図1(A)に示す単位画素の等価回路を示す図である。

【0046】

図1(B)に示す単位画素の等価回路は、トランジスタ131及び液晶素子132により構成される。

【0047】

トランジスタ131のゲートには、選択信号SELが入力され、トランジスタ131のソース及びドレインの一方には、画素データ信号PXDが入力される。

【0048】

液晶素子132は、第1端子及び第2端子を有し、液晶素子132の第1端子は、トランジスタ131のソース及びドレインの他方に電氣的に接続される。なお、液晶素子132の第2端子には、共通電圧が入力されてもよい。また、別途スイッチング素子を設け、該スイッチング素子がオン状態になることにより、共通電圧が液晶素子132の第2端子に入力される構成としてもよい。液晶素子132は、画素103に含まれ、第1端子としての機能を有するN個の画素電極のうちの一つ、第2端子としての機能を有する共通電極、及び液晶により構成される。

【0049】

なお、ソースとは、ソース電極の一部若しくは全部、又はソース配線の一部若しくは全部のことをいう。また、ソース電極とソース配線とを区別せずにソース電極及びソース配線の両方の機能を有する導電層をソースという場合がある。

【0050】

また、ドレインとは、ドレイン電極の一部若しくは全部、又はドレイン配線の一部若しく

は全部のことをいう。また、ドレイン電極とドレイン配線とを区別せずにドレイン電極及びドレイン配線の両方の機能を有する導電層をドレインという場合がある。

【 0 0 5 1 】

また、ゲートとは、ゲート電極の一部若しくは全部、又はゲート配線の一部若しくは全部のことをいう。また、ゲート電極とゲート配線とを区別せずにゲート電極及びゲート配線の両方の機能を有する導電層をゲートという場合がある。

【 0 0 5 2 】

また、トランジスタの構造や動作条件などによって、トランジスタのソースとドレインは、互いに入れ替わる場合がある。

【 0 0 5 3 】

なお、図 1 (B) に示すように、単位画素 1 0 3 p に容量素子 1 3 3 を設けてもよい。容量素子 1 3 3 は、第 1 端子及び第 2 端子を有し、容量素子 1 3 3 の第 1 端子は、トランジスタ 1 3 1 のソース及びドレインの他方に電氣的に接続され、容量素子 1 3 3 の第 2 端子には、共通電圧が入力される。また、別途スイッチング素子を設け、該スイッチング素子がオン状態になることにより、共通電圧が容量素子 1 3 3 の第 2 端子に入力される構成としてもよい。

【 0 0 5 4 】

容量素子 1 3 3 は、保持容量としての機能を有し、第 1 端子の一部又は全部としての機能を有する第 1 の電極と、第 2 端子の一部又は全部としての機能を有する第 2 の電極と、誘電体と、を含む。容量素子 1 3 3 の容量は、トランジスタ 1 3 1 のオフ電流などを考慮して設定すればよい。本実施の形態では、各表示回路における液晶素子の容量（液晶容量ともいう）に対して 1 / 3 以下、好ましくは 1 / 5 以下の容量の大きさを有する保持容量を設ければ充分である。また、必ずしも容量素子 1 3 3 を設けなくてもよく、容量素子 1 3 3 を設けない構成としてもよい。単位画素に容量素子 1 3 3 を設けない構成とすることにより単位画素の開口率を向上させることができ、画素の開口率を向上させることができる。

【 0 0 5 5 】

次に、本実施の形態の液晶表示装置の駆動方法例として、図 1 (A) に示す液晶表示装置の駆動方法例について、図 1 (C) 及び図 1 (D) を用いて説明する。図 1 (C) 及び図 1 (D) は、図 1 (A) に示す液晶表示装置の駆動方法例を説明するためのタイミングチャートである。

【 0 0 5 6 】

図 1 (A) に示す液晶表示装置は、第 1 の動作モード及び第 2 の動作モードを有する。第 1 の動作モード及び第 2 の動作モードは、例えば制御回路における制御信号又は別途設けられたスイッチなどにより切り替えることができる。各動作モードにおける動作について、以下に説明する。

【 0 0 5 7 】

まず、一例として、第 1 の動作モードのときに特定の画素データが画素 1 0 3 に書き込まれるとする。このとき、図 1 (C) 及び図 1 (D) における期間 P D 1 に示すように、選択信号出力回路 1 0 1 x は、信号出力状態（状態 O U T P U T ともいう）になる。このとき、選択信号出力回路 1 0 1 x は、X 個の選択信号 S E L を画素 1 0 3 に出力する。

【 0 0 5 8 】

各単位画素 1 0 3 p におけるトランジスタのゲート電極には、1 個の選択信号 S E L が入力される。選択信号 S E L のパルスが入力された単位画素 1 0 3 p は、トランジスタがオン状態になることにより、書き込み状態（状態 W R T ともいう）になる。書き込み状態のとき、単位画素 1 0 3 p に画素データ信号 P X D が書き込まれる。すなわち、単位画素 1 0 3 p における液晶素子の画素電極に 1 個の画素データ信号 P X D が入力されることにより、入力された画素データ信号 P X D のデータ（電圧）に応じて単位画素 1 0 3 p の表示状態が設定され、各単位画素 1 0 3 p の表示状態が設定されることにより、画素 1 0 3 の表示状態が設定される。

10

20

30

40

50

【 0 0 5 9 】

各单位画素 1 0 3 p に画素データが書き込まれることにより画素 1 0 3 は保持状態（状態 H L D ともいう）になり、各单位画素 1 0 3 p のトランジスタがオフ状態になり、設定された表示状態を維持する。なお、表示状態を維持するとは、画素 1 0 3 における N 個の画素電極のそれぞれと、共通電極との間に印加された電圧の初期値からの変動量が基準値より大きくなならないように保持することをいう。上記基準値は、適宜設定される電圧値であり、例えば使用者が表示画像を閲覧する場合に、同じ表示画像であると認識できる範囲内の値に設定することが好ましい。また、このとき画素 1 0 3 における共通電極を浮遊状態にしてもよい。これにより、共通電極の電圧の変動を抑制することができる。

【 0 0 6 0 】

さらに、繰り返し第 1 の動作モードで動作させる場合には、図 1（C）における期間 P D 2 及び期間 P D 3 に示すように、選択信号出力回路 1 0 1 x が X 個の選択信号 S E L を画素 1 0 3 に出力する。

【 0 0 6 1 】

選択信号 S E L のパルスが入力された単位画素 1 0 3 p は、書き込み状態になり、単位画素 1 0 3 p に、1 個の画素データ信号 P X D が入力される。また、入力された画素データ信号 P X D のデータ（電圧）に応じて単位画素 1 0 3 p の表示状態が設定され、画素 1 0 3 の表示状態が設定される。このとき、ある期間において画素部 1 0 4 に設けられた画素 1 0 3 に入力される画素データ信号 P X D と、一つ前の期間において同じ画素 1 0 3 に入力される画素データ信号 P X D と、のデータ（電圧）の差の絶対値が基準値以下の場合、連続する期間における画素部 1 0 4 の画像は静止画であり、基準値より大きい場合、連続する期間における画素部 1 0 4 の画像は動画である。なお、上記基準値は、適宜設定される電圧値であり、例えば使用者が表示画像を閲覧する場合に、目視にて同じ表示画像であると認識できる範囲内の値に設定することが好ましい。

【 0 0 6 2 】

画素データが書き込まれた画素 1 0 3 は、保持状態になり、設定された表示状態を維持する。

【 0 0 6 3 】

また、第 2 の動作モードでは、図 1（D）における期間 P D 2 に示すように、選択信号出力回路 1 0 1 x は、停止状態（状態 S T O P ともいう）になる。このとき、選択信号出力回路 1 0 1 x における選択信号 S E L の出力が停止する。例えば、選択信号出力回路 1 0 1 x へのスタート信号、クロック信号、及び電源電圧の入力を停止させることにより、選択信号出力回路 1 0 1 x は停止状態になる。なお、信号又は電圧の入力又は出力が停止するとは、例えば信号の電圧を一定の範囲の値に維持すること又は信号が入力又は出力される配線を浮遊状態にすることをいう。

【 0 0 6 4 】

このとき、画素 1 0 3 には、画素データ信号 P X D が入力されないため、各单位画素 1 0 3 p のトランジスタ 1 3 1 は、オフ状態を維持する。よって、画素 1 0 3 は、一つ前の第 1 の動作モードのとき（図 1（D）における期間 P D 1）の表示状態を維持する。つまり、一つ前の第 1 の動作モードのときの保持状態を維持する。

【 0 0 6 5 】

なお、期間 P D 2 において、画素データ信号出力回路 1 0 1 y を停止状態にさせてもよい。例えば、画素データ信号出力回路 1 0 1 y への画像信号 I M G、スタート信号、クロック信号、及び電源電圧の入力を停止させることにより、画素データ信号出力回路 1 0 1 y における画素データ信号 P X D の出力が停止する。選択信号出力回路 1 0 1 x が停止状態のときに画素データ信号出力回路 1 0 1 y を停止させることにより、消費電力をさらに低減させることができる。

【 0 0 6 6 】

さらに、選択信号出力回路 1 0 1 x を停止状態にした後に画素の画素データの書き換えを行う場合には、図 1（D）における期間 P D 3 に示すように、選択信号出力回路 1 0 1 x

10

20

30

40

50

における選択信号SELの出力動作を再開させ、選択信号出力回路101xが選択信号SELを画素103に出力する。例えば、選択信号出力回路101xに再びスタート信号、クロック信号、及び電源電圧を入力することにより、選択信号出力回路101xは、選択信号SELの出力動作を再開する。なお、選択信号出力回路101xを停止状態にしたときに画素データ信号出力回路101yを停止状態にした場合には、期間PD3に画素データ信号出力回路101yにおける画素データ信号PXDの出力動作を再開させる。例えば、画素データ信号出力回路101yに、再び画素データ信号PXD、スタート信号、クロック信号、及び電源電圧を入力することにより、画素データ信号出力回路101yは、画素データ信号PXDの出力動作を再開する。

【0067】

10

選択信号SELのパルスが入力された単位画素103pは、書き込み状態になり、各単位画素に1個の画素データ信号PXDが入力されることにより、入力された画素データ信号PXDのデータ（電圧）に応じて単位画素103pの表示状態が設定され、各単位画素103pの表示状態が設定されることにより、画素103の表示状態が設定される。

【0068】

画素データが書き込まれた画素103は、保持状態になり、設定された表示状態を維持する。以上が図1（A）に示す液晶表示装置の動作例である。

【0069】

なお、図1（A）に示す液晶表示装置が透過型である場合には、第1の動作モード及び第2の動作モードのときに、バックライトユニット102は、画素103に光を射出する。

20

【0070】

図1を用いて説明したように、本実施の形態における液晶表示装置の一例は、画素データを画素に書き込んで表示動作を行う第1の動作モード及び画素データを画素に書き込まずに表示動作を行う第2の動作モードを選択的に切り替えることが可能な液晶表示装置である。よって、必要に応じて第2の動作モードにすることにより、画素では表示を行いつつ、少なくとも選択信号出力回路における選択信号の出力を停止させることができる。これにより、画素における画素データの書き込みが不要な期間において、選択信号出力回路を停止させることができるため、消費電力を低減することができる。

【0071】

また、本実施の形態における液晶表示装置の一例は、単位画素におけるトランジスタとして、高純度化させた酸化物半導体層をチャネル形成層として用いたトランジスタを用いた構成である。よって、トランジスタのオフ電流に起因する液晶素子の表示状態の変動を抑制することができるため、一回の画素データの書き込みに対応する画像の保持期間を長くすることができる。そのため、画素データの書き込みの間隔を長くすることができ、消費電力を低減することができる。また、バックライトユニットの光源として冷陰極管を用いた場合であっても、トランジスタの温度変化に起因する画素の表示状態の変動を抑制することができるため、一回の画素データの書き込みに対応する画像の保持期間を長くすることができる。そのため、画素データの書き込みの間隔を長くすることができ、消費電力を低減することができる。さらに、一つの画素に3個以上の単位画素を備えたフルカラー表示型の液晶表示装置の場合、同じ画素数であれば、モノクロ表示型の液晶表示装置と比較して単位画素の数が多いため、より消費電力を低減することができる。

30

40

【0072】

（実施の形態2）

本実施の形態では、制御信号の生成方法例について説明する。

【0073】

上記実施の形態の液晶表示装置において制御信号を用いる場合、例えば制御信号生成回路を用いて制御信号を生成することができる。そこで、制御信号生成回路の構成例について、図2を用いて説明する。図2は、本実施の形態における制御信号生成回路の構成例を示すブロック図である。

【0074】

50

図 2 に示す制御信号生成回路は、記憶回路（MEMORYともいう）201と、比較回路（COMPともいう）202と、出力選択回路（OSELともいう）203と、を備える。

【0075】

記憶回路201には、画像信号IMGが入力される。記憶回路201は、入力される画像信号IMGのデータを順次記憶する機能を有する。記憶回路201は、複数のフレーム期間の画像に対応する画像信号IMGのデータを記憶するための複数のフレームメモリ201__FMを備える。なお、フレームメモリ201__FMは、1フレーム期間分のメモリ領域を概念的に図示するものである。また、記憶回路201は、複数のフレーム期間の画像に対応する画像信号IMGのデータを記憶することができればよく、記憶回路201が有するフレームメモリ201__FMの数は、特に限定されるものではない。また、フレームメモリ201__FMは、例えばDRAM（Dynamic Random Access Memory）、又はSRAM（Static Random Access Memory）などの記憶素子を用いて構成される。

10

【0076】

比較回路202は、連続するフレーム期間の画像に対応する画像信号IMGのデータを記憶回路201から読み出し、読み出した画像信号IMGのデータを比較し、比較結果に従ってパルスが設定された制御信号CTLを生成し、生成した制御信号CTLを出力する回路である。

【0077】

20

例えば、比較した画像信号IMGのデータ（電圧）に差分があるか否かを調べ、比較した画像信号IMGのデータに対応する画像が動画であるか静止画であるかを判断する。

【0078】

連続するフレーム期間の画像に対応する画像信号IMGのデータの差の絶対値が基準値以下の場合、比較回路202は、比較した画像信号IMGのデータに対応する画像を静止画と判断する。

【0079】

また、連続するフレーム期間の画像に対応する画像信号IMGのデータの差の絶対値が基準値より大きい場合、比較回路202は、比較した画像信号IMGのデータに対応する画像を動画と判断する。

30

【0080】

なお、比較の際の基準値は、適宜設定される電圧値であり、例えば使用者が表示画像を閲覧する場合に、同じ表示画像であると認識できる範囲内の値に設定することが好ましい。

【0081】

出力選択回路203は、制御信号CTLが入力され、入力された制御信号CTLに応じて、記憶回路201に記憶された画像信号IMGのデータを読み出して出力する回路である。なお、出力選択回路203を必ずしも設けなくてもよいが、出力選択回路203を設けることにより、上記実施の形態の液晶表示装置における画素データ信号出力回路への画像信号IMGの出力を選択的に停止させることができる。

【0082】

40

例えば、比較回路202により比較した画像信号IMGのデータに基づく画像が動画と判断された場合、出力選択回路203は、記憶回路201から画像信号IMGのデータを読み出して出力することにより、画像信号IMGを出力する。

【0083】

また、比較回路202により比較した画像信号IMGのデータに基づく画像が静止画と判断され、且つ連続して静止画と判定された回数が基準値以下である場合、出力選択回路203は、記憶回路201からの画像信号IMGのデータの読み出しを停止し、画像信号IMGの出力を停止する。なお、基準値は、適宜設定することができる。

【0084】

出力選択回路203は、例えば複数のスイッチを含む回路により構成され、該スイッチと

50

しては、例えばトランジスタを用いることができる。

【 0 0 8 5 】

なお、制御信号生成回路に計数回路を設けることもできる。上記計数回路により、連続して静止画を表示するためのデータと判定されたフレーム期間の数を計数し、計数値が基準値を超えたときに動画を表示するためのデータと判定されたときの動作と同じ動作を行うようにすることもできる。

【 0 0 8 6 】

また、上記制御信号生成回路を、上記実施の形態の液晶表示装置に設けてもよいし、別途制御信号生成回路を準備し、上記実施の形態の液晶表示装置に電氣的に接続させてもよい。

10

【 0 0 8 7 】

図 2 を用いて説明したように、本実施の形態の制御信号生成回路は、連続するフレーム期間の画素データを動画であるか静止画であるか判定し、判定結果に基づいて生成される制御信号 C T L のパルスを設定することができる。これにより、例えば制御信号 C T L のパルスが入力されたときに、上記実施の形態の液晶表示装置において、選択信号出力回路が選択信号を出力するように設定することもできる。

【 0 0 8 8 】

(実施の形態 3)

本実施の形態では、上記実施の形態の液晶表示装置における選択信号出力回路及び画素データ信号出力回路に適用可能なシフトレジスタの一例について説明する。

20

【 0 0 8 9 】

まず、本実施の形態のシフトレジスタの構成例について、図 3 (A) を用いて説明する。図 3 (A) は、シフトレジスタの構成例を示す図である。

【 0 0 9 0 】

図 3 (A) に示すシフトレジスタは、P 個 (P は 3 以上の自然数) の順序回路 (F F とおもう) を用いて構成される P 段の順序回路を備える。

【 0 0 9 1 】

図 3 (A) に示すシフトレジスタには、スタート信号としてスタート信号 S P が入力され、クロック信号として、クロック信号 C L K 1、クロック信号 C L K 2、クロック信号 C L K 3、及びクロック信号 C L K 4 が入力される。複数のクロック信号を用いることにより、シフトレジスタにおける信号の出力動作の速度を向上させることができる。

30

【 0 0 9 2 】

なお、本実施の形態のシフトレジスタにおける信号としては、例えば電圧を用いた信号を用いることができる。電圧を用いた信号 (電圧信号とおもう) としては、少なくとも第 1 の電圧及び第 2 の電圧となるアナログ信号又はデジタル信号を用いることができる。例えば、クロック信号などの 2 値のデジタル信号は、ローレベル及びハイレベルになることにより、第 1 の電圧 (ローレベルの電圧) 及び第 2 の電圧 (ハイレベルの電圧) となる信号である。また、ハイレベルの電圧及びローレベルの電圧は、それぞれ一定値であることが好ましい。しかし、電子回路では、例えばノイズなどの影響があるため、ハイレベルの電圧及びローレベルの電圧は、一定値ではなく、それぞれ実質的に同等とみなすことができる一定の範囲内の値であればよい。

40

【 0 0 9 3 】

さらに、各順序回路について以下に説明する。

【 0 0 9 4 】

順序回路 3 0 0 _ 1 乃至順序回路 3 0 0 _ P のそれぞれには、セット信号 S T、リセット信号 R E、クロック信号 C K 1、クロック信号 C K 2、及びクロック信号 C K 3 が入力される。また、順序回路 3 0 0 _ 1 乃至順序回路 3 0 0 _ P のそれぞれは、信号 O U T 1 及び信号 O U T 2 を出力する機能を有する。

【 0 0 9 5 】

クロック信号 C K 1、クロック信号 C K 2、及びクロック信号 C K 3 は、順に 1 / 4 周期

50

ずつ波形が遅れている。なお、クロック信号C K 1、クロック信号C K 2、及びクロック信号C K 3としては、例えばクロック信号C L K 1乃至クロック信号C L K 4のうちのいずれか3つのクロック信号を用いることができる。なお、互いに隣り合う段の順序回路には同じ組み合わせのクロック信号が入力されないものとする。

【0096】

さらに、図3(A)に示す順序回路の回路構成について、図3(B)を用いて説明する。図3(B)は、図3(A)に示す順序回路の回路構成を示す回路図である。

【0097】

図3(B)に示す順序回路は、トランジスタ301aと、トランジスタ301bと、トランジスタ301cと、トランジスタ301dと、トランジスタ301eと、トランジスタ301fと、トランジスタ301gと、トランジスタ301hと、トランジスタ301iと、トランジスタ301jと、トランジスタ301kと、を備える。

10

【0098】

トランジスタ301aのソース及びドレインの一方には、電圧V aが入力され、トランジスタ301aのゲートには、セット信号S Tが入力される。

【0099】

トランジスタ301bのソース及びドレインの一方は、トランジスタ301aのソース及びドレインの他方に電氣的に接続され、トランジスタ301bのソース及びドレインの他方には、電圧V bが入力される。

【0100】

20

トランジスタ301cのソース及びドレインの一方は、トランジスタ301aのソース及びドレインの他方に電氣的に接続され、トランジスタ301cのゲートには、電圧V aが入力される。

【0101】

トランジスタ301dのソース及びドレインの一方には、電圧V aが入力され、トランジスタ301dのゲートには、クロック信号C K 3が入力される。

【0102】

トランジスタ301eのソース及びドレインの一方は、トランジスタ301dのソース及びドレインの他方に電氣的に接続され、トランジスタ301eのソース及びドレインの他方は、トランジスタ301bのゲートに電氣的に接続され、トランジスタ301eのゲートには、クロック信号C K 2が入力される。

30

【0103】

トランジスタ301fのソース及びドレインの一方には、電圧V aが入力され、トランジスタ301fのゲートには、リセット信号R Eが入力される。

【0104】

トランジスタ301gのソース及びドレインの一方は、トランジスタ301bのゲート並びにトランジスタ301fのソース及びドレインの他方に電氣的に接続され、トランジスタ301gのソース及びドレインの他方には、電圧V bが入力され、トランジスタ301gのゲートには、セット信号S Tが入力される。

【0105】

40

トランジスタ301hのソース及びドレインの一方には、クロック信号C K 1が入力され、トランジスタ301hのゲートは、トランジスタ301cのソース及びドレインの他方に電氣的に接続される。

【0106】

トランジスタ301iのソース及びドレインの一方は、トランジスタ301hのソース及びドレインの他方に電氣的に接続され、トランジスタ301iのソース及びドレインの他方には、電圧V bが入力され、トランジスタ301iのゲートは、トランジスタ301bのゲートに電氣的に接続される。

【0107】

トランジスタ301jのソース及びドレインの一方には、クロック信号C K 1が入力され

50

、トランジスタ 301j のゲートは、トランジスタ 301c のソース及びドレインの他方に電氣的に接続される。

【0108】

トランジスタ 301k のソース及びドレインの一方は、トランジスタ 301j のソース及びドレインの他方に電氣的に接続され、トランジスタ 301k のソース及びドレインの他方には、電圧 Vb が入力され、トランジスタ 301k のゲートは、トランジスタ 301b のゲートに電氣的に接続される。

【0109】

なお、電圧 Va 及び電圧 Vb の一方は、高電源電圧 Vdd であり、電圧 Va 及び電圧 Vb の他方は、低電源電圧 Vss である。高電源電圧 Vdd は、相対的に低電源電圧 Vss より高い値の電圧であり、低電源電圧 Vss は、相対的に高電源電圧 Vdd より低い値の電圧である。電圧 Va 及び電圧 Vb の値は、例えばトランジスタの極性などにより互いに入れ替わる場合がある。また、電圧 Va 及び電圧 Vb の電位差が電源電圧となる。

10

【0110】

また、図 3 (B) において、トランジスタ 301b のゲートと、トランジスタ 301e のソース及びドレインの他方と、トランジスタ 301f のソース及びドレインの他方と、トランジスタ 301g のソース及びドレインの一方と、トランジスタ 301i のゲートと、トランジスタ 301k のゲートとの電氣的接続箇所をノード NA ともいう。また、トランジスタ 301a のソース及びドレインの他方と、トランジスタ 301b のソース及びドレインの一方と、トランジスタ 301c のソース及びドレインの一方との電氣的接続箇所をノード NB ともいう。また、トランジスタ 301c のソース及びドレインの他方と、トランジスタ 301h のゲートと、トランジスタ 301j のゲートとの電氣的接続箇所をノード NC ともいう。また、トランジスタ 301h のソース及びドレインの他方と、トランジスタ 301i のソース及びドレインの一方との電氣的接続箇所をノード ND ともいう。また、トランジスタ 301j のソース及びドレインの他方と、トランジスタ 301k のソース及びドレインの一方との電氣的接続箇所をノード NE ともいう。

20

【0111】

図 3 (B) に示す順序回路は、ノード ND の電圧を信号 OUT1 として出力し、ノード NE の電圧を信号 OUT2 として出力する。

【0112】

また、1 段目の順序回路 300__1 におけるトランジスタ 301a のゲート及びトランジスタ 301g のゲートには、セット信号 ST として、スタート信号 SP が入力される。

30

【0113】

また、Q + 2 段目 (Q は 1 以上 P - 2 以下の自然数) の順序回路 300__Q + 2 におけるトランジスタ 301a のゲート及びトランジスタ 301g のゲートは、Q + 1 段目の順序回路 300__Q + 1 におけるトランジスタ 301h のソース及びドレインの他方に電氣的に接続される。このとき、順序回路 300__Q + 1 における信号 OUT1 が順序回路 300__Q + 2 におけるセット信号 ST となる。

【0114】

また、U 段目 (U は 3 以上 P 以下の自然数) の順序回路 300__U におけるトランジスタ 301h のソース及びドレインの他方は、U - 2 段目の順序回路 300__U - 2 におけるトランジスタ 301f のゲートに電氣的に接続される。このとき、順序回路 300__U における信号 OUT1 が順序回路 300__U - 2 のリセット信号 RE となる。

40

【0115】

また、P - 1 段目の順序回路 300__P - 1 におけるトランジスタ 301f のゲートには、リセット信号として信号 RP1 が入力される。なお、P - 1 段目の順序回路 300__P - 1 から出力される信号 OUT2 は、他の回路を動作させるために用いなくてもよい。

【0116】

また、P 段目の順序回路 300__P におけるトランジスタ 301f のゲートには、リセット信号として信号 RP2 が入力される。なお、P 段目の順序回路 300__P から出力され

50

る信号OUT 2は、他の回路を動作させるために用いなくてもよい。

【0117】

また、トランジスタ301a乃至トランジスタ301kのそれぞれを同一の導電型にすることができる。また、トランジスタ301a乃至トランジスタ301kとしては、例えばチャンネルが形成される層として、元素周期表における第14族の半導体（シリコンなど）を用いた半導体層を含むトランジスタ又は上記実施の形態1の液晶表示装置における画素103に適用可能なトランジスタを用いることができる。

【0118】

さらに、図3(B)に示す順序回路の動作例について、図4(A)を用いて説明する。図4(A)は、図3(B)に示す順序回路の動作例を説明するためのタイミングチャートである。なお、一例として図3(B)に示す順序回路におけるトランジスタ301a乃至トランジスタ301kのそれぞれを、全てN型の導電型とし、トランジスタ301h及びトランジスタ301jの閾値電圧を同じ電圧 V_{th} とし、電圧 V_a として高電源電圧 V_{dd} が入力され、電圧 V_b として低電源電圧 V_{ss} が入力されるものとする。

【0119】

まず、時刻T61において、クロック信号CK1がローレベルになり、クロック信号CK2がローレベルになり、クロック信号CK3がハイレベルになり、セット信号STがハイレベルになり、リセット信号REがローレベルになる。

【0120】

このとき、順序回路はセット状態になる。また、トランジスタ301d及びトランジスタ301gがオン状態になり、トランジスタ301e及びトランジスタ301fがオフ状態になるため、ノードNAの電圧(V_{NA} ともいう)が電圧 V_b と同等の値になり、トランジスタ301b、トランジスタ301i、及びトランジスタ301kがオフ状態になる。また、トランジスタ301aがオン状態になり、トランジスタ301bがオフ状態になるため、ノードNBの電圧(V_{NB} ともいう)が電圧 V_a と同等の値になる。また、トランジスタ301cがオン状態になるため、ノードNCの電圧(V_{NC} ともいう)が電圧 V_a と同等の値になり、トランジスタ301h及びトランジスタ301jがオン状態になる。また、ノードNCの電圧が電圧 V_a と同等の値になると、トランジスタ301cがオフ状態になる。また、トランジスタ301hがオン状態になり、トランジスタ301iがオフ状態になるため、信号OUT1はローレベルになる。また、トランジスタ301jがオン状態になり、トランジスタ301kがオフ状態になるため、信号OUT2はローレベルになる。

【0121】

次に、時刻T62において、クロック信号CK1がハイレベルになり、クロック信号CK2がローレベルのままであり、クロック信号CK3がローレベルになり、セット信号STがハイレベルのままであり、リセット信号REがローレベルのままである。

【0122】

このとき、トランジスタ301dがオフ状態になり、トランジスタ301e、トランジスタ301f、及びトランジスタ301gがオフ状態のままであるため、ノードNAの電圧は、電圧 V_b と同等の値のままであり、トランジスタ301b、トランジスタ301i、及びトランジスタ301kはオフ状態のままである。また、トランジスタ301aがオン状態のままであり、トランジスタ301cがオフ状態のままであるため、ノードNBの電圧は、電圧 V_a と同等の値のままである。また、トランジスタ301cがオフ状態のままであるため、ノードNCは、浮遊状態になる。また、トランジスタ301hがオン状態のままであり、トランジスタ301iがオフ状態のままであるため、ノードNCの電圧が上昇し、トランジスタ301jがオン状態のままであり、トランジスタ301kがオフ状態のままであるため、ノードNDの電圧が上昇する。すると、トランジスタ301h及びトランジスタ301jのそれぞれのゲートとソース及びドレインの他方との間に生じる寄生容量による容量結合により、ノードNCの電圧が上昇する。いわゆるブートストラップである。ノードNCの電圧は、電圧 V_a と電圧 V_{th} の和よりもさらに大きい値、すなわち

、 $V_a + V_{th} + V_x$ まで上昇する。このときトランジスタ301h及びトランジスタ301jはオン状態のままである。また、このとき信号OUT1及び信号OUT2はハイレベルになる。

【0123】

次に、時刻T63において、クロック信号CK1がハイレベルのままであり、クロック信号CK2がハイレベルになり、クロック信号CK3がローレベルのままであり、セット信号STがローレベルになり、リセット信号REがローレベルのままである。

【0124】

このとき、トランジスタ301eがオン状態になり、トランジスタ301gがオフ状態になり、トランジスタ301d及びトランジスタ301fはオフ状態のままであるため、ノードNAの電圧が電圧Vbと同等の値のままであり、トランジスタ301b、トランジスタ301i、及びトランジスタ301kはオフ状態のままである。また、トランジスタ301aがオフ状態になり、トランジスタ301bはオフ状態のままであり、トランジスタ301cがオフ状態のままであるため、ノードNBの電圧は電圧Vaと同等の値のままである。また、トランジスタ301cがオフ状態のままであるため、ノードNCの電圧は $V_a + V_{th} + V_x$ のままであり、トランジスタ301h及びトランジスタ301jがオン状態のままである。また、トランジスタ301hはオン状態のままであり、トランジスタ301iはオフ状態のままであるため、信号OUT1はハイレベルのままである。また、トランジスタ301jはオン状態のままであり、トランジスタ301kはオフ状態のままであるため、信号OUT2はハイレベルのままである。

【0125】

次に、時刻T64において、クロック信号CK1がローレベルになり、クロック信号CK2はハイレベルのままであり、クロック信号CK3がハイレベルになり、セット信号STがローレベルのままであり、リセット信号REがハイレベルになる。

【0126】

このとき、順序回路はリセット状態になる。また、トランジスタ301h及びトランジスタ301jがオン状態のときに、信号OUT1及び信号OUT2がローレベルになる。また、トランジスタ301d及びトランジスタ301fがオン状態になり、トランジスタ301eはオン状態のままであり、トランジスタ301gはオフ状態のままであるため、ノードNAの電圧が電圧Vaと同等の値になり、トランジスタ301b、トランジスタ301i、及びトランジスタ301kがオン状態になる。また、トランジスタ301bがオン状態になり、トランジスタ301a及びトランジスタ301cはオフ状態のままであるため、ノードNBの電圧が電圧Vbと同等の値になり、トランジスタ301cがオン状態になる。また、トランジスタ301cがオン状態になるため、ノードNCの電圧が電圧Vbと同等の値になり、トランジスタ301h及びトランジスタ301jがオフ状態になる。また、トランジスタ301hがオフ状態になり、トランジスタ301iがオン状態になるため、信号OUT1がローレベルになる。また、トランジスタ301jがオフ状態になり、トランジスタ301kがオン状態になるため、信号OUT2がローレベルになる。

【0127】

次に、時刻T65において、クロック信号CK1はローレベルのままであり、クロック信号CK2がローレベルになり、クロック信号CK3はハイレベルのままであり、セット信号STはローレベルのままであり、リセット信号REはハイレベルのままである。

【0128】

このとき、トランジスタ301eがオフ状態になり、トランジスタ301d及びトランジスタ301fはオン状態のままであり、トランジスタ301gはオフ状態のままであるため、ノードNAの電圧は電圧Vaと同等の値のままであり、トランジスタ301b、トランジスタ301i、及びトランジスタ301kはオン状態のままである。また、トランジスタ301aがオフ状態のままであり、トランジスタ301b及びトランジスタ301cがオン状態のままであり、ノードNBの電圧は電圧Vbと同等の値のままである。また、トランジスタ301cはオン状態のままであるため、ノードNCの電圧は電圧Vbと同等

の値のままであり、トランジスタ 301h 及びトランジスタ 301j はオフ状態のままである。また、トランジスタ 301h はオフ状態のままであり、トランジスタ 301i はオン状態のままであるため、信号 OUT1 はローレベルのままである。また、トランジスタ 301j はオフ状態のままであり、トランジスタ 301k はオン状態のままであるため、信号 OUT2 はローレベルのままである。

【0129】

以上のように、順序回路は、信号 OUT1 及び信号 OUT2 を出力することができる。以上が図 3 (B) に示す順序回路の動作の一例である。

【0130】

さらに、図 3 (A) に示すシフトレジスタの動作の一例について、図 4 (B) を用いて説明する。図 4 (B) は図 3 (A) に示すシフトレジスタの駆動方法の一例を説明するためのタイミングチャートである。

10

【0131】

図 3 (A) に示すシフトレジスタは、上記実施の形態の液晶表示装置における第 1 の動作モード及び第 2 の動作モードに合わせて動作を切り替えることができる。各モードになる際の動作について、以下に説明する。

【0132】

まず、一例として第 1 の動作モードになるときの動作について説明する。このとき、図 4 (B) の期間 311 に示すように、スタート信号 SP、電源電圧 Vp、及びクロック信号 CLK1 乃至クロック信号 CLK4 が入力され、スタート信号 SP のパルスが 1 段目の順序回路 300_1 に入力されることにより、クロック信号 CLK1 乃至クロック信号 CLK4 に従って、1 段目の順序回路 300_1 の信号 OUT1 及び信号 OUT2 乃至 P 段目の順序回路 300_P の信号 OUT1 及び信号 OUT2 において、順にパルスを出力する。つまり 1 段目の順序回路 300_1 の信号 OUT1 及び信号 OUT2 乃至 P 段目の順序回路 300_P の信号 OUT1 及び信号 OUT2 を出力する。

20

【0133】

次に、第 1 の動作モードから第 2 の動作モードになるときの動作について説明する。このとき、図 4 (B) の期間 312 に示すように、シフトレジスタへの電源電圧 Vp、クロック信号 CLK1 乃至クロック信号 CLK4、及びスタート信号 SP の出力を停止する。

【0134】

30

このとき、まず、シフトレジスタへのスタート信号 SP の出力を停止し、シフトレジスタへのクロック信号 CLK1 の出力を停止し、シフトレジスタへのクロック信号 CLK2 の出力を停止し、シフトレジスタへのクロック信号 CLK3 の出力を停止し、シフトレジスタへのクロック信号 CLK4 の出力を停止し、シフトレジスタへの電源電圧 Vp の出力を停止することにより、シフトレジスタによる信号の出力を停止するときのシフトレジスタの誤動作を抑制することができる。

【0135】

シフトレジスタへの電源電圧 Vp、クロック信号 CLK1 乃至クロック信号 CLK4、及びスタート信号 SP の出力を停止すると、1 段目の順序回路 300_1 の信号 OUT1 及び信号 OUT2 乃至 P 段目の順序回路 300_P の信号 OUT1 及び信号 OUT2 において、パルスの出力が停止する。つまり 1 段目の順序回路 300_1 の信号 OUT1 及び信号 OUT2 乃至 P 段目の順序回路 300_P の信号 OUT1 及び信号 OUT2 の出力が停止する。よって、液晶表示装置が第 2 の動作モードになる。

40

【0136】

さらにシフトレジスタにおける信号の出力を停止させた後に、シフトレジスタにおける信号の出力を再開させる場合には、図 4 (B) の期間 313 に示すように、シフトレジスタへのスタート信号 SP、クロック信号 CLK1 乃至クロック信号 CLK4、及び電源電圧 Vp の出力を再開する。

【0137】

このとき、まずシフトレジスタへの電源電圧 Vp の出力を再開し、シフトレジスタへのク

50

ロック信号CLK1の出力を再開し、シフトレジスタへのクロック信号CLK2の出力を再開し、シフトレジスタへのクロック信号CLK3の出力を再開し、シフトレジスタへのクロック信号CLK4の出力を再開し、スタート信号SPの出力を再開する。さらにこのとき、クロック信号CLK1乃至クロック信号CLK4が出力される配線に高電源電圧V_{dd}を印加した後にクロック信号CLK1乃至クロック信号CLK4を出力することが好ましい。

【0138】

シフトレジスタへのスタート信号SP、クロック信号CLK1乃至クロック信号CLK4、及び電源電圧V_pの出力を再開し、スタート信号SPのパルスが1段目の順序回路300__1に入力されることにより、クロック信号CLK1乃至クロック信号CLK4に従って、1段目の順序回路300__1の信号OUT1及び信号OUT2乃至P段目の順序回路300__Pの信号OUT1及び信号OUT2において、順にパルスを出力する。つまり、1段目の順序回路300__1の信号OUT1及び信号OUT2乃至P段目の順序回路300__Pの信号OUT1及び信号OUT2の出力が再開する。よって液晶表示装置は第1の動作モードになる。

10

【0139】

図3(A)及び図3(B)、並びに図4(A)及び図4(B)を用いて説明したように、本実施の形態のシフトレジスタは、複数段の順序回路を用いて構成され、複数の順序回路のそれぞれは、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、第1のトランジスタのゲートには、セット信号が入力され、第1のトランジスタは、セット信号に従って第2のトランジスタをオン状態にするか否かを制御する機能を有し、第2のトランジスタのソース及びドレインの一方には、クロック信号が入力され、第2のトランジスタは、順序回路の出力信号の電圧をクロック信号の電圧に応じた値にするか否かを制御する機能を有し、第3のトランジスタのゲートには、リセット信号が入力され、第3のトランジスタは、リセット信号に従って第2のトランジスタをオフ状態にするか否かを制御する機能を有する構成である。上記構成にすることにより、シフトレジスタの信号の出力を容易に停止することができる。

20

【0140】

また、本実施の形態のシフトレジスタを用いて、上記実施の形態の液晶表示装置における選択信号出力回路を構成することができる。よって、選択信号の出力を停止する期間を設けることができる。また、上記構成にすることにより、シフトレジスタへのスタート信号、クロック信号、及び電源電圧の出力を停止することにより、シフトレジスタにおける信号の出力を停止し、選択信号の出力を停止させることができる。

30

【0141】

また、本実施の形態のシフトレジスタを用いて、上記実施の形態の液晶表示装置における画素データ信号出力回路を構成することができる。よって、画素データ信号の出力を停止する期間を設けることもできる。また、上記構成にすることにより、シフトレジスタへのスタート信号、クロック信号、及び電源電圧の出力を停止することにより、シフトレジスタにおける信号の出力を停止し、画素データ信号の出力を停止させることができる。

40

【0142】

(実施の形態4)

本実施の形態では、酸化物半導体層を含む上記実施の形態に示す液晶表示装置に適用可能なトランジスタについて説明する。

【0143】

本実施の形態に示す酸化物半導体層を含むトランジスタは、高純度化することにより、真性(I型ともいう)、又は実質的に真性にさせた酸化物半導体層を有するトランジスタである。高純度化とは、酸化物半導体層中の水素を極力排除すること、及び酸化物半導体層に酸素を供給して酸化物半導体層中の酸素欠乏に起因する欠陥を低減することの少なくとも一方を含む概念である。

【0144】

50

本実施の形態のトランジスタの構造例について、図 5 (A) 乃至図 5 (D) を用いて説明する。図 5 (A) 乃至図 5 (D) は、トランジスタの構造例を示す断面模式図である。

【 0 1 4 5 】

図 5 (A) に示すトランジスタは、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

【 0 1 4 6 】

図 5 (A) に示すトランジスタは、導電層 4 0 1 a と、絶縁層 4 0 2 a と、酸化物半導体層 4 0 3 a と、導電層 4 0 5 a と、導電層 4 0 6 a と、を含む。

【 0 1 4 7 】

導電層 4 0 1 a は、基板 4 0 0 a の上に設けられ、絶縁層 4 0 2 a は、導電層 4 0 1 a の上に設けられ、酸化物半導体層 4 0 3 a は、絶縁層 4 0 2 a を介して導電層 4 0 1 a の上に設けられ、導電層 4 0 5 a 及び導電層 4 0 6 a は、酸化物半導体層 4 0 3 a の一部の上にそれぞれ設けられる。

10

【 0 1 4 8 】

さらに図 5 (A) において、トランジスタの酸化物半導体層 4 0 3 a の上面の一部（上面に導電層 4 0 5 a 及び導電層 4 0 6 a が設けられていない部分）は、酸化物絶縁層 4 0 7 a に接する。また、酸化物絶縁層 4 0 7 a は、上部に保護絶縁層 4 0 9 a が設けられる。

【 0 1 4 9 】

図 5 (B) に示すトランジスタは、ボトムゲート構造の一つであるチャネル保護型（チャネルストップ型ともいう）トランジスタであり、逆スタガ型トランジスタともいう。

20

【 0 1 5 0 】

図 5 (B) に示すトランジスタは、導電層 4 0 1 b と、絶縁層 4 0 2 b と、酸化物半導体層 4 0 3 b と、絶縁層 4 2 7 と、導電層 4 0 5 b と、導電層 4 0 6 b と、を含む。

【 0 1 5 1 】

導電層 4 0 1 b は、基板 4 0 0 b の上に設けられ、絶縁層 4 0 2 b は、導電層 4 0 1 b の上に設けられ、酸化物半導体層 4 0 3 b は、絶縁層 4 0 2 b を介して導電層 4 0 1 b の上に設けられ、絶縁層 4 2 7 は、絶縁層 4 0 2 b 及び酸化物半導体層 4 0 3 b を介して導電層 4 0 1 b の上に設けられ、導電層 4 0 5 b 及び導電層 4 0 6 b は、絶縁層 4 2 7 を介して酸化物半導体層 4 0 3 b の一部の上にそれぞれ設けられる。また、導電層 4 0 1 b を酸化物半導体層 4 0 3 b の全てと重なる構造にすることもできる。導電層 4 0 1 b を酸化物半導体層 4 0 3 b の全てと重なる構造にすることにより、酸化物半導体層 4 0 3 b への光の入射を抑制することができる。また、これに限定されず、導電層 4 0 1 b を酸化物半導体層 4 0 3 b の一部と重なる構造にすることもできる。

30

【 0 1 5 2 】

さらに図 5 (B) において、トランジスタの上部は、保護絶縁層 4 0 9 b に接する。

【 0 1 5 3 】

図 5 (C) に示すトランジスタは、ボトムゲート構造のトランジスタの一つである。

【 0 1 5 4 】

図 5 (C) に示すトランジスタは、導電層 4 0 1 c と、絶縁層 4 0 2 c と、酸化物半導体層 4 0 3 c と、導電層 4 0 5 c と、導電層 4 0 6 c と、を含む。

40

【 0 1 5 5 】

導電層 4 0 1 c は、基板 4 0 0 c の上に設けられ、絶縁層 4 0 2 c は、導電層 4 0 1 c の上に設けられ、導電層 4 0 5 c 及び導電層 4 0 6 c は、絶縁層 4 0 2 c の一部の上に設けられ、酸化物半導体層 4 0 3 c は、絶縁層 4 0 2 c 、導電層 4 0 5 c 、及び導電層 4 0 6 c を介して導電層 4 0 1 c の上に設けられる。また、導電層 4 0 1 c を酸化物半導体層 4 0 3 c の全てと重なる構造にすることもできる。導電層 4 0 1 c を酸化物半導体層 4 0 3 c の全てと重なる構造にすることにより、酸化物半導体層 4 0 3 c への光の入射を抑制することができる。また、これに限定されず、導電層 4 0 1 c を酸化物半導体層 4 0 3 c の一部と重なる構造にすることもできる。

【 0 1 5 6 】

50

さらに図5(C)において、トランジスタにおける酸化物半導体層403cの上面及び側面は、酸化物絶縁層407cに接する。また、酸化物絶縁層407cは、上部に保護絶縁層409cが設けられる。

【0157】

図5(D)に示すトランジスタは、トップゲート構造のトランジスタの一つである。

【0158】

図5(D)に示すトランジスタは、導電層401dと、絶縁層402dと、酸化物半導体層403dと、導電層405d及び導電層406dと、を含む。

【0159】

酸化物半導体層403dは、絶縁層447を介して基板400dの上に設けられ、導電層405d及び導電層406dは、それぞれ酸化物半導体層403dの一部の上に設けられ、絶縁層402dは、酸化物半導体層403d、導電層405d、及び導電層406dの上に設けられ、導電層401dは、絶縁層402dを介して酸化物半導体層403dの上に設けられる。

10

【0160】

基板400a乃至基板400dとしては、例えばバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0161】

また、基板400a乃至基板400dとして、セラミック基板、石英基板、又はサファイア基板などの絶縁体となる基板を用いることもできる。また、基板400a乃至基板400dとして、結晶化ガラスを用いることもできる。また、基板400a乃至基板400dとして、プラスチック基板を用いることもできる。また、基板400a乃至基板400dとして、シリコンなどの半導体基板を用いることもできる。

20

【0162】

絶縁層447は、基板400dからの不純物元素の拡散を防止する下地層としての機能を有する。絶縁層447としては、例えば窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層を用いることができる。また、絶縁層447に適用可能な材料の層の積層により絶縁層447を構成することもできる。また、絶縁層447として、遮光性を有する材料の層と、上記絶縁層447に適用可能な材料の層との積層を用いることもできる。また、遮光性を有する材料の層を用いて絶縁層447を構成することにより、酸化物半導体層403dへの光の入射を抑制することができる。

30

【0163】

なお、図5(A)乃至図5(C)に示すトランジスタにおいて、図5(D)に示すトランジスタと同様に、基板とゲート電極としての機能を含む導電層の間に絶縁層を設けてもよい。

【0164】

導電層401a乃至導電層401dのそれぞれは、トランジスタのゲート電極としての機能を有する。導電層401a乃至導電層401dとしては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層401a乃至導電層401dの形成に適用可能な材料の層の積層により、導電層401a乃至導電層401dを構成することもできる。

40

【0165】

絶縁層402a乃至絶縁層402dのそれぞれは、トランジスタのゲート絶縁層としての機能を有する。絶縁層402a乃至絶縁層402dとしては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層402a乃至絶縁層402dに適用可能な材料の層の積層により絶縁層402a乃至絶縁層402dを構成することもできる。絶縁層40

50

2 a乃至絶縁層 4 0 2 dに適用可能な材料の層は、例えばプラズマCVD法又はスパッタリング法などを用いて形成される。例えば、プラズマCVD法により窒化シリコン層を形成し、プラズマCVD法により窒化シリコン層の上に酸化シリコン層を形成することにより絶縁層 4 0 2 a乃至絶縁層 4 0 2 dを構成することができる。

【0166】

酸化物半導体層 4 0 3 a乃至酸化物半導体層 4 0 3 dのそれぞれは、トランジスタのチャネル形成層としての機能を有する。酸化物半導体層 4 0 3 a乃至酸化物半導体層 4 0 3 dに適用可能な酸化物半導体としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などを用いることができる。四元系金属酸化物としては、例えばIn-Sn-Ga-Zn-O系金属酸化物などを用いることができる。三元系金属酸化物としては、例えばIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、又はSn-Al-Zn-O系金属酸化物などを用いることができる。二元系金属酸化物としては、例えばIn-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物、Al-Zn-O系金属酸化物、Zn-Mg-O系金属酸化物、Sn-Mg-O系金属酸化物、In-Mg-O系金属酸化物、In-Ga-O系金属酸化物、又はIn-Sn-O系金属酸化物などを用いることができる。また、酸化物半導体としては、例えばIn-O系金属酸化物、Sn-O系金属酸化物、又はZn-O系金属酸化物などを用いることもできる。また、酸化物半導体としては、上記酸化物半導体として適用可能な金属酸化物にSiO₂を含む酸化物を用いることもできる。

【0167】

In-Zn-O系金属酸化物を用いる場合、例えば、In:Zn=50:1乃至In:Zn=1:2(モル数比に換算するとIn₂O₃:ZnO=25:1乃至In₂O₃:ZnO=1:4)、好ましくはIn:Zn=20:1乃至In:Zn=1:1(モル数比に換算するとIn₂O₃:ZnO=10:1乃至In₂O₃:ZnO=1:2)、さらに好ましくはIn:Zn=15:1乃至In:Zn=1.5:1(モル数比に換算するとIn₂O₃:ZnO=15:2乃至In₂O₃:ZnO=3:4)の組成比である酸化物ターゲットを用いてIn-Zn-O系金属酸化物の半導体層を形成することができる。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=H:S:Zのとき、Z>1.5H+Sとする。Inの量を多くすることにより、トランジスタの移動度を向上させることができる。

【0168】

また、酸化物半導体として、InMO₃(ZnO)_m(mは0より大きい数)で表記される材料を用いることができる。ここで、Mは、Ga、Al、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。例えばMとしては、Ga、Ga及びAl、Ga及びMn、又はGa及びCoなどが挙げられる。

【0169】

導電層 4 0 5 a乃至導電層 4 0 5 d及び導電層 4 0 6 a乃至導電層 4 0 6 dのそれぞれは、トランジスタのソース電極又はトランジスタのドレイン電極としての機能を有する。導電層 4 0 5 a乃至導電層 4 0 5 d及び導電層 4 0 6 a乃至導電層 4 0 6 dとしては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層 4 0 5 a乃至導電層 4 0 5 d、及び導電層 4 0 6 a乃至導電層 4 0 6 dに適用可能な材料の層の積層により導電層 4 0 5 a乃至導電層 4 0 5 d、及び導電層 4 0 6 a乃至導電層 4 0 6 dのそれぞれを構成することができる。

【0170】

例えば、アルミニウム又は銅の金属層と、チタン、モリブデン、又はタングステンなどの高融点金属層との積層により導電層 4 0 5 a乃至導電層 4 0 5 d及び導電層 4 0 6 a乃至導電層 4 0 6 dを構成することができる。また、複数の高融点金属層の間にアルミニウム又は銅の金属層が設けられた積層により導電層 4 0 5 a乃至導電層 4 0 5 d、及び導電層

406a乃至導電層406dを構成することもできる。また、ヒロックやウィスカの発生を防止する元素(Si、Nd、Scなど)が添加されているアルミニウム層を用いて導電層405a乃至導電層405d、及び導電層406a乃至導電層406dを構成することにより、耐熱性を向上させることができる。

【0171】

また、導電層405a乃至導電層405d及び導電層406a乃至導電層406dとして、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)、若しくは酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)、又はこれらの金属酸化物に酸化シリコンを含むものを用いることができる。

10

【0172】

さらに導電層405a乃至導電層405d及び導電層406a乃至導電層406dの形成に用いられる材料を用いて他の配線を形成してもよい。

【0173】

絶縁層427は、トランジスタのチャネル形成層を保護する層(チャネル保護層ともいう)としての機能を有し、絶縁層427としては、例えば絶縁層447に適用可能な材料の層を用いることができる。また、絶縁層427に適用可能な材料の層の積層により絶縁層427を構成することもできる。

【0174】

20

酸化物絶縁層407a及び酸化物絶縁層407cとしては、酸化物絶縁層を用いることができ、例えば酸化シリコン層などを用いることができる。また、酸化物絶縁層407a及び酸化物絶縁層407cに適用可能な材料の層の積層により酸化物絶縁層407a及び酸化物絶縁層407cを構成することもできる。

【0175】

保護絶縁層409a乃至保護絶縁層409cとしては、例えば無機絶縁層を用いることができ、例えば窒化シリコン層、窒化アルミニウム層、窒化酸化シリコン層、又は窒化酸化アルミニウム層などを用いることができる。また、保護絶縁層409a乃至保護絶縁層409cに適用可能な材料の層の積層により保護絶縁層409a乃至保護絶縁層409cを構成することもできる。

30

【0176】

さらに、本実施の形態のトランジスタの作製方法の一例として、図5(A)に示すトランジスタの作製方法例について、図6(A)乃至図6(C)、図7(A)及び図7(B)を用いて説明する。図6(A)乃至図6(C)並びに図7(A)及び図7(B)は、図5(A)に示すトランジスタの作製方法例を説明するための断面模式図である。

【0177】

まず、基板400aを準備し、基板400aの上に第1の導電膜を形成する。

【0178】

また、第1の導電膜としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の膜を用いることができる。また、第1の導電膜に適用可能な材料の膜の積層膜により、第1の導電膜を構成することもできる。

40

【0179】

次に、第1のフォトリソグラフィ工程により第1の導電膜の上に第1のレジストマスクを形成し、第1のレジストマスクを用いて選択的に第1の導電膜のエッチングを行うことにより導電層401aを形成し、第1のレジストマスクを除去する。

【0180】

なお、本実施の形態において、インクジェット法を用いてレジストマスクを形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

50

【0181】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するために、多階調マスクによって形成されたレジストマスクを用いてエッチングを行ってもよい。多階調マスクは、透過した光が複数の強度となる露光マスクである。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、製造工程を簡略にすることができる。

10

【0182】

次に、導電層401aの上に絶縁層402aを形成する。

【0183】

例えば、高密度プラズマCVD法を用いて絶縁膜を成膜することにより絶縁層402aを形成することができる。例えば、 μ 波（例えば、周波数2.45GHz）を用いた高密度プラズマCVD法は、緻密で絶縁耐压の高い高品質な絶縁膜を成膜することができるため、好ましい。高密度プラズマCVD法を用いて絶縁膜を成膜して高品質な絶縁層を形成することにより、トランジスタのゲート絶縁層とチャンネル形成層との界面準位が低減し、界面特性を良好にすることができる。

20

【0184】

また、スパッタリング法やプラズマCVD法など、他の方法を用いて絶縁層402aを形成することもできる。また、絶縁層402aの形成後に加熱処理を行ってもよい。上記加熱処理を行うことにより絶縁層402aの質、酸化物半導体との界面特性を改質させることができる。

【0185】

次に、絶縁層402aの上に膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜530を成膜する。例えば、スパッタリング法を用いて酸化物半導体膜530を形成することができる。

【0186】

なお、酸化物半導体膜530を形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層402aの表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加し、基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

30

【0187】

例えば、酸化物半導体層403aに適用可能な酸化物半導体材料を用いて酸化物半導体膜530を形成することができる。本実施の形態では、一例としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により酸化物半導体膜530を形成する。この段階での断面模式図が図6(A)に相当する。また、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下において、スパッタリング法により酸化物半導体膜530を形成することもできる。

40

【0188】

スパッタリング法を用いて酸化物半導体膜530を作製するためのターゲットとしては、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の組成比である酸化物ターゲットを用いることができる。また、上記に示すターゲットに限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比である酸化物ターゲットを用いてもよい。また、作製される酸化物ターゲットの全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合（充填率ともいう）は、90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属

50

酸化物ターゲットを用いることにより形成した酸化物半導体膜は、緻密な膜となる。

【0189】

なお、酸化物半導体膜530を成膜する際に用いるスパッタリングガスとしては、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0190】

また、酸化物半導体膜530を成膜する前に、スパッタリング装置の予備加熱室で導電層401aが形成された基板400a、又は導電層401a及び絶縁層402aが形成された基板400aを予備加熱し、基板400aに吸着した水素、水分などの不純物を脱離し排気することが好ましい。上記予備加熱により、絶縁層402a及び酸化物半導体膜530への水素、水酸基、及び水分の侵入を抑制することができる。また、予備加熱室に設ける排気手段としては、例えばクライオポンプを用いることが好ましい。また、この予備加熱の処理は省略することもできる。また、酸化物絶縁層407aの成膜前に、導電層405a及び導電層406aまで形成した基板400aにも同様に上記予備加熱を行ってもよい。

10

【0191】

また、スパッタリング法を用いて酸化物半導体膜530を成膜する場合、減圧状態に保持された成膜室内に基板400aを保持し、基板温度を100 以上600 以下、好ましくは200 以上400 以下とする。基板400aを加熱することにより、形成する酸化物半導体膜530に含まれる不純物の濃度を低減することができる。また、スパッタリングによる酸化物半導体膜530の損傷が軽減する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、上記ターゲットを用いて絶縁層402aの上に酸化物半導体膜530を成膜する。

20

【0192】

なお、本実施の形態において、スパッタリングを行う際の成膜室内の残留水分を除去する手段としては、例えば吸着型の真空ポンプなどを用いることができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプなどを用いることができる。例えばクライオポンプを用いることにより、例えば水素原子及び炭素原子のいずれか一つ又は複数を含む化合物などを排気することができ、成膜室で形成される膜に含まれる不純物の濃度を低減することができる。また、本実施の形態において、スパッタリングを行う際の成膜室内の残留水分を除去する手段として、ターボポンプにコールドトラップを加えたものを用いることもできる。

30

【0193】

スパッタリング装置を用いた酸化物半導体膜530の成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下という条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となる。

【0194】

次に、第2のフォトリソグラフィ工程により酸化物半導体膜530の上に第2のレジストマスクを形成し、第2のレジストマスクを用いて選択的に酸化物半導体膜530のエッチングを行うことにより、酸化物半導体膜530を島状の酸化物半導体層に加工し、第2のレジストマスクを除去する。

40

【0195】

なお、絶縁層402aにコンタクトホールを形成する場合、酸化物半導体膜530を島状の酸化物半導体層に加工する際に該コンタクトホールを形成することもできる。

【0196】

例えばドライエッチング、ウェットエッチング、又はドライエッチング及びウェットエッチングの両方を用いて酸化物半導体膜530のエッチングを行うことができる。ウェットエッチングに用いるエッチング液としては、例えば燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、エッチング液としてITO07N(関東化学社製)を用いて

50

もよい。

【0197】

次に、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化又は脱水素化を行うことができる。第1の加熱処理の温度は、400 以上750 以下、又は400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層403aを得る(図6(B)参照)。

【0198】

なお、加熱処理装置は、電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を備えていてもよい。加熱処理装置としては、例えばGRTA(Gas Rapid Thermal Anneal)装置又はLRTA(Lamp Rapid Thermal Anneal)装置などのRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えばアルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いることができる。

【0199】

例えば、第1の加熱処理として、650 ~ 700 に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて加熱した不活性ガス中から出す方式のGRTAを行ってもよい。

【0200】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、又はヘリウム、ネオン、若しくはアルゴンなどの希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、すなわち不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。

【0201】

また、第1の加熱処理で酸化物半導体層を加熱した後、その加熱温度を維持しながら又はその加熱温度から降温する過程で、第1の加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40 以下、好ましくは-60 以下の雰囲気)を導入してもよい。このとき、酸素ガス又はN₂Oガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又はN₂Oガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又はN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又はN₂Oガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸素を供給することによって、酸化物半導体層403aを高純度化させる。

【0202】

また、島状の酸化物半導体層に加工する前の酸化物半導体膜530に第1の加熱処理を行うこともできる。その場合には、第1の加熱処理後に加熱装置から基板を取り出し、島状の酸化物半導体層に加工する。

【0203】

また、上記以外にも、酸化物半導体層形成後であれば、酸化物半導体層403aの上に導電層405a及び導電層406aを形成した後、又は導電層405a及び導電層406aの上に酸化物絶縁層407aを形成した後に第1の加熱処理を行ってもよい。

【0204】

また、絶縁層402aにコンタクトホールを形成する場合、第1の加熱処理を行う前にコ

10

20

30

40

50

ンタクトホールを形成してもよい。

【0205】

また、酸化物半導体膜を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域（単結晶領域）、すなわち、膜表面に対して垂直にc軸配向した結晶領域を有する膜を用いて酸化物半導体層を形成してもよい。例えば、膜厚が3nm以上15nm以下の第1の酸化物半導体膜を成膜し、さらに第1の加熱処理として、窒素、酸素、希ガス、又は乾燥エアの雰囲気下で450以上850以下、好ましくは550以上750以下の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成する。さらに第2の加熱処理として、450以上850以下、好ましくは600以上700以下の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、第1の酸化物半導体膜から第2の酸化物半導体膜にかけて上方に向かって結晶成長させ、第2の酸化物半導体膜の全体を結晶化させる。その結果、膜厚の厚い結晶領域を有する酸化物半導体膜を用いて酸化物半導体層403aを形成することができる。

10

【0206】

次に、絶縁層402a及び酸化物半導体層403aの上に第2の導電膜を形成する。

【0207】

第2の導電膜としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の膜を用いることができる。また、第2の導電膜に適用可能な膜の積層膜により第2の導電膜を形成してもよい。

20

【0208】

次に、第3のフォトリソグラフィ工程により第2の導電膜の上に第3のレジストマスクを形成し、第3のレジストマスクを用いて選択的にエッチングを行って導電層405a及び導電層406aを形成した後、第3のレジストマスクを除去する（図6（C）参照）。

【0209】

なお、導電層405a及び導電層406aを形成する際に、第2の導電膜を用いて他の配線を形成することもできる。

【0210】

また、第3のレジストマスク形成時の露光として、紫外線やKrFレーザ光やArFレーザ光を用いることが好ましい。酸化物半導体層403aの上で隣り合う導電層405aの下端部と導電層406aの下端部との間隔幅により、後に形成されるトランジスタのチャネル長Lが決定される。なお、第3のレジストマスクの形成の際にチャネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長Lを10nm以上1000nm以下とすることも可能である。上記露光を用いて形成されたトランジスタを用いることにより、回路の動作速度を速くことができ、さらに該トランジスタのオフ電流は、極めて少ないため、消費電力を低減することもできる。

30

40

【0211】

なお、第2の導電膜のエッチングを行う場合、エッチングによる酸化物半導体層403aの分断を抑制するために、エッチング条件を最適化することが好ましい。しかしながら、第2の導電膜のみエッチングが行われ、酸化物半導体層403aは、全くエッチングが行われないという条件を得ることは難しく、第2の導電膜のエッチングの際に酸化物半導体層403aは一部のみエッチングが行われ、溝部（凹部）を有する酸化物半導体層403aとなることもある。

【0212】

本実施の形態では、第2の導電膜の一例としてチタン膜を用い、酸化物半導体層403aの一例としてIn-Ga-Zn-O系酸化物半導体を用いるため、エッチャントとしてア

50

ンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

【0213】

次に、酸化物半導体層403a、導電層405a、及び導電層406aの上に酸化物絶縁層407aを形成する。このとき酸化物絶縁層407aは、酸化物半導体層403aの上面の一部に接する。

【0214】

酸化物絶縁層407aは、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁層407aに水又は水素などの不純物が混入しない方法を適宜用いて形成することができる。酸化物絶縁層407aに水素が混入すると、該水素の酸化物半導体層への侵入又は該水素による酸化物半導体層中の酸素の引き抜きにより、酸化物半導体層のバックチャネルが低抵抗化（N型化）し、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層407aができるだけ水素を含まない層になるように、酸化物絶縁層407aの作製方法として水素を用いない方法を用いることが好ましい。

10

【0215】

本実施の形態では、酸化物絶縁層407aの一例として、スパッタリング法を用いて膜厚200nmの酸化シリコン膜を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では一例として100とする。酸化シリコン膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下において行うことができる。

【0216】

20

また、酸化物絶縁層407aを形成するためのターゲットとしては、例えば酸化シリコンターゲット又はシリコンターゲットなどを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリング法により酸化シリコン膜を形成することができる。

【0217】

また、酸化物絶縁層407aを形成する際に用いるスパッタリングガスは、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0218】

また、酸化物絶縁層407aを形成する前に N_2O 、 N_2 、又はArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層403aの表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層403aの上面の一部に接する酸化物絶縁層407aを形成することが好ましい。

30

【0219】

さらに、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行うこともできる。例えば、第2の加熱処理として、窒素雰囲気下で250、1時間の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層403aの上面の一部が酸化物絶縁層407aと接した状態で加熱される。

【0220】

40

以上の工程を経ることによって、水素、水分、水酸基、又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層から意図的に排除し、且つ酸素を酸化物半導体層に供給することができる。よって、酸化物半導体層は高純度化する。

【0221】

以上の工程でトランジスタが作製される（図7（A）参照）。

【0222】

また、酸化物絶縁層407aとして欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層403a中に含まれる水素、水分、水酸基、又は水素化物などの不純物を酸化物絶縁層407aに拡散させ、酸化物半導体層403a中に含まれる該不純物をより低減させる効果を奏する。

50

【0223】

酸化物絶縁層407aの上にさらに保護絶縁層409aを形成してもよい。例えば、RFスパッタリング法を用いて窒化シリコン膜を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層409aの成膜方法として好ましい。本実施の形態では、一例として窒化シリコン膜を形成することにより保護絶縁層409aを形成する(図7(B)参照)。

【0224】

本実施の形態では、図7(A)に示すように酸化物絶縁層407aまで形成された基板400aを100～400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタリングガスを導入し、シリコン半導体のターゲットを用いて窒化シリコン膜を形成することで保護絶縁層409aを形成する。この場合においても、酸化物絶縁層407aと同様に、成膜室内の残留水分を除去しつつ保護絶縁層409aを成膜することが好ましい。

10

【0225】

保護絶縁層409aの形成後、さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理では、一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。以上が図5(A)に示すトランジスタの作製方法の一例である。

【0226】

なお、図5(A)に示すトランジスタの作製方法の一例を示したが、これに限定されず、例えば図5(B)乃至図5(D)に示す各構成要素において、名称が図5(A)に示す各構成要素と同じであり且つ機能の少なくとも一部が図5(A)に示す各構成要素と同じであれば、図5(A)に示すトランジスタの作製方法の一例の説明を適宜援用することができる。

20

【0227】

以上のように、本実施の形態のトランジスタは、チャネルが形成される層として、高純度化させることによりI型又は実質的にI型となった酸化物半導体層を含む構造である。酸化物半導体層を高純度化させることにより、酸化物半導体層のキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができ、温度変化による特性変化を抑制することができる。また、上記構造にすることにより、チャネル幅1 μm あたりのオフ電流を10aA(1×10^{-17} A)以下にすること、さらにはチャネル幅1 μm あたりのオフ電流を1aA(1×10^{-18} A)以下、さらにはチャネル幅1 μm あたりのオフ電流を10zA(1×10^{-20} A)以下、さらにはチャネル幅1 μm あたりのオフ電流を1zA(1×10^{-21} A)以下、さらにはチャネル幅1 μm あたりのオフ電流を100yA(1×10^{-22} A)以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、本実施の形態のトランジスタのオフ電流の下限値は、約 10^{-30} A/ μm であると見積もられる。

30

【0228】

さらに、特性評価用回路によるリーク電流測定を用いた、本実施の形態のトランジスタの一例のオフ電流の値の算出例について以下に説明する。

40

【0229】

まず、特性評価用回路の構成について、図8を用いて説明する。図8は、特性評価用回路の構成を示す回路図である。

【0230】

図8に示す特性評価用回路は、複数の測定系801を備える。複数の測定系801は、互いに並列に接続される。ここでは、一例として8個の測定系801が並列に接続される構成とする。

【0231】

50

測定系 8 0 1 は、トランジスタ 8 1 1 と、トランジスタ 8 1 2 と、容量素子 8 1 3 と、トランジスタ 8 1 4 と、トランジスタ 8 1 5 と、を含む。

【 0 2 3 2 】

トランジスタ 8 1 1 のソース及びドレインの一方には、電圧 V_1 が入力され、トランジスタ 8 1 1 のゲートには、電圧 V_{ext_a} が入力される。トランジスタ 8 1 1 は、電荷注入用のトランジスタである。

【 0 2 3 3 】

トランジスタ 8 1 2 のソース及びドレインの一方は、トランジスタ 8 1 1 のソース及びドレインの他方に接続され、トランジスタ 8 1 2 のソース及びドレインの他方には、電圧 V_2 が入力され、トランジスタ 8 1 2 のゲートには、電圧 V_{ext_b} が入力される。トランジスタ 8 1 2 は、リーク電流評価用のトランジスタである。なお、ここでのリーク電流とは、トランジスタのオフ電流を含むリーク電流である。

【 0 2 3 4 】

容量素子 8 1 3 の第 1 の電極は、トランジスタ 8 1 1 のソース及びドレインの他方に接続され、容量素子 8 1 3 の第 2 の電極には、電圧 V_2 が入力される。ここでは、電圧 V_2 として 0 V が入力される。

【 0 2 3 5 】

トランジスタ 8 1 4 のソース及びドレインの一方には、電圧 V_3 が入力され、トランジスタ 8 1 4 のゲートは、トランジスタ 8 1 1 のソース及びドレインの他方に接続される。なお、トランジスタ 8 1 4 のゲートと、トランジスタ 8 1 1 のソース及びドレインの他方、トランジスタ 8 1 2 のソース及びドレインの一方、並びに容量素子 8 1 3 の第 1 の電極との接続箇所をノード A ともいう。

【 0 2 3 6 】

トランジスタ 8 1 5 のソース及びドレインの一方は、トランジスタ 8 1 4 のソース及びドレインの他方に接続され、トランジスタ 8 1 5 のソース及びドレインの他方には、電圧 V_4 が入力され、トランジスタ 8 1 5 のゲートには、電圧 V_{ext_c} が入力される。なお、ここでは、電圧 V_{ext_c} として 0 . 5 V が入力される。

【 0 2 3 7 】

さらに、測定系 8 0 1 は、トランジスタ 8 1 4 のソース及びドレインの他方と、トランジスタ 8 1 5 のソース及びドレインの一方との接続箇所の電圧を出力電圧 V_{out} として出力する。

【 0 2 3 8 】

ここでは、トランジスタ 8 1 1 の一例として、酸化物半導体層を含み、チャネル長 $L = 10 \mu m$ 、チャネル幅 $W = 10 \mu m$ のトランジスタを用いる。また、トランジスタ 8 1 4 及びトランジスタ 8 1 5 の一例として、酸化物半導体層を含み、チャネル長 $L = 3 \mu m$ 、チャネル幅 $W = 100 \mu m$ のトランジスタを用いる。また、トランジスタ 8 1 2 の一例として、酸化物半導体層を含み、酸化物半導体層の上部にソース電極及びドレイン電極が接し、ソース電極及びドレイン電極と、ゲート電極とのオーバーラップ領域を設けず、幅 $1 \mu m$ のオフセット領域を有するボトムゲート構造のトランジスタを用いる。オフセット領域を設けることにより、寄生容量を低減することができる。さらにトランジスタ 8 1 2 としては、チャネル長 L 及びチャネル幅 W の異なる 6 条件のトランジスタを用いる（表 1 参照）。

【 0 2 3 9 】

【表 1】

	チャネル長 $L [\mu m]$	チャネル幅 $W [\mu m]$
条件 1	1.5	1×10^5
条件 2	3	1×10^5
条件 3	10	1×10^5
条件 4	1.5	1×10^6
条件 5	3	1×10^6
条件 6	10	1×10^6

10

20

30

40

50

【 0 2 4 0 】

図 8 に示すように、電荷注入用のトランジスタと、リーク電流評価用のトランジスタとを別々に設けることにより、電荷注入の際に、リーク電流評価用のトランジスタを常にオフ状態に保つことができる。電荷注入用のトランジスタを設けない場合には、電荷注入の際に、リーク電流評価用トランジスタを一度オン状態にする必要があるが、オン状態からオフ状態の定常状態に到るまでに時間を要するような素子では、測定に時間を要してしまう。

【 0 2 4 1 】

また、電荷注入用のトランジスタと、リーク電流評価用のトランジスタとを別々に設けることにより、それぞれのトランジスタを適切なサイズとすることができる。また、リーク電流評価用トランジスタのチャンネル幅 W を、電荷注入用のトランジスタのチャンネル幅 W よりも大きくすることにより、リーク電流評価用トランジスタ以外の特性評価回路のリーク電流成分を相対的に小さくすることができる。その結果、リーク電流評価用トランジスタのリーク電流を高い精度で測定することができる。同時に、電荷注入の際に、リーク電流評価用トランジスタを一度オン状態とする必要がないため、チャンネル形成領域の電荷の一部がノード A に流れ込むことによるノード A の電圧変動の影響もない。

10

【 0 2 4 2 】

一方、電荷注入用トランジスタのチャンネル幅 W を、リーク電流評価用トランジスタのチャンネル幅 W よりも小さくすることにより、電荷注入用トランジスタのリーク電流を相対的に小さくすることができる。また、電荷注入の際に、チャンネル形成領域の電荷の一部がノード A に流れ込むことによるノード A の電圧変動の影響も小さい。

20

【 0 2 4 3 】

また、図 8 に示すように、複数の測定系を並列接続させた構造にすることにより、より正確に特性評価回路のリーク電流を算出することができる。

【 0 2 4 4 】

次に、図 8 に示す特性評価回路を用いた、本実施の形態のトランジスタの一例のオフ電流の値の算出方法について説明する。

【 0 2 4 5 】

まず、図 8 に示す特性評価回路のリーク電流測定方法について、図 9 を用いて説明する。図 9 は、図 8 に示す特性評価回路を用いたリーク電流測定方法を説明するためのタイミングチャートである。

30

【 0 2 4 6 】

図 8 に示す特性評価回路を用いたリーク電流測定方法は、書き込み期間及び保持期間に分けられる。それぞれの期間における動作について、以下に説明する。

【 0 2 4 7 】

まず、書き込み期間において、電圧 V_{ext_b} として、トランジスタ 812 がオフ状態となるような電圧 V_L (- 3 V) を入力する。また、電圧 V_1 として、書き込み電圧 V_w を入力した後、電圧 V_{ext_a} として、一定期間トランジスタ 811 がオン状態となるような電圧 V_H (5 V) を入力する。これによって、ノード A に電荷が蓄積され、ノード A の電圧は、書き込み電圧 V_w と同等の値になる。その後、電圧 V_{ext_a} として、トランジスタ 811 がオフ状態となるような電圧 V_L を入力する。その後、電圧 V_1 として、電圧 V_{SS} (0 V) を入力する。

40

【 0 2 4 8 】

その後、保持期間において、ノード A が保持する電荷量の変化に起因して生じるノード A の電圧の変化量の測定を行う。電圧の変化量から、トランジスタ 812 のソース電極とドレイン電極との間を流れる電流値を算出することができる。以上により、ノード A の電荷の蓄積とノード A の電圧の変化量の測定とを行うことができる。

【 0 2 4 9 】

このとき、ノード A の電荷の蓄積及びノード A の電圧の変化量の測定 (蓄積及び測定動作ともいう) を繰り返し行う。まず、第 1 の蓄積及び測定動作を 15 回繰り返し行う。第 1

50

の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 5 V の電圧を入力し、保持期間に 1 時間の保持を行う。次に、第 2 の蓄積及び測定動作を 2 回繰り返し行う。第 2 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 3 . 5 V の電圧を入力し、保持期間に 5 0 時間の保持を行う。次に、第 3 の蓄積及び測定動作を 1 回行う。第 3 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 4 . 5 V の電圧を入力し、保持期間に 1 0 時間の保持を行う。蓄積及び測定動作を繰り返し行うことにより、測定した電流値が、定常状態における値であることを確認することができる。言い換えると、ノード A を流れる電流 I_A のうち、過渡電流（測定開始後から時間経過とともに減少していく電流成分）を除くことができる。その結果、より高い精度でリーク電流を測定することができる。

10

【 0 2 5 0 】

一般に、ノード A の電圧 V_A は、出力電圧 V_{out} の関数として式 (1) のように表される。

【 0 2 5 1 】

【 数 1 】

$$V_A = F(V_{out}) \quad (1)$$

【 0 2 5 2 】

また、ノード A の電荷 Q_A は、ノード A の電圧 V_A 、ノード A に接続される容量 C_A 、定数 ($const$) を用いて、式 (2) のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 8 1 3 の容量と容量素子 8 1 3 以外の容量成分の和である。

20

【 0 2 5 3 】

【 数 2 】

$$Q_A = C_A V_A + const \quad (2)$$

【 0 2 5 4 】

ノード A の電流 I_A は、ノード A に流れ込む電荷（またはノード A から流れ出る電荷）の時間微分であるから、ノード A の電流 I_A は、式 (3) のように表される。

【 0 2 5 5 】

【 数 3 】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t} \quad (3)$$

30

【 0 2 5 6 】

なお、ここでは、一例として、 Δt を約 5 4 0 0 0 s e c とする。このように、ノード A に接続される容量 C_A と、出力電圧 V_{out} から、リーク電流であるノード A の電流 I_A を求めることができるため、特性評価回路のリーク電流を求めることができる。

【 0 2 5 7 】

次に、上記特性評価回路を用いた測定方法による出力電圧の測定結果及び該測定結果より算出した特性評価回路のリーク電流の値を示す。

【 0 2 5 8 】

40

図 1 0 に、一例として、条件 4、条件 5、及び条件 6 における上記測定（第 1 の蓄積及び測定動作）に係る経過時間 T_{ime} と、出力電圧 V_{out} との関係を示す。図 1 1 に、上記測定に係る経過時間 T_{ime} と、該測定によって算出された電流 I_A との関係を示す。測定開始後から出力電圧 V_{out} が変動しており、定常状態に到るためには 1 0 時間以上必要であることがわかる。

【 0 2 5 9 】

また、図 1 2 に、上記測定により見積もられた条件 1 乃至条件 6 におけるノード A の電圧とリーク電流の関係を示す。図 1 2 では、例えば条件 4 において、ノード A の電圧が 3 . 0 V の場合、リーク電流は 2 8 y A / μ m である。リーク電流にはトランジスタ 8 1 2 のオフ電流も含まれるため、トランジスタ 8 1 2 のオフ電流も 2 8 y A / μ m 以下とみなす

50

ことができる。

【0260】

また、図13乃至図15に、85、125、及び150における上記測定により見積もられた条件1乃至条件6におけるノードAの電圧とリーク電流の関係を示す。図13乃至図15に示すように、150の場合であっても、リーク電流は、100 μ A以下であることがわかる。

【0261】

以上のように、チャネル形成層としての機能を有し、高純度化された酸化物半導体層を含むトランジスタを用いた特性評価用回路において、リーク電流の値が十分に低いため、該トランジスタのオフ電流が十分に小さいことがわかる。また、上記トランジスタのオフ電流は、温度が上昇した場合であっても十分に低いことがわかる。

10

【0262】

(実施の形態5)

本実施の形態では、上記実施の形態に示す液晶表示装置における単位画素の構造例について説明する。

【0263】

本実施の形態における単位画素は、例えばトランジスタなどの半導体素子が設けられた第1の基板(アクティブマトリクス基板ともいう)と、第2の基板(対向基板ともいう)と、アクティブマトリクス基板と対向基板との間に設けられた液晶層と、を含む。

【0264】

20

まず、本実施の形態の単位画素におけるアクティブマトリクス基板の構造例について、図16を用いて説明する。図16は、本実施の形態の単位画素におけるアクティブマトリクス基板の構造例を説明するための模式図であり、図16(A)は平面模式図であり、図16(B)は、図16(A)における線分A-Bの断面模式図である。なお、図16では、トランジスタの一例として、上記実施の形態における、図5(A)を用いて説明した構造のトランジスタを用いる場合を示す。

【0265】

図16(A)及び図16(B)に示すアクティブマトリクス基板は、基板501と、導電層511と、導電層512と、絶縁層521と、半導体層541と、導電層551と、導電層552と、導電層553と、酸化物絶縁層561と、保護絶縁層571と、カラーフィルタ層581と、平坦化絶縁層601と、導電層611と、を含む。

30

【0266】

基板501は、図5(A)における基板400aに相当する。

【0267】

導電層511及び導電層512は、基板501の一平面に設けられる。導電層511は、選択信号SELが入力される選択信号線としての機能を有し、且つ図5(A)における導電層401aに相当する。また、導電層512は、容量素子の第1の電極としての機能を有する。

【0268】

絶縁層521は、導電層511及び導電層512を介して基板501の一平面に設けられる。絶縁層521は、図5(A)における絶縁層402aに相当し、且つ容量素子の誘電体としての機能を有する。

40

【0269】

半導体層541は、導電層511に重畳し、導電層511及び絶縁層521を介して基板501の一平面に設けられる。半導体層541は、図5(A)における酸化物半導体層403aに相当する。

【0270】

導電層551は、半導体層541に電氣的に接続され、画素データ信号PXDが入力される画素データ信号線としての機能を有し、且つ図5(A)における導電層405aに相当する。

50

【0271】

導電層552は、半導体層541に電氣的に接続される。また、導電層552は、絶縁層521を介して導電層512に重畳する。導電層552は、図5(A)における導電層406aに相当し、且つ容量素子の第2の電極としての機能を有する。

【0272】

導電層553は、絶縁層521を貫通して設けられたコンタクトホール531を介して導電層512に電氣的に接続される。導電層553は、電圧が入力される配線としての機能を有する。なお、コンタクトホール531は、例えば絶縁層521を形成した後に、導電層512及び絶縁層521を介して基板501の一平面に、フォトリソグラフィ工程によりレジストマスクを形成し、絶縁層521を選択的にエッチングすることにより形成される。なお、導電層553は、必ずしも設けなくてもよく、導電層512を配線として機能させることもできる。

10

【0273】

酸化物絶縁層561は、半導体層541に接し、導電層511及び導電層512、絶縁層521、半導体層541、並びに導電層551乃至導電層553を介して基板501の一平面に設けられる。酸化物絶縁層561は、図5(A)における酸化物絶縁層407aに相当する。

【0274】

保護絶縁層571は、酸化物絶縁層561に積層される。保護絶縁層571は、図5(A)における保護絶縁層409aに相当する。

20

【0275】

カラーフィルタ層581は、保護絶縁層571に積層される。カラーフィルタ層581は、カラーフィルタとしての機能を有する。なお、画素に白の単位画素を設ける場合、白の単位画素には、カラーフィルタ層581を設けない。

【0276】

平坦化絶縁層601は、カラーフィルタ層581を介して保護絶縁層571に積層される。

【0277】

導電層611は、平坦化絶縁層601に積層され、且つ平坦化絶縁層601、カラーフィルタ層581、保護絶縁層571、及び酸化物絶縁層561を貫通して設けられたコンタクトホール591を介して導電層552に電氣的に接続される。導電層611は、液晶素子の画素電極としての機能を有する。

30

【0278】

さらに、本実施の形態の単位画素の構造例について、図17を用いて説明する。図17は、本実施の形態の単位画素の構造例を示す断面模式図である。

【0279】

図17に示す単位画素は、図16(A)及び図16(B)に示すアクティブマトリクス基板に加え、基板621と、導電層631と、液晶層641と、を含む。

【0280】

導電層631は、基板621の一平面に設けられる。導電層631は、共通電極としての機能を有する。なお、カラーフィルタ層581を、導電層511及び導電層512、絶縁層521、半導体層541、導電層551乃至導電層553、酸化物絶縁層561、並びに保護絶縁層571を介して基板501の一平面に設けずに基板621及び導電層631の間に設けてもよい。また、必ずしも導電層631を基板621の一平面に設けなくてもよく、例えば導電層511及び導電層512、絶縁層521、半導体層541、導電層551乃至導電層553、酸化物絶縁層561、保護絶縁層571、並びに平坦化絶縁層601を介して基板501の一平面に設けてもよい。

40

【0281】

液晶層641は、導電層611及び導電層631の間に設けられる。液晶層641は、液晶分子を含む液晶としての機能を有する。

50

【0282】

基板501及び基板621としては、図5(A)における基板400aに適用可能な基板を用いることができる。

【0283】

導電層511及び導電層512としては、図5(A)における導電層401aに適用可能な材料の層を用いることができる。また、導電層401aに適用可能な材料の層を積層して導電層511及び導電層512を構成してもよい。

【0284】

絶縁層521としては、図5(A)における絶縁層402aに適用可能な材料の層を用いることができる。また、絶縁層402aに適用可能な材料の層を積層して絶縁層521を構成してもよい。

10

【0285】

半導体層541としては、図5(A)に示す酸化物半導体層403aに適用可能な材料の層を用いることができる。なお、半導体層541として、元素周期表における第14族の半導体(シリコンなど)を用いた半導体層を用いてもよい。

【0286】

導電層551乃至導電層553としては、図5(A)における導電層405a又は導電層406aに適用可能な材料の層を用いることができる。また、導電層405a又は導電層406aに適用可能な材料の層を積層して導電層551及び導電層553を構成してもよい。

20

【0287】

酸化物絶縁層561としては、図5(A)における酸化物絶縁層407aに適用可能な材料の層を用いることができる。また、酸化物絶縁層407aに適用可能な層を積層して酸化物絶縁層561を構成してもよい。

【0288】

保護絶縁層571としては、図5(A)における保護絶縁層409aに適用可能な材料の層を用いることができる。また、保護絶縁層409aに適用可能な層を積層して保護絶縁層571を構成してもよい。

【0289】

カラーフィルタ層581としては、例えば染料又は顔料を含む層を用いることができる。例えば染料を含む場合、フォトリソグラフィ法、印刷法、又はインクジェット法を用いて形成され、顔料を含む場合、フォトリソグラフィ法、印刷法、電着法、又は電子写真法などを用いて形成される。ここではインクジェット法により着色層を形成する。インクジェット法を用いることにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。また、レジストマスクを用いなくても製造することが可能となるため、製造コスト及び製造工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも材料が無駄にならず、製造コストを低減することができる。

30

【0290】

平坦化絶縁層601としては、ポリイミド、アクリル、ベンゾシクロブテン、などの有機材料の層を用いることができる。また平坦化絶縁層としては、低誘電率材料(low-k材料ともいう)の層を用いることもできる。また、平坦化絶縁層に適用可能な材料の層の積層により平坦化絶縁層601を構成することもできる。

40

【0291】

導電層611及び導電層631としては、例えば透光性を有する導電材料の層を用いることができ、透光性を有する導電材料としては、例えばインジウム錫酸化物、酸化インジウムに酸化亜鉛を混合した金属酸化物(IZO:indium zinc oxideともいう)、酸化インジウムに酸化珪素(SiO₂)を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、又は酸化チタンを含むインジウム錫

50

酸化物などを用いることができる。

【0292】

また、導電層611及び導電層631は、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した導電層は、シート抵抗が $10000\Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率は、 $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

【0293】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。 π 電子共役系導電性高分子としては、例えばポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、又はアニリン、ピロール及びチオフェンの2種以上の共重合体若しくはその誘導体などが挙げられる。

【0294】

液晶層641としては、例えばTN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、又はディスコチック液晶などを含む層を用いることができる。

【0295】

図16及び図17を用いて説明したように、本実施の形態の単位画素の一例は、トランジスタ及び画素電極を含むアクティブマトリクス基板と、対向基板と、アクティブマトリクス基板及び対向基板の間に液晶を有する液晶層と、を含む構造である。例えば上記構造にすることにより、上記実施の形態における液晶表示装置の単位画素を構成することができる。

【0296】

（実施の形態6）

本実施の形態では、上記実施の形態1における液晶表示装置のバックライトユニットの一例について説明する。

【0297】

本実施の形態におけるバックライトユニットの構成例について、図18を用いて説明する。図18は、本実施の形態におけるバックライトユニットの構成例を示す模式図である。

【0298】

図18(A)は、直下型バックライトユニットの構成例を示す模式図である。図18(A)に示すバックライトユニットは、反射板701aと、冷陰極管702aと、拡散板703aと、プリズムシート704aと、を備える。

【0299】

冷陰極管702aは、反射板701aの一平面に設けられ、反射板701a及び拡散板703aの間に挟まれている。なお、図18(A)に示すように、冷陰極管702aを複数設けてもよい。

【0300】

拡散板703aは、冷陰極管702aを介して反射板701aの一平面に設けられる。

【0301】

プリズムシート704aは、冷陰極管702a及び拡散板703aを介して反射板701aの一平面に設けられる。

【0302】

図18(A)に示すバックライトユニットは、拡散板703a及びプリズムシート704aを介して冷陰極管702aからの光を射出する。

【0303】

また、図18(B)は、サイドライト型バックライトユニットの構成例を示す模式図である。図18(B)に示すバックライトユニットは、反射板701bと、冷陰極管702bと、拡散板703bと、プリズムシート704bと、散乱パターン708と、導光板709と、ランプリフレクタ710と、を備える。

【 0 3 0 4 】

冷陰極管 7 0 2 b は、導光板 7 0 9 の第 1 の側面に設けられる。なお、導光板 7 0 9 の厚さは、第 1 の側面から第 1 の側面に対向する第 2 の側面にかけて、徐々に薄くなっていることが好ましい。

【 0 3 0 5 】

拡散板 7 0 3 b は、導光板 7 0 9 の第 1 の平面に設けられる。

【 0 3 0 6 】

プリズムシート 7 0 4 b は、拡散板 7 0 3 b を介して導光板 7 0 9 の第 1 の平面に設けられる。

【 0 3 0 7 】

散乱パターン 7 0 8 は、導光板 7 0 9 の第 1 の平面に対向する第 2 の平面に設けられる。なお、図 1 8 (B) に示すように、散乱パターン 7 0 8 を複数設けてもよい。

【 0 3 0 8 】

反射板 7 0 1 b は、散乱パターン 7 0 8 を介して導光板 7 0 9 の第 2 の平面に設けられる。

【 0 3 0 9 】

ランプリフレクタ 7 1 0 は、冷陰極管 7 0 2 b の光を集めるために設けられる。ランプリフレクタ 7 1 0 を用いることにより、導光板 7 0 9 への冷陰極管 7 0 2 b の光の入射効率を向上させることができる。

【 0 3 1 0 】

図 1 8 (B) に示すバックライトユニットは、冷陰極管 7 0 2 b からの光を導光板 7 0 9 により全反射させ、且つ散乱パターン 7 0 8 により散乱させることにより、拡散板 7 0 3 b 及びプリズムシート 7 0 4 b を介して光を射出する。

【 0 3 1 1 】

拡散板 7 0 3 a 及び拡散板 7 0 3 b は、入射した光を散乱させる機能を有する。なお、拡散板 7 0 3 a 及び拡散板 7 0 3 b を設けることにより、バックライトユニットから射出する光の輝度を一様にすることができる。また、拡散板 7 0 3 a 及び拡散板 7 0 3 b を複数設けることもできる。

【 0 3 1 2 】

また、プリズムシート 7 0 4 a 及びプリズムシート 7 0 4 b は、必ずしも設けなくてもよいが、プリズムシート 7 0 4 a 及びプリズムシート 7 0 4 b を設けることにより、バックライトユニットから射出する光の輝度を向上させることができる。プリズムシート 7 0 4 a 及びプリズムシート 7 0 4 b は、例えば樹脂などをエッチングなどで加工することにより形成される。なお、本実施の形態のバックライトユニットを、複数のプリズムシート 7 0 4 a 及び複数のプリズムシート 7 0 4 b を備える構成にすることもできる。

【 0 3 1 3 】

図 1 8 を用いて説明したように、本実施の形態のバックライトユニットの一例は、光源として冷陰極管を用いた構成である。上記構成にすることにより、発光効率の高い光を画素に射出することができる。

【 0 3 1 4 】

また、本実施の形態のバックライトユニットから射出した光を画素に入射し、画素がバックライトユニットからの光を設定した透過率で透過することにより、画素において表示を行うことができる。

【 0 3 1 5 】

(実施の形態 7)

本実施の形態では、上記実施の形態における液晶表示装置を備えた電子機器について説明する。

【 0 3 1 6 】

本実施の形態の電子機器の構成例について、図 1 9 (A)、図 1 9 (B)、図 1 9 (C)、図 1 9 (D)、図 1 9 (E)、及び図 1 9 (F) を用いて説明する。図 1 9 (A) 乃至

10

20

30

40

50

図 19 (F) は、本実施の形態の電子機器の構成例を示す図である。

【 0 3 1 7 】

図 19 (A) に示す電子機器は、携帯型情報通信端末である。図 19 (A) に示す携帯型情報通信端末は、少なくとも表示部 1 0 0 1 を備える。上記実施の形態の液晶表示装置は、1 回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部 1 0 0 1 に用いることにより、例えば表示部 1 0 0 1 において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

【 0 3 1 8 】

図 19 (B) に示す電子機器は、例えばカーナビゲーションを含む情報案内端末である。図 19 (B) に示す情報案内端末は、少なくとも表示部 1 1 0 1 を有し、さらに図 19 (B) に示す情報案内端末を操作ボタン 1 1 0 2 及び外部入力端子 1 1 0 3 を備える構成にすることもできる。自動車の車内は、気温と共に温度が大きく変動し、温度が 5 0 を超えることもある。しかし上記実施の形態に示す液晶表示装置は、温度による特性変化の影響が少ないため、上記実施の形態の液晶表示装置を表示部 1 1 0 1 に用いることにより、自動車の車内のような温度が大きく変動する環境下においても情報案内端末を使用することができる。

【 0 3 1 9 】

図 19 (C) に示す電子機器は、ノート型パーソナルコンピュータである。図 19 (C) に示すノート型パーソナルコンピュータは、筐体 1 2 0 1 と、表示部 1 2 0 2 と、スピーカ 1 2 0 3 と、LED ランプ 1 2 0 4 と、ポインティングデバイス 1 2 0 5 と、接続端子 1 2 0 6 と、キーボード 1 2 0 7 と、を備える。上記実施の形態の液晶表示装置は、1 回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部 1 2 0 2 に用いることにより、例えば表示部 1 2 0 2 において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

【 0 3 2 0 】

図 19 (D) に示す電子機器は、携帯型遊技機である。図 19 (D) に示す携帯型遊技機は、表示部 1 3 0 1 と、表示部 1 3 0 2 と、スピーカ 1 3 0 3 と、接続端子 1 3 0 4 と、LED ランプ 1 3 0 5 と、マイクロフォン 1 3 0 6 と、記録媒体読込部 1 3 0 7 と、操作ボタン 1 3 0 8 と、センサ 1 3 0 9 と、を備える。上記実施の形態の液晶表示装置は、1 回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部 1 3 0 1 又は表示部 1 3 0 2 に用いることにより、例えば表示部 1 3 0 1 又は表示部 1 3 0 2 において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

【 0 3 2 1 】

図 19 (E) に示す電子機器は、電子書籍である。図 19 (E) に示す電子書籍は、少なくとも筐体 1 4 0 1 と、筐体 1 4 0 3 と、表示部 1 4 0 5 と、表示部 1 4 0 7 と、軸部 1 4 1 1 と、を備える。

【 0 3 2 2 】

筐体 1 4 0 1 及び筐体 1 4 0 3 は、軸部 1 4 1 1 により接続され、図 19 (E) に示す電子書籍は、該軸部 1 4 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことができる。また、表示部 1 4 0 5 は、筐体 1 4 0 1 に組み込まれ、表示部 1 4 0 7 は、筐体 1 4 0 3 に組み込まれる。また、表示部 1 4 0 5 及び表示部 1 4 0 7 の構成を互いに異なる画像を表示する構成としてもよく、例えば両方の表示部で一続きの画像を表示する構成としてもよい。表示部 1 4 0 5 及び表示部 1 4 0 7 を異なる画像を表示する構成にすることにより、例えば右側の表示部 (図 19 (E) では表示部 1 4 0 5) に文章画像を表示し、左側の表示部 (図 19 (E) では表示部 1 4 0 7) に動画を表示することができる。

【 0 3 2 3 】

また、図 19 (E) に示す電子書籍は、筐体 1401 又は筐体 1403 に操作部などを備えてもよい。例えば、図 19 (E) に示す電子書籍の構成を電源ボタン 1421 と、操作キー 1423 と、スピーカ 1425 と、を備える構成にすることもできる。図 19 (E) に示す電子書籍は、操作キー 1423 を用いることにより、複数の頁がある画像の頁を送ることができる。また、図 19 (E) に示す電子書籍の表示部 1405 及び表示部 1407、又は表示部 1405 又は表示部 1407 にキーボードやポインティングデバイスなどを設けた構成としてもよい。また、図 19 (E) に示す電子書籍の筐体 1401 及び筐体 1403 の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、又は AC アダプタ又は USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを設けてもよい。さらに、図 19 (E) に示す電子書籍に電子辞書としての機能を持たせてもよい。

10

【0324】

また、上記実施の形態の液晶表示装置を、表示部 1405 及び表示部 1407、又は表示部 1405 若しくは表示部 1407 に搭載することができる。上記実施の形態の液晶表示装置は、1 回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部 1405 及び表示部 1407、又は表示部 1405 若しくは表示部 1407 に用いることにより、例えば表示部 1405 又は表示部 1407 において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

【0325】

20

また、図 19 (E) に示す電子書籍を無線通信でデータを送受信できる構成としてもよい。これにより、電子書籍サーバから所望の書籍データなどを購入し、ダウンロードする機能を付加させることができる。

【0326】

図 19 (F) に示す電子機器は、ディスプレイである。図 19 (F) に示すディスプレイは、筐体 1501 と、表示部 1502 と、スピーカ 1503 と、LED ランプ 1504 と、操作ボタン 1505 と、接続端子 1506 と、センサ 1507 と、マイクロフォン 1508 と、支持台 1509 と、を備える。上記実施の形態の液晶表示装置は、1 回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部 1502 に用いることにより、例えば表示部 1502 において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

30

【0327】

図 20 に示す電子機器は、テレビジョン装置である。図 20 に示すテレビジョン装置は、筐体 1601 と、表示部 1603 と、を備える。表示部 1603 は、筐体 1601 に組み込まれている。図 20 に示すテレビジョン装置は、表示部 1603 により、映像を表示することができる。また、図 20 に示すテレビジョン装置は、一例としてスタンド 1605 により筐体 1601 が支持された構成である。上記実施の形態の液晶表示装置は、1 回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部 1603 に用いることにより、例えば表示部 1603 において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

40

【0328】

なお、図 20 に示すように、筐体 1601 に備えられた操作スイッチや、別体のリモコン操作機 1610 により図 20 に示すテレビジョン装置を操作することができる。リモコン操作機 1610 に備えられた操作キー 1609 により、図 20 に示すテレビジョン装置のチャンネルや音量の操作を行うことができ、表示部 1603 に表示させる画像を操作することができる。また、上記リモコン操作機 1610 が出力する情報を表示する表示部 1607 をリモコン操作機 1610 に設けてもよい。

【0329】

50

なお、図 20 に示すテレビジョン装置は、受信機やモデムなどを備えた構成とする。受信機を備えることにより一般のテレビ放送の受信を行うことができる。また、モデムを介してテレビジョン装置を有線又は無線による通信ネットワークに接続することにより、一方（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うこともできる。

【0330】

また、本実施の形態の電子機器は、太陽電池セルと、太陽電池セルから出力される電圧を充電する蓄電装置と、該蓄電装置に充電された電圧を各回路に必要な電圧に変換する直流変換回路と、を用いて構成される電源回路を備える構成にしてもよい。これにより、外部電源が不要となるため、外部電源が無い場所であっても、上記電子機器を長時間使用することができるため、利便性を向上させることができる。

10

【0331】

また、本実施の形態の電子機器は、表示部にタッチパネル機能を付加させてもよい。タッチパネル機能は、例えば表示部にタッチパネルユニットを搭載する又は画素に光検出回路を設けることにより付加させることができる。

【0332】

図 19 及び図 20 を用いて説明したように、上記実施の形態における液晶表示装置を電子機器の表示部に搭載することにより消費電力の低い電子機器を提供することができる。

【符号の説明】

【0333】

20

101w 表示制御回路
 101x 選択信号出力回路
 101y 画素データ信号出力回路
 102 バックライトユニット
 103 画素
 103p 単位画素
 104 画素部
 131 トランジスタ
 132 液晶素子
 133 容量素子
 201 記憶回路
 201 フレームメモリ
 202 比較回路
 203 出力選択回路
 300 順序回路
 301a トランジスタ
 301b トランジスタ
 301c トランジスタ
 301d トランジスタ
 301e トランジスタ
 301f トランジスタ
 301g トランジスタ
 301h トランジスタ
 301i トランジスタ
 301j トランジスタ
 301k トランジスタ
 311 期間
 312 期間
 313 期間
 400a 基板

30

40

50

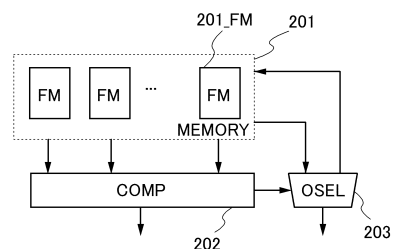
4 0 0 b	基板	
4 0 0 c	基板	
4 0 0 d	基板	
4 0 1 a	導電層	
4 0 1 b	導電層	
4 0 1 c	導電層	
4 0 1 d	導電層	
4 0 2 a	絶縁層	
4 0 2 b	絶縁層	
4 0 2 c	絶縁層	10
4 0 2 d	絶縁層	
4 0 3 a	酸化物半導体層	
4 0 3 b	酸化物半導体層	
4 0 3 c	酸化物半導体層	
4 0 3 d	酸化物半導体層	
4 0 5 a	導電層	
4 0 5 b	導電層	
4 0 5 c	導電層	
4 0 5 d	導電層	
4 0 6 a	導電層	20
4 0 6 b	導電層	
4 0 6 c	導電層	
4 0 6 d	導電層	
4 0 7 a	酸化物絶縁層	
4 0 7 c	酸化物絶縁層	
4 0 9 a	保護絶縁層	
4 0 9 b	保護絶縁層	
4 0 9 c	保護絶縁層	
4 2 7	絶縁層	
4 4 7	絶縁層	30
5 0 1	基板	
5 1 1	導電層	
5 1 2	導電層	
5 2 1	絶縁層	
5 3 0	酸化物半導体膜	
5 3 1	コンタクトホール	
5 4 1	半導体層	
5 5 1	導電層	
5 5 2	導電層	
5 5 3	導電層	40
5 6 1	酸化物絶縁層	
5 7 1	保護絶縁層	
5 8 1	カラーフィルタ層	
5 9 1	コンタクトホール	
6 0 1	平坦化絶縁層	
6 1 1	導電層	
6 2 1	基板	
6 3 1	導電層	
6 4 1	液晶層	
7 0 1 a	反射板	50

7 0 1 b	反射板	
7 0 2 a	冷陰極管	
7 0 2 b	冷陰極管	
7 0 3 a	拡散板	
7 0 3 b	拡散板	
7 0 4 a	プリズムシート	
7 0 4 b	プリズムシート	
7 0 8	散乱パターン	
7 0 9	導光板	
7 1 0	ランプリフレクタ	10
8 0 1	測定系	
8 1 1	トランジスタ	
8 1 2	トランジスタ	
8 1 3	容量素子	
8 1 4	トランジスタ	
8 1 5	トランジスタ	
1 0 0 1	表示部	
1 1 0 1	表示部	
1 1 0 2	操作ボタン	
1 1 0 3	外部入力端子	20
1 2 0 1	筐体	
1 2 0 2	表示部	
1 2 0 3	スピーカ	
1 2 0 4	L E D ランプ	
1 2 0 5	ポインティングデバイス	
1 2 0 6	接続端子	
1 2 0 7	キーボード	
1 3 0 1	表示部	
1 3 0 2	表示部	
1 3 0 3	スピーカ	30
1 3 0 4	接続端子	
1 3 0 5	L E D ランプ	
1 3 0 6	マイクロフォン	
1 3 0 7	記録媒体読込部	
1 3 0 8	操作ボタン	
1 3 0 9	センサ	
1 4 0 1	筐体	
1 4 0 3	筐体	
1 4 0 5	表示部	
1 4 0 7	表示部	40
1 4 1 1	軸部	
1 4 2 1	電源ボタン	
1 4 2 3	操作キー	
1 4 2 5	スピーカ	
1 5 0 1	筐体	
1 5 0 2	表示部	
1 5 0 3	スピーカ	
1 5 0 4	L E D ランプ	
1 5 0 5	操作ボタン	
1 5 0 6	接続端子	50

1 5 0 7	センサ
1 5 0 8	マイクロフォン
1 5 0 9	支持台
1 6 0 1	筐体
1 6 0 3	表示部
1 6 0 5	スタンド
1 6 0 7	表示部
1 6 0 9	操作キー
1 6 1 0	リモコン 操作機

【圖 2】

(B)



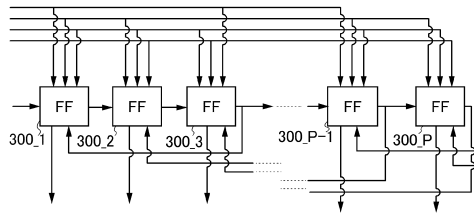
Timing diagram for the 74VHC163 3-bit counter. The diagram shows four signals over time: SELOUT, SEL, PX, and a time axis. The time axis is divided into three periods: PD1, PD2, and PD3. SELOUT is high during PD1 and PD2, and low during PD3. SEL is high during PD1 and PD2, and low during PD3. PX is high during PD1 and PD2, and low during PD3. The time axis is labeled 'time' with an arrow pointing right.

The timing diagram illustrates the sequence of events across three periods: PD1, PD2, and PD3.

- SELOUT:** Outputs "OUTPUT" during PD1 and PD3, and "STOP" during PD2.
- SEL:** Transitions from "PLS" to a low state at the start of PD1 and returns to "PLS" at the start of PD3. It remains low throughout PD2.
- PX:** Contains "WRT" and "HLD" signals. In PD1, both are active. In PD2, only "HLD" is active. In PD3, both "WRT" and "HLD" are active.

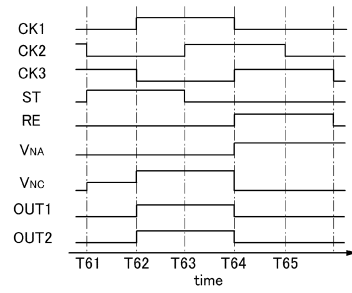
【図 3】

(A)

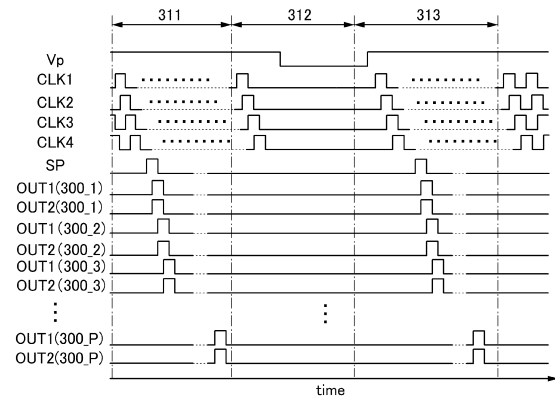


【図 4】

(A)

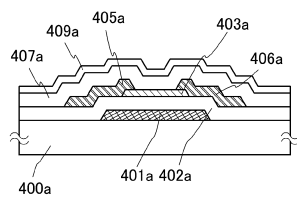


(B)

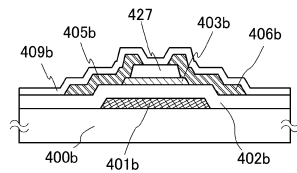


【図 5】

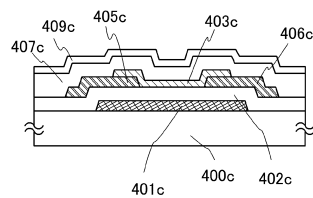
(A)



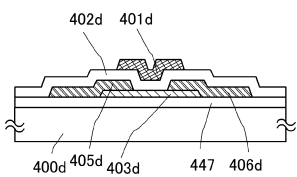
(B)



(C)

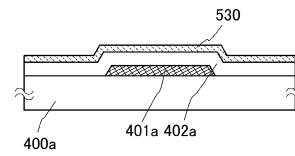


(D)

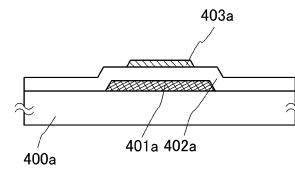


【図 6】

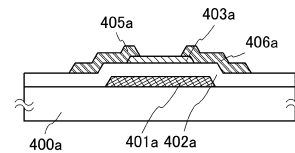
(A)



(B)

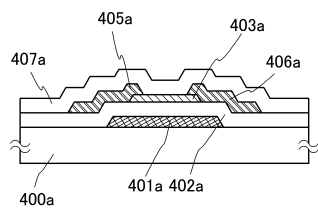


(C)

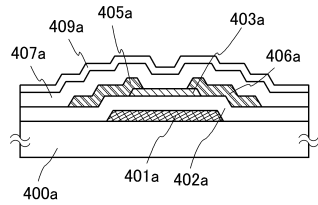


【図 7】

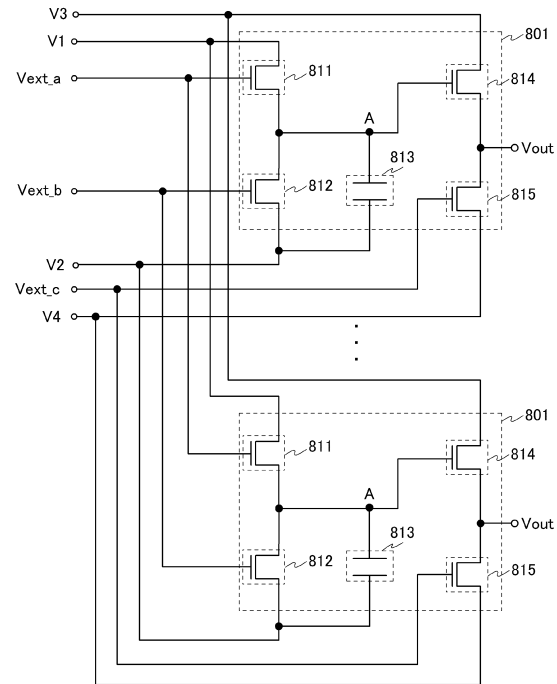
(A)



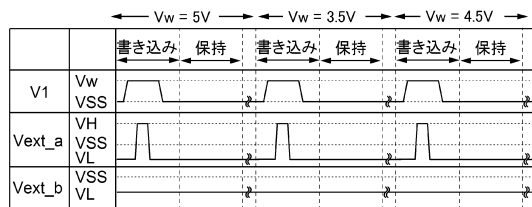
(B)



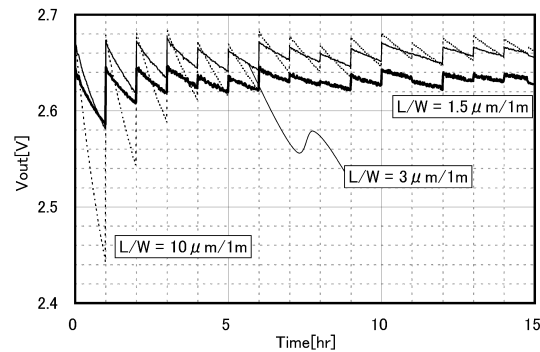
【図 8】



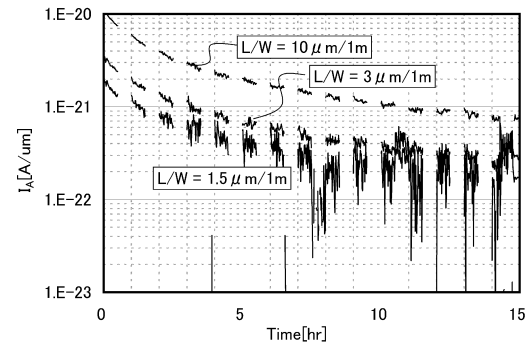
【図 9】



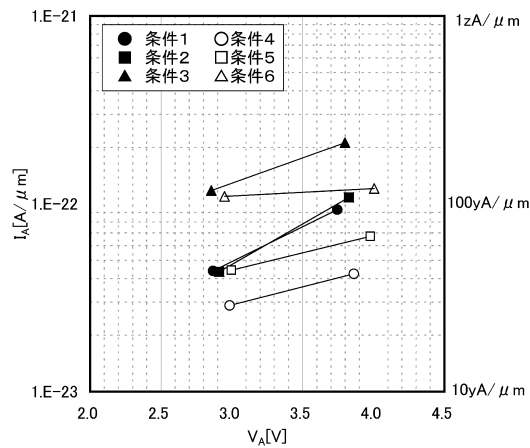
【図 10】



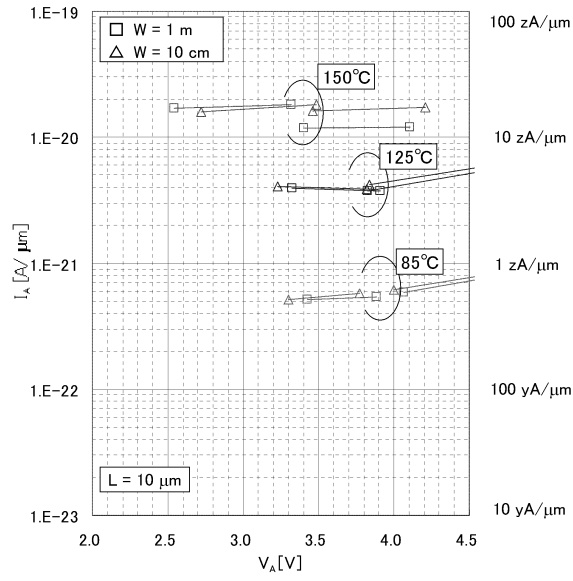
【図 11】



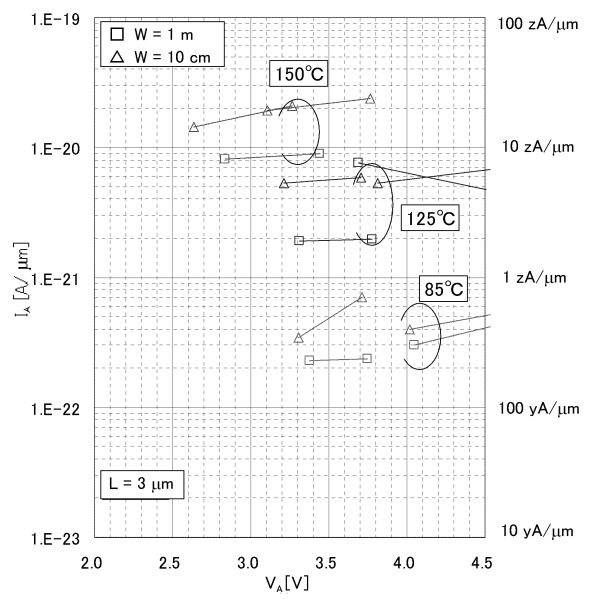
【図 12】



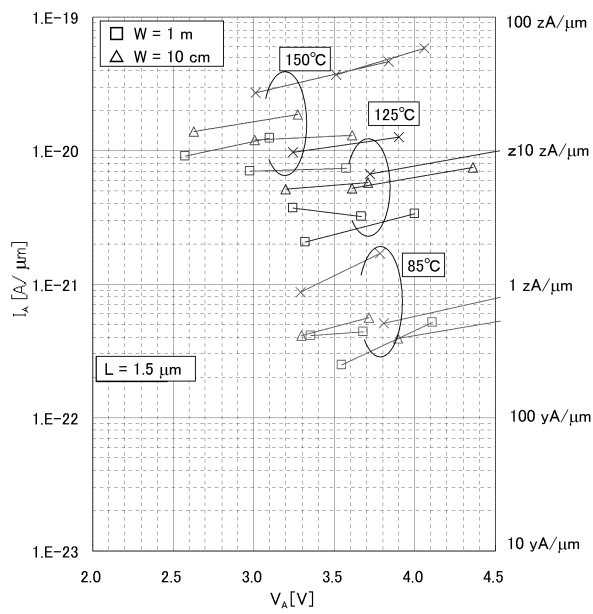
【図 13】



【図 14】

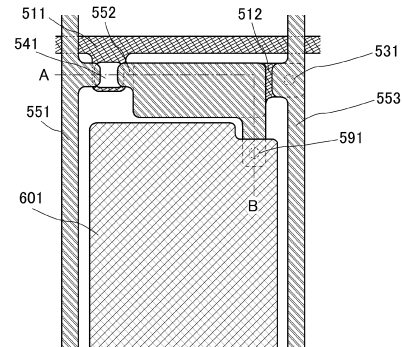


【図 15】

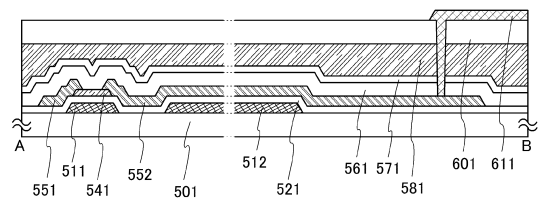


【図 16】

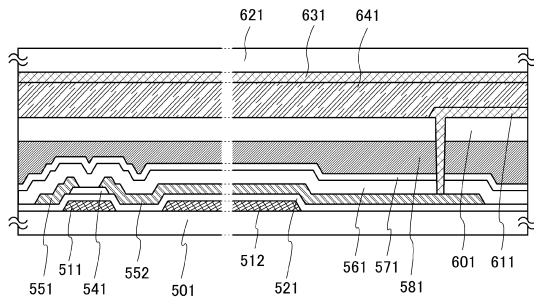
(A)



(B)

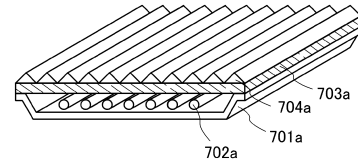


【図 17】

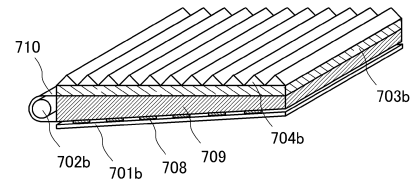


【図 18】

(A)

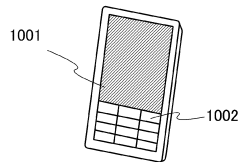


(B)

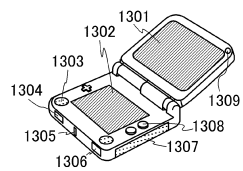


【図 19】

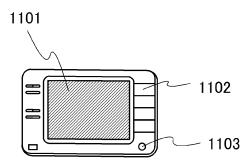
(A)



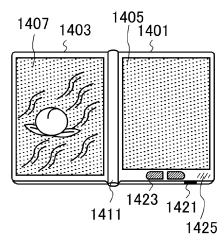
(D)



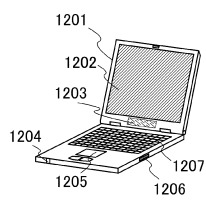
(B)



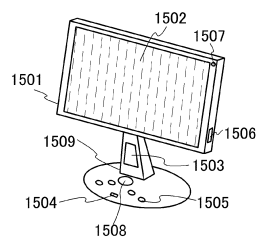
(E)



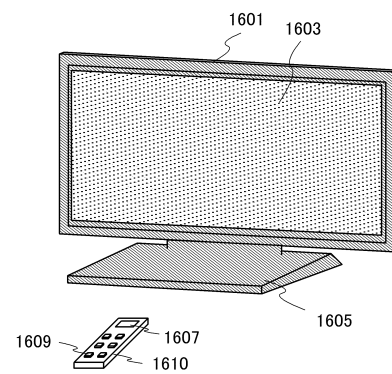
(C)



(F)



【図 20】



 フロントページの続き

(51)Int.Cl.		F I		
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/36
			G 0 9 G	3/20 6 2 4 B
			G 0 9 G	3/20 6 1 2 G
			G 0 9 G	3/20 6 1 1 A
			G 0 9 G	3/20 6 7 0 L
			G 0 9 G	3/20 6 1 1 G
			G 0 9 G	3/20 6 6 0 U

(56)参考文献 国際公開第2009/031381(WO, A1)
 国際公開第2008/096768(WO, A1)
 特開2008-282913(JP, A)
 特開2001-312253(JP, A)
 特開昭58-066477(JP, A)

(58)調査した分野(Int.Cl., DB名)
 G 0 2 F 1 / 1 3 4 3
 G 0 2 F 1 / 1 3 6 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 7 8 6
 J S T P l u s (J D r e a m I I I)
 S c o p u s

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	JP6078131B2	公开(公告)日	2017-02-08
申请号	JP2015187115	申请日	2015-09-24
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤		
发明人	山崎 舜平 小山 潤		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3677 G09G3/3688 G09G2310/0286 G09G2320/10 G09G2330/021 G09G2340/0435 G11C19/184 G11C19/28		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.618.Z H01L29/78.627.F G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.612.G G09G3/20.611.A G09G3/20.670.L G09G3/20.611.G G09G3/20.660.U		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB06 2H192/CB37 2H192/CB52 2H192/CB71 2H192/DA15 2H192/DA43 2H192/DA52 2H192/EA42 2H192/GD47 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZC25 2H193/ZD12 2H193/ZD32 2H193/ZD36 2H193/ZF36 2H193/ZG03 2H193/ZG04 2H193/ZG12 5C006/AA02 5C006/AA22 5C006/AC28 5C006/AF19 5C006/AF44 5C006/AF45 5C006/AF53 5C006/AF68 5C006/AF69 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF02 5C006/BF03 5C006/BF14 5C006/BF22 5C006/BF50 5C006/FA04 5C006/FA36 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD20 5C080/DD26 5C080/EE19 5C080/FF03 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK08 5C080/KK20 5C080/KK23 5C080/KK43 5C080/KK50 5F110/AA06 5F110/BB01 5F110/CC01 5F110/CC03 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG19 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/NN02 5F110/NN03 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN34 5F110/NN40 5F110/NN72 5F110/PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/PP29 5F110/PP35 5F110/QQ01 5F110/QQ02		
优先权	2010104441 2010-04-28 JP		
其他公开文献	JP2016028291A		
外部链接	Espacenet		

摘要(译)

液晶显示装置包括像素部，选择信号输出电路，其在第一操作模式下输出选择信号，并在第二操作模式中停止输出选择信号;像素数据信号输出电路，其生成并输出像素数据信号，以及包括冷阴极荧光灯的背光单元。像素部分包括：晶体管，其包括被提供有选择信号的栅极电极以及在第一操作模式中被提供有像素数据信号并且在第二操作模式中保持截止的源电极和漏电极;第一电极，电连接到所述晶体管的源极电极和漏极电极中的另一个;第二电极;和液晶。晶体管包括其中形成沟道的氧化物半导体层。

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
HO1L 29/788 (2006.01)	HO1L 29/78 6 1 8 B
HO1L 21/336 (2006.01)	HO1L 29/78 6 1 8 Z
GO2F 1/133 (2006.01)	HO1L 29/78 6 2 7 F
GO9G 3/36 (2006.01)	GO2F 1/133 5 5 0

請求項の数 4 (全 48 頁) 最終頁に続く

(21) 出願番号	特願2015-187115 (P2015-187115)	(73) 特許権者	000153878
(22) 出願日	平成27年9月24日 (2015. 9. 24)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-99900 (P2011-99900) の分割	(72) 発明者	山崎 舜平
原出願日	平成23年4月27日 (2011. 4. 27)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-28291 (P2016-28291A)		半導体エネルギー研究所内
(43) 公開日	平成28年2月25日 (2016. 2. 25)	(72) 発明者	小山 潤
審査請求日	平成27年9月25日 (2015. 9. 25)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-104441 (P2010-104441)		半導体エネルギー研究所内
(32) 優先日	平成22年4月28日 (2010. 4. 28)	審査官	磯野 光司
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置の作製方法