

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6051986号
(P6051986)

(45) 発行日 平成28年12月27日 (2016.12.27)

(24) 登録日 平成28年12月9日 (2016.12.9)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2013-55907 (P2013-55907)	(73) 特許権者	000006013
(22) 出願日	平成25年3月19日 (2013.3.19)		三菱電機株式会社
(65) 公開番号	特開2014-182234 (P2014-182234A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成26年9月29日 (2014.9.29)	(74) 代理人	100112210
審査請求日	平成26年10月3日 (2014.10.3)		弁理士 稲葉 忠彦
前置審査		(74) 代理人	100108431
			弁理士 村上 加奈子
		(74) 代理人	100153176
			弁理士 松井 重明
		(74) 代理人	100109612
			弁理士 倉谷 泰孝
		(72) 発明者	山縣 有輔
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1基板と、
 前記第1基板と対向配置された第2基板と、
 前記第1及び第2基板の間に挟持された液晶層と
 を備え、
 前記第1基板は、
 断面視での予め定められた方向に正弦波または余弦波の形状の凹凸が配設された上面を
 有する第1電極と、
 前記第1電極上に電極間絶縁膜を介して形成された、スリットと、前記予め定められた
 方向にて隣り合う二つの前記スリットの間の部分である部分電極とを有する第2電極と
 を含み、
前記凹凸の複数の底部によって区分され、前記予め定められた方向に配列された複数の
凸部上方に、当該複数の凸部の配列の順番で各前記凸部に対応させて前記第2電極の前記
部分電極と前記スリットとが交互に配設され、
前記第2電極の前記部分電極の上面、及び、前記第2電極の前記スリットから露出した
前記電極間絶縁膜の上面には、前記第1電極の正弦波または余弦波の形状の前記凹凸を反
映した凹凸が配設されている、液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置であって、

10

20

前記部分電極の上面は、前記部分電極の端部から中央部に向かって凸状に傾斜する傾斜面を含む、液晶表示装置。

【請求項 3】

請求項 1 または請求項 2 に記載の液晶表示装置であって、

前記第 1 基板は、

前記第 1 電極下に形成された、前記予め定められた方向に前記凹凸と同様の凹凸が配設された上面を有する層間絶縁膜をさらに含み、

前記第 1 電極の前記凹凸は、前記層間絶縁膜の前記凹凸を反映している、液晶表示装置

。

【請求項 4】

請求項 3 に記載の液晶表示装置であって、

前記層間絶縁膜は感光性を有する樹脂膜によって構成されている、液晶表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかに記載の液晶表示装置であって、

前記第 1 電極の前記凹凸のピッチは $3 \sim 5 \mu\text{m}$ であり、当該凹凸の深さは $0.1 \sim 0.5 \mu\text{m}$ である、液晶表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかに記載の液晶表示装置であって、

前記第 1 基板は、

前記第 2 電極に印加する電圧を制御する薄膜トランジスタをさらに含む、液晶表示装置

。

【請求項 7】

(a) 基板上に薄膜トランジスタを形成する工程と、

(b) 前記基板上及び前記薄膜トランジスタ上に、第 1 コンタクトホールを有し、かつ、断面視での予め定められた方向に正弦波または余弦波の形状の凹凸が配設された上面を有する第 1 絶縁膜を形成する工程と、

(c) 前記第 1 絶縁膜の前記上面上に、前記凹凸を反映する凹凸が配設された上面を有する第 1 電極を形成する工程と、

(d) 前記第 1 電極の前記上面上に、第 2 コンタクトホールを有する第 2 絶縁膜を形成する工程と、

(e) 前記第 2 絶縁膜上に、前記第 1 及び第 2 コンタクトホールを介して前記薄膜トランジスタと電気的に接続された、スリットと、前記予め定められた方向にて隣り合う二つの前記スリットの間の部分である部分電極とを有する第 2 電極を形成する工程とを備え、

前記工程 (e) にて、前記凹凸の複数の底部によって区分され、前記予め定められ方向に配列された複数の凸部上方に、当該複数の凸部の順番で各前記凸部に対応させて前記第 2 電極の前記部分電極と前記スリットとが交互に配設されるように、前記スリットが前記第 2 電極に形成され、前記第 2 電極の前記部分電極の上面、及び、前記第 2 電極の前記スリットから露出した前記第 2 絶縁膜の上面には、前記第 1 電極の正弦波または余弦波の形状の前記凹凸を反映した凹凸が配設される、液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその製造方法に関し、特にフリンジフィールドスイッチングモードなどの液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

インプレーンスイッチング (In-Plane-Switching: IPS) (登録商標) モードの液晶表示装置は、対向する基板間に挟持された液晶層に横電界を印加して表示を行う表示方式である。IPS モードは、TN (Twisted Nematic) モードと比較して視野角特性に優れ

10

20

30

40

50

ており、高画質化への要求を満足することが可能な表示方式であると考えられている。

【 0 0 0 3 】

I P S モードの液晶表示装置では、互いに対向する不透明の金属膜からなる画素電極及び対向電極を、同一の基板の同一階層に形成する構成が一般的である。このような構造の液晶表示装置は、通常のT Nモードと比べて画素開口率を大きくすることが困難であり、そのため光利用効率が低いという欠点がある。

【 0 0 0 4 】

I P S モードの液晶表示装置における開口率及び透過率を改善するために、フリンジフィールドスイッチング (Fringe Field Switching : F F S) モードが提案されている (例えば、特許文献 1 , 2)。F F S モードの液晶表示装置では、画素電極と対向電極とを透明導電膜により形成しているため、I P S モードより開口率及び透過率が向上することになる。また、F F S モードの液晶表示装置では、保持容量形成部を形成しなくても、透明導電膜間の容量を高めることができるため、当該保持容量形成部による透過率ロスが生じなくなる。

【 0 0 0 5 】

以上のようなF F S モードの液晶表示装置において、さらなる開口率及び透過率を向上させる構成や製造方法が提案されている (例えば、特許文献 3 , 4)。また、F F S モードの反射型及び半透過型の液晶表示装置において、液晶層の厚さバラツキによるコントラスト低下を改善する手法や、製造方法が提案されている (例えば、特許文献 4)。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 1 - 2 3 5 7 6 3 号 公 報

【 特許文献 2 】 特開 2 0 0 2 - 1 8 2 2 3 0 号 公 報

【 特許文献 3 】 特開 2 0 0 9 - 3 6 9 4 7 号 公 報

【 特許文献 4 】 特開 2 0 0 9 - 1 2 8 3 9 7 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

さて、F F S モードの液晶表示装置がI P S モードの液晶表示装置と異なる特徴として、上層に設けられたスリットを有する対向電極と、絶縁膜を介して下層に設けられた下部電極とを備える点が挙げられる。このような構成によれば、対向電極と下部電極とに異なる電位を印加することにより、下部電極の上部、対向電極のスリット、液晶層、及び、対向電極の上部の順 (またはこれと逆順) に通り、液晶層において横方向になる電界 (以下「フリンジ電界」) が発生する。F F S モードの液晶表示装置では、このフリンジ電界を用いて液晶を駆動させることが可能となっている。

【 0 0 0 8 】

しかしながら、従来のF F S モードの液晶表示装置のフリンジ電界は、対向電極とスリットとの境界においては横方向に向いているが、対向電極の中央部近傍と、スリットの中央部近傍とにおいては、縦方向 (対向電極及び下部電極などの積層方向) に向いてしまうという問題がある。これにより、対向電極及びスリットの中央部近傍のいずれにおいても、液晶分子が電界に沿って立ち上がって配置され、電界印加時に十分な位相差が得られない (不足する) ために、透過率が一画素内において局所的に低下する。このため、一画素内における透過率が不均一となるとともに、一画素全体の平均透過率を低下させてしまうことになる結果、表示品位が低下するといった問題がある。

【 0 0 0 9 】

そこで、本発明は、上記のような問題点を鑑みてなされたものであり、フリンジ電界を用いた液晶表示装置において表示品位を高めることが可能な技術を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明に係る液晶表示装置は、第 1 基板と、前記第 1 基板と対向配置された第 2 基板と、前記第 1 及び第 2 基板の間に挟持された液晶層とを備える。前記第 1 基板は、断面視での予め定められた方向に正弦波または余弦波の形状の凹凸が配設された上面を有する第 1 電極と、前記第 1 電極上に電極間絶縁膜を介して形成された、スリットと、前記予め定められた方向にて隣り合う二つの前記スリットの間の部分である部分電極とを有する第 2 電極とを含み、前記凹凸の複数の底部によって区分され、前記予め定められた方向に配列された複数の凸部上方に、当該複数の凸部の配列の順番で各前記凸部に対応させて前記第 2 電極の前記部分電極と前記スリットとが交互に配設されている。前記第 2 電極の前記部分電極の上面、及び、前記第 2 電極の前記スリットから露出した前記電極間絶縁膜の上面には、前記第 1 電極の正弦波または余弦波の形状の前記凹凸を反映した凹凸が配設されている。

10

【発明の効果】

【 0 0 1 1 】

本発明によれば、平面視での予め定められた方向において、第 1 電極の第 1 凸部の上部全体が、第 2 電極のスリットから露出するように構成されている。これにより、第 1 凸部を、第 2 電極に対してなるべく横方向に配置することができることから、フリンジ電界を、なるべく横方向に向けることができる。したがって、フリンジ電界を用いた液晶表示装置において表示品位を高めることができる。

【図面の簡単な説明】

20

【 0 0 1 2 】

【図 1】液晶表示装置に用いられる T F T アレイ基板の構成を示す平面図である。

【図 2】実施の形態 1 に係る T F T アレイ基板の画素構成を示す平面図である。

【図 3】実施の形態 1 に係る T F T アレイ基板の画素構成を示す断面図である。

【図 4】実施の形態 1 に係る液晶表示装置の効果を説明するための図である。

【図 5】実施の形態 1 に係る液晶表示装置の効果を説明するための図である。

【図 6】実施の形態 1 に係る液晶表示装置の製造方法を説明するための断面図である。

【図 7】実施の形態 1 に係る液晶表示装置の製造方法を説明するための断面図である。

【図 8】実施の形態 2 に係る T F T アレイ基板の画素構成を示す断面図である。

【図 9】実施の形態 2 に係る液晶表示装置の効果を説明するための断面図である。

30

【図 10】実施の形態 3 に係る T F T アレイ基板の画素構成を示す断面図である。

【図 11】実施の形態 3 に係る液晶表示装置の製造方法を説明するための断面図である。

【図 12】実施の形態 3 に係る液晶表示装置の効果を説明するための断面図である。

【図 13】実施の形態 4 に係る T F T アレイ基板の画素構成を示す平面図である。

【図 14】実施の形態 4 に係る T F T アレイ基板の画素構成を示す断面図である。

【図 15】変形例に係る T F T アレイ基板の画素構成を示す断面図である。

【発明を実施するための形態】

【 0 0 1 3 】

< 実施の形態 1 >

< 構成 >

40

図 1 は、本発明の実施の形態 1 に係る液晶表示装置に用いられる基板 1 0 (第 1 基板)の構成を示す平面図である。この基板 1 0 は、例えば、スイッチング素子がアレイ状に形成されたアレイ基板などに適用される。以下では、基板 1 0 は、薄膜トランジスタ (Thin Film Transistor : T F T) のアレイ基板、すなわち T F T アレイ基板 (以下「T F T アレイ基板 1 0」と記す) であるものとして説明する。

【 0 0 1 4 】

なお、図示しないが、本実施の形態 1 に係る液晶表示装置は、T F T アレイ基板 1 0 (第 1 基板)だけでなく、対向基板 (第 2 基板)と、液晶層と、バックライトユニット等を備えて構成されている。

【 0 0 1 5 】

50

対向基板は、ＴＦＴアレイ基板１０と対向配置された基板（例えばカラーフィルタ基板）であり、視認側（図１に示されるＴＦＴアレイ基板１０の手前側）に配置される。対向基板には、カラーフィルタ、ブラックマトリクス（ＢＭ）、及び配向膜等が形成されている。

【００１６】

液晶層は、ＴＦＴアレイ基板１０と対向基板との間に挟持される。すなわち、ＴＦＴアレイ基板１０と対向基板との間には液晶が導入されている。さらに、ＴＦＴアレイ基板１０及び対向基板のそれぞれの、液晶層と逆側の面には、偏光板、及び位相差板等が設けられる。

【００１７】

なお、ＴＦＴアレイ基板１０、対向基板及び液晶層は、液晶表示パネルを構成しており、バックライトユニットは、当該液晶表示パネルの反視認側に配設される。

【００１８】

ここで、ＴＦＴアレイ基板１０には、フリンジ電界を発生することが可能な下部電極及び対向電極（画素電極）が形成されているものとする。すなわち、本実施の形態１に係る液晶表示装置は、ＦＦＳモードの液晶表示装置であるものとする。この液晶表示装置の全体構成については、以下に述べる実施の形態１～４において共通である。

【００１９】

次に、ＴＦＴアレイ基板１０の構成について詳細に説明する。

【００２０】

図１に示されるように、ＴＦＴアレイ基板１０には、表示領域４１と、当該表示領域４１を囲むように設けられた額縁領域４２とが設けられている。

【００２１】

表示領域４１には、複数のゲート配線（走査信号線）４３と複数のソース配線（表示信号線）４４とが形成されている。複数のゲート配線４３は平行に配設され、複数のソース配線４４は平行に配設されている。一方、ゲート配線４３とソース配線４４とは、平面視においては互いに交差するように形成されているが、後述するように断面視においてはゲート絶縁膜により絶縁されている。隣接する二つのゲート配線４３と、隣接する二つのソース配線４４とで囲まれた領域が画素４７となる。したがって、ＴＦＴアレイ基板１０では、画素４７がマトリクス状に配列される。

【００２２】

額縁領域４２には、走査信号駆動回路４５と表示信号駆動回路４６とが設けられている。ゲート配線４３は、表示領域４１から額縁領域４２まで延設され、ＴＦＴアレイ基板１０の端部で、走査信号駆動回路４５と接続される。ソース配線４４も同様に、表示領域４１から額縁領域４２まで延設され、ＴＦＴアレイ基板１０の端部で、表示信号駆動回路４６と接続される。ＴＦＴアレイ基板１０の、走査信号駆動回路４５の近傍領域にて、走査信号駆動回路４５と電氣的に接続された外部配線４８が設けられている。また、ＴＦＴアレイ基板１０の、表示信号駆動回路４６の近傍領域にて、表示信号駆動回路４６と電氣的に接続された外部配線４９が設けられている。外部配線４８，４９には、例えば、ＦＰＣ（Flexible Printed Circuit）等の配線基板が用いられる。

【００２３】

外部配線４８，４９を介して走査信号駆動回路４５及び表示信号駆動回路４６に外部からの各種信号が供給される。走査信号駆動回路４５は外部からの制御信号に基づいて、ゲート配線４３を順次を選択し、当該選択したゲート配線４３にゲート信号（走査信号）を供給する。表示信号駆動回路４６は外部からの制御信号や、表示データに基づいて表示信号をソース配線４４に供給する。これにより、表示データに応じた表示電圧を各画素４７に順次供給することができる。

【００２４】

画素４７内には、少なくとも１つのＴＦＴ５０が形成されている。ＴＦＴ５０はソース配線４４とゲート配線４３との交差点近傍に配置される。ＴＦＴ５０は、ゲート配線４３

10

20

30

40

50

からのゲート信号に応じてオンまたはオフする。TFT50は、オンされている状態でソース配線44から表示電圧が供給されると、ドレイン電極に接続された対向電極に表示電圧を印加する。

【0025】

続いて、本実施の形態1に係る液晶表示装置の画素47の構成について説明する。図2は、本実施の形態1に係るTFTアレイ基板10の画素構成を示した平面図である。図3は、本実施の形態1に係るTFTアレイ基板10の画素構成を示した断面図である。図2はTFTアレイ基板10の画素47の1つを示しており、図3は図2のA-A断面図である。ここでは、チャネルエッチ型のTFT50が形成されている場合について例示的に説明をする。

10

【0026】

ここで、画素構成について詳細に説明する前に、この画素構成の概要について説明する。対向電極8は、スリット8sを有しており、下部電極7と電極間絶縁膜14を介して対向配置されている(図3)。下部電極7及び対向電極8は、上述したフリンジ電界を発生させるための電極であり、そのフリンジ電界の大きさは、対向電極8に印加された表示電圧の大きさに対応する。なお、TFTアレイ基板10の表面には、配向膜(図示せず)が形成されている。

【0027】

TFTアレイ基板10及び対向基板間の液晶層(図3においてTFTアレイ基板10上側の液晶層)の液晶は、表示電圧に応じたフリンジ電界によって駆動され、液晶の配向方向が変化する。これに伴い、液晶層を通過する光の偏光状態が変化する。すなわち、液晶層を通過する光の偏光状態は、表示電圧に応じて変更可能となっている。

20

【0028】

ここで、バックライトユニットからの光は、TFTアレイ基板10側の偏光板を通過すると直線偏光になり、当該偏光板を通過した光は、液晶層を通過すると上述したように偏光状態が変化する。そして、液晶層を通過した光が対向基板側の偏光板を通過する光量は、液晶層における偏光状態の変化に依存する。

【0029】

すなわち、バックライトユニットから液晶表示パネルを透過する透過光のうち、視認側の偏光板(対向基板側の偏光板)を通過する光の光量は、対向電極8に印加される表示電圧に基づいて変更することが可能となっている。このように、対向電極8に印加される表示電圧を制御することによって、視認側に通過する光量を変化させることができる。すなわち、画素47ごとに表示電圧を変えることによって、所望の画像を表示領域41に表示することが可能となっている。

30

【0030】

次に、このような画素47の構成について詳細に説明する。図2及び図3において、ガラス等の透明な絶縁性の透明基板10a上に、その一部がゲート電極1を構成するゲート配線43と、共通配線9とが形成されている。ゲート配線43は、透明基板10aにおいて一方向に直線的に延在するように配設されている。ゲート電極1、ゲート配線43、及び、共通配線9は、例えばCr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Agやこれらを主成分とする合金膜、またはこれらの積層膜によって形成されている。

40

【0031】

ゲート電極1、ゲート配線43、及び、共通配線9を覆うように、ゲート絶縁膜11が設けられている。ゲート絶縁膜11は、窒化シリコン、酸化シリコン等の絶縁膜により形成されている。そして、TFT50の形成領域では、ゲート絶縁膜11を介してゲート配線43上に半導体層2が設けられている。ここでは、半導体層2は、平面視においてゲート配線43と重なるようゲート絶縁膜11の上に形成され、この半導体層2とほぼ重なる領域のゲート配線43がゲート電極1となる。半導体層2は、例えば、非晶質シリコン、多結晶シリコン、金属酸化物等により形成されている。以下では、半導体層2が非晶質シリコンで形成されている場合について例示的に説明をする。

50

【 0 0 3 2 】

また、半導体層 2 は、半導体層 2 の両端のそれぞれの上部に、導電性不純物がドーピングされたオーミックコンタクト膜 3 を含んでいる。このオーミックコンタクト膜 3 に対応する半導体層 2 の領域は、ソース・ドレイン領域となる。具体的には、図 3 中の左側のオーミックコンタクト膜 3 に対応する半導体層 2 の領域がソース領域となる。そして、図 3 中の右側のオーミックコンタクト膜 3 に対応する半導体層 2 の領域がドレイン領域となる。このように、半導体層 2 の両端にはソース・ドレイン領域が形成されている。そして、平面視において半導体層 2 のソース・ドレイン領域に挟まれた領域がチャンネル領域となる。半導体層 2 のチャンネル領域上には、オーミックコンタクト膜 3 は形成されていない。オーミックコンタクト膜 3 は、例えば、リン (P) 等の不純物が高濃度にドーピングされた、n 型非晶質シリコンや n 型多結晶シリコンなどにより形成されている。

10

【 0 0 3 3 】

ソース領域のオーミックコンタクト膜 3 上には、ソース電極 4 の一部が形成されている。具体的には、ソース領域のオーミックコンタクト膜 3 上から、チャンネル領域と逆側に延在するソース電極 4 が形成されている。同様に、ドレイン領域のオーミックコンタクト膜 3 上には、ドレイン電極 5 の一部が形成されている。具体的には、ドレイン領域のオーミックコンタクト膜 3 上から、チャンネル領域と逆側に延在するドレイン電極 5 が形成されている。すなわち、ソース電極 4 及びドレイン電極 5 は、オーミックコンタクト膜 3 と同様、半導体層 2 のチャンネル領域上には形成されない。

20

【 0 0 3 4 】

以上のように、本実施の形態 1 に係る液晶表示装置においては、チャンネルエッチ型の TFT 50 が、透明基板 10 a 上に形成されることになる。

【 0 0 3 5 】

ソース電極 4 のうち、半導体層 2 のチャンネル領域と逆側に延在した部分は、ソース配線 44 と繋がっている。断面視において、ソース配線 44 は、ゲート絶縁膜 11 上に形成されている。平面視においては、ソース配線 44 は、ゲート配線 43 と交差する方向に直線的に延在する本体部分と、当該交差近傍において本体部分から分岐してゲート配線 43 の延在方向と同じ方向に延在する分岐部分とを有している。そして、この分岐部分が、ソース電極 4 に対応している。

30

【 0 0 3 6 】

ドレイン電極 5 は、半導体層 2 のチャンネル領域と逆側に延在した延在部分を有している。このドレイン電極 5 の延在部分は、接続配線 19 (図 2) を介して対向電極 8 と電氣的に接続されている。なお、接続配線 19 は、下部電極 7 と同じ材料 (ここでは同じ金属膜) から形成されるが、下部電極 7 と離間されており、下部電極 7 と絶縁されている。

【 0 0 3 7 】

ソース電極 4、ソース配線 44、及び、ドレイン電極 5 は、例えば Cr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Ag やこれらを主成分とする合金膜、またはこれらの積層膜によって形成されている。

【 0 0 3 8 】

半導体層 2、ソース電極 4、ソース配線 44、及び、ドレイン電極 5 を覆うように、第 1 層間絶縁膜 12 が設けられている。第 1 層間絶縁膜 12 は、例えば窒化シリコン、酸化シリコン等の絶縁膜により形成されている。

40

【 0 0 3 9 】

第 1 層間絶縁膜 12 を覆うように、第 2 層間絶縁膜 13 (層間絶縁膜) が設けられている。ここで、第 2 層間絶縁膜 13 は、図 2 及び図 3 に示されるように予め定められた方向 (図 2 に示される X 方向) に凹凸が配設された上面を有している。第 2 層間絶縁膜 13 は、例えばアクリル、エポキシ、ポリイミド、ポリオレフィン等の樹脂膜より形成されている。

【 0 0 4 0 】

第 1 及び第 2 層間絶縁膜 12, 13 には、ドレイン電極 5 の一部の上に第 1 コンタクト

50

ホール 15 が設けられている。また、ゲート絶縁膜 11 と、第 1 及び第 2 層間絶縁膜 12, 13 とには、共通配線 9 の一部の上に第 3 コンタクトホール 17 が設けられている。なお、第 2 コンタクトホール 16 については後述する。

【0041】

下部電極 7 (第 1 電極) は、第 2 層間絶縁膜 13 の凹凸が配設された上面上に形成されるとともに、第 3 コンタクトホール 17 内にて共通配線 9 と電気的に接続されている。本実施の形態 1 では、下部電極 7 の上面には、第 2 層間絶縁膜 13 の凹凸が反映、すなわち凹凸が浮き出て転写されている。このように、下部電極 7 は、第 2 層間絶縁膜 13 の凹凸と同様の凹凸が X 方向に配設された上面を有している。このような構成によれば、下部電極 7 の上面に凹凸を簡単な工程で形成することが可能となっている。なお、以下の説明では、下部電極 7 の凹凸は、凸部 7a (7a1, 7a2) と、凹部 7b とを含むものとして説明する。

10

【0042】

接続配線 19 は、第 1 コンタクトホール 15 周辺の第 2 層間絶縁膜 13 上に形成されるとともに、第 1 コンタクトホール 15 内にてドレイン電極 5 と電気的に接続されている。下部電極 7 及び接続配線 19 は、例えば ITO, IZO 等の透明導電膜 (金属酸化物) により形成されている。なお、上述したように、接続配線 19 は、下部電極 7 と離間されて下部電極 7 と絶縁されている。

【0043】

第 2 層間絶縁膜 13、下部電極 7、及び、接続配線 19 を覆うように、電極間絶縁膜 14 が設けられている。本実施の形態 1 では、電極間絶縁膜 14 の上面には、下部電極 7 の凹凸が反映、すなわち凹凸が浮き出て転写されている。このように、電極間絶縁膜 14 は、下部電極 7 の凹凸と同様の凹凸が X 方向に配設された上面を有している。電極間絶縁膜 14 は、例えば窒化シリコン、酸化シリコン等の絶縁膜により形成されている。また、電極間絶縁膜 14 には、接続配線 19 の一部の上に第 2 コンタクトホール 16 が設けられている。

20

【0044】

対向電極 8 (第 2 電極) は、電極間絶縁膜 14 の凹凸が配設された上面上に形成されるとともに、第 2 コンタクトホール 16 内にて接続配線 19 と電気的に接続されている。これにより、TFT アレイ基板 10 に含まれる TFT 50 は、対向電極 8 に印加する表示電圧 (電圧) を制御することが可能となっている。また、対向電極 8 の上面には、電極間絶縁膜 14 の凹凸が反映、すなわち凹凸が浮き出て転写されている。対向電極 8 は、例えば ITO, IZO 等の透明導電膜 (金属酸化物) により形成されている。

30

【0045】

さらに、対向電極 8 はスリット 8s を有している。以下、対向電極 8 のうち、X 方向にて隣り合う二つのスリット 8s の間の部分を「部分電極 8p」と記す。上述したように、対向電極 8 には電極間絶縁膜 14 の凹凸が反映されていることから、部分電極 8p の上面は、部分電極 8p の端部から中央部に向かって凸状に傾斜する傾斜面 8f (図 3) を含んでいる。

【0046】

さて、図 2 には、下部電極 7 の凸部 7a の上部が太線で示されている。この図 2 に示されるように、本実施の形態 1 では、平面視での X 方向において、下部電極 7 の一つの凸部 7a1 (第 1 凸部) に注目したときその上部全体が、一つのスリット 8s から露出している。

40

【0047】

ここでは、その構成の一例として、X 方向において、下部電極 7 の凸部 7a1 の上部の位置と、スリット 8s の中央部の位置と、第 2 層間絶縁膜 13 の凸部の上部の位置とが、ほぼ揃えられている。また、X 方向において、下部電極 7 の凸部 7a1 の隣の凸部 7a2 の上部の位置と、部分電極 8p の中央部の位置と、第 2 層間絶縁膜 13 の凸部の上部の位置とが、ほぼ揃えられている。さらに、X 方向において、下部電極 7 の凹部 7b の下部の

50

位置と、スリット 8 s 及び部分電極 8 p の境界の位置（つまり、スリット 8 s 及び部分電極 8 p のそれぞれの端部の位置）と、第 2 層間絶縁膜 1 3 の凹部の下部の位置とが、ほぼ揃えられている。

【 0 0 4 8 】

< 効果 >

以上のように構成された本実施の形態 1 に係る液晶表示装置の効果を、図 4 及び図 5 を用いて説明する。図 4 は、本実施の形態 1 に係る液晶表示装置と関連する F F S モードの液晶表示装置（以下「関連液晶表示装置」と記す）における、画素構造及び液晶分子の動作を示す図である。図 5 は、本実施の形態 1 に係る液晶表示装置における、画素構造及び液晶分子の動作を示す図である。なお、図 4（a）及び図 5（a）はそれらの平面図であり、図 4（b）及び図 5（b）はそれらの断面図である。

10

【 0 0 4 9 】

図 4 及び図 5 における O F F は、下部電極 7 及び対向電極 8 にフリンジ電界 3 4 を印加していない O F F 状態を示しており、図 4 及び図 5 における O N は、下部電極 7 及び対向電極 8 にフリンジ電界 3 4 を印加して液晶分子 3 2 を動作させた O N 状態を示している。具体的には、液晶分子 3 2 は、棒形状を有しており、フリンジ電界 3 4 が発生していない O F F 状態の場合には、図 4（a）及び図 5（a）に示されるように長手方向を第 1 横方向 3 5 a に向けているが、フリンジ電界 3 4 が発生した O N 状態の場合には、図 4（b）及び図 5（b）に示されるように長手方向をフリンジ電界 3 4 の方向に向けるように動作するものとする。以上のように動作する構成においては、O N 状態において、多くの液晶分子 3 2 の長手方向が、なるべく第 2 横方向 3 5 b に向くことが好ましい。

20

【 0 0 5 0 】

ここで、関連液晶表示装置において O N 状態で発生するフリンジ電界 3 4 は、図 4（b）に示されるように、部分電極 8 p とスリット 8 s との境界近傍（部分電極 8 p 及びスリット 8 s のそれぞれの端部）において第 2 横方向 3 5 b に向かうが、部分電極 8 p 及びスリット 8 s のそれぞれの中央部近傍においては、縦方向 3 5 c に向かう。このため、部分電極 8 p 及びスリット 8 s のそれぞれの中央部において、液晶分子 3 2 の長手方向が、第 2 横方向 3 5 b に向かず縦方向 3 5 c に向いてしまうことになる。よって、十分な位相差が得られない（不足する）ために、意図せず透過率が低下してしまう。

【 0 0 5 1 】

30

これに対して、本実施の形態 1 に係る液晶表示装置では、平面視での X 方向（予め定められた方向）において、下部電極 7 の第 1 凸部 7 a 1 の上部全体が、対向電極 8 のスリット 8 s から露出するように構成されている。これにより、第 1 凸部 7 a 1 を、対向電極 8 に対してなるべく第 2 横方向 3 5 b に配置することができることから、対向電極 8 と第 1 凸部 7 a 1 との間のフリンジ電界 3 4 を、なるべく第 2 横方向 3 5 b に向けることができる。これにより、対向電極 8 のスリット 8 s の中央部において、液晶分子 3 2 の長手方向が、縦方向 3 5 c に向くのが抑制され、なるべく第 2 横方向 3 5 b に向けることができる。したがって、O N 状態の一画素 4 7 において、透過率が局所的に低下するのを抑制することができることから、一画素 4 7 内の透過率を均一化することができるとともに、一画素 4 7 全体の平均透過率を向上させることができる。よって、フリンジ電界を用いた液晶表示装置において表示品位を高めることができる。

40

【 0 0 5 2 】

また、本実施の形態 1 に係る液晶表示装置では、部分電極 8 p（対向電極 8）の上面は、部分電極 8 p の端部から中央部に向かって凸状に傾斜する傾斜面 8 f を含んでいる。これにより、部分電極 8 p の上面を、第 1 凸部 7 a 1 側になるべく向けることができることから、対向電極 8 と第 1 凸部 7 a 1 との間のフリンジ電界 3 4 を、より第 2 横方向 3 5 b に向けることができる。したがって、一画素 4 7 内の透過率をさらに均一化することができるとともに、一画素 4 7 全体の平均透過率をさらに向上させることができるので、フリンジ電界を用いた液晶表示装置において表示品位をさらに高めることができる。

【 0 0 5 3 】

50

< 製造方法 >

次に、本実施の形態 1 に係る液晶表示装置の製造方法について説明する。

【 0 0 5 4 】

まず、ガラス等の透明な絶縁性の透明基板 10 a の上面全体に、Cr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Ag やこれらを主成分とする合金膜、またはこれらの積層膜を成膜する。例えば、スパッタ法や蒸着法などを用いて透明基板 10 a の上面全体に成膜する。その後、レジストを塗布して、塗布したレジストをフォトマスク上から露光し、レジストを感光させる。次に、感光させたレジストを現像して、レジストをパターンニングする。以後、これら一連の工程を写真製版と呼ぶ。その後、このレジストパターンをマスクとして上述の成膜（ここでは金属膜）をエッチングし、フォトレジストパターンを除去する。以後、このような工程を微細加工技術と呼ぶ。これにより、ゲート電極 1、ゲート配線 4 3、及び、共通配線 9 がパターンニングされる。

10

【 0 0 5 5 】

次に、透明基板 10 a の上面全体（ゲート電極 1、ゲート配線 4 3、及び、共通配線 9 など）を覆うように、例えば、プラズマ CVD、常圧 CVD、減圧 CVD などを用いて、ゲート絶縁膜 11 となる第 1 絶縁膜、半導体層 2 及びオーミックコンタクト膜 3 となる材料を、この順に成膜する。第 1 絶縁膜には、窒化シリコン、酸化シリコンなどを用いることができる。なお、ゲート絶縁膜 11 は、ピンホール等の膜欠陥発生による短絡を防止するため、複数回に分けて成膜することが好ましい。

【 0 0 5 6 】

20

半導体層 2 となる材料には、非晶質シリコン、多結晶シリコン、金属酸化物などを用いることができる。また、オーミックコンタクト膜 3 となる材料には、高濃度のリン（P）等の不純物を半導体層 2 に添加した n 型非晶質シリコンや n 型多結晶シリコンなどを用いることができる。その後、写真製版及び微細加工技術により、半導体層 2 及びオーミックコンタクト膜 3 となる上述の成膜を、半導体層 2 及びオーミックコンタクト膜 3 を形成する前段階までパターンニングする。ここでは、その一例として、半導体層 2 及びオーミックコンタクト膜 3 となる上述の成膜を、ゲート電極 1 上に島状にパターンニングする。

【 0 0 5 7 】

次に、オーミックコンタクト膜 3 などを覆うように、Cr, Al, Ta, Ti, Mo, W, Ni, Cu, Au, Ag やこれらを主成分とする合金膜、またはこれらの積層膜を成膜する。例えば、スパッタ法や蒸着法などを用いて成膜する。その後、写真製版及び微細加工技術によりパターンニングして、ソース電極 4、ソース配線 4 4、及び、ドレイン電極 5 を形成する。

30

【 0 0 5 8 】

続いて、ソース電極 4 及びドレイン電極 5 をマスクとして、オーミックコンタクト膜 3 となる膜をエッチングする。すなわち、島状にパターンニングされたオーミックコンタクト膜 3 のうち、ソース電極 4 またはドレイン電極 5 に覆われずに露出した部分をエッチングにより除去する。これにより、ソース電極 4 とドレイン電極 5 との間にチャネル領域が設けられた半導体層 2 及びオーミックコンタクト膜 3 が形成される。なお、上記説明では、ソース電極 4 及びドレイン電極 5 をマスクとしてエッチングを行ったが、ソース電極 4 及びドレイン電極 5 をパターンニングする際に用いたレジストパターンをマスクとして、オーミックコンタクト膜 3 のエッチングを行ってもよい。その場合は、ソース電極 4 及びドレイン電極 5 上のレジストパターンを除去する前に、オーミックコンタクト膜 3 のエッチングを行う。以上の製造工程により、透明基板 10 a 上に、アレイ状の TFT 50 が形成される。

40

【 0 0 5 9 】

これ以降の製造工程については、図 6 及び図 7 を用いて説明する。図 6 及び図 7 は本実施の形態 1 に係る液晶表示装置（特に TFT アレイ基板 10）の製造方法を示す断面図である。

【 0 0 6 0 】

50

上述の工程により T F T 5 0 を形成した後、図 6 (a) に示すように、透明基板 1 0 a の上面全体 (ソース電極 4、ドレイン電極 5 及びソース配線 4 4、ゲート絶縁膜 1 1 など) を覆うように、第 1 層間絶縁膜 1 2 を成膜する。例えば、C V D 法などを用いて、第 1 層間絶縁膜 1 2 となる窒化シリコン、酸化シリコン等の無機絶縁膜を、上記透明基板 1 0 a の上面全体に成膜する。これにより、半導体層 2 のチャンネル領域などが第 1 層間絶縁膜 1 2 に覆われる。

【 0 0 6 1 】

次に、第 1 層間絶縁膜 1 2 を覆うように、第 2 層間絶縁膜 1 3 を形成する。例えば、スピコート法やスリットコート法などを用いて、第 2 層間絶縁膜 1 3 (層間絶縁膜) となるアクリルやエポキシやポリイミド、ポリオレフィンなどの感光性の樹脂膜を、図 6 (a) に示した透明基板 1 0 a の上面全体に塗布する。ここでは、第 2 層間絶縁膜 1 3 の膜厚が、もっとも薄くなる部分 (T F T 5 0 上の部分) で $2.0 \mu\text{m}$ 以上になるように、塗布膜厚を設定した。その後、上記樹脂膜に、上記凹凸のパターンと、第 1 及び第 3 コンタクトホール 1 5、1 7 のパターンとを写真製版技術で形成する。この際、例えば、凹凸の深さが $0.5 \mu\text{m}$ となる露光量で露光し、コンタクトホールのパターンは樹脂膜を完全に除去できる露光量で露光を行う。

【 0 0 6 2 】

その後、第 2 層間絶縁膜 1 3 の全面に紫外線を照射した後、1 0 0 の熱処理、つづいて 2 3 0 の熱処理を行い焼成した。これにより、図 6 (b) に示される構造が形成される。なお、第 2 層間絶縁膜 1 3 には、感光性を有する樹脂膜 (例えばポジ型の感光性を有する樹脂膜) を用いることが好ましい。このように構成すると、露光量により第 2 層間絶縁膜 1 3 の凹凸 1 3 c の深さを任意に制御できるからである。また、凹凸 1 3 c のピッチを $3 \sim 5 \mu\text{m}$ 、凹凸 1 3 c の深さは、 $0.1 \sim 0.5 \mu\text{m}$ であることが好ましい。凹凸 1 3 c の深さが $0.5 \mu\text{m}$ より深くなると、液晶層の厚さの変動によるコントラスト低下が無視できなくなり、表示性能が低下するからである。

【 0 0 6 3 】

次に、第 2 層間絶縁膜 1 3 をマスクとする微細加工技術を用いて、第 1 層間絶縁膜 1 2 をパターン形成することにより、第 1 及び第 3 コンタクトホール 1 5、1 7 を形成する。これにより、図 6 (c) に示される構造が形成される。すなわち、透明基板 1 0 a 上及び T F T 5 0 上に、第 1 コンタクトホール 1 5 を有し、かつ、凹凸 1 3 c が配設された上面を有する第 1 絶縁膜 (ここでは第 1 及び第 2 層間絶縁膜 1 2、1 3 全体からなる絶縁膜) が形成される。

【 0 0 6 4 】

なお、額縁領域 4 2 では、ゲート配線 4 3 及びソース配線 4 4 と、走査信号駆動回路 4 5 及び表示信号駆動回路 4 6 とをそれぞれ接続するための端子 (不図示) が、ゲート配線 4 3 またはソース配線 4 4 と同じ層によって形成されている。そして、ゲート端子を露出するゲート端子部コンタクトホール 2 1 (図 2) となるホールが、第 3 コンタクトホール 1 7 と同様にパターン形成することにより、ゲート絶縁膜 1 1、第 1 及び第 2 層間絶縁膜 1 2、1 3 に形成される。また、ソース端子を露出するソース端子部コンタクトホール 2 2 (図 2) となるホールが、第 1 コンタクトホール 1 5 と同様にパターン形成することにより、第 1 及び第 2 層間絶縁膜 1 2、1 3 に形成される。

【 0 0 6 5 】

続いて、例えばスパッタ法などにより、ITO や IZO などの透明導電膜を、図 6 (c) に示した透明基板 1 0 a の上面全体 (第 2 層間絶縁膜 1 3、並びに、第 1 及び第 3 コンタクトホール 1 5、1 7 内など) に成膜する。この際に、第 2 層間絶縁膜 1 3 の凹凸 1 3 c 上に成膜された透明導電膜の上面には、凹凸 1 3 c を反映する (凹凸 1 3 c に追従する) 凹凸が形成される。

【 0 0 6 6 】

それから、写真製版及び微細加工技術により、この透明導電膜をパターンニングする。これにより、図 7 (a) に示される構造が形成される。すなわち、第 1 絶縁膜 (ここでは第

10

20

30

40

50

1 及び第 2 層間絶縁膜 1 2 , 1 3 全体からなる絶縁膜)の上面に、凹凸 1 3 と同様の凹凸 7 c (凸部 7 a 及び凹部 7 b) が配設された上面を有する下部電極 7 と、これと絶縁された接続配線 1 9 とが形成される。

【 0 0 6 7 】

なお、下部電極 7 などの透明導電膜を形成する際に、額縁領域 4 2 の上記ゲート端子部コンタクトホール 2 1 (図 2) となるホール内、及び、上記ソース端子部コンタクトホール 2 2 となるホール内にも、当該透明導電膜が形成される。それらホール内に形成された透明導電膜は、後の工程において、ゲート端子パッド 2 3 (図 2) 及びソース端子パッド 2 4 となる。

【 0 0 6 8 】

10

次に、図 7 (a) に示した透明基板 1 0 a の上面全体 (第 2 層間絶縁膜 1 3 、下部電極 7 、及び、接続配線 1 9 など) を覆うように、電極間絶縁膜 1 4 を成膜する。例えば、C V D 法などを用いて、電極間絶縁膜 1 4 となる窒化シリコン、酸化シリコン等の無機絶縁膜を、上記透明基板 1 0 a の上面全体に成膜する。この際に、第 2 層間絶縁膜 1 3 及び下部電極 7 の凹凸 7 c 上に成膜された電極間絶縁膜 1 4 の上面には、凹凸 7 c を反映する (凹凸 7 c に追従する) 凹凸が形成される。

【 0 0 6 9 】

なお、電極間絶縁膜 1 4 の成膜における温度を、第 2 層間絶縁膜 1 3 を焼成した温度以上にした場合には、第 2 層間絶縁膜 1 3 からガスが離脱して、電極間絶縁膜 1 4 の膜中に当該ガスが取り込まれる結果、電極間絶縁膜 1 4 の絶縁性や被服性が低下する。そのため、電極間絶縁膜 1 4 の成膜における温度は、第 2 層間絶縁膜 1 3 を焼成した温度以下にすることが好ましい。本実施の形態では、成膜温度を第 2 層間絶縁膜 1 3 の焼成温度以下の温度 (例えば 2 2 0) にした状態で、電極間絶縁膜 1 4 となる窒化シリコン膜を 3 0 0 n m の厚さで形成した。

20

【 0 0 7 0 】

次に、写真製版及び微細加工技術により、電極間絶縁膜 1 4 に第 2 コンタクトホール 1 6 を形成する。これにより、図 7 (b) に示される構造が形成される。すなわち、第 2 コンタクトホール 1 6 を有し、かつ、下部電極 7 の凹凸 7 c と同様の凹凸 1 4 c を有する電極間絶縁膜 1 4 (第 2 絶縁膜) が形成される。なお、額縁領域 4 2 では、上記ゲート端子部コンタクトホール 2 1 (図 2) 及びソース端子部コンタクトホール 2 2 が完成する。

30

【 0 0 7 1 】

次に、例えばスパッタ法などにより、I T O や I Z O などの透明導電膜を、図 7 (b) に示した透明基板 1 0 a の上面全体 (電極間絶縁膜 1 4 上及び第 2 コンタクトホール 1 6 内など) に成膜する。そして、写真製版及び微細加工技術により、この透明導電膜をパターンニングして、スリット 8 s を有する対向電極 8 を形成する。

【 0 0 7 2 】

ここで本実施の形態 1 では、平面視での X 方向において、下部電極 7 の一つの凸部 7 a 1 の上部全体が、一つのスリット 8 s から露出するように、当該スリット 8 s が対向電極 8 に形成される。ここで、対向電極 8 には電極間絶縁膜 1 4 の凹凸 1 4 c が反映される結果、部分電極 8 p の上面には、部分電極 8 p の端部から中央部に向かって凸状に傾斜する傾斜面 8 f が含まれている。なお、対向電極 8 のスリット 8 s 及び部分電極 8 p と、下部電極 7 の凹凸との具体的な位置関係は、上述した通りである。

40

【 0 0 7 3 】

以上により、図 7 (c) に示される構造が形成される。すなわち、電極間絶縁膜 1 4 上に、第 1 及び第 2 コンタクトホール 1 5 , 1 6 を介して T F T 5 0 と電氣的に接続された、スリット 8 s を有する対向電極 8 が形成される。

【 0 0 7 4 】

なお、対向電極 8 となる透明導電膜を形成する際に、額縁領域 4 2 の上記ゲート端子部コンタクトホール 2 1 (図 2) 内、及び、ソース端子部コンタクトホール 2 2 内にも、透明導電膜が形成される。これらゲート端子部コンタクトホール 2 1 (図 2) 及びソース端

50

子部コンタクトホール 22 内に形成された透明導電膜は、それぞれ、ゲート端子パッド 23 及びソース端子パッド 24 にパターンニングされる。以上の工程を経て、本実施の形態 1 に係る液晶表示装置が備える TFT アレイ基板 10 が完成する。

【0075】

以上により作製した TFT アレイ基板 10 の上に、その後のセル工程において配向膜を形成する。また、別途作製された対向基板の上に配向膜を同様に形成する。そして、この配向膜に対して、液晶との接触面に一方向にミクロな傷をつける配向処理（ラビング処理）を施す。次に、TFT アレイ基板 10 と対向基板との間にシール材を塗布して、液晶注入口を除いて閉じた空間がそれら基板の間に形成されるように、TFT アレイ基板 10 及び対向基板をシール材により固定する貼り合せを行う。TFT アレイ基板 10 及び対向基板を貼り合わせた後、真空注入法等を用い、液晶注入口から液晶を上記空間に注入する。そして、液晶注入口を封止する。このようにして形成した液晶セルの両面に偏光板を貼り付けて、駆動回路を接続した後、バックライトユニットを取り付ける。このようにして、本実施の形態 1 に係る液晶表示装置が完成する。

【0076】

以上のように構成された本実施の形態 1 に係る液晶表示装置によれば、平面視での X 方向（予め定められた方向）において、下部電極 7 の第 1 凸部 7a1 の上部全体が、対向電極 8 のスリット 8s から露出するように構成されている。これにより、第 1 凸部 7a1 を、対向電極 8 に対してなるべく横方向に配置することができることから、フリンジ電界を、なるべく横方向に向けることができる。したがって、フリンジ電界を用いた液晶表示装置において表示品位を高めることができる。

【0077】

< 実施の形態 2 >

本発明の実施の形態 2 に係る液晶表示装置の画素 47 の構成について、図 8 を用いて説明する。図 8 は、本実施の形態 2 に係る TFT アレイ基板 10 の画素構成を図 3 と同様に示した断面図である。なお、本実施の形態 2 に係る液晶表示装置において、実施の形態 1 で説明した構成要素と同一または類似するものについては同じ符号を付し、異なる点を中心に以下説明する。

【0078】

実施の形態 1 では、平面視での X 方向において、下部電極 7 の凹部 7b の位置と、スリット 8s 及び部分電極 8p のそれぞれの端部の位置とがほぼ揃えられていた。これに対して、本実施の形態 2 では、平面視での X 方向において、スリット 8s の端部は、凸部 7a2 と、凹部 7b1（凸部 7a1 と凸部 7a2 の間の凹部 7b）との間に位置している。すなわち、本実施の形態 2 に係る部分電極 8p の端部は、実施の形態 1 に係る部分電極 8p の端部よりも、部分電極 8p の中央部側に後退している。

【0079】

なお、本実施の形態 2 に係る TFT アレイ基板 10 の製造方法としては、実施の形態 1 で説明した製造方法において、第 2 層間絶縁膜 13 に凹凸を形成する写真製版のパターンを調整するとともに、対向電極 8 にスリット 8s を形成する写真製版のパターンを調整すればよい。それ以外の工程については、実施の形態 1 と同様であるため、説明を省略する。

【0080】

以上のように構成された本実施の形態 2 に係る液晶表示装置の効果について、図 9 を用いて説明する。仮に、実施の形態 1 において、下部電極 7 の凹部 7b と、スリット 8s の端部（部分電極 8p の端部）との間において、図 9 において二点鎖線に示されるような位置ズレが発生した場合には、部分電極 8p 端部の上面が、下部電極 7 の凸部 7a1 と逆側に向くことになる。この場合のフリンジ電界 34 の方向は、もとのフリンジ電界 34 よりも、縦方向 35c 側に向いてしまうことになる。

【0081】

これに対して、本実施の形態 2 では、上記位置ズレが多少発生しても、部分電極 8p 端

10

20

30

40

50

部の上面が下部電極 7 の凸部 7 a 1 と逆側に向くのを抑制することができる。すなわち、上記位置ズレが多少発生しても、フリンジ電界 3 4 をなるべく第 2 横方向 3 5 b に向ける効果、ひいては液晶表示装置の表示品位を高める効果を維持することができる。

【 0 0 8 2 】

< 実施の形態 3 >

本発明の実施の形態 3 に係る液晶表示装置の画素 4 7 の構成について、図 1 0 を用いて説明する。図 1 0 は、本実施の形態 3 に係る T F T アレイ基板 1 0 の画素構成を図 3 と同様に示した断面図である。なお、本実施の形態 3 に係る液晶表示装置において、実施の形態 1 で説明した構成要素と同一または類似するものについては同じ符号を付し、異なる点を中心に以下説明する。

10

【 0 0 8 3 】

本実施の形態 3 では、部分電極 8 p は平坦に形成されている。なお、対向電極 8 のスリット 8 s 及び部分電極 8 p と、下部電極 7 の凹凸との具体的な位置関係は、実施の形態 1 と同様である。すなわち、図 1 0 に示される断面構成を平面視した場合には、X 方向において、下部電極 7 の凸部 7 a 1 の上部の位置と、スリット 8 s の中央部の位置と、第 2 層間絶縁膜 1 3 の凸部の上部の位置とが、ほぼ揃えられている。また、X 方向において、下部電極 7 の凸部 7 a 2 の上部の位置と、部分電極 8 p の中央部の位置と、第 2 層間絶縁膜 1 3 の凸部の上部の位置とが、ほぼ揃えられている。さらに、X 方向において、下部電極 7 の凹部 7 b の下部の位置と、スリット 8 s 及び部分電極 8 p の境界の位置と、第 2 層間絶縁膜 1 3 の凹部の下部の位置とが、ほぼ揃えられている。

20

【 0 0 8 4 】

ここで、本実施の形態 3 では、電極間絶縁膜 1 4 には、塗布型の絶縁膜を用いるものとする。なお、塗布型の絶縁膜は、C V D などにより形成された絶縁膜などと、同じ膜厚にして比較すると、それらの比誘電率の低くなる。しかし、塗布型の絶縁膜を電極間絶縁膜 1 4 に用いた場合としても、フリンジ電界を発生させる部位の厚さを薄くすることにより、C V D などの絶縁膜と同等の比誘電率、ひいては駆動電圧を得ることができる。それ以外の構成については実施の形態 1 と同様であるため、説明を省略する。

【 0 0 8 5 】

次に、本実施の形態 3 に係る T F T アレイ基板 1 0 の製造方法について図 1 1 を用いて説明する。本実施の形態 3 の製造方法は、下部電極 7 を形成する工程（図 7 (a) ）まで、実施の形態 1 と同様であるため、その工程までの製造方法の説明については省略する。また、本実施の形態 3 の製造方法における、ゲート端子部コンタクトホール 2 1 （図 2 ）

30

、ソース端子部コンタクトホール 2 2 、ゲート端子パッド 2 3 、及び、ソース端子パッド 2 4 を形成する工程も、実施の形態 1 と同様であるため、ここでは省略する。

【 0 0 8 6 】

図 7 (a) に示した透明基板 1 0 a の上面全体（第 2 層間絶縁膜 1 3 、下部電極 7 、及び、接続配線 1 9 など）を覆うように、塗布によって電極間絶縁膜 1 4 を成膜する。ここで、実施の形態 1 に係る電極間絶縁膜 1 4 は、第 2 層間絶縁膜 1 3 及び下部電極 7 の凹凸を反映した凹凸状に形成されていた。これに対して、本実施の形態 3 に係る電極間絶縁膜 1 4 は、平坦化されている。

40

【 0 0 8 7 】

なお、電極間絶縁膜 1 4 となる塗布型の絶縁膜としては、アクリル、エポキシ、ポリイミド、ポリオレフィン、有機 S O G などを用いてもよい。電極間絶縁膜 1 4 は薄く形成されるため、絶縁性が優れた材料を選択することが望ましく、非感光性の有機絶縁膜がよい。本実施の形態 3 では、優れた絶縁性と平坦性、高い透過率を有する有機 S O G 膜を電極間絶縁膜 1 4 に用い、電極間絶縁膜 1 4 が最も薄い部分（下部電極 7 の凸部上の部分など）の膜厚が 2 0 0 n m になるように形成し、焼成温度は 2 3 0 とした。

【 0 0 8 8 】

次に、写真製版及び微細加工技術により、電極間絶縁膜 1 4 に第 2 コンタクトホール 1 6 を形成する。これにより、図 1 1 (a) に示される構造が形成される。

50

【0089】

次に、例えばスパッタ法などにより、ITOやIZOなどの透明導電膜を、図11(a)に示した透明基板10aの上面全体(電極間絶縁膜14上及び第2コンタクトホール16内など)に成膜する。そして、写真製版及び微細加工技術により、この透明導電膜をパターンニングして、スリット8sを有する対向電極8を形成する。なお、ここでの対向電極8のスリット8s及び部分電極8pと、下部電極7の凹凸との具体的な位置関係は、上述した通りである。

【0090】

以上により、図11(b)に示される構造が形成される。すなわち、電極間絶縁膜14上に、第1及び第2コンタクトホール15、16を介してTFT50と電氣的に接続された、スリット8sを有する対向電極8が形成される。

10

【0091】

以上のように構成された本実施の形態3に係る液晶表示装置の効果について、図12を用いて説明する。図12は、本実施の形態3に係る液晶表示装置のTFTアレイ基板10の画素構造と液晶分子の動作とを、図5と同様に示す図である。

【0092】

本実施の形態3によれば、対向電極8のスリット8sの中央部近傍において、電極間絶縁膜14が薄くなるように、下部電極7の凸部7a1が形成されている。また、第1凸部7a1を、対向電極8に対してなるべく第2横方向35bに配置することができることから、実施の形態1と同様に、対向電極8と第1凸部7a1との間のフリンジ電界34を、なるべく第2横方向35bに向けることができる。したがって、実施の形態1と同様に、一画素47内の透過率を均一化することができるとともに、一画素47全体の平均透過率を向上させることができるので、液晶表示装置の表示品位を高めることができる。

20

【0093】

また、本実施の形態3によれば、スリット8sの端部近傍において、電極間絶縁膜14が厚くなるように、下部電極7の凹部7b1が形成される。このため、スリット8sの端部での電界集中による電極間絶縁膜14へのチャージが低下し、焼きつき現象を抑制する効果が得られる。さらに、本実施の形態3では、対向電極8が平坦に形成される。このため、フリンジ電界34を横方向に延ばすために下部電極7の凹凸深さをより深くした場合でも、液晶層の厚さは当該凹凸の影響を受けなくて済むことから、液晶層の厚さのばらつきによるコントラストの低下を抑えることができる。

30

【0094】

なお、以上の本実施の形態3についての説明では、電極間絶縁膜14に非感光性の塗布型の絶縁膜を用いた例について説明したが、感光性の有機絶縁膜であってもよい。この場合、平坦化性が高い材料が望ましい。また、平坦化性が高い材料であれば、液状の塗布材料である必要はなく、例えばポリシラザンなどでもよい。

【0095】

<実施の形態4>

本発明の実施の形態4に係る液晶表示装置の画素47の構成について、図13及び図14を用いて説明する。図13は、本実施の形態4に係るTFTアレイ基板10の画素構成を示した平面図である。図14は、実施の形態4に係るTFTアレイ基板10の画素構成を示した断面図である。図13はTFTアレイ基板10の画素47の1つを示しており、図14は図13のA-A断面図である。なお、本実施の形態4に係る液晶表示装置において、実施の形態3で説明した構成要素と同一または類似するものについては同じ符号を付し、異なる点を中心に以下説明する。

40

【0096】

本実施の形態4では、平面視において、一つの部分電極8pの両端部はいずれも、凸部7a1の上部と、凸部7a2の上部との間に位置している。すなわち、実施の形態3では、下部電極7の凸部7aが、部分電極8pの中央部の下側に設けられていた(図10)に対し、本実施の形態4では、下部電極7の凸部7aが、部分電極8pの中央部の下側に設

50

けられていない(図14)ように構成されている。

【0097】

なお、本実施の形態4に係るTFTアレ基板10の製造方法としては、実施の形態3で説明した製造方法において、第2層間絶縁膜13に凹凸を形成する写真製版のパターンを調整するとともに、対向電極8にスリット8sを形成する写真製版のパターンを調整すればよい。それ以外の工程については、実施の形態3と同様であるため、説明を省略する。

【0098】

以上のように構成された本実施の形態4に係る液晶表示装置によれば、実施の形態3に係る液晶表示装置とほぼ同様に構成されているため、実施の形態3と同様に、液晶表示装置の表示品位を高めることができる。

10

【0099】

さらに、本実施の形態4によれば、一つの部分電極8pの両端部はいずれも、凸部7a1の上部と、凸部7a2の上部との間に位置している。したがって、部分電極8pの中央部においては、電極間絶縁膜14が厚く構成され、スリット開口端部の電界集中による電極間絶縁膜14へのチャージが低下する。よって、焼きつき現象を抑制することができる。また、対向電極8と下部電極7とで形成されるCs保持容量を低減することができることから、Cs保持容量に電荷を書き込むTFT50の駆動負荷を低減することが可能であり、その結果として、TFT50を小型化することが可能となる。

20

【0100】

なお、以上の説明では、実施の形態3に本実施の形態4を適用した場合について説明したが、これに限ったものではなく、実施の形態1,2についても同様に適用することができる。

【0102】

また、実施の形態1~4では、下部電極7を共通配線9に接続し、対向電極8にドレイン電極5を接続する液晶表示装置(すなわち対向電極8を画素電極とする液晶表示装置)について説明した。しかし、これに限ったものではなく、下部電極7をドレイン電極5に接続し、対向電極8に共通配線9を接続する液晶表示装置(すなわち下部電極7を画素電極とする液晶表示装置)であってもよい。

30

【0103】

また、実施の形態1~4では、凹凸を形成する第2層間絶縁膜13の下層に第1層間絶縁膜12を設けた構成について説明したが、第1層間絶縁膜12は省略して第2層間絶縁膜13のみで構成してもよい。

【0104】

また、実施の形態1~4では、第2層間絶縁膜13に感光性の樹脂膜を用いた例について説明したが、凹凸を形成すれば非感光性の樹脂膜でもよい。その場合は、非感光性の樹脂膜を塗布・焼成した後にレジストで同様の凹凸パターンを形成して、既存のドライエッチング技術で凹凸パターンを樹脂膜に転写すればよい。

【0105】

また、実施の形態1~4では、TFT50として、チャネルエッチ型のTFTが形成された液晶表示装置について説明したが、TFT50として、トップゲート型など他のTFTが形成されてもよい。

40

【0106】

また、実施の形態1~4では、対向電極8のスリット8sの方向がソース配線44と平行な場合について例示的に説明したが、これに限るものではない。対向電極8のスリット8sの方向は、ソース配線44と平行な方向だけでなく、任意の方向、または任意の異なる方向の組み合わせとしてもよい。なお、上記実施の形態1~4は、適宜組み合わせて実施することができる。

【0107】

また、実施の形態1~4では、対向電極8のスリット8sのピッチが画素内で同じ場合

50

について例示的に説明したが、これに限るものではない。対向電極 8 のスリット 8 s と凹凸との位置関係が実施の形態 1 ～ 4 を満たしていれば、任意のピッチ、または任意の異なるピッチを一つの画素内で組み合わせてもよい。なお、上記実施の形態 1 ～ 4 は、適宜組み合わせることで実施することができる。

【 0 1 0 8 】

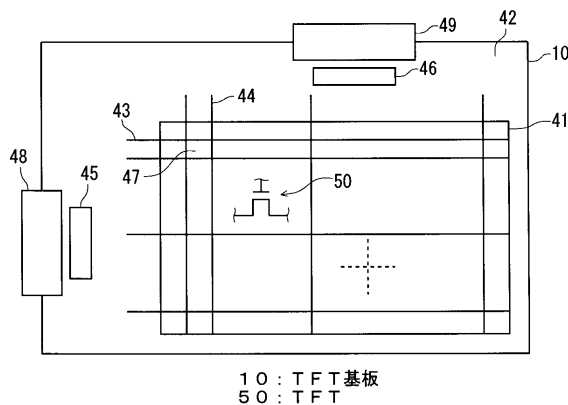
なお、以上の説明は、本発明の実施の形態を説明するものであり、本発明が以上の実施の形態に限定されるものではない。本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

【 符号の説明 】

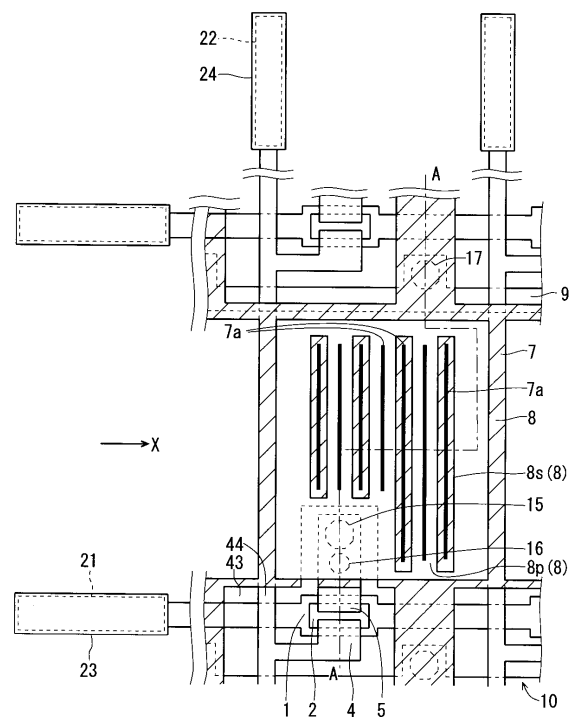
【 0 1 0 9 】

10 TFT アレイ基板、7 下部電極、7 a , 7 a 1 , 7 a 2 凸部、7 b 凹部、8 対向電極、8 p 部分電極、8 s スリット、10 a 透明基板、12 第 1 層間絶縁膜、13 第 2 層間絶縁膜、14 電極間絶縁膜、15 第 1 コンタクトホール、16 第 2 コンタクトホール、50 TFT。

【 図 1 】

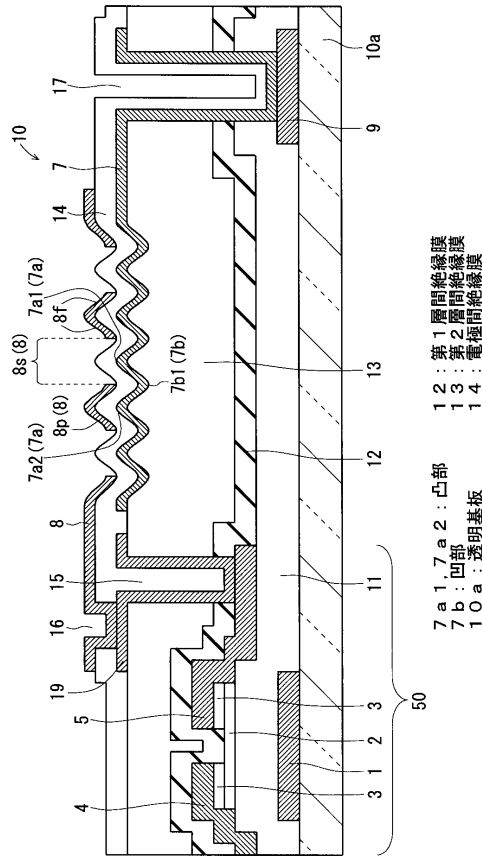


【 図 2 】

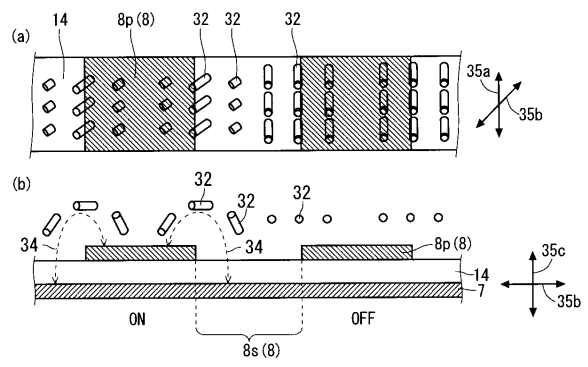


- 7 : 下部電極
- 7 a : 凸部
- 8 : 対向電極
- 8 p : 部分電極
- 8 s : スリット
- 15 : 第 1 コンタクトホール
- 16 : 第 2 コンタクトホール

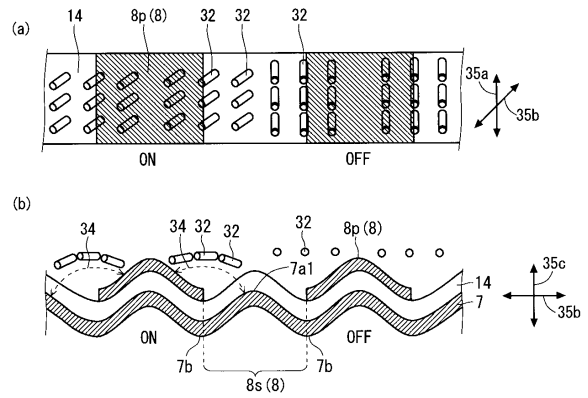
【図 3】



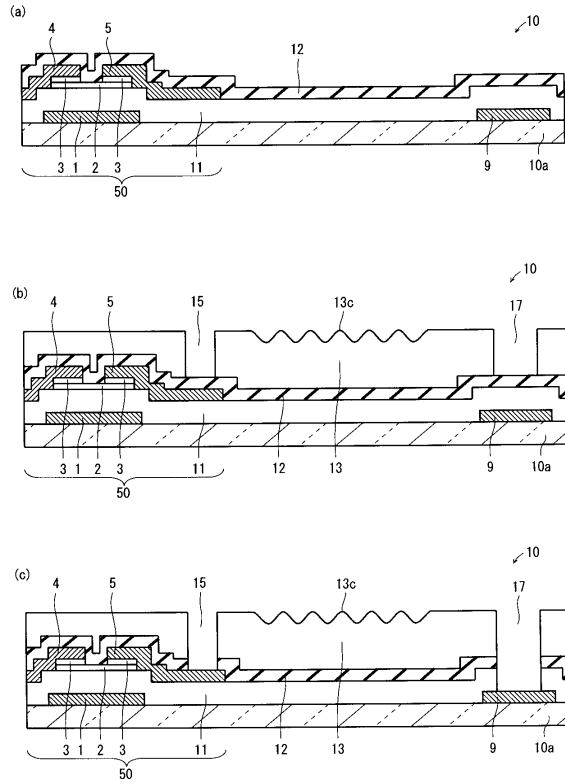
【図 4】



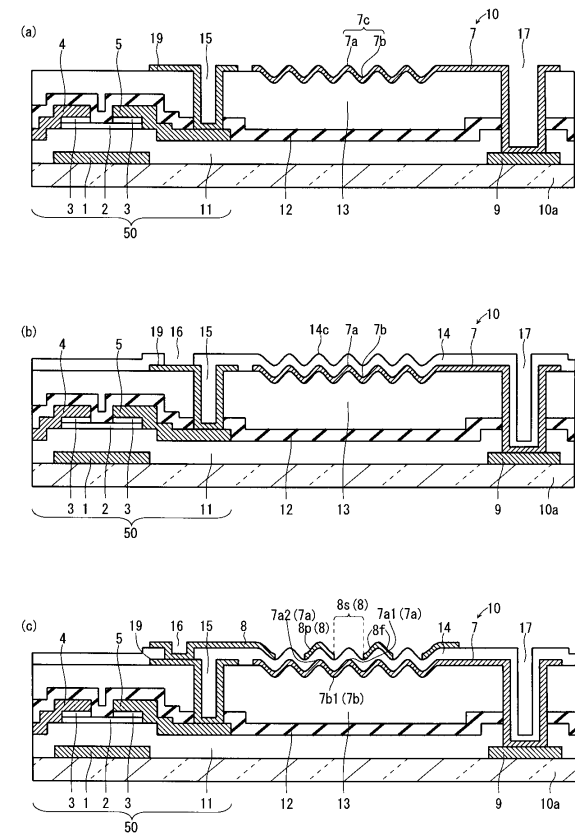
【図 5】



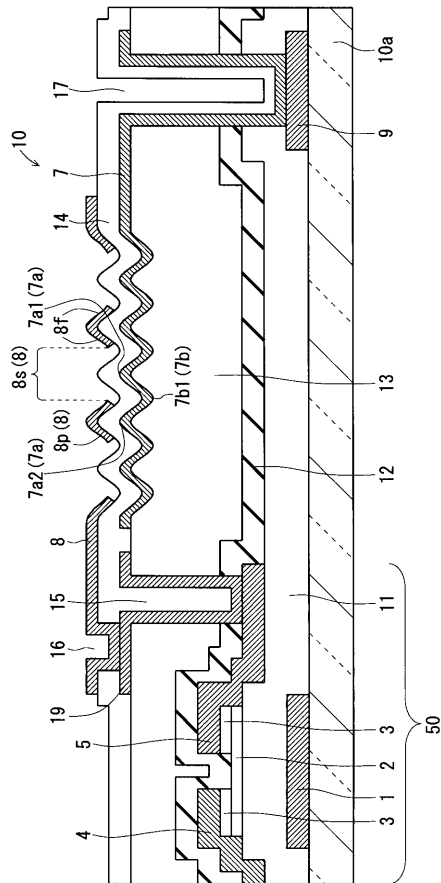
【図 6】



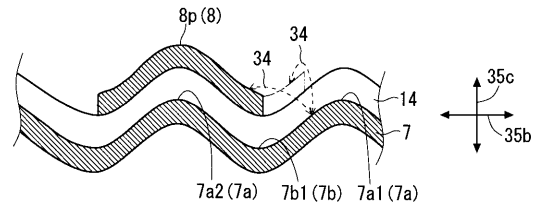
【図 7】



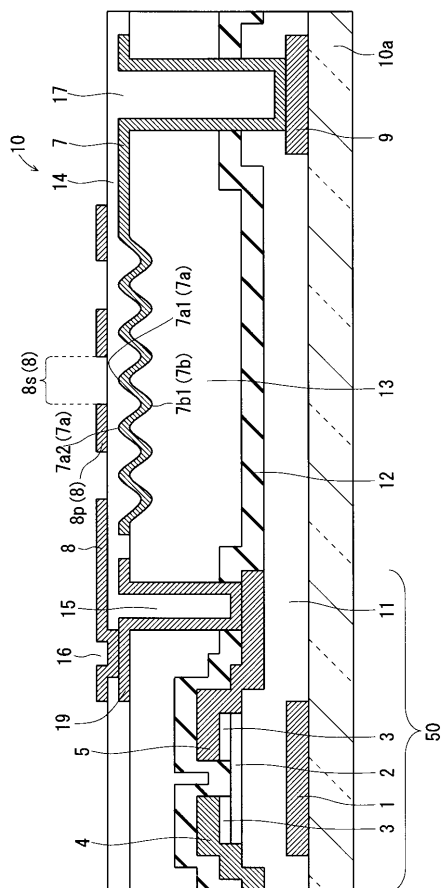
【図 8】



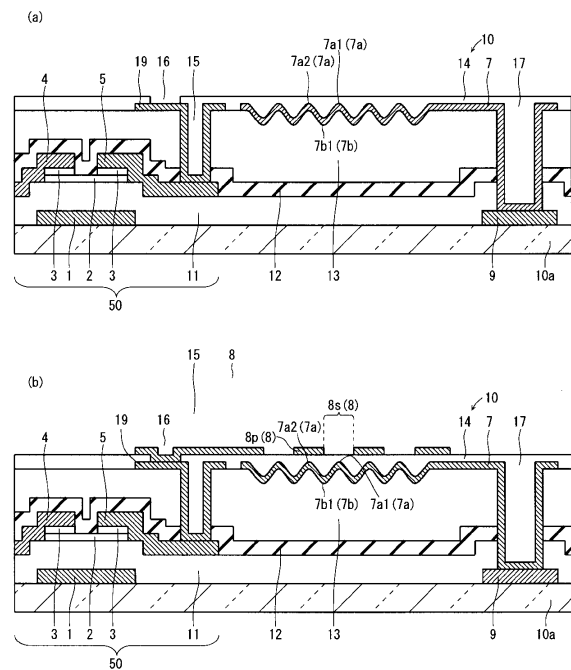
【図 9】



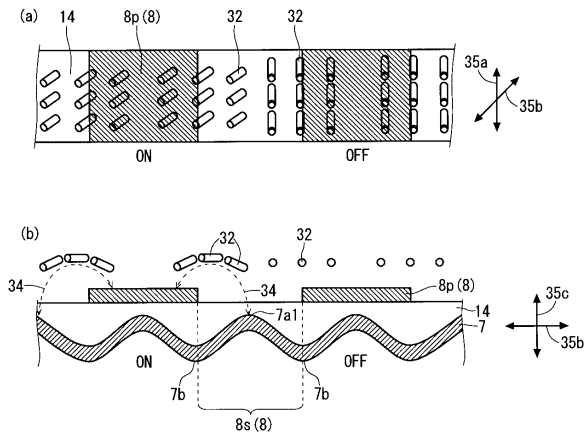
【図 10】



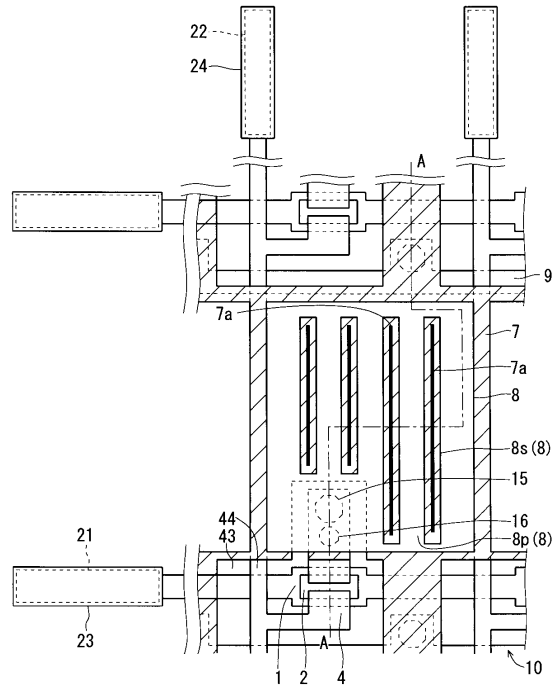
【図 11】



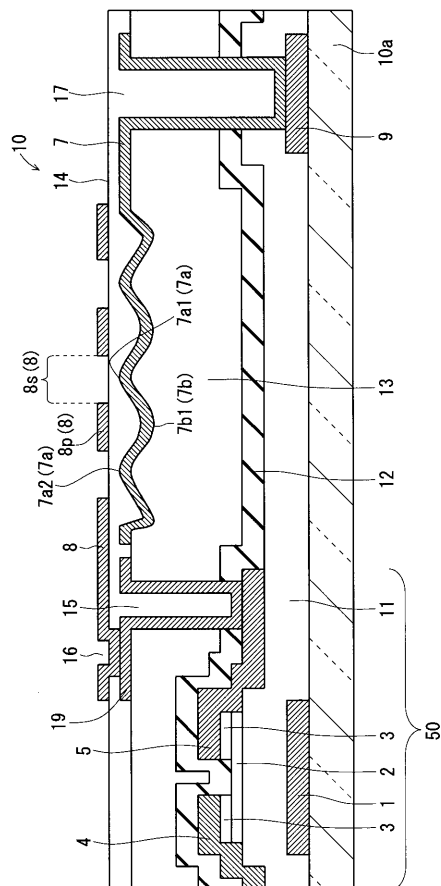
【図 12】



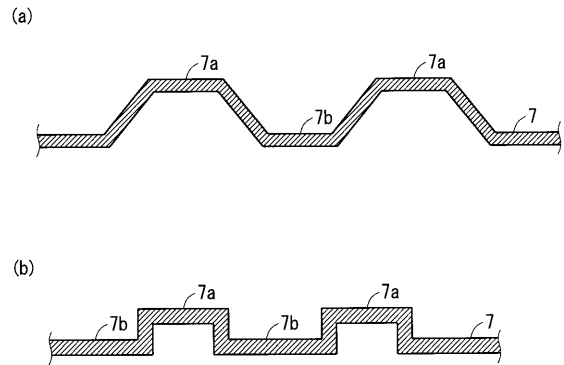
【図 13】



【図 14】



【図 15】



フロントページの続き

- (72)発明者 佐竹 徹也
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 中川 直紀
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 小田 耕治
熊本県合志市御代志997番地 メルコ・ディスプレイ・テクノロジー株式会社内
- (72)発明者 井上 和式
熊本県合志市御代志997番地 メルコ・ディスプレイ・テクノロジー株式会社内
- (72)発明者 山吉 一司
熊本県合志市御代志997番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 小林 俊久

- (56)参考文献 特開2012-234140(JP,A)
特開2009-086576(JP,A)
特開2011-008239(JP,A)
特開2010-224406(JP,A)
特開2009-080303(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F	1/1343	-	1/1345
G02F	1/135	-	1/1368

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP6051986B2	公开(公告)日	2016-12-27
申请号	JP2013055907	申请日	2013-03-19
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	山縣有輔 佐竹徹也 中川直紀 小田耕治 井上和式 山吉一司		
发明人	山縣 有輔 佐竹 徹也 中川 直紀 小田 耕治 井上 和式 山吉 一司		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB13 2H092/JB16 2H092/NA01 2H092/QA06 2H192/AA24 2H192/BB12 2H192/BB13 2H192/BB82 2H192/BC42 2H192/CB05 2H192/EA22 2H192/EA43 2H192/EA68 2H192/EA72 2H192/EA74 2H192/FA65		
代理人(译)	稻叶忠彦 村上佳菜子 松井茂明		
其他公开文献	JP2014182234A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种能够使用边缘电场改善液晶显示装置的显示质量的技术。液晶显示装置包括TFT阵列基板10，相对基板和液晶层。TFT阵列基板10具有下电极7和相对电极8，下电极7具有在X方向上设置有凹凸7a和7b的上表面，相对电极8具有形成在下电极7上的狭缝8s，其间插入有电极间绝缘膜14。包括门。然后，在平面图中的X方向上，下电极的第一凸起部分7a1的整个上部从狭缝8s露出。[选择图]图2

【 图 2 】

