

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第5381489号  
(P5381489)

(45) 発行日 平成26年1月8日 (2014.1.8)

(24) 登録日 平成25年10月11日 (2013.10.11)

(51) Int.Cl.

F I

G O 9 G 3/36 (2006.01)

G O 9 G 3/20 (2006.01)

G O 2 F 1/133 (2006.01)

G O 9 G 3/36

G O 9 G 3/20 6 2 4 B

G O 9 G 3/20 6 2 1 E

G O 9 G 3/20 6 7 O K

G O 9 G 3/20 6 7 O J

請求項の数 3 (全 14 頁) 最終頁に続く

|           |                              |           |                         |
|-----------|------------------------------|-----------|-------------------------|
| (21) 出願番号 | 特願2009-189572 (P2009-189572) | (73) 特許権者 | 308036402               |
| (22) 出願日  | 平成21年8月18日 (2009.8.18)       |           | 株式会社 J V C ケンウッド        |
| (65) 公開番号 | 特開2011-39459 (P2011-39459A)  |           | 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 |
| (43) 公開日  | 平成23年2月24日 (2011.2.24)       |           | 番地                      |
| 審査請求日     | 平成24年3月29日 (2012.3.29)       | (74) 代理人  | 100085235               |
|           |                              |           | 弁理士 松浦 兼行               |
|           |                              | (72) 発明者  | 今野 秀一                   |
|           |                              |           | 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 |
|           |                              |           | 番地                      |
|           |                              | 審査官       | 橋本 直明                   |
|           |                              |           | 最終頁に続く                  |

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、  
正極性映像信号をサンプリングして一定期間保持する第 1 のサンプリング及び保持手段と、

負極性映像信号をサンプリングして前記一定期間保持する第 2 のサンプリング及び保持手段と、

前記第 1 のサンプリング及び保持手段により保持された正極性映像信号電圧と、前記第 2 のサンプリング及び保持手段により保持された負極性映像信号電圧とを、スイッチング制御信号に基づいて、垂直走査期間より短い所定の周期で切り替えて前記画素駆動電極に交互に印加するスイッチング手段と

をそれぞれ備えており、2 本のデ - タ線を一組とする複数組のデ - タ線と複数本のゲ - ト線とがそれぞれ交差する交差部に設けられた複数の画素と、

前記複数組のデ - タ線に対してそれぞれ設けられており、一組の前記 2 本のデ - タ線の一方に前記正極性映像信号を供給し、かつ、他方のデ - タ線に前記負極性映像信号を供給することを、水平走査期間内で前記複数組のデ - タ線に対して組単位で行う水平方向駆動手段と、

複数本の前記ゲ - ト線を水平走査期間毎に選択する垂直方向駆動手段と、

前記複数の画素からなる画素部全体を、M 行 (M は 2 以上の自然数) の各画素を 1 グル - プとする複数のグル - プに分割したとき、各分割グループ内の前記 M 行の各画素内の前

10

20

記スイッチング手段を、前記スイッチング制御信号により各分割グループ単位で前記所定の周期で時分割的に制御する毎に、前記1グループを構成する前記M行の組み合わせを変えて新たな複数のグループに分割し、新たな各分割グループ内の前記M行の各画素内の前記スイッチング手段を、前記スイッチング制御信号により各分割グループ単位で時分割的に制御することを繰り返すスイッチング制御手段と

を有することを特徴とする液晶表示装置。

【請求項2】

前記スイッチング制御手段は、

前記垂直方向駆動手段により複数本の前記ゲート線を駆動する水平走査周期の行選択信号に同期した水平走査周期の第1のクロックパルスをカウントする切替回数カウント手段と、

水平走査周期より短い周期の第2のクロックパルスに基づいて、前記第1のクロックパルスの入力直後に入力される水平走査周期のシフトパルスをシフトして、各出力部から前記切替回数カウンタのカウント値の変化に同期してシフト信号を出力するシフト手段と、

前記シフト手段の前記グループ数と同じ前記複数の出力部の各々からそれぞれ出力された複数のシフト信号のうち、各出力部から出力されるシフト信号を、前記所定周期と同じ周期の基準タイミング信号に基づき、前記スイッチング制御信号として生成して前記M行の各画素ずつに供給すると共に、前記シフト信号を出力する前記出力部と前記M行の各画素との前記M行の組み合わせを前記切替回数カウント手段からのカウント値に応じて切り替えるスイッチング制御信号供給手段と

を有することを特徴とする請求項1記載の液晶表示装置。

【請求項3】

前記スイッチング制御手段は、前記1グループを構成する前記M行の組み合わせは、前記スイッチング制御信号による各分割グループ単位のM回の時分割的制御で一巡し、M+1回目の時分割的制御では元の組み合わせに戻るよう制御することを特徴とする請求項1又は2記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特にアナログ電圧で液晶素子を高速に反転駆動する液晶表示装置に関する。

【背景技術】

【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品としてLCOS(Liquid Crystal on Silicon)型の液晶表示装置が多く用いられている。このLCOS型の液晶表示装置は、透明の共通電極、液晶層、マトリクス状に配置された反射電極(画素駆動電極)からなる液晶素子、及びシリコン基板上に形成された液晶駆動回路などが重なった構造を有している。

【0003】

従来の液晶表示装置は、複数本のデータ線(列信号線)と複数本のゲート線(行走査線)との各交差部にそれぞれ画素がマトリクス状に配置されている。各画素は、一つの画素選択トランジスタ、一つの信号保持容量、及び反射電極(画素駆動電極)を備えている。画素選択トランジスタは、ゲートがゲート線(行走査線)に接続され、ドレインがデータ線(列信号線)に接続されている。また、液晶素子は、対向する反射電極(画素駆動電極)と対向電極(共通電極)との間に表示体(液晶層)が挟持された構成とされている。

【0004】

液晶素子は、共通電極に固定電圧V<sub>com</sub>が印加され、反射電極(画素駆動電極)に映像信号に応じた様々なアナログ電圧が供給されることで、液晶層の光変調率を制御し、映像として表示する。普通、液晶素子は交流駆動した方が信頼性の長期安定化が図れることから、共通電極の固定電圧V<sub>com</sub>に対して、反射電極(画素駆動電極)には映像信号に応じ

10

20

30

40

50

て光の変調率が同じになるような正側と負側のアナログ電圧を交互に与えて交流駆動を行っている。

【0005】

場合によっては、映像信号のダイナミックレンジ縮小などの目的で、正側と負側の電圧で駆動するタイミングに合わせて、共通電極の電圧を切り替えたりする応用例もあるが、基本的な考え方は同じである。

【0006】

従来の液晶素子においては、通常、各画素への映像信号の書き込みは1フレムに1回行われ、1フレム毎に交互に、共通電極に対して正側と負側の映像信号を信号保持容量に書き込んで、液晶を交流駆動することになる。なお、この場合の書き込み周波数の2倍の周波数で液晶を交流駆動する倍速駆動の例もあるが、周波数としては、60Hzが120Hzになる程度であり、いずれにしても高い周波数ではない。

10

【0007】

これは、信号保持容量に対する映像信号の書き込みが、ビデオスイッチのオン抵抗とデータ線の寄生容量、あるいは画素選択トランジスタのオン抵抗と信号保持容量の関係での充放電によって行われるために、書き込み周波数をこれ以上高くすることは素子コストなどの観点から簡単ではないという事情もある。

【0008】

一方、液晶素子に対しては、より高い周波数で交流駆動することで、反射電極（画素駆動電極）と共通電極との間の直流分をゼロにできれば、焼き付き防止など信頼性の向上につながり、画像の表示品質も高まる。

20

【0009】

これまで、画素選択トランジスタの寄生容量に起因するフィードスルへの対策（例えば、特許文献1参照）や保持容量のリーク対策（例えば、特許文献2参照）など、書き込まれた信号分の劣化を防止する方法が開示されている。しかしながら、液晶素子をより高い周波数で交流駆動する取り組みはあまり検討されてこなかったようである。

【0010】

なお、同一の走査線に接続された複数の画素毎に、各画素の保持容量をその走査線に対応する保持容量線と隣接する走査線に対応する別の保持容量線とに交互に接続し、画素駆動電極と対向電極の間の直流分を補償するための補償電圧を、保持容量線毎に反転させて与えることにより、共通電極線や共通電極の電位変動等に起因する画質劣化の発生を防止するようにした液晶表示装置は従来知られている（例えば、特許文献3参照）。

30

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2006-10897号公報

【特許文献2】特開2002-250938号公報

【特許文献3】特開2004-354742号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0012】

前述したように、液晶素子の焼き付き防止などの信頼性を高める手段として、高い周波数で液晶素子を交流駆動することが望ましいが、画素への書き込み時間などの制約から対向電極電圧に対して正側と負側の映像信号を交互に高速に書き込むことは難しく、従来は交流駆動の周波数はフレムレトあるいはその2倍ぐらいの周波数でしか行われていない。

【0013】

また、特許文献3記載の液晶表示装置では、補償電圧はフレム毎にしか極性反転ができず、また、画像信号電圧は共通電極の電圧に対して正側と負側の2種類の電圧が必要である。

50

## 【 0 0 1 4 】

本発明は以上の点に鑑みなされたもので、液晶素子を従来よりも高速に交流駆動すると共に、液晶素子を高速に反転駆動するための信号切り替えを複数ライン単位で行っても、その境界部で発生し易い不要な横線を視覚上見えなくし、高品質な画像を表示し得る液晶表示装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【 0 0 1 5 】

上記目的を達成するため、第 1 の発明の液晶表示装置は、対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、正極性映像信号をサンプリングして一定期間保持する第 1 のサンプリング及び保持手段と、負極性映像信号をサンプリングして一定期間保持する第 2 のサンプリング及び保持手段と、第 1 のサンプリング及び保持手段により保持された正極性映像信号電圧と、第 2 のサンプリング及び保持手段により保持された負極性映像信号電圧とを、スイッチング制御信号に基づいて、垂直走査期間より短い所定の周期で切り替えて画素駆動電極に交互に印加するスイッチング手段とをそれぞれ備えており、2 本のデ - タ線を一組とする複数組のデ - タ線と複数本のゲ - ト線とがそれぞれ交差する交差部に設けられた複数の画素と、

複数組のデ - タ線に対してそれぞれ設けられており、一組の 2 本のデ - タ線の一方に正極性映像信号を供給し、かつ、他方のデ - タ線に負極性映像信号を供給することを、水平走査期間内で複数組のデ - タ線に対して組単位で行う水平方向駆動手段と、複数本のゲ - ト線を水平走査期間毎に選択する垂直方向駆動手段と、複数の画素からなる画素部全体を、M 行（M は 2 以上の自然数）の各画素を 1 グル - プとする複数のグル - プに分割したとき、各分割グループ内の M 行の各画素内のスイッチング手段を、スイッチング制御信号により所定の周期で各分割グループ単位で時分割的に制御する毎に、1 グループを構成する M 行の組み合わせを変えて新たな複数のグループに分割し、新たな各分割グループ内の M 行の各画素内のスイッチング手段を、スイッチング制御信号により各分割グループ単位で時分割的に制御することを繰り返すスイッチング制御手段とを有することを特徴とする。

## 【 0 0 1 6 】

また、上記の目的を達成するため、本発明の液晶表示装置は、上記のスイッチング制御手段が、垂直方向駆動手段により複数本のゲート線を駆動する水平走査周期の行選択信号に同期した水平走査周期の第 1 のクロックパルスをカウントする切替回数カウント手段と、水平走査周期より短い周期の第 2 のクロックパルスに基づいて、第 1 のクロックパルスの入力直後に入力される水平走査周期のシフトパルスをシフトして、各出力部から切替回数カウンタのカウント値の変化に同期してシフト信号を出力するシフト手段と、シフト手段のグループ数と同じ複数の出力部の各々からそれぞれ出力された複数のシフト信号のうち、各出力部から出力されるシフト信号を、所定周期と同じ周期の基準タイミング信号に基づき、スイッチング制御信号として生成して M 行の各画素ずつに供給すると共に、シフト信号を出力する出力部と M 行の各画素との M 行の組み合わせを切替回数カウント手段からのカウント値に応じて切り替えるスイッチング制御信号供給手段とを有することを特徴とする。

## 【 0 0 1 7 】

更に、上記の目的を達成するため、本発明の液晶表示装置は、スイッチング制御手段は、1 グループを構成する M 行の組み合わせは、スイッチング制御信号による各分割グループ単位の M 回の時分割的制御で一巡し、M + 1 回目の時分割的制御では元の組み合わせに戻るよう制御することを特徴とする。

## 【発明の効果】

## 【 0 0 1 8 】

本発明によれば、液晶素子を従来よりも高速に交流駆動すると共に、液晶素子を高速に反転駆動するための信号切り替えを複数ライン単位で行っても、その境界部で発生し易い不要な横線を視覚上見えなくすることができるため、高品位な画像を表示できると同時に焼付きの極めて少ない高品質な液晶表示装置を提供できる。

## 【図面の簡単な説明】

## 【0019】

【図1】本発明の液晶表示装置の一実施の形態の要部の構成図である。

【図2】図1中の画素の等価回路の一例を示す回路図である。

【図3】正極性映像信号と負極性映像信号との関係の一例を示す図である。

【図4】画素部をグループ分けして駆動する場合の一例の構成図である。

【図5】図4の動作説明用タイミングチャートである。

【図6】図4の構成の場合の課題説明図である。

【図7】図1の動作説明用タイミングチャートである。

【図8】図7の要部のテーブルに基づく各ライン番号を駆動するシフト出力を選択する例を示す図である。 10

## 【発明を実施するための形態】

## 【0020】

次に、本発明の実施の形態について図面を参照して説明する。

## 【0021】

図1は、本発明になる液晶表示装置の一実施の形態の要部の構成図を示す。本実施の形態のアクティブマトリクス方式の液晶表示装置100は、ゲート線ドライバ101と、シフトレジスタの出力部（以下、シフトと略す）102<sub>0</sub>～102<sub>5</sub>と、セクタ&ゲート103<sub>1</sub>～103<sub>6</sub>と、画素104<sub>11</sub>～104<sub>63</sub>等と、切替回数カウンタ105とからなる。図1は、図示の便宜上、液晶表示装置100の画素部の1行目（1ライン目）から6行目（6ライン目）までと、1列目から3列目までの画素104<sub>11</sub>～104<sub>63</sub>のみ図示してあり、残りの画素群とそれら対応したシフト及びセクタ&ゲートは図示を省略してある。また、図1には、水平方向駆動回路などの図示も省略してある。 20

## 【0022】

ゲート線ドライバ101は、シフトレジスタで構成されており、ゲート線G1、G2、・・・、G6、・・・に接続されている。シフト102<sub>0</sub>～102<sub>5</sub>は、一つのシフトレジスタの0段目～5段目の出力部で、後述するようにクロックパルスKckを時分割的に出力する。また、セクタ&ゲート103<sub>1</sub>～103<sub>6</sub>は、シフト102<sub>0</sub>～102<sub>5</sub>から供給されるパルスと、予め保持しているテーブルに従い後述の図8に示すように選択し、2本のスイッチング制御線S<sub>j+</sub>及びS<sub>j-</sub>のうち指定されたスイッチング制御線へそのまま出力する。2本のスイッチング制御線S<sub>j+</sub>及びS<sub>j-</sub>のどちらに信号を出力するかの指定は、信号ts1及びts2による。 30

## 【0023】

画素104<sub>j1</sub>～104<sub>j3</sub>等のj行目（j=1～y：yは画素部の全行数）の画素は、セクタ&ゲート103<sub>1</sub>から2本一組のスイッチング制御線S<sub>j+</sub>及びS<sub>j-</sub>をそれぞれ介して正極性用と負極性用のスイッチング制御信号が供給されると共に、ゲート線G<sub>j</sub>に接続されて行選択信号（ゲート信号）が供給される。また、画素104<sub>0k</sub>～104<sub>5k</sub>等のk列目（k=1～x：xは画素部の全列数）の画素は、2本一組のデータ線（ソース線）D<sub>k+</sub>及びD<sub>k-</sub>をそれぞれ介して正極性映像信号と負極性映像信号が供給される。画素104<sub>11</sub>～104<sub>63</sub>は、それぞれ同一構成である。 40

## 【0024】

このように、本実施の形態の液晶表示装置の複数の画素は、2本一組のデータ線D<sub>k+</sub>及びD<sub>k-</sub>とゲート線G<sub>j</sub>との交差部にそれぞれ配置されている。また、各行のx個の画素は、ゲート線G<sub>j</sub>を介してゲート線ドライバ101からの信号により1水平走査期間毎に上から下方向に1フレーム期間内で順次選択される。また、各列のy個の画素は、1水平走査期間内でデータ線（ソース線）D<sub>k+</sub>及びD<sub>k-</sub>をそれぞれ介して正極性映像信号と負極性映像信号が供給される。

## 【0025】

また、図1に示すように、データ線D<sub>k+</sub>及びD<sub>k-</sub>は、アナログスイッチ107のうちそれぞれ1対1に対応して設けられたk組目の2つのアナログスイッチを別々に介して水平 50

方向駆動回路（いずれも図示せず）に接続されている。全部で $x$ 組ある２つ一組の上記のアナログスイッチ１０７は、水平方向駆動回路１０６により各水平走査期間の始めで同時にオンにスイッチング制御され、 $x$ 組のアナログスイッチ１０７を通して後述する図３に示すような１水平走査周期の傾斜波形の前記正極性映像信号及び負極性映像信号を $x$ 組のデータ線へ出力する。

#### 【００２６】

そして、水平方向駆動回路１０６は、外部から入力される表示するデジタル映像信号の１ラインの各画素の値と、内部で生成した水平走査期間内で最小階調値から最大階調値まで値が単調変化するカウンタ値とを画素単位で比較し、両者が一致した時点で、その画素に接続された一組のアナログスイッチをオフに制御する。アナログスイッチ１０７は、オフ時点の正極性映像信号と負極性映像信号のアナログ値を、接続されている一組のデータ線の容量及びそのデータ線に接続された画素の２つの保持容量 $C_1$ 及び $C_2$ にそれぞれサンプリング保持させる。 $x$ 組あるアナログスイッチ１０７のオフのタイミングは、対応する画素の値（階調）に応じて異なる（絵柄に応じて異なる。）。水平方向駆動回路１０６は、上記の動作を各ライン単位で行う。

#### 【００２７】

図２は、図１に示す一つの画素の一例の等化回路図を示す。図２に示すように、画素１０４<sub>jk</sub>は、ゲート線 $G_j$ にゲートがそれぞれ接続された画素選択トランジスタ $Q_1$ 及び $Q_2$ と、画素選択トランジスタ $Q_1$ 、 $Q_2$ の各ソースに一端がそれぞれ接続され、他端が共通電極線に共通に接続された保持容量（キャパシタ） $C_1$ 及び $C_2$ と、画素選択トランジスタ $Q_1$ と保持容量 $C_1$ との接続点、及び画素選択トランジスタ $Q_2$ と保持容量 $C_2$ との接続点に入力端がそれぞれ接続されたバッファアンプ $A_1$ 及び $A_2$ と、バッファアンプ $A_1$ 及び $A_2$ の各出力端に一端が接続された切り替えスイッチ $S_1$ 及び $S_2$ と、切り替えスイッチ $S_1$ 及び $S_2$ の各他端の共通接続点と共通電極線との間に接続された液晶駆動用の保持容量 $C_3$ と、液晶素子 $LC$ とで構成されている。画素選択トランジスタ $Q_1$ 及び $Q_2$ の各ドレインは、データ線 $D_{k+}$ 及び $D_{k-}$ に別々に接続されている。

#### 【００２８】

また、各画素の液晶素子 $LC$ は、従来と同様の周知の構造の液晶素子で、反射電極である画素駆動電極 $PE$ と、画素駆動電極 $PE$ に対向する共通電極 $CE$ との間に液晶表示体（液晶層） $LCM$ が挟持された構造である。また、切り替えスイッチ $S_1$ は、スイッチング制御線 $S_{j+}$ を介して入力される正極性用スイッチング制御信号によりスイッチングされる。同様に、切り替えスイッチ $S_2$ は、スイッチング制御線 $S_{j-}$ を介して入力される負極性用スイッチング制御信号によりスイッチングされる。

#### 【００２９】

図３は、画素にデータ線 $D_{k+}$ を介して書き込まれる正極性映像信号 $I$ と、データ線 $D_{k-}$ を介して書き込まれる負極性映像信号 $II$ の黒レベルから白レベルまでの関係を示す。正極性映像信号 $I$ は、レベルが最小のとき黒レベル、最大のとき白レベルであるのに対し、負極性映像信号 $II$ は、レベルが最小のとき白レベル、最大のとき黒レベルである。正極性映像信号 $I$ と負極性映像信号 $II$ の反転中心は、 $III$ で示される。これらの正極性映像信号 $I$ と負極性映像信号 $II$ は、 $DA$ 変換の際に用いられる１ $H$ 周期の基準信号である。

#### 【００３０】

図３では、正極性映像信号 $I$ は、レベルが最小のとき黒レベル、最大のとき白レベルで、負極性映像信号 $II$ は、レベルが最小のとき白レベル、最大のとき黒レベルの場合を示しているが、本発明の液晶表示装置の画素回路では、正極性映像信号 $I$ は、レベルが最小のとき白レベル、最大のとき黒レベルで、負極性映像信号 $II$ は、レベルが最小のとき黒レベル、最大のとき白レベルであってもよい。

#### 【００３１】

次に、図２に示した画素１０４<sub>jk</sub>の動作の概略について説明する。

#### 【００３２】

ゲート線 $G_j$ を介してハイレベルの行選択信号が入力されると、トランジスタ $Q_1$ 及び

10

20

30

40

50

Q 2 が同時にオンとされ、図 3 に示した正極性映像信号が保持容量 C 1 にサンプリング保持される。また、これと同時に図 3 に示した負極性映像信号が保持容量 C 2 にサンプリング保持される。

【 0 0 3 3 】

その後、スイッチング制御線 S j+ を介して入力される正極性用スイッチング制御信号がハイレベルとなり、そのハイレベル期間、切り替えスイッチ S 1 がオンとなる。この切り替えスイッチ S 1 がオンの期間に、保持容量 C 1 に保持されているアナログ電圧である正極性映像信号電圧が、バッファアンプ A 1 及び切り替えスイッチ S 1 を介して液晶素子 L C の画素駆動電極 P E に印加される。

【 0 0 3 4 】

10

続いて、切り替えスイッチ S 1 をオフとした後、スイッチング制御線 S j- を介して入力される負極性用スイッチング制御信号がハイレベルとなり、そのハイレベル期間、切り替えスイッチ S 2 がオンとなる。この切り替えスイッチ S 2 がオンの期間に、保持容量 C 2 に保持されているアナログ電圧である負極性映像信号電圧が、バッファアンプ A 2 及び切り替えスイッチ S 2 を介して液晶素子 L C の画素駆動電極 P E に印加される。以下、上記の切り替えスイッチ S 1 及び S 2 は交互にオンとされる。

【 0 0 3 5 】

このように保持容量 C 1、C 2 にそれぞれ保持された正側と負側の映像信号は、それぞれ高入力抵抗のインピ - ダンス変換回路であるバッファアンプ A 1、A 2 を介して読み出され、切り替えスイッチ S 1、S 2 で交互に選択されて、画素駆動電極 P E の電圧を変化させることで液晶素子を交流駆動する。

20

【 0 0 3 6 】

この画素構成によれば、1フレ - ムに1度、正極性映像信号と負極性映像信号とを保持容量 C 1、C 2 に書き込んでしまえば、次のフレ - ムの映像信号が書き込まれるまでの1フレ - ム期間、何回でも切り替えスイッチ S 1 及び S 2 を交互に切り替えて液晶素子 L C を交流駆動できる。

【 0 0 3 7 】

つまり、図 2 の画素回路によれば、映像信号の書き込み周期とは独立に液晶素子を、例えばフレ - ム周波数の数十倍の高周波数で交流駆動することが可能になる。これにより、焼き付き防止、信頼性向上、シミ・ムラなどが見えない表示品位の向上、などの効果が得られる。また、図 2 に示す画素回路では、極性反転に合わせて、液晶素子の共通電極 C E の電圧を振る（変える）ことが可能になり、信号電圧を従来の半分以下にすることも可能になる。

30

【 0 0 3 8 】

なお、焼付きは、液晶中のイオンが画素駆動電極付近に集まることで D C（直流電圧）のオフセットを持ってしまうことに起因すると考えられている。できるだけ高速に反転駆動すると、このイオンが画素駆動電極付近に集まり難くなって焼付きの要因を取り除ける。どこまで高速駆動できるかは、液晶素子の応答速度との兼ね合いから決まるが、少なくとも 20 倍速程度で切り替えてやると効果は顕著になる。

【 0 0 3 9 】

40

ここで、図 2 に示したように、本実施の形態の液晶表示装置 1 0 0 の各画素 1 0 4 jk は、正極性用と負極性用の 2 個の選択トランジスタ Q 1 及び Q 2 と、2 個の保持容量 C 1 及び C 2 と、更に多数回切り替えても保持容量 C 1 及び C 2 の電荷が変化しないようにするためのバッファアンプ A 1 及び A 2 と、切り替えスイッチ S 1 及び S 2 で構成されている。そして、極性切り替えの時にはバッファアンプ A 1 及び A 2 には D C 電流を流す必要がある。

【 0 0 4 0 】

極性切り替えを行う時に、全画素同時に切り替えられれば良いが、フルハイビジョンなど画素数の多い液晶表示装置では、この極性切り替えに伴って発生する各画素のバッファアンプ A 1、A 2 の電流の総和が大きくなりすぎることから現実的ではない。また、10

50

80本のラインを1ラインずつ切り替えるのは時間がかかりすぎてこれも現実的でない。そこで、画素部を数ライン毎にグループ化し、各グループ単位で順次切り替えて、上記の大電流の課題と極性切り替えに要する時間の課題とを解決できれば都合が良い。

#### 【0041】

図4は、このグループ化した場合の要部の構成図を示す。同図において、各々図2の構成の全ての画素からなる画素部200は、垂直方向に $h$ 分割（ $h$ は2以上の自然数）された分割画素部 $200_1 \sim 200_h$ からなる。つまり、図1における $y$ 行 $\times$ 列の画素の行方向を $h$ 分割しているので、各グループの垂直（行）方向の画素は $y/h$ となる。なお、図4には、水平方向駆動回路等の図示は省略してある。

#### 【0042】

分割画素部 $200_1 \sim 200_h$ のそれぞれは、画素部の複数行を1グループとするグループ#1、#2、・・・及び# $h$ の分割画素部である。シフトレジスタ201aは、分割画素部 $200_1 \sim 200_h$ の各入力端子 $S+(1)$ 、 $S+(2)$ 、・・・及び $S+(h)$ にスイッチング制御線 $S_{j+}$ への正極性用スイッチング制御信号を1段目、2段目、・・・ $h$ 段目の出力端子から供給する。また、シフトレジスタ201bは、分割画素部 $200_1 \sim 200_h$ の各入力端子 $S-(1)$ 、 $S-(2)$ 、・・・及び $S-(h)$ にスイッチング制御線 $S_{j-}$ への負極性用スイッチング制御信号を1段目、2段目、・・・ $h$ 段目の出力端子から供給する。

#### 【0043】

図5は、図4の各部の信号のタイミングチャートを示す。図5(A)はシフトレジスタ201a及び201bに供給されるシフトクロック $CLK$ を示す。このシフトクロック $CLK$ に同期してシフトレジスタ201aは、図5(B)に示す極性切り替え用ゲート制御信号をシフトして1段目、2段目、 $h$ 段目の出力端子から図5(C)、(D)、(E)に示すスイッチング制御信号を出力し、分割画素部 $200_1$ 、 $200_2$ 、 $200_h$ の各入力端子 $S+(1)$ 、 $S+(2)$ 、 $S+(h)$ に供給する。

#### 【0044】

同様に、シフトレジスタ201bは、図5(F)に示す極性切り替え用ゲート制御信号をシフトして1段目、2段目、 $h$ 段目の出力端子から図5(G)、(H)、(I)に示すスイッチング制御信号を出力し、分割画素部 $200_1$ 、 $200_2$ 、 $200_h$ の各入力端子 $S-(1)$ 、 $S-(2)$ 、 $S-(h)$ に供給する。なお、シフトレジスタ201aに供給される極性切り替え用ゲート制御信号と、シフトレジスタ201bに供給される極性切り替え用ゲート制御信号とによる画素回路切り替え周期は、各分割画素部 $200_1 \sim 200_h$ それぞれの画素行（ライン数）に対応している。

#### 【0045】

この構成によれば、画面の垂直方向の分割グループについて、時間差を持たせた極性反転が可能となり、電流値が時間的に分散、平均化するため、瞬時過大電流による誤動作や故障などを回避できる。

#### 【0046】

しかしながら、図5に示したタイミングチャートに従って順次に駆動制御すると、モニタ画面上では、図6に示すように、分割画素部 $200_1 \sim 200_h$ に対応した画像表示部 $203-1 \sim 203-h$ の、隣接する画像表示位置 $204-1 \sim 204-(h-1)$ において、表示画像上の不良（階調の変動）が発生することがある。この隣接する画像表示位置 $204-1 \sim 204-(h-1)$ は、配線 $S_{j+}$ 、 $S_{j-}$ のスイッチング制御信号の極性切り替え行である。

#### 【0047】

例えば、フルハイビジョン対応の液晶表示装置において、前述した各分割画素部をそれぞれ8行（ライン）の画素群からなる構成とした場合、図4の構成では1080本あるラインを8本ずつ順に切り替えるとする、135（ $=1080/8$ ）ビットのシフトレジスタ201a、201bを用意しておいて、各出力には8ライン分ずつの画素を接続してシフト順に切り替える。そして、1ビット目の出力には1～8ライン、2ビット目の出力には9～16ライン、3ビット目は17～24ライン、・・・といった具合に接続され

10

20

30

40

50

る。

#### 【 0 0 4 8 】

このとき、8ラインと9ラインは隣り合った画素になるが、8ライン目は1ビット目の出力で、9ライン目は2ビット目の出力で駆動されるため、8ライン目の画素は時間的に後から駆動される9ライン目の切り替え信号などによって、特別なクロストークを受け易くなる。これは8ライン目と同じタイミングで駆動されている7ライン目や6ライン目とは異なるクロストークになり、横線として見え易い。以下、16ライン目、24ライン目、・・・に対しても同様なことが起き易い。

図1に示した本実施の形態の液晶表示装置100は、このようにグループ化して切り替えた場合でも、表示画像として横線が見えるのを防止するようにしたものである。

10

#### 【 0 0 4 9 】

次に、図1に示した本実施の形態の液晶表示装置100の動作について、図7のタイミングチャートと、図8のテーブルに基づく各ライン番号を駆動するシフト出力を選択する例を示す図とを参照して説明する。

#### 【 0 0 5 0 】

図1において、ゲート線ドライバ101は、1フレームに1回の割合で入力される、図7(A)に示す同期信号Vstが入力されると、それを図7(B)に示す1水平走査期間(1H)周期のクロックパルスVckに同期して順次、図中下から上方向にシフトする。これにより、ゲート線ドライバ101は、同期信号Vst入力後、最初のクロックパルスVck入力に同期してその初段から図7(C)に示すように行選択信号をゲート線G1へ出力する。続いて、ゲート線ドライバ101は、同期信号Vst入力後、2番目のクロックVck入力に同期してその2段目から図7(D)に示すように行選択信号をゲート線G2へ出力する。以下、同様にして、ゲート線ドライバ101は、各段から順次クロックVck入力に同期して行選択信号を1H毎にゲート線へ出力する。ゲート線Gjに出力された行選択信号により、j行目の全ての画素104<sub>j1</sub>~104<sub>j3</sub>等が選択される。

20

#### 【 0 0 5 1 】

一方、切替回数カウンタ105は、図7(E)に模式的に示すように、上記のクロックVckをカウントし、そのカウント値をセレクト&ゲート103<sub>1</sub>~103<sub>6</sub>等全てのセレクト&ゲートに同時に供給する。

#### 【 0 0 5 2 】

30

また、シフト102<sub>0</sub>~102<sub>5</sub>は、一つのシフトレジスタの0段目~5段目の出力部で、行選択信号出力直後に図7(F)に示す1H周期のパルスKstが入力されると、その入力パルスKstを、図7(G)に示すクロックパルスKckが1~6回目の各入力時点で出力する。例えば、シフト102<sub>0</sub>は、パルスKst入力後、最初のクロックパルスKck入力に同期して図7(H)に示すパルスを103<sub>1</sub>~103<sub>6</sub>等へ出力する。続いて、シフト102<sub>1</sub>は、パルスKst入力後、2番目のクロックパルスKck入力に同期して図7(I)に示すパルスを103<sub>1</sub>~103<sub>6</sub>等へ出力する。続いて、シフト102<sub>2</sub>は、パルスKst入力後、3番目のクロックパルスKck入力に同期して図7(J)に示すパルスをセレクト&ゲート103<sub>1</sub>~103<sub>6</sub>等へ出力する。

#### 【 0 0 5 3 】

40

セレクト&ゲート103<sub>1</sub>~103<sub>6</sub>等は、内部の出力テーブルを切替回数カウンタ105からのカウント値で参照し、シフト102<sub>0</sub>~102<sub>5</sub>等から入力されたパルスを図8に示すように選択する。例えば、セレクト&ゲート103<sub>1</sub>~103<sub>6</sub>は、シフト102<sub>0</sub>又は102<sub>1</sub>からのパルスを選択する。

#### 【 0 0 5 4 】

また、セレクト&ゲート103<sub>1</sub>~103<sub>6</sub>は、図7(K)に示す基準タイミング信号ts1と、同図(L)に示す基準タイミング信号ts2とにより、接続されている2本一組のスイッチング制御線S1+~S6+及びS1-~S6-のうちどちらか一方に信号を出力する。ここでは、セレクト&ゲート103<sub>1</sub>~103<sub>6</sub>は、基準タイミング信号ts1がハイレベルのときは、スイッチング制御線S1+~S6+へ正極性用スイッチング信号を出力し、基準タ

50

イミング信号  $t_{s2}$  がハイレベルのときは、スイッチング制御線  $S1- \sim S6-$  へ負極性用スイッチング制御信号を出力する。図示しない他のセレクト&ゲートも同様である。

【 0 0 5 5 】

なお、図 7 では基準タイミング信号  $t_{s1}$  がハイレベルで、基準タイミング信号  $t_{s2}$  はローレベルであるが、これらの信号  $t_{s1}$  及び  $t_{s2}$  は、1 フレームに数十回、ハイレベルとローレベルとが交互に切り替わる信号である。

【 0 0 5 6 】

また、図 1 及び図 2 では図示を省略したが、画素内のバッファアンプ  $A1$  及び  $A2$  に DC 電流を流し続けると、画素数が多いと消費電流増大の観点から好ましくない。そのため、正極性用及び負極性用スイッチング制御信号と同期して間欠的に電流を流すことなどで

10

省電力化する必要もある。この場合のバッファアンプ  $A1$  及び  $A2$  の電流オン・オフを制御する信号も正極性用及び負極性用スイッチング制御信号に準じて容易に作れる。

【 0 0 5 7 】

図 8 は、縦軸がライン番号、横軸が切替回数を示し、単独で書かれた「0」、「1」、「2」、「3」、・・・などの数字は、セレクト&ゲート  $103_1 \sim 103_6$  等によりスイッチング制御信号として選択された信号を出力するシフト  $102_0$ 、 $102_1$ 、 $102_3$ 、・・・を示す（ここでは、 $102$  の添字が上記の数字に対応する。）。また、セレクト&ゲート  $103_j$  は、図 8 に示すライン #  $j$  にスイッチング制御信号を出力する。図 8 では、8 ライン単位でグループ化して切り替えていく場合の例を示している。

【 0 0 5 8 】

20

すなわち、セレクト&ゲート  $103_j$  は、切替回数カウンタ  $105$  から入力されるカウンタ値が 1 回目の切り替えを示しているときは、セレクト&ゲート  $103_1 \sim 103_8$  が、それぞれ対応して設けられたスイッチング制御線  $S1+ \sim S8+$  へシフト  $102_1$  からの信号を出力して、ライン #  $1 \sim \# 8$  の各画素に供給する。

【 0 0 5 9 】

図 7 (M)、(S)、(U) は、このうちセレクト&ゲート  $103_1$ 、 $103_2$ 、 $103_3$  が、同図 (I) に示したシフト  $102_1$  からの信号を選択してスイッチング制御線  $S1+$ 、 $S2+$ 、 $S3+$  へ出力する正極性用スイッチング制御信号を示す。なお、基準タイミング信号  $t_{s2}$  はローレベルであるので、この期間は、図 7 (N)、(T)、(W) に示すように、セレクト&ゲート  $103_1$ 、 $103_2$ 、 $103_3$  は、スイッチング制御線  $S1-$ 、 $S2-$ 、 $S3-$  へは負極性用スイッチング制御信号は出力しない。

30

【 0 0 6 0 】

また、この 1 回目の切り替えでは、図 8 に示すように、図 1 では図示を省略した 8 つのセレクト&ゲート  $103_9 \sim 103_{16}$  がシフト  $102_2$  からの信号を選択して、ライン #  $9 \sim \# 16$  のスイッチング制御線  $S9+ \sim S16+$  へ出力し、次の 8 つのセレクト&ゲート  $103_{17} \sim 103_{24}$  がシフト  $102_3$  からの信号を選択して、ライン #  $17 \sim \# 24$  のスイッチング制御線  $S17+ \sim S24+$  へ出力する（いずれも図示せず）。

【 0 0 6 1 】

続く 2 回目の切り替え時は組合せをずらして、図 8 に示すように、ライン # 1 のスイッチング制御線にはシフト  $102_0$  からの信号、次の 8 本のライン #  $2 \sim \# 9$  のスイッチング制御線にはシフト  $102_1$  からの信号に切り替わる。すなわち、この 2 回目の切り替え時には、図 7 (M) に示すように、セレクト&ゲート  $103_1$  が、同図 (H) に示したシフト  $102_0$  からの信号を選択してライン # 1 のスイッチング制御線  $S1+$  へ正極性用スイッチング制御信号を出力する。これに対し、同じ 2 回目の切り替え時でも、図 7 (S)、(U) に示すように、セレクト&ゲート  $103_2$ 、 $103_3$  は、同図 (I) に示したシフト  $102_1$  からの信号を選択してライン # 2、# 3 のスイッチング制御線  $S2+$ 、 $S3+$  へ正極性用スイッチング制御信号を出力する。

40

【 0 0 6 2 】

続く 3 回目の切り替え時は組合せをずらして、図 8 に示すように、ライン # 1 及び # 2 のスイッチング制御線にはシフト  $102_0$  からの信号、次の 8 本のライン #  $3 \sim \# 10$  の

50

スイッチング制御線にはシフト  $102_1$  からの信号に切り替わる。

以下、同様にして、図 8 に示すように、全ラインを隣接する 8 ラインを 1 つのグループとしてグループ分けし、同じグループには同じシフトからの信号を選択してスイッチング制御信号として出力し、かつ、異なるグループには別のシフトからの信号を選択してスイッチング制御信号として出力する。更に、本実施の形態では、上記のグループを構成する 8 ラインを 1 ラインずつ切り替えていくようにしているため、9 回目の切り替えでは 1 回目と同じ組合せに戻る。

#### 【0063】

このように、本実施の形態によれば、シフトレジスタ（シフト  $102_0 \sim 102_5$ ）の出力と画素部のラインの接続関係を固定せずに、スイッチング制御信号による極性切り替えの度にその接続関係を変えて、切り替えの境界部を散らしてしまうものである。高速に反転駆動するために、1 フレーム期間中に数十回の正極性と負極性の極性切り替えを行うが、この切り替えの度に接続関係を変えるようにする。すなわち、本実施の形態では、各フレーム内で何回目の切り替えなのかを切替回数カウンタ  $105$  によりカウントできるようにしておいて、画素部の各ラインはこのカウンタ  $105$  の出力カウント値に従ってシフトレジスタ（シフト  $102_0 \sim 102_5$ ）の異なる出力に接続されてそのタイミングで駆動される。

#### 【0064】

こうすることで、本実施の形態によれば、どのラインも 8 回の切り替えの中で 1 回だけ、次のシフト出力からのクロストークの影響を受けることになり、全画素が同じ条件で駆動されることになる。よって、8 ラインの境界で不要な横線は見えなくなる。なお、8 ラインずつ切り替える場合、切替回数はその整数倍に設定すると均一性を保ち易い。

#### 【0065】

また、図 8 から分るように、ライン # 1 から # 8 のセレクト & ゲート  $103_1 \sim 103_8$  はシフト  $102_0$  又はシフト  $102_1$  の出力信号を選択すればよく、ライン # 9 ~ # 16 のセレクト & ゲート  $103_9 \sim 103_{16}$  はシフト  $102_1$  又はシフト  $102_2$  の出力信号を選択すればよいことを示している。他の 8 つ毎のセレクト & ゲートも上記と同様に、2 つのシフトからの出力信号を選択すればよい。従って、セレクト & ゲート  $103_1 \sim 103_6$  を含むすべてのセレクト & ゲートは、簡単な構成により必要なグループ分けができるので、設計上の負担も少なくて済む。

#### 【0066】

また、ゲート線ドライバ  $101$  での各画素への映像信号の書き込みと、この反転駆動のための切り替えは画像を表示しながら同時に行うことができるので、駆動するときのシステム的な負担も少なくて済む。

#### 【0067】

なお、本発明は上記の実施の形態に限定されるものではなく、例えば画素回路は図 2 の構成に限定されるものではなく、少なくとも 2 つの保持容量により正極性と負極性のアナログ映像信号を交互にサンプリング保持させ、それら 2 つの保持容量に保持された電圧を 1 フレーム内で複数回交互に切り替えて画素駆動電極に印加する構成であればよい。また、1 つのグループのライン数は 8 ラインに限定されるものではないことは勿論である。

#### 【符号の説明】

#### 【0068】

- 100 液晶表示装置
- 101 ゲート線ドライバ
- $102_0 \sim 102_5$  シフト
- $103_1 \sim 103_6$  セレクト & ゲート
- $104_{11} \sim 104_{63}$  画素
- 105 切替回数カウンタ
- 106 水平方向駆動回路
- 107 アナログスイッチ

10

20

30

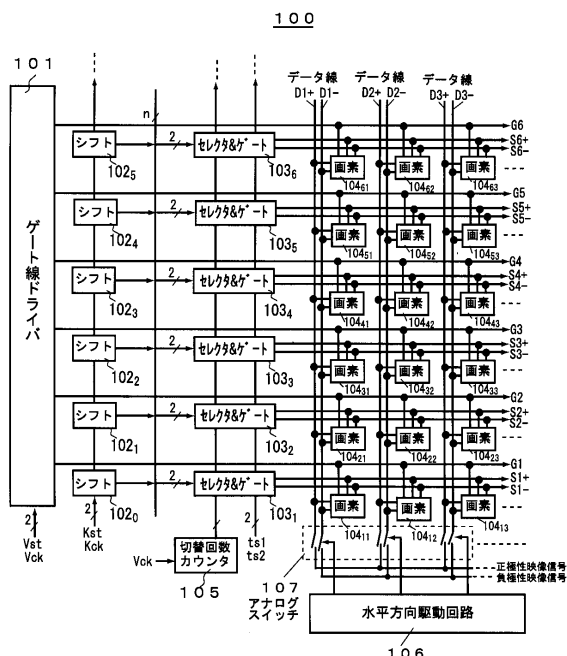
40

50

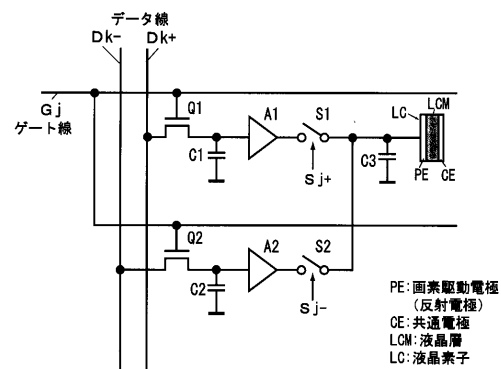
Q 1、Q 2 画素選択トランジスタ  
 C 1、C 2 保持容量  
 C 3 液晶駆動用の保持容量  
 A 1、A 2 バッファアンプ  
 S 1、S 2 切り替えスイッチ  
 L C 液晶素子  
 P E 画素駆動電極（反射電極）  
 L C M 液晶表示体（液晶層）  
 C E 共通電極  
 D k+、D k- データ線  
 G j ゲート線  
 S j+、S j- スイッチング制御線

10

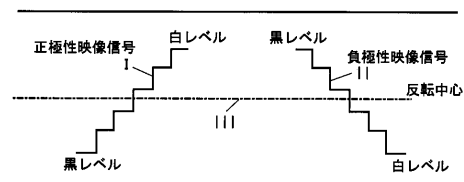
【図 1】



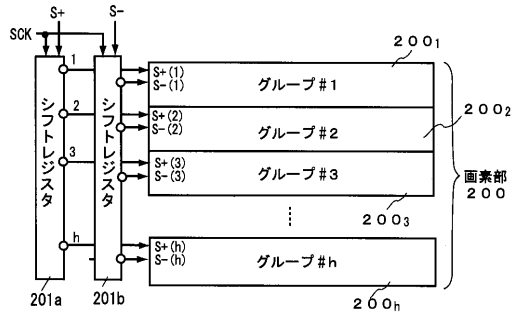
【図 2】



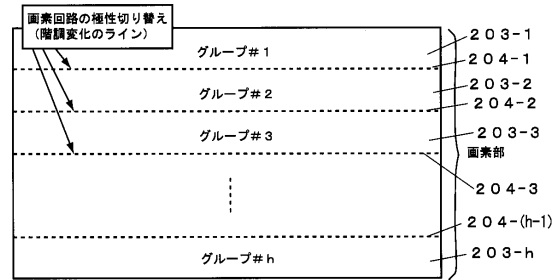
【図 3】



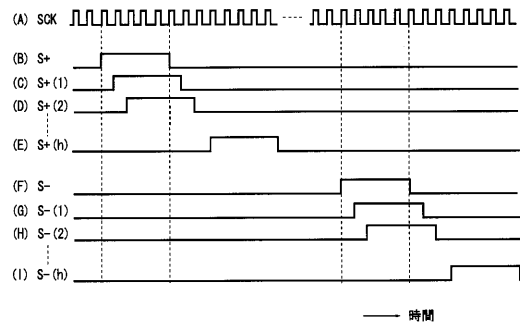
【 図 4 】



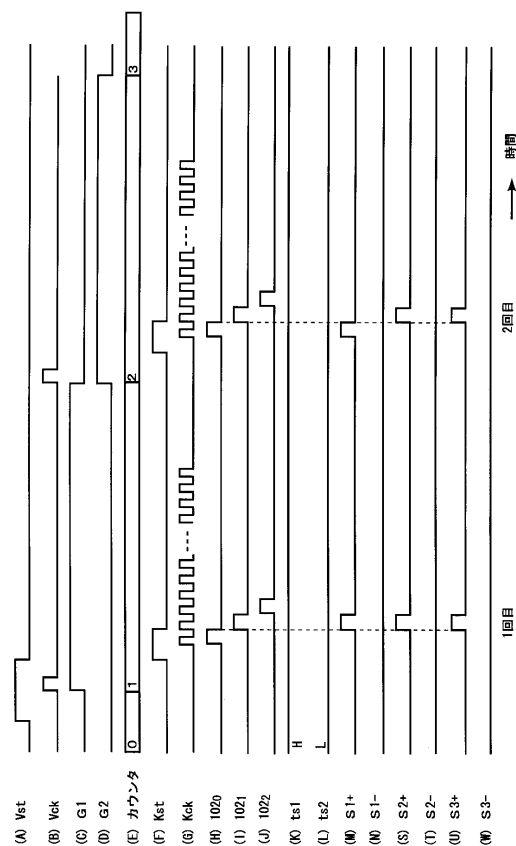
【 図 6 】



【 図 5 】



【圖 7】



【 図 8 】

|        | 1回目 | 2回目 | 3回目 | 4回目 | 5回目 | 6回目 | 7回目 | 8回目 | 9回目 | 10回目 | ... |
|--------|-----|-----|-----|-----|-----|-----|-----|-----|-----|------|-----|
| ライン#17 | 3   | 2   | 2   | 2   | 2   | 2   | 2   | 2   | 3   | 2    |     |
| ライン#16 | 2   | 2   | 2   | 2   | 2   | 2   | 2   | 2   | 2   | 2    |     |
| ライン#15 | 2   | 2   | 2   | 2   | 2   | 2   | 2   | 1   | 2   | 2    |     |
| ライン#14 | 2   | 2   | 2   | 2   | 2   | 2   | 1   | 1   | 2   | 2    |     |
| ライン#13 | 2   | 2   | 2   | 2   | 2   | 1   | 1   | 1   | 2   | 2    |     |
| ライン#12 | 2   | 2   | 2   | 2   | 1   | 1   | 1   | 1   | 2   | 2    |     |
| ライン#11 | 2   | 2   | 2   | 1   | 1   | 1   | 1   | 1   | 2   | 2    |     |
| ライン#10 | 2   | 2   | 1   | 1   | 1   | 1   | 1   | 1   | 2   | 2    |     |
| ライン#9  | 2   | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 2   | 1    |     |
| ライン#8  | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 1    |     |
| ライン#7  | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 0   | 1   | 1    |     |
| ライン#6  | 1   | 1   | 1   | 1   | 1   | 1   | 0   | 0   | 1   | 1    |     |
| ライン#5  | 1   | 1   | 1   | 1   | 1   | 0   | 0   | 0   | 1   | 1    |     |
| ライン#4  | 1   | 1   | 1   | 1   | 0   | 0   | 0   | 0   | 1   | 1    |     |
| ライン#3  | 1   | 1   | 1   | 0   | 0   | 0   | 0   | 0   | 1   | 1    |     |
| ライン#2  | 1   | 1   | 0   | 0   | 0   | 0   | 0   | 0   | 1   | 1    |     |
| ライン#1  | 1   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 1   | 0    |     |

---

フロントページの続き

(51)Int.Cl. F I  
G 0 2 F 1/133 5 5 0  
G 0 9 G 3/20 6 2 1 B

(56)参考文献 特表 2 0 0 4 - 5 1 4 9 5 7 ( J P , A )  
特開平 0 9 - 3 2 9 8 0 6 ( J P , A )  
特開 2 0 0 8 - 0 8 9 7 8 4 ( J P , A )  
特開平 1 1 - 3 5 2 9 3 8 ( J P , A )  
特開 2 0 1 0 - 2 8 6 6 2 8 ( J P , A )  
特開 2 0 0 6 - 0 1 0 8 9 7 ( J P , A )  
特開 2 0 0 2 - 2 5 0 9 3 8 ( J P , A )  
特開 2 0 0 4 - 3 5 4 7 4 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 3 6  
G 0 2 F 1 / 1 3 3  
G 0 9 G 3 / 2 0

|                |                                                                                                                                                                                                                                                                                                                                                                 |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 公开(公告)号        | <a href="#">JP5381489B2</a>                                                                                                                                                                                                                                                                                                                                     | 公开(公告)日 | 2014-01-08 |
| 申请号            | JP2009189572                                                                                                                                                                                                                                                                                                                                                    | 申请日     | 2009-08-18 |
| [标]申请(专利权)人(译) | 日本胜利株式会社                                                                                                                                                                                                                                                                                                                                                        |         |            |
| 申请(专利权)人(译)    | 日本有限公司Victor公司                                                                                                                                                                                                                                                                                                                                                  |         |            |
| 当前申请(专利权)人(译)  | JVC建伍公司                                                                                                                                                                                                                                                                                                                                                         |         |            |
| [标]发明人         | 今野 秀一                                                                                                                                                                                                                                                                                                                                                           |         |            |
| 发明人            | 今野 秀一                                                                                                                                                                                                                                                                                                                                                           |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                                                                                                                                                                                                                                                                                     |         |            |
| FI分类号          | G09G3/36 G09G3/20.624.B G09G3/20.621.E G09G3/20.670.K G09G3/20.670.J G02F1/133.550 G09G3/20.621.B                                                                                                                                                                                                                                                               |         |            |
| F-TERM分类号      | 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZC16 2H193/ZC20 2H193/ZC25 2H193/ZD23 2H193/ZF22 2H193/ZF36 2H193/ZP16 5C006/AF21 5C006/AF42 5C006/AF82 5C006/BB16 5C006/BC22 5C006/BF03 5C006/BF11 5C006/BF22 5C006/BF24 5C006/BF25 5C006/FA05 5C006/FA34 5C006/FA47 5C080/AA10 5C080/BB06 5C080/DD09 5C080/DD26 5C080/DD29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 |         |            |
| 审查员(译)         | Naoaki桥本                                                                                                                                                                                                                                                                                                                                                        |         |            |
| 其他公开文献         | JP2011039459A                                                                                                                                                                                                                                                                                                                                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                       |         |            |

#### 摘要(译)

要解决的问题：提供一种液晶显示装置，其中液晶元件以比迄今为止更高的速度交流驱动，并且即使当在多个中执行用于高速反转驱动液晶元件的信号切换时也是如此。线单元，在其边界部分中易于引起的不必要的水平线被视在视觉上，从而显示高质量的图像。ZOLUTION：选择和门103 1至103 6等是指内部的输出表，其中来自开关频率计数器105的计数值和输入的选择脉冲从如图8所示的移位102 0到102 5等。通过开关频率计数器105对其进行的第一次切换计数并且每条线路连接根据计数器105的输出计数值到移位102 0到102 5的不同输出，并在其定时驱动。因此，每个线在切换8次时仅接收来自下一个移位输出的串扰的影响，并且所有像素在相同条件下被驱动。Z

#### 【图2】

