

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5308534号
(P5308534)

(45) 発行日 平成25年10月9日 (2013. 10. 9)

(24) 登録日 平成25年7月5日 (2013. 7. 5)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)

G 0 9 G 3/20 (2006. 01)

G 0 2 F 1/133 (2006. 01)

G 0 9 G 3/36

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 2 4 C

G 0 9 G 3/20 6 2 1 B

請求項の数 36 (全 68 頁) 最終頁に続く

(21) 出願番号 特願2011-538381 (P2011-538381)
 (86) (22) 出願日 平成22年10月21日 (2010. 10. 21)
 (86) 国際出願番号 PCT/JP2010/068581
 (87) 国際公開番号 W02011/052472
 (87) 国際公開日 平成23年5月5日 (2011. 5. 5)
 審査請求日 平成24年4月3日 (2012. 4. 3)
 (31) 優先権主張番号 特願2009-248964 (P2009-248964)
 (32) 優先日 平成21年10月29日 (2009. 10. 29)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2010-94029 (P2010-94029)
 (32) 優先日 平成22年4月15日 (2010. 4. 15)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2010-228756 (P2010-228756)
 (32) 優先日 平成22年10月8日 (2010. 10. 8)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100114476
 弁理士 政木 良文
 (72) 発明者 上田 直樹
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 山内 祥光
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 中野 文樹
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

単位表示素子を含む表示素子部と、

前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

少なくとも所定のスイッチ素子を経由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第1スイッチ回路と、

前記データ信号線から供給される電圧を、前記所定のスイッチ素子を経由せずに前記内部ノードに転送する第2スイッチ回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第1容量素子の一端に保持すると共に、前記第2スイッチ回路の導通非導通を制御する制御回路と、を備えてなり、

前記第2スイッチ回路は、第1端子、第2端子、及び前記第1及び第2端子間の導通を制御する制御端子を有する第1トランジスタ素子、並びにダイオード素子の直列回路で構成され、

前記制御回路は、第1端子、第2端子、及び前記第1及び第2端子間の導通を制御する制御端子を有する第2トランジスタ素子、並びに前記第1容量素子の直列回路で構成され、

前記第1及び第2スイッチ回路の各一端が前記データ信号線に接続し、

前記第1及び第2スイッチ回路の各他端、及び前記第2トランジスタ素子の第1端子が

10

20

前記内部ノードに接続し、

前記ダイオード素子は、前記データ信号線から前記内部ノードに向かう方向に整流作用を有しており、

前記第1トランジスタ素子の制御端子、前記第2トランジスタ素子の第2端子、及び前記第1容量素子の一端が相互に接続して、前記制御回路の出力ノードを形成し、

前記第2トランジスタ素子の制御端子が第1制御線に接続し、

前記第1容量素子の他端が第2制御線に接続していることを特徴とする画素回路。

【請求項2】

前記所定のスイッチ素子が、第1端子、第2端子、並びに前記第1及び第2端子間の導通を制御する制御端子を有する第3トランジスタ素子で構成され、

前記第3トランジスタ素子の制御端子が走査信号線に接続していることを特徴とする請求項1に記載の画素回路。

【請求項3】

前記第2スイッチ回路が、前記第1トランジスタ素子、前記ダイオード素子、並びに、第1端子、第2端子、及び前記第1及び第2端子間の導通を制御する制御端子を有する第4トランジスタ素子の直列回路で構成され、

前記第4トランジスタ素子の制御端子が、前記第2制御線又は第3制御線に接続していることを特徴とする請求項1又は2に記載の画素回路。

【請求項4】

前記第1スイッチ回路が、前記第2スイッチ回路内の前記第4トランジスタ素子と前記所定のスイッチ素子との直列回路、又は前記第2スイッチ回路内の前記第4トランジスタ素子の制御端子に制御端子が接続する第5トランジスタ素子と前記所定のスイッチ素子との直列回路で構成されることを特徴とする請求項3に記載の画素回路。

【請求項5】

一端が前記内部ノードに接続し、他端が第4制御線又は所定の固定電圧線に接続する第2容量素子を更に備えることを特徴とする請求項1又は2に記載の画素回路。

【請求項6】

請求項1に記載の画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を1本ずつ備えており、

同一列に配置される前記画素回路は、前記第1スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第2トランジスタ素子の制御端子が共通の前記第1制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第1容量素子の前記他端が共通の前記第2制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第1及び第2制御線を各別に駆動する制御線駆動回路を備えていることを特徴とする表示装置。

【請求項7】

前記所定のスイッチ素子が、第1端子、第2端子、並びに前記第1及び第2端子間の導通を制御する制御端子を有する第3トランジスタ素子であって、制御端子が走査信号線に接続する構成であり、

前記行毎に前記走査信号線を1本ずつ備えると共に、同一行に配置される前記画素回路が共通の前記走査信号線に接続する構成であり、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを特徴とする請求項6に記載の表示装置。

【請求項8】

前記第2スイッチ回路が、前記第1トランジスタ素子、前記ダイオード素子、並びに、第1端子、第2端子、及び前記第1及び第2端子間の導通を制御する制御端子を有する第4トランジスタ素子の直列回路で構成され、

同一行又は同一列に配置される前記画素回路は、前記第4トランジスタ素子の制御端子が共通の前記第2制御線に接続することを特徴とする請求項7に記載の表示装置。

【請求項9】

前記第2スイッチ回路が、前記第1トランジスタ素子、前記ダイオード素子、並びに、第1端子、第2端子、及び前記第1及び第2端子間の導通を制御する制御端子を有する第4トランジスタ素子の直列回路で構成され、

同一行又は同一列に配置される前記画素回路は、前記第4トランジスタ素子の制御端子が共通の第3制御線に接続し、

前記制御線駆動回路が、前記第1～第3制御線を各別に駆動することを特徴とする請求項7に記載の表示装置。

10

【請求項10】

前記第1スイッチ回路が、前記第2スイッチ回路内の前記第4トランジスタ素子と前記第3トランジスタ素子との直列回路、又は前記第2スイッチ回路内の前記第4トランジスタ素子の制御端子に制御端子が接続する第5トランジスタ素子と前記第3トランジスタ素子との直列回路で構成されることを特徴とする請求項8に記載の表示装置。

【請求項11】

前記第1スイッチ回路が、前記第2スイッチ回路内の前記第4トランジスタ素子と前記第3トランジスタ素子との直列回路、又は前記第2スイッチ回路内の前記第4トランジスタ素子の制御端子に制御端子が接続する第5トランジスタ素子と前記第3トランジスタ素子との直列回路で構成されることを特徴とする請求項9に記載の表示装置。

20

【請求項12】

1つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第3トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第3トランジスタ素子を非導通状態にし、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに対して、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする請求項7に記載の表示装置。

30

【請求項13】

前記書き込み動作時に、

前記制御線駆動回路は、前記第1制御線に前記第2トランジスタ素子を導通状態とする所定の電圧を印加することを特徴とする請求項12に記載の表示装置。

【請求項14】

1つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第3トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第3トランジスタ素子を非導通状態にし、

40

前記制御線駆動回路が、前記選択行の前記第2制御線に前記第4トランジスタ素子を導通状態にする所定の選択用電圧を印加すると共に、前記非選択行の前記第2制御線に前記第4トランジスタ素子を非導通状態にする所定の非選択用電圧を印加し、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする請求項10に記載の表示装置。

【請求項15】

1つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

50

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第3トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第3トランジスタ素子を非導通状態にし、

前記制御線駆動回路が、前記選択行の前記第3制御線に前記第4トランジスタ素子を導通状態にする所定の選択用電圧を印加すると共に、前記非選択行の前記第3制御線に前記第4トランジスタ素子を非導通状態にする所定の非選択用電圧を印加し、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することの特徴とする請求項11に記載の表示装置。

10

【請求項16】

前記画素回路アレイ内の各画素回路の内部ノードは、それぞれ離散した複数の電圧状態の内の一の電圧状態を保持可能な構成であって、異なる電圧状態によって多階調が実現されており、

複数の前記画素回路に対して前記第2スイッチ回路と前記制御回路を作動させ、前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第3トランジスタ素子を非導通状態とし、

前記データ信号線駆動回路が、前記データ信号線に対して、リフレッシュ動作を実行する対象階調の電圧状態に対応するリフレッシュ目標電圧に前記第2スイッチ回路内の電圧降下分に対応する所定の第1調整電圧を加えたりフレッシュ入力電圧を印加し、

20

前記制御線駆動回路が、前記第1制御線に対して、前記対象階調よりも一段階低階調の電圧状態と前記対象階調の電圧状態の中間電圧で規定されるリフレッシュ分離電圧に前記第1制御線と前記内部ノードの電圧降下分に対応する所定の第2調整電圧を加えたりフレッシュ基準電圧を印加した状態で、前記第2制御線に対して所定振幅のブースト電圧を印加して、前記出力ノードに対して前記第1容量素子を介した容量結合による電圧変化を与えることで、

前記内部ノードの電圧状態が前記リフレッシュ目標電圧よりも高い場合には、前記ダイオード素子が前記データ信号線から前記内部ノードに向けて逆バイアス状態となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧よりも低い場合には、前記ブースト電圧印加による前記出力ノードの電位変動を抑制して前記第1トランジスタ素子が非導通となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧以上で前記リフレッシュ目標電圧以下の場合には、前記データ信号線から前記内部ノードに向けて前記ダイオード素子が順バイアス状態となると共に前記出力ノードの電位変動が抑制されずに前記第1トランジスタ素子が導通状態となって前記リフレッシュ目標電圧が前記内部ノードに与えられ、前記対象階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対するリフレッシュ動作を実行することの特徴とする請求項7に記載の表示装置。

30

【請求項17】

前記画素回路アレイ内の各画素回路の内部ノードは、それぞれ離散した複数の電圧状態の内の一の電圧状態を保持可能な構成であって、異なる電圧状態によって多階調が実現されており、

40

複数の前記画素回路に対して前記第2スイッチ回路と前記制御回路を作動させ、前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第3トランジスタ素子を非導通状態とし、

前記データ信号線駆動回路が、前記データ信号線に対して、リフレッシュ動作を実行する対象階調の電圧状態に対応するリフレッシュ目標電圧に前記第2スイッチ回路内の電圧降下分に対応する所定の第1調整電圧を加えたりフレッシュ入力電圧を印加し、

前記制御線駆動回路が、前記第1制御線に対して、前記対象階調よりも一段階低階調の

50

電圧状態と前記対象階調の電圧状態の中間電圧で規定されるリフレッシュ分離電圧に前記第1制御線と前記内部ノードの電圧降下分に対応する所定の第2調整電圧を加えたりフレッシュ基準電圧を印加した状態で、前記第2制御線に対して所定振幅のブースト電圧を印加して、前記出力ノードに対して前記第1容量素子を介した容量結合による電圧変化を与えることで、

前記内部ノードの電圧状態が前記リフレッシュ目標電圧よりも高い場合には、前記ダイオード素子が前記データ信号線から前記内部ノードに向けて逆バイアス状態となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧よりも低い場合には、前記ブースト電圧印加による前記出力ノードの電位変動を抑制して前記第1トランジスタ素子が非導通となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧以上で前記リフレッシュ目標電圧以下の場合には、前記データ信号線から前記内部ノードに向けて前記ダイオード素子が順バイアス状態となると共に前記出力ノードの電位変動が抑制されずに前記第1トランジスタ素子が導通状態となって前記リフレッシュ目標電圧が前記内部ノードに与えられ、前記対象階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対するリフレッシュ動作を実行することを特徴とする請求項8に記載の表示装置。

【請求項18】

前記画素回路アレイ内の各画素回路の内部ノードは、それぞれ離散した複数の電圧状態の内の一の電圧状態を保持可能な構成であって、異なる電圧状態によって多階調が実現されており、

複数の前記画素回路に対して前記第2スイッチ回路と前記制御回路を作動させ、前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第3トランジスタ素子を非導通状態とし、

前記データ信号線駆動回路が、前記データ信号線に対して、リフレッシュ動作を実行する対象階調の電圧状態に対応するリフレッシュ目標電圧に前記第2スイッチ回路内の電圧降下分に対応する所定の第1調整電圧を加えたりフレッシュ入力電圧を印加し、

前記制御線駆動回路が、前記第1制御線に対して、前記対象階調よりも一段階低階調の電圧状態と前記対象階調の電圧状態の中間電圧で規定されるリフレッシュ分離電圧に前記第1制御線と前記内部ノードの電圧降下分に対応する所定の第2調整電圧を加えたりフレッシュ基準電圧を印加すると共に、前記第3制御線に対して前記第4トランジスタ素子を導通状態とする所定電圧を印加した状態で、前記第2制御線に対して所定振幅のブースト電圧を印加して、前記出力ノードに対して前記第1容量素子を介した容量結合による電圧変化を与えることで、

前記内部ノードの電圧状態が前記リフレッシュ目標電圧よりも高い場合には、前記ダイオード素子が前記データ信号線から前記内部ノードに向けて逆バイアス状態となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧よりも低い場合には、前記ブースト電圧印加による前記出力ノードの電位変動を抑制して前記第1トランジスタ素子が非導通となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧以上で前記リフレッシュ目標電圧以下の場合には、前記データ信号線から前記内部ノードに向けて前記ダイオード素子が順バイアス状態となると共に前記出力ノードの電位変動が抑制されずに前記第1トランジスタ素子が導通状態となって前記リフレッシュ目標電圧が前記内部ノードに与えられ、前記対象階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対するリフレッシュ動作を実行することを特徴とする請求項9に記載の表示装置。

【請求項19】

前記第3トランジスタ素子を非導通とし、前記データ信号線に前記リフレッシュ入力電圧を、前記第1制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、前記第2制御線に前記ブースト電圧を印加する動作を、前記リフレッシュ入力電圧及び前記リフレッシュ分離電圧の値をそれぞれ変更しながら複数回実行することで、異なる階調の電圧状

10

20

30

40

50

態を示す前記内部ノードを備えた前記画素回路に対して、リフレッシュ動作を順次実行することを特徴とする請求項 16～18 の何れか 1 項に記載の表示装置。

【請求項 20】

前記画素回路アレイ内の各画素回路の内部ノードが保持可能な電圧状態の数である階調数に 1 を減じた回数だけ前記リフレッシュ入力電圧及び前記リフレッシュ分離電圧の値を変更しながら、前記ブースト電圧を印加することを特徴とする請求項 19 に記載の表示装置。

【請求項 21】

前記第 3 トランジスタ素子を非導通とし、前記データ信号線に前記リフレッシュ入力電圧を、前記第 1 制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、前記第 2 制御線に前記ブースト電圧を印加する動作を、前記リフレッシュ入力電圧及び前記リフレッシュ分離電圧の値をそれぞれ変更しながら複数回実行する動作を含むリフレッシュステップが終了した後に、

10

前記データ信号線駆動回路は、前記データ信号線に対して前記内部ノードが保持し得る電圧状態の最小値に相当する電圧を印加し、前記制御線駆動回路は、前記第 2 制御線に対して前記ブースト電圧を印加せず、前記第 1 制御線に対して、前記内部ノードの電圧状態にかかわらず前記第 2 トランジスタ素子を導通し得る電圧を少なくとも一定の時間にわたって印加する待機ステップを行うことを特徴とする請求項 19 に記載の表示装置。

【請求項 22】

前記リフレッシュステップより 10 倍以上長い時間にわたって前記待機ステップを実行後、再度前記リフレッシュステップを実行することを特徴とする請求項 21 に記載の表示装置。

20

【請求項 23】

前記第 1 調整電圧が、前記ダイオード素子のターンオン電圧であることを特徴とする請求項 16～18 のいずれか 1 項に記載の表示装置。

【請求項 24】

前記第 2 調整電圧が、前記第 2 トランジスタ素子の閾値電圧であることを特徴とする請求項 16～18 のいずれか 1 項に記載の表示装置。

【請求項 25】

前記画素回路アレイ内の各画素回路の内部ノードは、それぞれ離散した複数の電圧状態の内の一の電圧状態を保持可能な構成であって、異なる電圧状態によって多階調が実現されており、

30

複数の前記画素回路に対して前記第 2 スイッチ回路と前記制御回路を作動させ、前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第 3 トランジスタ素子を非導通状態とし、

前記データ信号線駆動回路が、前記データ信号線に対して、リフレッシュ動作を実行する対象階調の電圧状態に対応するリフレッシュ目標電圧に前記第 2 スイッチ回路内の電圧降下分に対応する所定の第 1 調整電圧を加えたリフレッシュ入力電圧を印加し、

前記制御線駆動回路が、前記第 1 制御線に対して、前記対象階調よりも一段階低階調の電圧状態と前記対象階調の電圧状態の中間電圧で規定されるリフレッシュ分離電圧に前記第 1 制御線と前記内部ノードの電圧降下分に対応する所定の第 2 調整電圧を加えたリフレッシュ基準電圧を印加した状態で前記第 2 制御線に対して所定振幅のブースト電圧を印加して、前記出力ノードに対して前記第 1 容量素子を介した容量結合による電圧変化を与えた後、前記第 3 制御線に対して前記第 4 トランジスタ素子を導通状態とする所定電圧を印加し、

40

前記内部ノードの電圧状態が前記リフレッシュ目標電圧よりも高い場合には、前記ダイオード素子が前記データ信号線から前記内部ノードに向けて逆バイアス状態となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧よりも低い場合には、前記ブースト電圧印加による前記出力ノードの電位変動

50

を抑制して前記第1トランジスタ素子が非導通となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧以上で前記リフレッシュ目標電圧以下の場合には、前記データ信号線から前記内部ノードに向けて前記ダイオード素子が順バイアス状態となると共に前記出力ノードの電位変動が抑制されずに前記第1トランジスタ素子が導通状態となって前記リフレッシュ目標電圧が前記内部ノードに与えられ、前記対象階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対するリフレッシュ動作を実行することを特徴とする請求項9、11、15のいずれか1項に記載の表示装置。

【請求項26】

前記セルフリフレッシュ動作時において、

10

第1階調を前記対象階調として、前記データ信号線に前記リフレッシュ入力電圧を、前記第1制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、前記第2制御線に前記ブースト電圧を印加し、

次に、前記ブースト電圧を引き続き印加したまま、前記第1階調よりも1段階高階調の第2階調を前記対象階調として、前記第1制御線に印加する前記リフレッシュ基準電圧を変化させた後、前記データ信号線に印加する前記リフレッシュ入力電圧を変化させることで、異なる階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対して、リフレッシュ動作を順次実行することを特徴とする請求項16～18のいずれか1項に記載の表示装置。

【請求項27】

20

前記第2階調よりも更に高い階調が存在する場合に、

前記第2階調に対するリフレッシュ動作の完了後、更に前記ブースト電圧を引き続き印加したまま、更に1段階高階調を前記対象階調とし、前記第1制御線に印加する前記リフレッシュ基準電圧を変化させた後、前記データ信号線に印加する前記リフレッシュ入力電圧を変化させる動作を繰り返し実行することを特徴とする請求項26に記載の表示装置。

【請求項28】

前記セルフリフレッシュ動作時において、

第1階調を前記対象階調として、前記データ信号線に前記リフレッシュ入力電圧を、前記第1制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、前記第2制御線に前記ブースト電圧を印加し、前記第3制御線に前記第4トランジスタ素子を導通状態とする所定電圧を印加し、

30

次に、前記ブースト電圧及び前記第4トランジスタ素子を導通状態とする所定電圧を引き続き印加したまま、前記第1階調よりも1段階高階調の第2階調を前記対象階調として、前記第1制御線に印加する前記リフレッシュ基準電圧を変化させた後、前記データ信号線に印加する前記リフレッシュ入力電圧を変化させることで、異なる階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対して、リフレッシュ動作を順次実行することを特徴とする請求項18に記載の表示装置。

【請求項29】

前記セルフリフレッシュ動作時において、

第1階調を前記対象階調として、前記データ信号線に前記リフレッシュ入力電圧を、前記第1制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、前記第2制御線に前記ブースト電圧を印加し、前記第3制御線に前記第4トランジスタ素子を導通状態とする所定電圧を印加し、

40

次に、前記ブースト電圧及び前記第4トランジスタ素子を導通状態とする所定電圧を引き続き印加したまま、前記第1階調よりも1段階高階調の第2階調を前記対象階調として、前記第1制御線に印加する前記リフレッシュ基準電圧を変化させた後、前記データ信号線に印加する前記リフレッシュ入力電圧を変化させることで、異なる階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対して、リフレッシュ動作を順次実行することを特徴とする請求項25に記載の表示装置。

【請求項30】

50

前記第 2 階調よりも更に高い階調が存在する場合に、

前記第 2 階調に対するリフレッシュ動作の完了後、更に前記ブースト電圧と前記第 4 トランジスタ素子を導通状態とする所定電圧を引き続き印加したまま、更に 1 段階高階調を前記対象階調とし、前記第 1 制御線に印加する前記リフレッシュ基準電圧を変化させた後、前記データ信号線に印加する前記リフレッシュ入力電圧を変化させる動作を繰り返し実行することを特徴とする請求項 28 に記載の表示装置。

【請求項 31】

奇数行又は奇数列に配置された前記画素回路は、前記第 1 容量素子の前記他端に接続されている前記第 2 制御線同士が相互に電氣的に接続されており、

偶数行又は偶数列に配置された前記画素回路は、前記第 1 容量素子の前記他端に接続されている前記第 2 制御線同士が相互に電氣的に接続されており、

奇数行又は奇数列に配置された前記画素回路の前記第 1 容量素子の前記他端に接続されている前記第 2 制御線と、偶数行又は偶数列に配置された前記画素回路の前記第 1 容量素子の前記他端に接続されている前記第 2 制御線とは電氣的に接続されておらず、前記制御線駆動回路によって各別に駆動可能に構成されていることを特徴とする請求項 16 に記載の表示装置。

【請求項 32】

奇数行又は奇数列に配置された前記画素回路は、前記第 1 容量素子の前記他端に接続されている前記第 2 制御線同士が相互に電氣的に接続されており、

偶数行又は偶数列に配置された前記画素回路は、前記第 1 容量素子の前記他端に接続されている前記第 2 制御線同士が相互に電氣的に接続されており、

奇数行又は奇数列に配置された前記画素回路の前記第 1 容量素子の前記他端に接続されている前記第 2 制御線と、偶数行又は偶数列に配置された前記画素回路の前記第 1 容量素子の前記他端に接続されている前記第 2 制御線とは電氣的に接続されておらず、前記制御線駆動回路によって各別に駆動可能に構成されていることを特徴とする請求項 17 に記載の表示装置。

【請求項 33】

奇数行又は奇数列に配置された前記画素回路は、前記第 1 容量素子の前記他端に接続されている前記第 2 制御線同士、及び前記第 4 トランジスタ素子の制御端子に接続されている前記第 3 制御線同士が、相互に電氣的に接続されており、

偶数行又は偶数列に配置された前記画素回路は、前記第 1 容量素子の前記他端に接続されている前記第 2 制御線同士、及び前記第 4 トランジスタ素子の制御端子に接続されている前記第 3 制御線同士が、相互に電氣的に接続されており、

奇数行又は奇数列に配置された前記画素回路の前記第 1 容量素子の前記他端に接続されている前記第 2 制御線と、偶数行又は偶数列に配置された前記画素回路の前記第 1 容量素子の前記他端に接続されている前記第 2 制御線とは電氣的に接続されておらず、前記制御線駆動回路によって各別に駆動可能に構成されており、

奇数行又は奇数列に配置された前記画素回路の前記第 4 トランジスタ素子の制御端子に接続されている前記第 3 制御線と、偶数行又は偶数列に配置された前記画素回路の前記第 4 トランジスタ素子の制御端子に接続されている前記第 3 制御線とは電氣的に接続されておらず、前記制御線駆動回路によって各別に駆動可能に構成されていることを特徴とする請求項 18 に記載の表示装置。

【請求項 34】

前記単位表示素子の端子のうち、前記内部ノードと接続する端子とは反対側の端子には共通電極が接続されており、

前記画素回路に対して前記画素データを書き込む書き込み動作時において、前記共通電極の電位を基準としたときの前記内部ノードの電位の極性が、奇数行又は奇数列に配置された前記画素回路と、偶数行又は偶数列に配置された前記画素回路とで異なるように書き込みが行われることを特徴とする請求項 31～33 の何れか 1 項に記載の表示装置。

【請求項 35】

前記共通電極には、高低 2 値の電圧が印加可能に構成されており、

奇数行又は奇数列に配置された前記画素回路に対する書き込み動作を行う期間と、偶数行又は偶数列に配置された前記画素回路に対する書き込み動作を行う期間とで、前記共通電極に印加される電圧を前記高低 2 値の間で切り替えることを特徴とする請求項 3 4 に記載の表示装置。

【請求項 3 6】

前記共通電極に対して前記高低 2 値の何れか一方の電圧を印加した状態で、前記第 3 トランジスタ素子を非導通とし、前記データ信号線に前記リフレッシュ入力電圧を、前記第 1 制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、奇数行又は奇数列に接続されている前記第 2 制御線に前記ブースト電圧を印加することで、奇数行又は奇数列に配置された前記画素回路へのリフレッシュ動作を実行し、

10

前記共通電極への印加電圧を前記高低 2 値の間で切り替えた後、前記データ信号線に前記リフレッシュ入力電圧を、前記第 1 制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、偶数行又は偶数列に接続されている前記第 2 制御線に前記ブースト電圧を印加することで、偶数行又は偶数列に配置された前記画素回路へのリフレッシュ動作を実行することを特徴とする請求項 3 5 に記載の表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素回路及びこれを備えた表示装置に関し、特にアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

携帯電話や携帯型ゲーム機等の携帯用端末は、その表示手段として液晶表示装置を用いるのが一般的である。また、携帯電話等は、バッテリーで駆動されることから、消費電力の低減が強く要請される。このため、時刻や電池残量といった常時表示を必要とする情報については、反射型サブパネルに表示している。また、最近では、同一メインパネルにて、フルカラー表示による通常表示と反射型での常時表示との両立が要求されるようになってきている。

30

【0003】

図 3 9 に、一般的なアクティブマトリクス型の液晶表示装置の画素回路の等価回路を示す。また、図 4 0 に、 $m \times n$ 画素のアクティブマトリクス型の液晶表示装置の回路配置例を示す。なお、 m 、 n はいずれも 2 以上の整数である。

【0004】

図 4 0 に示すように、 m 本のソース線 $SL1$ 、 $SL2$ 、 $\dots$ 、 SLm と、 n 本の走査線 $GL1$ 、 $GL2$ 、 $\dots$ 、 GLn の各交点に、薄膜トランジスタ (TFT) からなるスイッチ素子を設ける。図 3 9 では、各ソース線 $SL1$ 、 $SL2$ 、 $\dots$ 、 SLm を、ソース線 SL で代表し、同様に、各走査線 $GL1$ 、 $GL2$ 、 $\dots$ 、 GLn を代表して GL と符号を付している。

40

【0005】

図 3 9 に示すように、TFT を介して液晶容量素子 $C1c$ と補助容量素子 Cs が並列に接続されている。液晶容量素子 $C1c$ は画素電極 2 0 と対向電極 8 0 の間に液晶層を設けた積層構造で構成される。対向電極は共通 (コモン) 電極とも呼ばれる。

【0006】

なお、図 4 0 では、各画素回路については、簡略的に TFT と画素電極 (黒色の矩形部分) だけを表示している。

50

【0007】

補助容量C_sは、一端（一方の電極）が画素電極20に、他端（他方の電極）が補助容量線C_{SL}に接続しており、画素電極20に保持される画素データの電圧を安定化する。補助容量C_sは、TFTのリーク電流、液晶分子の有する誘電率異方性により黒表示と白表示で液晶容量素子C_{lc}の電気容量が変動すること、及び、画素電極と周辺配線間の寄生容量を介して生じる電圧変動等に起因して、画素電極に保持する画素データの電圧が変動するのを抑制する効果がある。走査線の電圧を順次制御することで、1本の走査線に接続するTFTが導通状態となり、走査線単位で各ソース線に供給される画素データの電圧が対応する画素電極に書き込まれる。

【0008】

10

フルカラー表示による通常表示では、表示内容が静止画の場合でも、1フレーム毎に、同じ画素に同じ表示内容が繰り返し書き込まれる。このように、画素電極に保持する画素データの電圧が更新されることで、画素データの電圧変動が最小限に抑制され、高品質な静止画の表示が担保される。

【0009】

液晶表示装置を駆動するための消費電力は、ソースドライバによるソース線駆動のための消費電力にほぼ支配され、概ね、以下の数1に示す関係式によって表される。なお、数1において、Pは消費電力、fはリフレッシュレート（単位時間当たりの1フレーム分のリフレッシュ動作回数）、Cはソースドライバによって駆動される負荷容量、Vはソースドライバの駆動電圧、nは走査線数、mはソース線数をそれぞれ示す。ここで、リフレッ

20

【0010】

(数1)

$$P \propto f \cdot C \cdot V^2 \cdot n \cdot m$$

【0011】

ところで、常時表示の場合は、表示内容が静止画であることから、必ずしも画素データの電圧を1フレーム毎に更新する必要はない。このため、液晶表示装置の消費電力を更に低減するために、この常時表示時のリフレッシュ周波数を下げることが行われている。しかし、リフレッシュ周波数を下げると、TFTのリーク電流により、画素電極に保持されている画素データ電圧が変動する。当該電圧変動が、各画素の表示輝度（液晶の透過率）の変動となり、フリッカとして観測されるようになる。また、各フレーム期間における平均電位も低下するので、十分なコントラストを得られない等の表示品位の低下を招くおそれもある。

30

【0012】

ここで、電池残量や時刻表示等の静止画の常時表示において、リフレッシュ周波数の低下により表示品質が低下する問題の解決と低消費電力化とを同時に実現する方法として、例えば、下記特許文献1に記載の構成が開示されている。特許文献1に開示の構成では、透過型と反射型の両機能による液晶表示が可能であり、更に、反射型による液晶表示が可能な画素領域内の画素回路にはメモリ部を有している。このメモリ部は、反射型液晶の表示部において表示すべき情報を電圧信号として保持している。反射型による液晶表示時には、画素回路がメモリ部内に保持された電圧を読み出すことで、当該電圧に応じた情報を表示する。

40

【0013】

特許文献1では、上記メモリ部がSRAMで構成されており、上記電圧信号が静的に保持されるため、リフレッシュ動作が不要となり、表示品質の維持と低消費電力化が同時に実現できる。

【先行技術文献】

【特許文献】

【0014】

50

【特許文献1】特開2007-334224号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

しかし、携帯電話等で使用される液晶表示装置において、上記のような構成を採用した場合には、通常動作時にアナログ情報としての各画素データの電圧を保持するための補助容量素子に加えて、画素データを記憶するためのメモリ部を画素毎或いは画素群毎に備える必要がある。これにより、液晶表示装置における表示部を構成するアレイ基板（アクティブマトリクス基板）に形成すべき素子数や信号線数が増えるため、透過モードでの開口率が低下する。また、液晶を交流駆動するための極性反転駆動回路を上記メモリ部と共に設ける場合には、更に開口率の低下を招く。このように素子数や信号線数の増加によって開口率が低下すると通常表示モードでの表示画像の輝度が低下する。

10

【0016】

また、上記の常時表示モードはあくまで2階調が想定されているが、多色表示が可能な常時表示モードの実現も求められている。しかしながら、従来の構成で、このような表示モードを実現しようとするれば、当然に必要なメモリ部の数が増し、これに伴って素子数や信号線数が更に増大してしまう。

【0017】

本発明は、上記の問題点に鑑みてなされたもので、その目的は、開口率の低下を招くことなく低消費電力で液晶の劣化及び表示品質の低下を防止できる画素回路及び表示装置を提供する点にあり、特に多色化が実現される表示モードにおいても、素子数や信号数の増加を抑制しながらリフレッシュ動作を可能にする点にある。

20

【課題を解決するための手段】

【0018】

上記の目的を達成すべく、本発明に係る画素回路は、
単位表示素子を含む表示素子部と、
前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

少なくとも所定のスイッチ素子を経由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第1スイッチ回路と、

30

前記データ信号線から供給される電圧を、前記所定のスイッチ素子を経由せずに前記内部ノードに転送する第2スイッチ回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第1容量素子の一端に保持すると共に、前記第2スイッチ回路の導通非導通を制御する制御回路と、を備えてなり、

前記第2スイッチ回路は、第1端子、第2端子、及び前記第1及び第2端子間の導通を制御する制御端子を有する第1トランジスタ素子、並びにダイオード素子の直列回路で構成され、

前記制御回路は、第1端子、第2端子、及び前記第1及び第2端子間の導通を制御する制御端子を有する第2トランジスタ素子、並びに前記第1容量素子の直列回路で構成され、

40

前記第1及び第2スイッチ回路の各一端が前記データ信号線に接続し、

前記第1及び第2スイッチ回路の各他端、及び前記第2トランジスタ素子の第1端子が前記内部ノードに接続し、

前記ダイオード素子は、前記データ信号線から前記内部ノードに向かう方向に整流作用を有しており、

前記第1トランジスタ素子の制御端子、前記第2トランジスタ素子の第2端子、及び前記第1容量素子の一端が相互に接続して、前記制御回路の出力ノードを形成し、

前記第2トランジスタ素子の制御端子が第1制御線に接続し、

前記第1容量素子の他端が第2制御線に接続していることを特徴とする。

50

【0019】

このとき、前記所定のスイッチ素子を、第1端子、第2端子、並びに前記第1及び第2端子間の導通を制御する制御端子を有する第3トランジスタ素子で構成し、その制御端子を走査信号線に接続しても良い。

【0020】

また、前記第2スイッチ回路を、前記第1トランジスタ素子、前記ダイオード素子、並びに、第1端子、第2端子、及び前記第1及び第2端子間の導通を制御する制御端子を有する第4トランジスタ素子の直列回路で構成し、その制御端子を前記第2制御線にそれぞれ接続しても良く、前記第2制御線とは別の第3制御線にそれぞれ接続しても良い。

【0021】

また、上記構成において、前記第1スイッチ回路を、前記第2スイッチ回路内の前記第4トランジスタ素子と前記所定のスイッチ素子との直列回路で構成しても良く、或いは、前記第2スイッチ回路内の前記第4トランジスタ素子の制御端子に制御端子が接続する第5トランジスタ素子と前記所定のスイッチ素子との直列回路で構成しても良い。

【0022】

更に、上記各構成に加えて、本発明の画素回路は、一端が前記内部ノードに接続し、他端が第4制御線又は所定の固定電圧線に接続する第2容量素子を更に備えることを別の特徴とする。

【0023】

また、本発明の表示装置は、上記記載の画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を1本ずつ備えており、

同一列に配置される前記画素回路は、前記第1スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第2トランジスタ素子の制御端子が共通の前記第1制御線に接続し、

同一行または同一列に配置される前記画素回路は、前記第1容量素子の前記他端が共通の前記第2制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第1及び第2制御線を各別に駆動する制御線駆動回路を備えていることを特徴とする。

【0024】

また、本発明の表示装置は、上記特徴に加えて、前記所定のスイッチ素子が、第1端子、第2端子、並びに前記第1及び第2端子間の導通を制御する制御端子を有する第3トランジスタ素子であって、制御端子が走査信号線に接続する構成であり、

前記行毎に前記走査信号線を1本ずつ備えると共に、同一行に配置される前記画素回路が共通の前記走査信号線に接続する構成であり、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを別の特徴とする。

【0025】

ここで、前記第2スイッチ回路を、前記第1トランジスタ素子、前記ダイオード素子、並びに、第1端子、第2端子、及び前記第1及び第2端子間の導通を制御する制御端子を有する第4トランジスタ素子の直列回路で構成した場合、

同一行又は同一列に配置される前記画素回路は、前記第4トランジスタ素子の制御端子を共通の前記第2制御線に接続するものとして良い。また、これとは別に、前記第4トランジスタ素子の制御端子を共通の第3制御線に接続するものとしても良い。この場合、第3制御線は、前記制御線駆動回路によって制御される。

【0026】

また、上記構成において、更に、前記第1スイッチ回路を、前記第2スイッチ回路内の前記第4トランジスタ素子と前記第3トランジスタ素子との直列回路で構成しても良く、或いは、前記第2スイッチ回路内の前記第4トランジスタ素子の制御端子に制御端子が接

10

20

30

40

50

続する第5トランジスタ素子と前記第3トランジスタ素子との直列回路で構成しても良い。

【0027】

本発明の表示装置は、上記特徴に加えて、

1つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第3トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第3トランジスタ素子を非導通状態にし、

10

前記データ信号線駆動回路が、前記データ信号線のそれぞれに対して、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする。

【0028】

ここで、前記書き込み動作時に、

前記制御線駆動回路が、前記第1制御線に前記第2トランジスタ素子を導通状態とする所定の電圧を印加するものとするのが好適である。

【0029】

また、本発明の表示装置は、

1つの選択行に配置された前記画素回路に対して各別に前記画素データを書き込む書き込み動作時に、

20

前記走査信号線駆動回路が、前記選択行の前記走査信号線に所定の選択行電圧を印加して、前記選択行に配置された前記第3トランジスタ素子を導通状態にすると共に、非選択行の前記走査信号線に所定の非選択行電圧を印加して、前記非選択行に配置された前記第3トランジスタ素子を非導通状態にし、

前記制御線駆動回路が、前記選択行の前記第2制御線に前記第4トランジスタ素子を導通状態にする所定の選択用電圧を印加すると共に、前記非選択行の前記第2制御線に、前記第4トランジスタ素子を非導通状態にする所定の非選択用電圧を印加し、

前記データ信号線駆動回路が、前記データ信号線のそれぞれに、前記選択行の各列の前記画素回路に書き込む画素データに対応するデータ電圧を各別に印加することを特徴とする。

30

【0030】

なお、画素回路が、前記第4トランジスタ素子の制御端子が前記第3制御線に接続されている場合には、前記制御線駆動回路は、前記選択行の前記第3制御線に前記選択用電圧を印加し、前記非選択行の前記第3制御線に前記非選択用電圧を印加するものとして良い。

【0031】

また、本発明の表示装置は、

前記画素回路アレイ内の各画素回路の内部ノードは、それぞれ離散した複数の電圧状態の内の一の電圧状態を保持可能な構成であって、異なる電圧状態によって多階調が実現されており、

40

複数の前記画素回路に対して前記第2スイッチ回路と前記制御回路を作動させ、前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第3トランジスタ素子を非導通状態とし、

前記データ信号線駆動回路が、前記データ信号線に対して、リフレッシュ動作を実行する対象階調の電圧状態に対応するリフレッシュ目標電圧に前記第2スイッチ回路内の電圧降下分に対応する所定の第1調整電圧を加えたリフレッシュ入力電圧を印加し、

前記制御線駆動回路が、前記第1制御線に対して、前記対象階調よりも一段階低階調の電圧状態と前記対象階調の電圧状態の中間電圧で規定されるリフレッシュ分離電圧に前記

50

第1制御線と前記内部ノードの電圧降下分に対応する所定の第2調整電圧を加えたリフレッシュ基準電圧を印加した状態で、前記第2制御線に対して所定振幅のブースト電圧を印加して、前記出力ノードに対して前記第1容量素子を介した容量結合による電圧変化を与えることで、

前記内部ノードの電圧状態が前記リフレッシュ目標電圧よりも高い場合には、前記ダイオード素子が前記データ信号線から前記内部ノードに向けて逆バイアス状態となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧よりも低い場合には、前記ブースト電圧印加による前記出力ノードの電位変動を抑制して前記第1トランジスタ素子が非導通となって前記データ信号線と前記内部ノードが導通せず、前記内部ノードの電圧状態が前記リフレッシュ分離電圧以上で前記リフレッシュ目標電圧以下の場合には、前記データ信号線から前記内部ノードに向けて前記ダイオード素子が順バイアス状態となると共に前記出力ノードの電位変動が抑制されずに前記第1トランジスタ素子が導通状態となって前記リフレッシュ目標電圧が前記内部ノードに与えられ、前記対象階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対するリフレッシュ動作を実行することを特徴とする。

10

【0032】

なお、このとき、前記画素回路が前記第1スイッチ回路が、第4トランジスタ素子又は前記第5トランジスタ素子を備える場合には、前記制御線駆動回路が、前記第3制御線に対して前記第4トランジスタ素子を導通状態とする所定電圧を印加した状態で、前記第2制御線に対して所定振幅のブースト電圧を印加して、前記出力ノードに対して前記第1容量素子を介した容量結合による電圧変化を与えることで、前記対象階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対するリフレッシュ動作を実行することを別の特徴とする。

20

【0033】

なお、上記の場合において、前記第1制御線に対するリフレッシュ基準電圧の印加、及び前記第2制御線に対するブースト電圧の印加の後に、前記第3制御線に対する所定電圧の印加を行うのも好適である。

【0034】

また、上記特徴に加えて、前記第3トランジスタ素子を非導通とし、前記データ信号線に前記リフレッシュ入力電圧を、前記第1制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、前記第2制御線に前記ブースト電圧を印加する動作を、前記リフレッシュ入力電圧及び前記リフレッシュ分離電圧の値をそれぞれ変更しながら複数回実行することで、異なる階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対して、リフレッシュ動作を順次実行することを別の特徴とする。

30

【0035】

このとき、前記画素回路アレイ内の各画素回路の内部ノードが保持可能な電圧状態の数である階調数に1を減じた回数だけ前記リフレッシュ入力電圧及び前記リフレッシュ分離電圧の値を変更しながら、前記ブースト電圧を印加する構成とすることができる。

【0036】

また、本発明の表示装置は、上記特徴に加えて、前記第3トランジスタ素子を非導通とし、前記データ信号線に前記リフレッシュ入力電圧を、前記第1制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、前記第2制御線に前記ブースト電圧を印加する動作を、前記リフレッシュ入力電圧及び前記リフレッシュ分離電圧の値をそれぞれ変更しながら複数回実行する動作を含むリフレッシュステップが終了した後に、

40

前記データ信号線駆動回路は、前記データ信号線に対して前記内部ノードが保持し得る電圧状態の最小値に相当する電圧を印加し、前記制御線駆動回路は、前記第2制御線に対して前記ブースト電圧を印加せず、前記第1制御線に対して、前記内部ノードの電圧状態にかかわらず前記第2トランジスタ素子を導通し得る電圧を少なくとも一定の時間にわたって印加する待機ステップを行うことを別の特徴とする。

【0037】

50

このとき、前記リフレッシュステップより10倍以上長い期間にわたって前記待機ステップを実行後、再度前記リフレッシュステップを実行するのが好適である。

【0038】

なお、上記構成において、前記第1調整電圧を、前記ダイオード素子のターンオン電圧とするのが好適である。また、前記第2調整電圧を、前記第2トランジスタ素子の閾値電圧とするのが好適である。

【0039】

また、本発明は、前記セルフリフレッシュ動作時において、

第1階調を前記対象階調として、前記データ信号線に前記リフレッシュ入力電圧を、前記第1制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、前記第2制御線に前記ブースト電圧を印加し、

10

次に、前記ブースト電圧を引き続き印加したまま、前記第1階調よりも1段階高階調の第2階調を前記対象階調として、前記第1制御線に印加する前記リフレッシュ基準電圧を変化させた後、前記データ信号線に印加する前記リフレッシュ入力電圧を変化させることで、異なる階調の電圧状態を示す前記内部ノードを備えた前記画素回路に対して、リフレッシュ動作を順次実行することを別の特徴とする。

【0040】

そして、前記第2階調よりも更に高い階調が存在する場合には、

前記第2階調に対するリフレッシュ動作の完了後、更に前記ブースト電圧を引き続き印加したまま、1段階高階調を前記対象階調とし、前記第1制御線に印加する前記リフレッシュ基準電圧を変化させた後、前記データ信号線に印加する前記リフレッシュ入力電圧を変化させる動作を繰り返し実行することを特徴とする。

20

【0041】

なお、上記方法において、特に前記第4トランジスタ素子の制御端子が共通の第3制御線に接続する構成である場合には、前記第2制御線に前記ブースト電圧を印加するのに加えて、前記第3制御線に前記第4トランジスタ素子を導通状態とする所定電圧を印加するものとしても良い。このとき、前記対象階調を第2階調に変更した際も、引き続き、前記第2制御線に前記ブースト電圧を印加、前記第3制御線に前記第4トランジスタ素子を導通状態とする所定電圧をそれぞれ印加する。

【0042】

30

そして、前記第2階調よりも更に高い階調が存在する場合には、前記第2階調に対するリフレッシュ動作の完了後、更に前記ブースト電圧と前記第4トランジスタ素子を導通状態とする所定電圧を引き続き印加したまま、1段階高階調を前記対象階調とし、前記第1制御線に印加する前記リフレッシュ基準電圧を変化させた後、前記データ信号線に印加する前記リフレッシュ入力電圧を変化させる動作を繰り返し実行する。

【0043】

上記方法でセルフリフレッシュ動作を行うことで、ブースト電圧の変動回数を抑制しながら異なる階調のリフレッシュ動作を実行することができ、消費電力を更に削減することができる。

【0044】

40

また、本発明に係る表示装置は、奇数行又は奇数列に配置された前記画素回路は、前記第1容量素子の前記他端に接続されている前記第2制御線同士が相互に電氣的に接続されており、

偶数行又は偶数列に配置された前記画素回路は、前記第1容量素子の前記他端に接続されている前記第2制御線同士が相互に電氣的に接続されており、

奇数行又は奇数列に配置された前記画素回路の前記第1容量素子の前記他端に接続されている前記第2制御線と、偶数行又は偶数列に配置された前記画素回路の前記第1容量素子の前記他端に接続されている前記第2制御線とは電氣的に接続されておらず、前記制御線駆動回路によって各別に駆動可能に構成されていることを別の特徴とする。

【0045】

50

また、本発明に係る表示装置は、奇数行又は奇数列に配置された前記画素回路は、前記第1容量素子の前記他端に接続されている前記第2制御線同士、及び前記第4トランジスタ素子の制御端子に接続されている前記第3制御線同士が、相互に電氣的に接続されており、

偶数行又は偶数列に配置された前記画素回路は、前記第1容量素子の前記他端に接続されている前記第2制御線同士、及び前記第4トランジスタ素子の制御端子に接続されている前記第3制御線同士が、相互に電氣的に接続されており、

奇数行又は奇数列に配置された前記画素回路の前記第1容量素子の前記他端に接続されている前記第2制御線と、偶数行又は偶数列に配置された前記画素回路の前記第1容量素子の前記他端に接続されている前記第2制御線とは電氣的に接続されておらず、前記制御線駆動回路によって各別に駆動可能に構成されており、

10

奇数行又は奇数列に配置された前記画素回路の前記第4トランジスタ素子の制御端子に接続されている前記第3制御線と、偶数行又は偶数列に配置された前記画素回路の前記第4トランジスタ素子の制御端子に接続されている前記第3制御線とは電氣的に接続されておらず、前記制御線駆動回路によって各別に駆動可能に構成されていることを別の特徴とする。

【0046】

本発明に係る表示装置は、上記特徴に加えて、前記単位表示素子の端子のうち、前記内部ノードと接続する端子とは反対側の端子には共通電極が接続されており、

前記画素回路に対して前記画素データを書き込む書き込み動作時において、前記共通電極の電位を基準としたときの前記内部ノードの電位の極性が、奇数行又は奇数列に配置された前記画素回路と、偶数行又は偶数列に配置された前記画素回路とで異なるように書き込みが行われることを別の特徴とする。

20

【0047】

本発明に係る表示装置は、上記特徴に加えて、前記共通電極には、高低2値の電圧が印加可能に構成されており、

奇数行又は奇数列に配置された前記画素回路に対する書き込み動作を行う期間と、偶数行又は偶数列に配置された前記画素回路に対する書き込み動作を行う期間とで、前記共通電極に印加される電圧を前記高低2値の間で切り替えることを別の特徴とする。

【0048】

30

本発明に係る表示装置は、上記特徴に加えて、前記共通電極に対して前記高低2値の何れか一方の電圧を印加した状態で、前記第3トランジスタ素子を非導通とし、前記データ信号線に前記リフレッシュ入力電圧を、前記第1制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、奇数行又は奇数列に接続されている前記第2制御線に前記ブースト電圧を印加することで、奇数行又は奇数列に配置された前記画素回路へのリフレッシュ動作を実行し、

前記共通電極への印加電圧を前記高低2値の間で切り替えた後、前記データ信号線に前記リフレッシュ入力電圧を、前記第1制御線に前記リフレッシュ基準電圧をそれぞれ印加した状態で、偶数行又は偶数列に接続されている前記第2制御線に前記ブースト電圧を印加することで、偶数行又は偶数列に配置された前記画素回路へのリフレッシュ動作を実行することを特徴とする。

40

【発明の効果】

【0049】

本発明の構成により、通常の手書き動作の他、書き込み動作によることなく表示素子部両端間の電圧の絶対値を直前の書き込み動作時の値に復帰させる動作（セルフリフレッシュ動作）を実行することができる。特に、本発明によれば、1回のパルス電圧の印加によって、複数の画素回路の中から対象となる階調の電圧状態に復帰させるべき内部ノードを備えた画素回路のみを自動的にリフレッシュさせることができ、内部ノードに多値レベルの電圧状態が保持される状況下でのセルフリフレッシュ動作が可能となる。

【0050】

50

画素回路が複数配列されている場合において、通常書き込み動作は、一般的に行毎に実行される。このため、最大で、配列された画素回路の行数分だけドライバ回路を駆動させる必要がある。

【0051】

本発明の画素回路によれば、セルフリフレッシュ動作を行うことにより、配置された複数の画素に対して、保持されている電圧状態毎に一括してリフレッシュ動作を実行することができる。このため、リフレッシュ動作の開始から終了までに必要なドライバ回路の駆動回数を大きく削減することができ、低消費電力を実現できる。

【0052】

そして、画素回路内にSRAM等のメモリ部を別途備える必要がないため、従来技術のように開口率を大きく低下させるといことがない。

10

【図面の簡単な説明】

【0053】

【図1】本発明の表示装置の概略構成の一例を示すブロック図

【図2】液晶表示装置の一部断面概略構造図

【図3】本発明の表示装置の概略構成の一例を示すブロック図

【図4】本発明の画素回路の基本回路構成を示す回路図

【図5】本発明の画素回路の他の基本回路構成を示す回路図

【図6】本発明の画素回路の他の基本回路構成を示す回路図

【図7】本発明の画素回路のうち、第1種類の回路構成例を示す回路図

20

【図8】本発明の画素回路のうち、第1種類の別の回路構成例を示す回路図

【図9】本発明の画素回路のうち、第2種類の回路構成例を示す回路図

【図10】本発明の画素回路のうち、第2種類の回路構成例を示す回路図

【図11】本発明の画素回路のうち、第2種類の回路構成例を示す回路図

【図12】本発明の画素回路のうち、第2種類の回路構成例を示す回路図

【図13】本発明の画素回路のうち、第2種類の回路構成例を示す回路図

【図14】本発明の画素回路のうち、第2種類の回路構成例を示す回路図

【図15】本発明の画素回路のうち、第2種類の回路構成例を示す回路図

【図16】本発明の画素回路のうち、第3種類の回路構成例を示す回路図

【図17】本発明の画素回路のうち、第3種類の回路構成例を示す回路図

30

【図18】第1、第3種類の画素回路による第2実施形態のセルフリフレッシュ動作のタイミング図

【図19】第1、第3種類の画素回路による第2実施形態のセルフリフレッシュ動作の別のタイミング図

【図20】第1、第3種類の画素回路による第2実施形態のセルフリフレッシュ動作の別のタイミング図

【図21】第2種類の画素回路による第2実施形態のセルフリフレッシュ動作のタイミング図

【図22】第2種類の画素回路による第2実施形態のセルフリフレッシュ動作の別のタイミング図

40

【図23】第1種類の画素回路による第3実施形態のセルフリフレッシュ動作のタイミング図

【図24】第2種類の画素回路による第3実施形態のセルフリフレッシュ動作のタイミング図

【図25】第2種類の画素回路による第3実施形態のセルフリフレッシュ動作の別のタイミング図

【図26】第1種類の画素回路による常時表示モード時の書き込み動作のタイミング図

【図27】第2種類の画素回路による常時表示モード時の書き込み動作のタイミング図

【図28】第2種類の画素回路による常時表示モード時の書き込み動作のタイミング図

【図29】第3種類の画素回路による常時表示モード時の書き込み動作のタイミング図

50

【図 3 0】常時表示モードにおける書き込み動作とセルフリフレッシュ動作の実行手順を示すフローチャート

【図 3 1】第 1 種類の画素回路による通常表示モード時の書き込み動作のタイミング図の一例

【図 3 2】第 2 種類の画素回路による通常表示モード時の書き込み動作のタイミング図の一例

【図 3 3】常時表示モードにおける書き込み動作が想定する問題点を説明するための概念図

【図 3 4】第 7 実施形態における常時表示モードの書き込み動作のタイミング図の一例

【図 3 5】第 7 実施形態の書き込み動作を行った場合の極性の変化を示す概念図

【図 3 6】第 7 実施形態のセルフリフレッシュ動作のタイミング図

【図 3 7】本発明の画素回路の更に別の基本回路構成を示す回路図

【図 3 8】本発明の画素回路の更に別の基本回路構成を示す回路図

【図 3 9】一般的なアクティブマトリックス型の液晶表示装置の画素回路の等価回路図

【図 4 0】 $m \times n$ 画素のアクティブマトリックス型の液晶表示装置の回路配置例を示すブロック図

【発明を実施するための形態】

【0054】

本発明の画素回路及び表示装置の各実施形態につき、以下において図面を参照して説明する。なお、図 3 9 及び図 4 0 と同一の構成要素については、同一の符号を付している。

【0055】

[第 1 実施形態]

第 1 実施形態では、本発明の表示装置（以下、単に「表示装置」という）と本発明の画素回路（以下、単に「画素回路」という）の構成について説明する。

【0056】

《表示装置》

図 1 に、表示装置 1 の概略構成を示す。表示装置 1 は、アクティブマトリクス基板 1 0、対向電極 8 0、表示制御回路 1 1、対向電極駆動回路 1 2、ソースドライバ 1 3、ゲートドライバ 1 4、及び後述する種々の信号線を備える。アクティブマトリクス基板 1 0 上には、画素回路 2 が、行及び列方向にそれぞれ複数配置され、画素回路アレイが形成されている。

【0057】

なお、図 1 では、図面が煩雑になるのを避けるため、画素回路 2 はブロック化して表示している。また、アクティブマトリクス基板 1 0 上に各種の信号線が形成されていることを明確化するために、便宜的に、アクティブマトリクス基板 1 0 を対向電極 8 0 の上側に図示している。

【0058】

本実施形態では、表示装置 1 は、同じ画素回路 2 を用いて、通常表示モードと常時表示モードの 2 つの表示モードで画面表示を行うことができる構成である。通常表示モードは、動画若しくは静止画をフルカラー表示で表示する表示モードで、バックライトを利用した透過型液晶表示を利用する。一方、本実施形態の常時表示モードは、画素回路単位で 3 階調以上の複数階調を表示し、3 つの隣接する画素回路 2 を 3 原色（R、G、B）の各色に割り当てる。例えば、階調数が 3 階調であれば 2 7 色を表示し、4 階調であれば 6 4 色を表示する。ただし、想定される階調数は通常表示モード時よりも少ない。

【0059】

更に、常時表示モードでは、隣接する 3 つの画素回路を更に複数セット組み合わせて、面積階調により表示色の数を増やすことが可能である。なお、本実施形態の常時表示モードは、透過型液晶表示でも反射型液晶表示でも利用可能な技術である。

【0060】

以下の説明では、便宜的に、1 つの画素回路 2 に対応する最小表示単位を「画素」と呼

10

20

30

40

50

び、各画素回路に書き込む「画素データ」は、3原色（R，G，B）によるカラー表示の場合には各色の階調データとなる。3原色に加えて複数階調の輝度データを含めてカラー表示する場合には、当該輝度データも画素データに含まれる。

【0061】

図2は、アクティブマトリクス基板10と対向電極80の関係を示す概略断面構造図であり、画素回路2の構成要素である表示素子部21（図4参照）の構造を示している。アクティブマトリクス基板10は、光透過性の透明基板であり、例えばガラスやプラスチックからなる。

【0062】

図1に図示したように、アクティブマトリクス基板10上には各信号線を含む画素回路2が形成されている。図2では、画素回路2の構成要素を代表して画素電極20を図示している。画素電極20は、光透過性の透明導電材料、例えばITO（インジウムスズ酸化物）からなる。

10

【0063】

アクティブマトリクス基板10に対向するように、光透過性の対向基板81が配置されており、これら両基板の間隙には液晶層75が保持される。両基板の外表面には偏光板（不図示）が貼り付けられている。

【0064】

液晶層75は、両基板の周辺部分においてはシール材74によって封止されている。対向基板81には、ITO等の光透過性の透明導電材料からなる対向電極80が、画素電極20と対向するように形成されている。この対向電極80は、対向基板81上をほぼ一面に広がるように単一膜として形成されている。ここで、1つの画素電極20と対向電極80とその間に挟持された液晶層75によって単位液晶表示素子C1c（図4参照）が形成される。

20

【0065】

また、バックライト装置（不図示）がアクティブマトリクス基板10の背面側に配置されており、アクティブマトリクス基板10から対向基板81に向かう方向に光を放射することができる。

【0066】

図1に示すように、アクティブマトリクス基板10上には複数の信号線が縦横方向に形成されている。そして、縦方向（列方向）に延伸するm本のソース線（SL1，SL2，…，SLm）と、横方向（行方向）に延伸するn本のゲート線（GL1，GL2，…，GLn）が交差する箇所において、画素回路2がマトリクス状に複数形成されている。m，nはいずれも2以上の自然数である。また、各ソース線を「ソース線SL」で代表し、各ゲート線を「ゲート線GL」で代表する。

30

【0067】

ここで、ソース線SLが「データ信号線」に対応し、ゲート線GLが「走査信号線」に対応する。また、ソースドライバ13が「データ信号線駆動回路」に対応し、ゲートドライバ14が「走査信号線駆動回路」に対応し、対向電極駆動回路12が「対向電極電圧供給回路」に対応し、表示制御回路11の一部が「制御線駆動回路」に対応する。

40

【0068】

なお、図1では、表示制御回路11，対向電極駆動回路12が、それぞれソースドライバ13やゲートドライバ14とは別個独立して存在するように図示されているが、これらのドライバ内に表示制御回路11や対向電極駆動回路12が含まれる構成であっても構わない。

【0069】

本実施形態では、画素回路2を駆動する信号線として、上述のソース線SLとゲート線GL以外に、リファレンス線REF、補助容量線CSL、及びブースト線BSTを備える。なお、別の構成例として、選択線SELを更に備える構成も可能である。この場合の表示装置の構成を図3に示す。

50

【0070】

リファレンス線 R E F、ブースト線 B S T、選択線 S E Lは、それぞれ「第1制御線」、「第2制御線」、「第3制御線」に対応し、表示制御回路11によって駆動される。また、補助容量線 C S Lは、「第4制御線」又は「固定電圧線」に対応し、一例として表示制御回路11によって駆動される。

【0071】

図1及び図3において、リファレンス線 R E F、ブースト線 B S T、及び補助容量線 C S Lは、いずれも行方向に延伸するように各行に設けられており、画素回路アレイの周辺部で各行の配線が相互に接続して一本化されているが、各行の配線が個別に駆動され、動作モードに応じて共通の電圧が印加可能に構成されても良く、また列方向に延伸するように各列に設けるものとしても良い。基本的に、リファレンス線 R E F、ブースト線 B S T、及び補助容量線 C S Lのそれぞれは、複数の画素回路2で共通に使用される構成となっている。なお、選択線 S E Lを更に備える場合には、ブースト線 B S Tと同様に設けられるものとして良い。

10

【0072】

表示制御回路11は、後述する通常表示モード及び常時表示モードにおける各書き込み動作と、常時表示モードにおけるセルフリフレッシュ動作を制御する回路である。

【0073】

書き込み動作時には、表示制御回路11は、外部の信号源から表示すべき画像を表すデータ信号 D vとタイミング信号 C tを受け取り、当該信号 D v、C tに基づき、画像を画素回路アレイの表示素子部21（図4参照）に表示させるための信号として、ソースドライバ13に与えるデジタル画像信号 D A及びデータ側タイミング制御信号 S t cと、ゲートドライバ14に与える走査側タイミング制御信号 G t cと、対向電極駆動回路12に与える対向電圧制御信号 S e cと、リファレンス線 R E F、ブースト線 B S T、補助容量線 C S L、及び存在する場合には選択線 S E Lにそれぞれ印加する各信号電圧を生成する。

20

【0074】

ソースドライバ13は、表示制御回路11からの制御により、書き込み動作、及びセルフリフレッシュ動作時に、各ソース線 S Lに対して所定のタイミングで所定の電圧振幅のソース信号を印加する回路である。

30

【0075】

書き込み動作時、ソースドライバ13は、デジタル画像信号 D A及びデータ側タイミング制御信号 S t cに基づき、デジタル信号 D Aの表わす1表示ライン分の画素値に相当する、対向電圧 V c o mの電圧レベルに適合した電圧をソース信号 S c 1、S c 2、…、S c mとして1水平期間（「1H期間」ともいう）毎に生成する。当該電圧は、通常表示モード及び常時表示モード共に多階調の電圧を想定しているが、本実施形態では常時表示モードの方が階調数が少ないものとし、一例として3階調（3値）の電圧とする。そして、これらのソース信号を、それぞれ対応するソース線 S L 1、S L 2、…、S L mに印加する。

【0076】

また、セルフリフレッシュ動作時には、ソースドライバ13は、表示制御回路11からの制御により、対象となる画素回路2に接続する全てのソース線 S Lに対して、同一のタイミングで同一の電圧印加を行う（詳細は後述する）。

40

【0077】

ゲートドライバ14は、表示制御回路11からの制御により、書き込み動作、及びセルフリフレッシュ動作時に、各ゲート線 G Lに対して所定のタイミングで所定の電圧振幅のゲート信号を印加する回路である。なお、このゲートドライバ14は、画素回路2と同様に、アクティブマトリクス基板10上に形成されても構わない

【0078】

書き込み動作時、ゲートドライバ14は、走査側タイミング制御信号 G t cに基づき、

50

ソース信号 S_{c1} , S_{c2} , …… , S_{cm} を各画素回路 2 に書き込むために、ディジタル画像信号 DA の各フレーム期間において、ゲート線 GL_1 , GL_2 , …… , GL_n をほぼ 1 水平期間ずつ順次選択する。

【0079】

また、セルフリフレッシュ動作時に、ゲートドライバ 14 は、表示制御回路 11 からの制御により、対象となる画素回路 2 に接続する全てのゲート線 GL に、同一のタイミングで同一の電圧印加を行う（詳細は後述する）。

【0080】

対向電極駆動回路 12 は、対向電極 80 に対して対向電極配線 CML を介して対向電圧 V_{com} を印加する。本実施形態では、対向電極駆動回路 12 は、通常表示モード及び常時表示モードにおいて、対向電圧 V_{com} を所定の高レベル（5 V）と所定の低レベル（0 V）の間で交互に切り換えて出力する。このように、対向電圧 V_{com} を高レベルと低レベルの間で切り換えながら対向電極 80 を駆動することを「対向 AC 駆動」と呼ぶ。

【0081】

通常表示モードにおける「対向 AC 駆動」は、1 水平期間毎及び 1 フレーム期間毎に、対向電圧 V_{com} を高レベルと低レベルの間で切り換える。つまり、ある 1 フレーム期間では、相前後する 2 つの水平期間で、対向電極 80 と画素電極 20 間の電圧極性が変化する。また、同じ 1 水平期間においても、相前後する 2 つのフレーム期間では、対向電極 80 と画素電極 20 間の電圧極性が変化する。

【0082】

一方、常時表示モードでは、1 フレーム期間中は、同じ電圧レベルが維持されるが、相前後する 2 つの書き込み動作で対向電極 80 と画素電極 20 間の電圧極性が変化する。

【0083】

対向電極 80 と画素電極 20 間に同一極性の電圧を印加し続けると、表示画面の焼き付き（面焼き付き）が発生するため、極性反転動作が必要となるが、「対向 AC 駆動」を採用することで、極性反転動作における画素電極 20 に印加する電圧振幅が低減できる。

【0084】

《画素回路》

次に、画素回路 2 の構成について図 4～図 17 を参照して説明する。図 4～図 6 に、本発明の画素回路 2 の基本回路構成を示す。画素回路 2 は、全ての回路構成に共通して、単位液晶表示素子 $C1c$ を含む表示素子部 21，第 1 スイッチ回路 22，第 2 スイッチ回路 23，制御回路 24，及び補助容量素子 Cs を備える構成である。補助容量素子 Cs は「第 2 容量素子」に対応する。

【0085】

なお、図 4，図 5，図 6 に示す基本回路構成は、それぞれ後述する第 1～第 3 類型に属する基本回路構成を包含した共通の回路構成を示している。単位液晶表示素子 $C1c$ は、図 2 を参照して既に説明したとおりであり、説明は割愛する。

【0086】

画素電極 20 は、第 1 スイッチ回路 22、第 2 スイッチ回路 23、及び制御回路 24 の各一端に接続して、内部ノード $N1$ を形成している。内部ノード $N1$ は、書き込み動作時にソース線 SL から供給される画素データの電圧を保持する。

【0087】

補助容量素子 Cs は、一端が内部ノード $N1$ に、他端が補助容量線 CSL に接続する。この補助容量素子 Cs は、内部ノード $N1$ が画素データの電圧を安定的に保持できるように追加的に設けられたものである。

【0088】

第 1 スイッチ回路 22 は、内部ノード $N1$ を構成しない側の一端が、ソース線 SL と接続する。第 1 スイッチ回路 22 は、スイッチ素子として機能するトランジスタ $T3$ を備えている。トランジスタ $T3$ は、制御端子がゲート線に接続するトランジスタを指し、「第 3 トランジスタ素子」に対応する。少なくともトランジスタ $T3$ のオフ時には、第 1 スイ

ッチ回路 22 は非導通状態となり、ソース線 S L と内部ノード N 1 間の導通が遮断される。

【0089】

第2スイッチ回路 23 は、内部ノード N 1 を構成しない側の一端が、ソース線 S L と接続する。第2スイッチ回路 23 は、トランジスタ T 1 とダイオード D 1 の直列回路で構成される。なお、トランジスタ T 1 は、制御端子が制御回路 24 の出力ノード N 2 に接続するトランジスタを指し、「第1トランジスタ素子」に対応する。また、ダイオード D 1 は、ソース線 S L から内部ノード N 1 に向かう方向に整流作用を有しており、「ダイオード素子」に対応する。本実施形態では、このダイオード D 1 は P N 接合で形成されるものとするが、ショットキー接合や、M O S F E T のダイオード接続（ドレイン又はソースがゲートに接続した M O S F E T）によって形成しても構わない。

10

【0090】

この図 4 に示すように、第2スイッチ回路 23 がトランジスタ T 1 とダイオード D 1 の直列回路で構成され、トランジスタ T 4 を含まない構成を、以下では第1類型と呼ぶ。

【0091】

この第1類型とは異なり、図 5 及び図 6 に示すように、第2スイッチ回路 23 が、トランジスタ T 1、ダイオード D 1 に加えて、トランジスタ T 4 を含む直列回路で構成されても良い。このとき、トランジスタ T 4 の制御端子が接続される信号線に応じて、図 5 と図 6 の2類型に分けられる。図 5 に示す画素回路の類型（第2類型）では、ブースト線 B S T とは別の選択線 S E L を備えており、この選択線 S E L にトランジスタ T 4 の制御端子が接続される構成である。一方、図 6 に示す画素回路の類型（第3類型）では、ブースト線 B S T にトランジスタ T 4 の制御端子が接続される構成である。なお、第1類型では当然に選択線 S E L は存在しない。このトランジスタ T 4 は「第4トランジスタ素子」に対応する。

20

【0092】

第1類型の場合、トランジスタ T 1 がオン時において、ダイオード D 1 の両端間にターンオン電圧以上の電位差が生じていれば、ソース線 S L から内部ノード N 1 に向かう方向に第2スイッチ回路 23 が導通する。一方、第2及び第3類型の場合、トランジスタ T 1 及び T 3 の双方がオン時において、ダイオード D 1 の両端間にターンオン電圧以上の電位差が生じていれば、ソース線 S L から内部ノード N 1 に向かう方向に第2スイッチ回路 23 が導通する。

30

【0093】

制御回路 24 は、トランジスタ T 2 とブースト容量素子 C b s t の直列回路で構成される。トランジスタ T 2 の第1端子が内部ノード N 1 に接続し、制御端子がリファレンス線 R E F に接続する。また、トランジスタ T 2 の第2端子は、ブースト容量素子 C b s t の第1端子、及びトランジスタ T 1 の制御端子と接続して出力ノード N 2 を形成する。ブースト容量素子 C b s t の第2端子は、ブースト線 B S T に接続する。トランジスタ T 2 は、「第2トランジスタ素子」に対応する。

【0094】

ところで、内部ノード N 1 には、補助容量素子 C s の一端、並びに液晶容量素子 C l c の一端が接続されている。符号の煩雑化を避けるべく、補助容量素子の静電容量（「補助容量」と呼ぶ）を C s、液晶容量素子の静電容量（「液晶容量」と呼ぶ）を C l c と表す。このとき、内部ノード N 1 に寄生する全容量、すなわち画素データを書き込んで保持すべき画素容量 C p は、ほぼ液晶容量 C l c と補助容量 C s の和で表わされる（ $C p \approx C l c + C s$ ）。

40

【0095】

このとき、ブースト容量素子 C b s t は、当該素子の静電容量（「ブースト容量」と呼ぶ）を C b s t と記載すれば、 $C b s t \ll C p$ が成立するように設定されている。

【0096】

出力ノード N 2 は、トランジスタ T 2 がオン時に、内部ノード N 1 の電圧レベルに応じ

50

た電圧を保持し、トランジスタT 2がオフ時には、内部ノードN 1の電圧レベルが変化しても当初の保持電圧を維持する。この出力ノードN 2の保持電圧によって、第2スイッチ回路2 3のトランジスタT 1のオンオフが制御される構成となっている。

【0097】

上記4種類のトランジスタT 1～T 4は、いずれもアクティブマトリクス基板1 0上に形成される、多結晶シリコンT F Tや非晶質シリコンT F T等の薄膜トランジスタであり、第1及び第2端子の一方がドレイン電極、他方がソース電極、制御端子がゲート電極に相当する。更に、各トランジスタT 1～T 4は、それぞれ単体のトランジスタ素子で構成されても良いが、オフ時のリーク電流を抑制する要請が高い場合は、複数のトランジスタを直列に接続し、制御端子を共通化して構成されても良い。以下の画素回路2の動作説明では、トランジスタT 1～T 4が、全てNチャンネル型の多結晶シリコンT F Tで、閾値電圧が2 V程度のものを想定する。

10

【0098】

また、ダイオードD 1も、上記トランジスタT 1～T 4と同様に、アクティブマトリクス基板1 0上に形成される。本実施形態では、このダイオードD 1は多結晶シリコンによるPN接合で実現されている。

【0099】

<第1類型>

まず、第2スイッチ回路2 3がトランジスタT 1とダイオードD 1のみの直列回路で構成される、第1類型に属する画素回路について説明する。

20

【0100】

このとき、上述したように、第1スイッチ回路2 2の構成に応じて、図7～図8に示す画素回路2 Aが想定される。

【0101】

図7に示す第1類型の画素回路2 Aは、第1スイッチ回路2 2がトランジスタT 3だけで構成される。

【0102】

ここで、図7では、第2スイッチ回路2 3が、ダイオードD 1とトランジスタT 1の直列回路で構成され、一例として、トランジスタT 1の第1端子が内部ノードN 1に接続し、トランジスタT 1の第2端子がダイオードD 1のカソード端子に接続し、ダイオードD 1のアノード端子がソース線S Lに接続する構成例を示している。しかし、図8に示すように当該直列回路のトランジスタT 1とダイオードD 1の配置を入れ替えても良い。また、2つのダイオードD 1の間にトランジスタT 1を挟んだ回路構成とすることも可能である。

30

【0103】

<第2類型>

次に、第2スイッチ回路2 3が、トランジスタT 1、ダイオードD 1、及びトランジスタT 4の直列回路で構成されると共に、トランジスタT 4の制御端子が選択線S E Lに接続される第2類型に属する画素回路について説明する。

【0104】

第2類型では、第1スイッチ回路2 2の構成に応じて、図9～図1 1に示す画素回路2 Bと、図1 2～図1 5に示す画素回路2 Cが想定される。

40

【0105】

図9に示す画素回路2 Bは、第1スイッチ回路2 2がトランジスタT 3のみで構成されている。なお、第1類型と同様に、第2スイッチ回路2 3の構成において、ダイオードD 1の配置に応じた変形回路の実現が可能である（例えば、図1 0、図1 1参照）。またこれらの回路において、トランジスタT 1とT 4の配置を入れ換えることも可能である。

【0106】

図1 2に示す画素回路2 Cは、第1スイッチ回路2 2がトランジスタT 3とトランジスタT 4の直列回路で構成される。トランジスタT 4の配置個所を変更することで図1 3の

50

ような変形回路が実現される。また、トランジスタT4を複数備えることで図14のような変形回路の実現が可能である。

【0107】

更に、図15に示すように、第1スイッチ回路22内のトランジスタT4に代えて、このトランジスタT4と制御端子同士が接続されたトランジスタT5を備える変形回路の実現が可能である。

【0108】

＜第3類型＞

次に、第2スイッチ回路23が、トランジスタT1、ダイオードD1、及びトランジスタT4の直列回路で構成されると共に、トランジスタT4の制御端子がブースト線BSTに接続される第3類型に属する画素回路について説明する。

10

【0109】

第3類型の各画素回路は、第2類型の各画素回路に対して、トランジスタT4の制御端子の接続先をブースト線BSTとし、選択線SELを備えない構成としたものである。従って、図9～図11に示す画素回路2B、図12～図15に示す画素回路2Cに対応した画素回路がそれぞれ実現可能である。一例として、図9の画素回路2Bに対応する画素回路2Dを図16に、図12の画素回路2Cに対応する画素回路2Eを図17にそれぞれ示す。

【0110】

なお、上述した各類型の画素回路において、同一のトランジスタ素子或いはダイオード素子を、それぞれ複数直列に接続して実現することも可能である。

20

【0111】

〔第2実施形態〕

第2実施形態では、上述した第1～第3類型の各画素回路によるセルフリフレッシュ動作につき、図面を参照して説明する。

【0112】

セルフリフレッシュ動作とは、常時表示モードにおける動作で、複数の画素回路2に対して、第1スイッチ回路22と第2スイッチ回路23と制御回路24を所定のシーケンスで作動させ、画素電極20の電位（これは内部ノードN1の電位でもある）を直前の書き込み動作で書き込まれた階調の電位に復元させる動作であって、全ての階調の画素回路を対象として各階調別に同時に一括して復元される。セルフリフレッシュ動作は、上記画素回路2A～2Eによる本発明に特有の動作であり、従来のように通常書き込み動作を行って画素電極20の電位を復元させる「外部リフレッシュ動作」と比較して大幅な低消費電力化を可能とするものである。なお、上記「同時に一括して」の「同時」とは、一連のセルフリフレッシュ動作の時間幅を有する「同時」である。

30

【0113】

ところで、従来においては、書き込み動作を行って、画素電極20と対向電極80の間の印加される液晶電圧Vc1の絶対値を維持しながら極性のみを反転させる動作（外部極性反転動作）が行われていた。この外部極性反転動作が行われると、極性が反転すると共に、液晶電圧Vc1の絶対値も直前の書き込み時の状態に更新される。つまり、極性反転とリフレッシュが同時に行われることとなる。このため、書き込み動作によって、極性を反転させずに液晶電圧Vc1の絶対値のみを更新させる目的でリフレッシュ動作を実行するということは通常はあまり行われないが、以下では、説明の都合上、セルフリフレッシュ動作と比較する観点から、このようなリフレッシュ動作のことを「外部リフレッシュ動作」と呼ぶこととする。

40

【0114】

なお、外部極性反転動作によってリフレッシュ動作を実行する場合においても、書き込み動作が行われることには変わらない。つまり、この従来方法と比較した場合においても、本実施形態のセルフリフレッシュ動作によって大幅な低消費電力化が可能となるものである。

50

【0115】

後述するように、本実施形態のセルフリフレッシュ動作では、全ての画素回路に対して、同一の電圧印加状態に設定するが、実際には、この電圧状態の下では、内部ノードN1が特定の一階調の電圧状態を示す画素回路のみが自動的に選択されて、内部ノードN1の電位が復元（リフレッシュ）される。つまり、全ての画素回路に対して電圧印加を行っているものの、実際には、その電圧印加の時点では、内部ノードN1の電位がリフレッシュされる画素回路とリフレッシュされない画素回路が存在することとなる。

【0116】

このため、表現上混同が生じるのを避けるべく、以下では、「セルフリフレッシュ（動作）」という言葉と、「リフレッシュ（動作）」という言葉を意識的に区別して記載する。前者は、各画素回路の内部ノードN1の電位を復元するための一連の動作を指す広い概念で用いる。一方、後者は、実際に画素電極の電位（内部ノードの電位）を復元する動作を指す狭い概念で用いる。つまり、本実施形態における「セルフリフレッシュ動作」では、全ての画素回路に対して同一の電圧状態に設定することで特定の一階調の電圧状態を示す内部ノードのみを自動選択的に「リフレッシュする」構成である。そして、「リフレッシュする」対象となる階調を変更すべく電圧の値を変更して同様に電圧印加を行うことで、全ての階調に対して「リフレッシュ」がされる。このように、本実施形態における「セルフリフレッシュ動作」は、階調毎に「リフレッシュ動作」を行う構成である。

【0117】

セルフリフレッシュ動作の対象となる画素回路2に接続する全てのゲート線GL、ソース線SL、リファレンス線REF、補助容量線CSL、ブースト線BST及び対向電極80には、全て同じタイミングで電圧印加が行われる。選択線SELを備える第2タイプの画素回路の場合は、この選択線SELに対しても同様に電圧印加が行われる。

【0118】

そして、同一タイミング下では、全てのゲート線GLに対して同一電圧が印加され、全てのリファレンス線REFに対して同一電圧が印加され、全ての補助容量線CSLに対して同一電圧が印加され、全てのブースト線BSTに対して同一電圧が印加される。これらの電圧印加のタイミング制御は、図1に示す表示制御回路11によって行われ、個々の電圧印加は、表示制御回路11、対向電極駆動回路12、ソースドライバ13、ゲートドライバ14によって行われる。

【0119】

本実施形態の常時表示モードにおいても、第1実施形態で上述したように、画素回路単位で3階調（3値）の画素データを保持するものとする。このとき、内部ノードN1に保持されている電位VN1（これは画素電極20の電位でもある）は、第1～第3電圧状態の3つの電圧状態を示す。本実施形態では、一例として、第1電圧状態（高電圧状態）を5V、第2電圧状態（中電圧状態）を3V、第3電圧状態（低電圧状態）を0Vとする。

【0120】

セルフリフレッシュ動作の実行直前の状態において、画素電極20が第1電圧状態に書き込まれている画素、第2電圧状態に書き込まれている画素、第3電圧状態に書き込まれている画素のそれぞれが混在することが想定される。しかしながら、本実施形態のセルフリフレッシュ動作によれば、画素電極20がどのような電圧状態に書き込まれていても、同一のシーケンスに基づく電圧印加処理を行うことで、全ての画素回路に対するリフレッシュ動作を実行することができる。この内容につき、タイミング図及び回路図を参照して説明する。

【0121】

なお、以下では、直前の書き込み動作で第1電圧状態の電圧（高レベル電圧）が書き込まれており、当該高レベル電圧を復元させる場合を「ケースH」と呼び、直前の書き込み動作で第2電圧状態（中レベル電圧）が書き込まれており、当該中レベル電圧を復元させる場合を「ケースM」と呼び、直前の書き込み動作で第3電圧状態（低レベル電圧）が書き込まれており、当該低レベル電圧を復元させる場合を「ケースL」と呼ぶ。

【0122】

また、第1実施形態で上述したように、各トランジスタの閾値電圧を2Vとする。そして、ダイオードD1のターンオン電圧を0.6Vとする。

【0123】

<第1類型>

まず、第2スイッチ回路23がトランジスタT1とダイオードD1のみの直列回路で構成される、第1タイプの画素回路2Aのセルフリフレッシュ動作について説明する。ここでは図7に示す画素回路2Aを想定する。

【0124】

図18に、第1タイプのセルフリフレッシュ動作のタイミング図を示す。図18に示すように、セルフリフレッシュ動作は、2つのステップS1、S2に分解され、更にステップS1は2つのフェーズP1、P2を備える。図18には、セルフリフレッシュ動作の対象となる画素回路2Aに接続する全てのゲート線GL、ソース線SL、ブースト線BST、リファレンス線REF、補助容量線CSL、ブースト線BSTの各電圧波形と、対向電圧Vcomの電圧波形を図示している。なお、本実施形態では、画素回路アレイの全画素回路が、セルフリフレッシュ動作の対象とする。

10

【0125】

更に、図18では、ケースH、M、Lそれぞれにおける内部ノードN1の電位（画素電圧）VN1、及び出力ノードN2の電位VN2の変化を示す波形、並びにトランジスタT1～T3の各ステップ及び各フェーズにおけるオンオフ状態を示している。なお、図18では、どのケースに該当するかを括弧付きで明記している。例えば、VN1(H)は、ケースHにおける電位VN1の変化を示す波形である。

20

【0126】

なお、セルフリフレッシュ動作を開始する時刻(t1)より前の時点で、ケースHでは高レベル書き込みがなされており、ケースMでは中レベル書き込みがなされており、ケースLでは低レベル書き込みがなされているものとする。

【0127】

書き込み動作が実行された後、時間が経過すると、画素回路内の各トランジスタのリーク電流の発生に伴い、内部ノードN1の電位VN1は変動する。ケースHの場合、書き込み動作直後においてはVN1が5Vであったが、この値は時間が経過することで当初よりも低い値を示す。同様に、ケースMの場合においても、書き込み動作直後においてはVN1が3Vであったが、この値は時間が経過することで当初よりも低い値を示す。これらケースH、Mの場合において、内部ノードN1の電位が経時的に徐々に低下するのは、主としてオフ状態のトランジスタを介してリーク電流が低電位（例えば接地線）に向かって流れることによる。

30

【0128】

また、ケースLの場合においては、書き込み動作直後においては、電位VN1は0Vであったが、時間経過と共に少し上昇することがある。これは、例えば他の画素回路への書き込み動作時においてソース線SLに書き込み電圧が印加されることにより、非選択の画素回路であっても、非導通のトランジスタを介してソース線SLから内部ノードN1に向けてリーク電流が流れることによる。

40

【0129】

図18では、時刻t1において、VN1(H)が5Vより少し低く、VN1(M)が3Vより少し低く、VN1(L)が0Vより少し高く表示されている。これらは上記の電位変動を考慮したものである。

【0130】

本実施形態のセルフリフレッシュ動作は、大きく2つのステップS1、S2に分けられる。ステップS1は「リフレッシュステップ」に対応し、ステップS2は「待機ステップ」に対応する。

【0131】

50

ステップS1では、パルス電圧を印加することで、ケースH及びケースMに対するリフレッシュ動作を直接的に実行する。一方、ステップS2では、ステップS1より長い時間（例えば10倍以上の時間）にわたって一定の電圧を印加することで、ケースLに対するリフレッシュ動作を間接的に実行する。なお、「直接的に実行する」とは、内部ノードN1とソース線SLを第2スイッチ回路23を介して導通させることで、ソース線SLに印加された電圧を内部ノードN1に与えて、内部ノードの電位VN1を目標値に設定することを表わしている。また、「間接的に実行する」とは、内部ノードN1とソース線SLとは第2スイッチ回路23を介して導通しないものの、非導通の第1スイッチ回路22を介して内部ノードN1とソース線SLとの間で微少に流れるリーク電流を用いることで、内部ノードN1の電位VN1を目標値に近づけることを表わしている。

10

【0132】

また、ステップS1において、各フェーズP1、P2は、ケースHとケースMのどちらをリフレッシュするかという点に違いがある。図18では、フェーズP1においてケースH（高電圧書き込み）の内部ノードN1のみをリフレッシュし、フェーズP2においてケースM（中電圧書き込み）の内部ノードN1のみをリフレッシュする。以下、この動作につき詳細に説明する。

【0133】**《ステップS1／フェーズP1》**

時刻t1より開始されるフェーズP1では、ゲート線GLにトランジスタT3が完全にオフ状態となるような電圧を印加する。ここでは-5Vとする。なお、セルフリフレッシュ動作実行中は、トランジスタT3は常時オフであるため、このゲート線GLへの印加電圧は、セルフリフレッシュ動作実行中は不変として良い。

20

【0134】

対向電極80に印加する対向電圧Vcom、及び補助容量線CSLに印加する電圧は、0Vとする。これは0Vに限る趣旨ではなく、時刻t1より前の時点における電圧値をそのまま維持するものとして良い。なお、これらの電圧についても、セルフリフレッシュ動作実行中は不変として良い。

【0135】

ソース線SLには、時刻t1において、リフレッシュ動作によって復元したい内部ノードN1の目標電圧に、ダイオードD1のターンオン電圧Vdnを加えた電圧を印加する。フェーズP1では、リフレッシュ対象がケースHであるため、内部ノードN1の目標電圧は5Vである。従って、ダイオードD1のターンオン電圧Vdnを0.6Vとすると、ソース線SLには5.6Vを印加する。

30

【0136】

なお、この内部ノードN1の目標電圧が「リフレッシュ目標電圧」に対応し、ダイオードD1のターンオン電圧Vdnが「第1調整電圧」に対応し、リフレッシュステップS1において実際にソース線SLに印加される電圧が「リフレッシュ入力電圧」に対応する。この言葉を用いると、〈リフレッシュ入力電圧＝リフレッシュ目標電圧＋第1調整電圧〉と規定される。フェーズP1では、リフレッシュ入力電圧が5.6Vである。

【0137】

リファレンス線REFには、時刻t1において、内部ノードN1がリフレッシュ対象となっている電圧状態（階調）及びそれよりも高い電圧状態（高階調）を示す場合にはトランジスタT2が非導通となり、リフレッシュ対象となっている電圧状態（階調）よりも低い電圧状態（低階調）を示す場合にはトランジスタT2が導通となるような電圧を印加する。フェーズP1の場合、リフレッシュ対象はケースH（第1電圧状態）であり、これよりも高電圧の電圧状態はないため、リファレンス線REFに対し、内部ノードN1が第1電圧状態（ケースH）の場合のみトランジスタT2が非導通状態となり、第2電圧状態（ケースM）及び第3電圧状態（ケースL）の場合にはトランジスタT2が導通状態となるような電圧を印加する。

40

【0138】

50

より具体的には、トランジスタT2の閾値電圧 V_{t2} は2Vであるため、5V(=3+2)より高い電圧をリファレンス線REFに印加することで、ケースMにおけるトランジスタT2を導通状態とすることができる。一方、7V(=5+2)より高い電圧をリファレンス線REFに印加すると、フェーズP1における対象であるケースHにおけるトランジスタT2も導通してしまう。従って、リファレンス線REFには、5Vと7Vの間の電圧を印加すれば良い。

【0139】

なお、内部ノードN1の電位は、上述したリーク電流の発生等によって、セルフリフレッシュ動作実行前の時点では、直前の書き込み動作によって書き込まれた電圧状態から一定レベル低下していることが想定される。つまり、ケースMに対応する内部ノードN1の電位 V_{N1} が、セルフリフレッシュ動作実行前の時点で2.5V程度に低下している可能性もある。このとき、仮にリファレンス線REFに5.1V程度の電圧を印加した場合には、内部ノードN1の電位低下の程度によってはケースMの場合にもトランジスタT2が非導通となる可能性があるため、ここではある程度の余裕を持って6.5Vとした。

【0140】

リファレンス線REFに6.5Vを印加した場合、内部ノードN1の電位 V_{N1} が4.5V以上の画素回路においては、トランジスタT2が非導通となる。一方、 V_{N1} が4.5Vより低い画素回路においては、トランジスタT2が導通となる。直前の書き込み動作において5Vに書き込まれたケースHの内部ノードN1は、リーク電流の発生によって0.5V以上低下しない時間内においてこのセルフリフレッシュ動作を実行することにより、 V_{N1} が4.5V以上を実現するため、トランジスタT2は非導通となる。一方、直前の書き込み動作によって3Vに書き込まれたケースMの内部ノードN1、0Vに書き込まれたケースLの内部ノードN1は、時間が経過しても4.5V以上となることはなく、これらについてはトランジスタT2は導通する。

【0141】

以上を踏まえれば、リファレンス線REFに印加する電圧 V_{ref} からトランジスタT2の閾値電圧 V_{t2} を引いた値が、このフェーズでリフレッシュ動作の対象となっているケースHにおける内部ノード電位 V_{N1} と、それよりも一段階電圧状態の低いケースMにおける内部ノード電位 V_{N1} の間に位置している必要がある。言い換えると、このフェーズP1では、リファレンス線REFへの印加電圧 V_{ref} が、 $3V < (V_{ref} - V_{t2}) < 5V$ の条件を満たすような値である必要がある。 $V_{ref} - V_{t2}$ の電圧が「リフレッシュ分離電圧」に対応し、 V_{t2} が「第2調整電圧」に対応し、 V_{ref} が「リフレッシュ基準電圧」に対応する。これらの言葉を用いて上記の条件を記載すれば、フェーズP1においてリファレンス線REFに印加する「リフレッシュ基準電圧」は、リフレッシュ動作の対象となっている電圧状態(階調)と、それよりも一段階低い電圧状態(階調)の間の中間電圧で規定される「リフレッシュ分離電圧」に、トランジスタT2の閾値電圧に相当する「第2調整電圧」を加えた電圧値に対応する。

【0142】

ブースト線BSTには、前記のようにトランジスタT2が非導通とされたケースHにおいてトランジスタT1を導通状態とし、トランジスタT2が導通しているケースM及びLにおいてトランジスタT1を非導通状態とする範囲内の電圧を印加する。

【0143】

ブースト線BSTは、ブースト容量素子 C_{bst} の一端に接続されている。このため、ブースト線BSTに高レベル電圧を印加すると、ブースト容量素子 C_{bst} の他端の電位、すなわち出力ノードN2の電位 V_{N2} が突き上げられる。このように、ブースト線BSTに印加する電圧を上昇させることで出力ノードN2の電位を突き上げることを、以下では、「ブースト突き上げ」と呼ぶ。

【0144】

上述したように、ケースHの場合、フェーズP1においてトランジスタT2が非導通である。このため、ブースト突き上げによるノードN2の電位変動量は、ブースト容量 C_b

s tとノードN 2に寄生する全容量の比率によって決定する。一例として、この比率を0.7とすると、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極すなわちノードN 2は、ほぼ $0.7 \Delta V_{bst}$ だけ上昇することとなる。

【0145】

ケースHの場合、時刻t 1において内部ノードN 1の電位 $V_{N1}(H)$ はほぼ5Vを示す。トランジスタT 1のゲート、すなわち出力ノードN 2に、 $V_{N1}(H)$ よりも閾値電圧2V以上高い電位を与えればトランジスタT 1は導通する。本実施形態では、時刻t 1においてブースト線BSTに印加する電圧を10Vとする。この場合、出力ノードN 2の電位は7V上昇することとなる。第4実施形態で後述するように、書き込み動作においては、トランジスタT 2は導通されているため、時刻t 1の直前の時点でノードN 2はノードN 1とほぼ同電位(5V)を示す。これにより、ブースト突き上げによって当該ノードN 2の電位は12V程度を示す。よって、トランジスタT 1にはゲートとノードN 1の間に閾値電圧以上の電位差が生じるため、当該トランジスタT 1が導通する。

10

【0146】

他方、フェーズP 1においてトランジスタT 2が非導通であるケースMやケースLの場合、ケースHとは異なり、出力ノードN 2と内部ノードN 1が電氣的に接続している。この場合、ブースト突き上げによる出力ノードN 2の電位変動量は、ブースト容量 C_{bst} 及びノードN 2の全寄生容量に加えて、内部ノードN 1の全寄生容量の影響を受ける。

【0147】

内部ノードN 1には、補助容量素子 C_s の一端、並びに液晶容量素子 C_{lc} の一端が接続されており、この内部ノードN 1に寄生する全容量 C_p は、ほぼ液晶容量 C_{lc} と補助容量 C_s の和で表わされることは上述した通りである。そして、ブースト容量 C_{bst} は液晶容量 C_p と比べてはるかに小さい値である。従って、これらの総容量に対するブースト容量の比率は極めて小さく、例えば0.01以下程度の値となる。この場合、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極、すなわち出力ノードN 2は、高々 $0.01 \Delta V_{bst}$ 程度しか上昇しない。つまり、ケースM及びケースLの場合、 $\Delta V_{bst} = 10V$ としても、出力ノードN 2の電位 $V_{N2}(M)$ 、 $V_{N2}(L)$ はほとんど上昇しないこととなる。

20

【0148】

ケースMの場合、電位 $V_{N2}(M)$ は時刻t 1の直前においてほぼ3Vを示している。また、ケースLの場合、 $V_{N2}(L)$ は時刻t 1の直前においてほぼ0Vを示している。従って、両ケース共に、時刻t 1でブースト突き上げを行っても、トランジスタT 1のゲートには同トランジスタを導通させるに十分な電位が与えられない。つまり、ケースHとは異なり、トランジスタT 1は依然として非導通状態を示す。

30

【0149】

なお、ケースM、Lの場合、時刻t 1の直前における出力ノードN 2の電位は、必ずしもそれぞれ3V、0Vである必要はなく、ブースト線BSTへのパルス電圧印加に伴う微小な電位変動を考慮してもトランジスタT 1が導通しないような電位であれば良い。同様にケースHの場合、時刻t 1の直前におけるノードN 1の電位は、必ずしも5Vである必要はなく、トランジスタT 2が非導通状態の下でブースト突き上げがされることによる電位変動を考慮してトランジスタT 1が導通するような電位であれば良い。

40

【0150】

ケースHの場合、ブースト突き上げがされることで、トランジスタT 1が導通する。また、ソース線SLには5.6Vが印加されているため、内部ノードN 1の電位 $V_{N1}(H)$ が5Vから少し低下しているとすれば、ソース線SLと内部ノードN 1の間にはダイオードD 1のターンオン電圧 V_{dn} 以上の電位差が生じている。よって、ソース線SLから内部ノードN 1に向かう方向にダイオードD 1は導通し、ソース線SLから内部ノードN 1に向けて電流が流れる。これにより、内部ノードN 1の電位 $V_{N1}(H)$ は上昇する。なお、この電位上昇は、ソース線SLと内部ノードN 1の電位差が、ダイオードD 1のターンオン電圧 V_{dn} に等しくなるまで起こり、前記電位差が V_{dn} に等しくなった時点で

50

停止する。ここでは、ソース線 S L の印加電圧が 5.6 V であり、ダイオード D 1 のターンオン電圧 V_{dn} が 0.6 V であるので、内部ノード N 1 の電位 V_{N1} (H) は 5 V まで上昇した時点で停止する。つまり、ケース H におけるリフレッシュ動作が実行される。

【0151】

そして、上述したように、ケース M、L においては、いずれもトランジスタ T 1 が非導通であるため、ソース線 S L と内部ノード N 1 は導通していない。よってソース線 S L への印加電圧は、内部ノード N 1 の電位 V_{N1} (M)、 V_{N1} (L) の電位には影響しない。

【0152】

以上をまとめると、内部ノード N 1 の電位が、リフレッシュ分離電圧以上でリフレッシュ目標電圧以下となっている画素回路に対して、リフレッシュ動作が実行されることとなる。フェーズ P 1 では、リフレッシュ分離電圧を 4.5 V (= 6.5 V - 2 V)、リフレッシュ目標電圧を 5 V としたため、内部ノード N 1 の電位 V_{N1} が 4.5 V 以上 5 V 以下の画素回路に対してのみ、すなわちケース H に対してのみ電位 V_{N1} を 5 V にリフレッシュする動作が行われる。

10

【0153】

なお、フェーズ P 1 が終了後は、ソース線 S L、ブースト線 B S T、リファレンス線 R E F の各線への電圧印加をいったん停止する。その後、時刻 t_2 より次のフェーズ P 2 へ移行する。

【0154】

20

《ステップ S 1 / フェーズ P 2》

時刻 t_2 より開始されるフェーズ P 2 では、ケース M (中電圧書き込みノード) をリフレッシュ対象とする。

【0155】

具体的には、リフレッシュ入力電圧としてソース線 S L に 3.6 V を印加する。この 3.6 V は、フェーズ P 2 における内部ノード N 1 のリフレッシュ目標電圧 (3 V) に、ダイオード D 1 のターンオン電圧 V_{dn} を加えた値である。

【0156】

そして、リファレンス線 R E F には、内部ノード N 1 がリフレッシュ対象となっている電圧状態 (ケース M) 及びそれよりも高い電圧状態 (ケース H) を示す場合にはトランジスタ T 2 が非導通となり、リフレッシュ対象となっている電圧状態 (ケース M) よりも低い電圧状態 (ケース L) を示す場合にはトランジスタ T 2 が導通となるような電圧を印加する。フェーズ P 1 の場合と同様に考えれば、2 V より高い電圧をリファレンス線 R E F に印加することで、ケース L におけるトランジスタ T 2 を導通状態とすることができる。一方、5 V より高い電圧をリファレンス線 R E F に印加すると、ケース M におけるトランジスタ T 2 も導通してしまう。従って、形式的にはリファレンス線 R E F には、2 V と 5 V の間の電圧を印加すれば良いこととなる。しかし、フェーズ P 1 と同様にある程度の余裕を持って電圧を印加する必要があるため、ここでは一例として 4.5 V を印加するものとしている。この 4.5 V がフェーズ P 2 におけるリフレッシュ基準電圧に相当し、トランジスタ T 2 の閾値電圧分だけ減じた値である 2.5 V がリフレッシュ分離電圧に相当する。

30

40

【0157】

このとき、内部ノード N 1 の電位 V_{N1} が、リフレッシュ分離電圧である 2.5 V 以上であれば、トランジスタ T 2 は非導通となる。一方、 V_{N1} が 2.5 V より低い画素回路においては、トランジスタ T 2 が導通となる。つまり、直前の書き込み動作によって 5 V に書き込まれたケース H、3 V に書き込まれたケース M においては、いずれも V_{N1} が 2.5 V 以上であるためトランジスタ T 2 は非導通となる。一方、直前の書き込み動作によって 0 V に書き込まれたケース L は、 V_{N1} が 2.5 V より低いいためトランジスタ T 2 は導通する。

【0158】

50

ブースト線BSTには、トランジスタT2が非導通とされたケースH、MにおいてトランジスタT1を導通状態とし、トランジスタT2が導通しているケースLにおいてトランジスタT1を非導通状態とする範囲内の電圧を印加する。ここでは、フェーズP1と同様に10Vとする。ケースH、Mにおいてはブースト突き上げによって出力ノードN2の電位が突き上げられるためトランジスタT1が導通する一方、ケースLにおいてはブースト突き上げを行っても出力ノードN2の電位VN2(L)がほとんど変化しないため、トランジスタT1は導通しない。この原理はフェーズP1と同様であり、詳細な説明を省略する。

【0159】

ケースHの場合、ブースト突き上げがされることで、トランジスタT1が導通する。しかし、ソース線SLには3.6Vが印加されている。内部ノードN1の電位VN1(H)が5Vから少し低下しているとしてもその低下分は1V未満である。すると、ソース線SLから内部ノードN1に向けて逆バイアス状態となっており、ダイオードD1の整流作用によってソース線SLと内部ノードN1とが導通しない。つまり、内部ノードN1の電位VN1(H)が、ソース線SLの印加電圧の影響を受けるということはない。

10

【0160】

ケースMの場合も、ブースト突き上げがされることで、トランジスタT1が導通する。ソース線SLには3.6Vが印加されているため、内部ノードN1の電位VN1(M)が3Vから少し低下しているとすれば、ソース線SLと内部ノードN1の間にはダイオードD1のターンオン電圧Vdn以上の電位差が生じている。よって、ソース線SLから内部ノードN1に向かう方向にダイオードD1は導通し、ソース線SLから内部ノードN1に向けて電流が流れる。これにより、内部ノードN1の電位VN1(M)は、ソース線SLと内部ノードN1の電位差がターンオン電圧Vdn(=0.6V)に等しくなるまで上昇する。つまり、VN1(M)は、3Vまで上昇した後、その電位を維持する。これにより、ケースHにおけるリフレッシュ動作が実行される。

20

【0161】

そして、上述したように、ケースLにおいては、トランジスタT1が非導通であるため、ソース線SLと内部ノードN1は導通していない。よってソース線SLへの印加電圧は、内部ノードN1のVN1(L)の電位には影響しない。

【0162】

以上をまとめると、フェーズP2では、リフレッシュ分離電圧を2.5V(=4.5-2V)、リフレッシュ目標電圧を3Vとしたため、内部ノードN1の電位VN1が2.5V以上3V以下の画素回路に対してのみ、すなわちケースMのみが、電位VN1を3Vにリフレッシュする動作が行われる。

30

【0163】

なお、フェーズP2が終了後は、ソース線SL、ブースト線BST、リファレンス線REFの各線への電圧印加を停止し、待機ステップS2へと移行する。

【0164】

《ステップS2》

時刻t3より開始されるステップS2では、リファレンス線REFに対し、内部ノードN1の電位VN1にかかわらず、常にトランジスタT2が導通するような電圧を印加する。ここでは10Vとする。その他の信号線は、フェーズP2終了時点と同じ電圧状態を継続する。

40

【0165】

このような電圧状態とするとき、全てのケースH、M、Lにおいて、トランジスタT2が導通し、トランジスタT1は非導通となる。また、ゲート線GLには低レベル電圧が印加されたままであるため、依然としてトランジスタT3も非導通である。よって、内部ノードN1の電位VN1は、リフレッシュステップS1終了直後の状態が維持される。また、出力ノードN2は、内部ノードN1と導通するため、VN2がVN1と等しくなる。

【0166】

50

その後、時刻 t_4 において、リファレンス線REFの印加電圧を低レベル（0V）にシフトする。これにより、トランジスタ T_2 は非導通となる。

【0167】

このステップS2は、ステップS1よりも十分長い時間にわたって同一の電圧状態を維持するものとする。この間、ソース線SLには0Vが印加されているため、非導通のトランジスタ T_3 を介して、内部ノードN1からソース線SLに向かう方向にリーク電流が発生する。上述したように、時刻 t_1 の時点において $V_{N1}(L)$ が0Vより少し高い値であっても、この待機ステップS2の期間にわたって、 $V_{N1}(L)$ は徐々に0Vに近付いていく。これによって、「間接的に」ケースLのリフレッシュ動作が行われる。

【0168】

しかしながら、このリーク電流の発生は、ケースLの場合に限定されるものではなく、ケースHやケースMの場合にも発生する。このため、ケースHやケースMにおいても、ステップS1直後の時点でそれぞれ5V、3Vに V_{N1} がリフレッシュされたが、ステップS2においては、少しずつ V_{N1} が低下することとなる。したがって、待機ステップS2の電圧状態が一定時間経過した時点で、再びリフレッシュステップS1を実行することで、再度各ケースH、Mに対してリフレッシュ動作を実行することが望ましい。

【0169】

以上のように、このリフレッシュステップS1と待機ステップS2を繰り返すことで、ケースH、M、Lのそれぞれに対し、内部ノードN1の電位 V_{N1} を直前の書き込み状態に復帰させることができる。

【0170】

従来のように、ソース線SLを介した、いわゆる「書き込み動作」によって各画素回路に対してリフレッシュ動作を行う場合、ゲート線GLを1本ずつ垂直方向に走査する必要がある。このため、ゲート線GLに対しゲート線の数（ n ）だけ高レベル電圧を印加する必要がある。また、直前の書き込み動作において書き込まれた電位レベルと同一の電位レベルを、各ソース線SLに印加する必要があるため、各ソース線SLに対してもそれぞれ最大 n 回の充放電動作を必要とする。

【0171】

これに対し、本実施形態によれば、リフレッシュステップS1においては2回に分けてパルス電圧の印加を行い、その後の待機ステップにおいては一定の電圧状態を維持するのみで、内部ノードN1の電圧状態にかかわらず、全ての画素回路に対して、内部ノードN1の電位、すなわち画素電極20の電圧を書き込み動作時の電位状態に復帰することが可能となる。つまり、1フレーム期間内において、各画素の画素電極20の電位を復帰させるために各線に印加する印加電圧を変化させる回数を大幅に減少させることができ、更には、その制御内容も簡素化できる。このため、ゲートドライバ14及びソースドライバ13の消費電力量を大きく削減することができる。

【0172】

なお、図18を参照しながら説明した上記のセルフリフレッシュ動作は、図7の画素回路2Aを想定したものであったが、図8に示す変形型の画素回路においても、全く同様の方法でセルフリフレッシュ動作が実行できることは明らかである。

【0173】

また、第2スイッチ回路23内に複数個のダイオードD1を備える場合には、第2スイッチ回路23内において、ソース線SLから内部ノードN1に向けて、ターンオン電圧 V_{dn} にダイオードD1の個数倍以上の電位差を有しないと、ソース線SLと内部ノードN1が導通しない。従って、例えば第2スイッチ回路23内にダイオードD1を2つ備える場合であれば、ソース線SLに印加するリフレッシュ入力電圧として、各ケース毎のリフレッシュ目標電圧に、ターンオン電圧 V_{dn} の2倍の値を第1調整電圧として加えた大きさの電圧を印加する必要がある。その他の点については、図18と同様の方法でセルフリフレッシュ動作を実行できる。

【0174】

なお、図18に示す電圧印加方法に代えて、以下の方法によることも可能である。

【0175】

1) 図18では、フェーズP1でケースHに対してリフレッシュ動作を実行し、その後ケースMに対してリフレッシュ動作を実行した。この順序を逆転させることも可能である。

【0176】

なお、ステップS1とステップS2の順序については、ステップS1とS2を繰り返すことを考えれば、あまり意味のある議論ではない。

【0177】

2) ブースト線BSTには、フェーズP1、P2の双方において10Vを印加するものとした。しかし、あくまでフェーズP1ではケースHのトランジスタT1を導通し、フェーズP2ではケースMのトランジスタT1を導通すれば良い。フェーズP2では、ソース線SLに印加される電圧が3.6Vであり、トランジスタT3の閾値電圧が2Vであるので、ダイオードD1のターンオン電圧V_{dn}を考慮しなければ、少なくとも5.6V以上の電圧を印加すれば良い。つまり、フェーズP2では、ケースMにおけるトランジスタT1が導通する範囲内において、フェーズP1よりもブースト線BSTへの印加電圧を小さくすることが可能である。

10

【0178】

3) 待機ステップS2では、時刻t3～t4にかけてリファレンス線REFに高レベル電圧(10V)を印加した。この電圧印加は、あくまで出力ノードN2の電位V_{N2}を、内部ノードN1の電位V_{N1}に等しくするために行われるものである。よって、ステップS2の期間内であれば、どのタイミングでリファレンス線REFに高レベル電圧を印加しても良い。

20

【0179】

4) 図18では、リフレッシュステップS1において、フェーズP1のリフレッシュ動作の後、いったんソース線SL並びにリファレンス線REFを低レベル(0V)に低下させてからフェーズP2のリフレッシュ動作を行っている。しかし、これらの線に対する印加電圧については、必ずしも低レベルに低下させなくても良い。例えば、図19のように、フェーズP1とP2の間、すなわち、ブースト線BSTのレベルが低レベル(0V)に低下している間に、ソース線SL及びリファレンス線REFを、フェーズP2で印加すべき値に設定するものとしても良い。このようにすることで、図18の場合と比較して、ソース線SL及びリファレンス線REFへの印加電圧の変動幅を小さくすることができる。

30

【0180】

5) 上記実施形態では、一連のセルフリフレッシュ動作として、リフレッシュステップS1でケースHとケースMに対してリフレッシュ動作を行い、その後待機ステップS2を行うという動作を繰り返し実行することを想定した。これに対し、あるタームのリフレッシュステップS1内においては、所定の階調に対してリフレッシュ動作を行い、その後待機ステップS2を行った後、次のタームのリフレッシュステップS1において、別の階調に対してリフレッシュ動作を行う構成としても良い(図20参照)。図20では、タームT1のリフレッシュステップS1において、ケースHのノードN1に対してリフレッシュ動作を行い(P1)、待機ステップS2を経た後、次のタームT2のリフレッシュステップS1でケースMのノードN1に対してリフレッシュ動作を行っている(P2)。このように、各ターム毎にリフレッシュ動作を行う対象の階調を変更しても良い。

40

【0181】

<第2類型>

次に、第2スイッチ回路23が、トランジスタT1、ダイオードD1、及びトランジスタT4の直列回路で構成されると共に、トランジスタT4の制御端子が選択線SELに接続される第2類型に属する画素回路について説明する。

【0182】

50

まず、図9に示した第2種類の画素回路2Bに対するセルフリフレッシュ動作を実行する場合につき、説明する。図7に示す画素回路2Aと比較した場合、トランジスタT1とダイオードD1に加えて、トランジスタT4によっても、第2スイッチ回路23の導通状態が制御される点異なる。

【0183】

ここで、第1類型において上述したように、第2スイッチ回路23を介してソース線SLと内部ノードN1を導通させるのは、リフレッシュステップS1の間だけである。そして、各リフレッシュステップS1では、ダイオードD1又はトランジスタT1によって、リフレッシュ動作の対象とするケースのみが導通するように制御され、他のケースは、ダイオードD1が逆バイアスとなるか、トランジスタT1が非導通となることで、第2スイッチ回路23が非導通とされていた。この点においては、第2類型においても変わるところはない。

10

【0184】

第2類型の場合、トランジスタT4を備えているが、このトランジスタT4の導通状態を制御するための選択線SELを、ブースト線BSTとは別に備えている。従って、リフレッシュステップS1の間にわたって、常時トランジスタT4が導通状態となるように選択線SELに電圧印加を行っておけば、第1類型と全く同じ電圧状態を実現することができる。この場合のタイミング図を図21に示す。なお、ここでは選択線SELに対する印加電圧を10Vとした。

【0185】

20

無論、ブースト線BSTに対してブースト電圧を印加するタイミングと同じタイミングで選択線SELにパルス状に電圧を印加しても良い。この場合のタイミング図を図22に示す。

【0186】

上記の説明は、図10～図11に示す画素回路2B、図12～図15に示す画素回路2Cにおいて当てはまるものであることは言うまでもなく、その説明を割愛する。

【0187】

<第3類型>

次に、第2スイッチ回路23が、トランジスタT1、ダイオードD1、及びトランジスタT4の直列回路で構成されると共に、トランジスタT4の制御端子がブースト線BSTに接続される第3類型に属する画素回路について説明する。

30

【0188】

第3類型に属する各画素回路は、第2類型に属する各画素回路に対し、トランジスタT4の制御端子の接続先をブースト線BSTに変更し、選択線SELを備えなくした構成である。従って、第2種類の画素回路とは異なり、トランジスタT4の導通制御は、ブースト線BSTによって左右されることとなる。

【0189】

しかしながら、図22に示したように、第2類型において、ブースト線BSTと同じタイミングで選択線SELにパルス電圧を印加しても、第1種類の各画素回路と全く同様の電圧状態を実現することができる。そして、このことは、トランジスタT4の制御端子をブースト線BSTに接続しても、全く同じ電圧状態を実現できることを意味するものである。

40

【0190】

従って、図18と同じ電圧状態とすることで、図16の画素回路2Dに対してもセルフリフレッシュ動作を実行することができる。そして、このことは、図17の画素回路2Eに対しても当てはまるものである。詳細な説明は割愛する。

【0191】

[第3実施形態]

第3実施形態では、第2実施形態とは異なる電圧印加方法によってセルフリフレッシュ動作を実行する場合につき、図面を参照して説明する。なお、本実施形態のセルフリフレ

50

ッシュ動作は、第2実施形態と同様、リフレッシュステップS1と待機ステップS2に分けられる。

【0192】

第2実施形態では、フェーズP1においてケースH（高電圧書き込み）の内部ノードN1のみをリフレッシュし、フェーズP2においてケースM（中電圧書き込み）の内部ノードN1のみをリフレッシュする動作であった。そして、ステップS1では、これらフェーズP1、フェーズP2において、それぞれブースト線BSTに対するパルス電圧印加を行う必要があった。

【0193】

これに対し、本実施形態では、後述するように、フェーズP1においてケースM（中電圧書き込み）の内部ノードN1のみをリフレッシュし、フェーズP2においてケースH（高電圧書き込み）の内部ノードN1のみをリフレッシュする。そして、ステップS1では、フェーズP1からP2にかけてブースト線BSTに対して高レベル電圧を与える。これにより、ステップS1においてブースト線BSTに対する印加電圧の変化回数が削減され、セルフリフレッシュ動作時の電力消費量を削減できるというものである。以下、この動作につき詳細に説明する。

【0194】

<第1類型>

第1タイプの画素回路2Aに対し、本実施形態のセルフリフレッシュ動作を行う場合につき、図23のタイミング図を参照して説明する。画素回路2Aとしては、第2実施形態の場合と同様、図7に示す画素回路2Aを想定する。

【0195】

《ステップS1／フェーズP1》

フェーズP1では、ケースM（中電圧状態）の書き込みノードN1（M）をリフレッシュ対象とする。

【0196】

時刻t1より開始されるステップS1において、ゲート線GLにはトランジスタT3が完全にオフ状態となるような電圧を印加する。ここでは-5Vとする。なお、セルフリフレッシュ動作実行中は、トランジスタT3は常時オフであるため、このゲート線GLへの印加電圧は、セルフリフレッシュ動作実行中は不変として良い。

【0197】

対向電極80に印加する対向電圧Vcom、及び補助容量線CSLに印加する電圧は0Vとする。これは0Vに限る趣旨ではなく、時刻t1より前の時点における電圧値をそのまま維持するものとして良い。なお、これらの電圧についても、セルフリフレッシュ動作実行中は不変として良い。

【0198】

リファレンス線REFには、時刻t1において、内部ノードN1がリフレッシュ対象となっている電圧状態（階調）及びそれよりも高い電圧状態（高階調）を示す場合にはトランジスタT2が非導通となり、リフレッシュ対象となっている電圧状態（階調）よりも低い電圧状態（低階調）を示す場合にはトランジスタT2が導通となるような電圧を印加する。フェーズP1の場合、リフレッシュ対象は第2電圧状態（ケースM）であり、リファレンス線REFに対し、内部ノードN1が第2電圧状態（ケースM）および第1電圧状態（ケースH）の場合にトランジスタT2が非導通状態となり、第3電圧状態（ケースL）の場合にはトランジスタT2が導通状態となるような電圧を印加する。

【0199】

より具体的には、トランジスタT2の閾値電圧Vt2は2Vであるため、2Vより高い電圧をリファレンス線REFに印加することで、ケースLにおけるトランジスタT2を導通状態とすることができる。一方、5Vより高い電圧をリファレンス線REFに印加すると、フェーズP1における対象であるケースMにおけるトランジスタT2も導通してしまう。従って、リファレンス線REFには、2Vと5Vの間の電圧を印加すれば良い。図2

3の例ではリファレンス線REFに4.5Vを印加するものとしている。

【0200】

リファレンス線REFに4.5Vを印加した場合、内部ノードN1の電位VN1が2.5V以上の画素回路においては、トランジスタT2が非導通となる。一方、VN1が2.5Vより低い画素回路においては、トランジスタT2が導通となる。

【0201】

直前の書き込み動作において3Vに書き込まれたケースMの内部ノードN1は、リーク電流の発生によって0.5V以上低下しない時間内においてこのセルフリフレッシュ動作を実行することにより、VN1が2.5V以上を実現するため、トランジスタT2は非導通となる。また、直前の書き込み動作において5Vに書き込まれたケースHの内部ノードN1も同様の理由によりVN1が2.5V以上を実現するため、トランジスタT2は非導通となる。一方、直前の書き込み動作によって0Vに書き込まれたケースLの内部ノードN1は、時間が経過しても2.5V以上となることはなく、これについてはトランジスタT2は導通する。

【0202】

ソース線SLには、リフレッシュ動作によって復元したい内部ノードN1の目標電圧に、ダイオードD1のターンオン電圧Vdnを加えた電圧を印加する(時刻t2)。ここで、本実施形態のフェーズP1では、リフレッシュ対象がケースMであるため、内部ノードN1の目標電圧は3Vである。従って、ダイオードD1のターンオン電圧Vdnを0.6Vとすると、ソース線SLには3.6Vを印加する。なお、リファレンス線REFに4.5Vを印加する時刻t1とソース線SLに3.6Vを印加する時刻t2を同時刻としても良い。

【0203】

この内部ノードN1の目標電圧が「リフレッシュ目標電圧」に対応し、ダイオードD1のターンオン電圧Vdnが「第1調整電圧」に対応し、リフレッシュステップS1において実際にソース線SLに印加される電圧が「リフレッシュ入力電圧」に対応する。フェーズP1では、このリフレッシュ入力電圧が3.6Vである。

【0204】

ブースト線BSTには、前記のようにトランジスタT2が非導通とされたケースM及びケースHにおいてトランジスタT1を導通状態とし、トランジスタT2が導通しているケースLにおいてトランジスタT1を非導通状態とする範囲内の電圧を印加する(時刻t3)。ブースト線BSTは、ブースト容量素子Cbstの一端に接続されている。このため、ブースト線BSTに高レベル電圧を印加すると、ブースト容量素子Cbstの他端の電位、すなわち出力ノードN2の電位が突き上げられる。

【0205】

上述したように、ケースM及びケースHの場合、フェーズP1においてトランジスタT2が非導通である。このため、ブースト突き上げによるノードN2の電位変動量は、ブースト容量CbstとノードN2に寄生する全容量の比率によって決定する。一例として、この比率を0.7とすると、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極すなわちノードN2は、ほぼ $0.7 \Delta V_{bst}$ だけ上昇することとなる。

【0206】

ケースMの場合、時刻t1において内部ノードN1の電位VN1(M)はほぼ3Vを示す。トランジスタT1のゲート、すなわち出力ノードN2に、VN1(M)よりも閾値電圧2V以上高い電位を与えればトランジスタT1は導通する。本実施形態では、時刻t1においてブースト線BSTに印加する電圧を10Vとする。この場合、出力ノードN2は7V上昇することとなる。書き込み動作においては、トランジスタT2は導通されているため、時刻t1の直前の時点でノードN2はノードN1とほぼ同電位(約3V)を示す。これにより、ブースト突き上げによって当該ノードN2は10V程度を示す。よって、トランジスタT1にはゲートとノードN1の間に閾値電圧以上の電位差が生じるため、当該トランジスタT1が導通する。

【0207】

ケースHの場合も同様に、ブースト突き上げによって当該ノードN2は12V程度を示すため、トランジスタT1が導通する。

【0208】

他方、フェーズP1においてトランジスタT2が導通であるケースLの場合、ケースM及びケースHとは異なり、出力ノードN2と内部ノードN1が電氣的に接続している。この場合、ブースト突き上げによる出力ノードN2の電位変動量は、ブースト容量Cbst及びノードN2の全寄生容量に加えて、内部ノードN1の全寄生容量の影響を受ける。

【0209】

内部ノードN1には、補助容量素子Csの一端、並びに液晶容量素子Clcの一端が接続されており、この内部ノードN1に寄生する全容量Cpは、ほぼ液晶容量Clcと補助容量Csの和で表わされる。そして、ブースト容量Cbstは液晶容量Cpと比べてはるかに小さい値である。従って、これらの総容量に対するブースト容量の比率は極めて小さく、例えば0.01以下程度の値となる。この場合、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極、すなわち出力ノードN2は、高々 $0.01 \Delta V_{bst}$ 程度しか上昇しない。つまり、ケースLの場合、 $\Delta V_{bst} = 10V$ としても、出力ノードN2の電位VN2(L)はほとんど上昇しないこととなる。

【0210】

ケースLの場合、VN2(L)は時刻t1の直前においてほぼ0Vを示している。従って、時刻t1でブースト突き上げを行っても、トランジスタT1のゲートには同トランジスタを導通させるに十分な電位が与えられない。つまり、ケースMとは異なり、トランジスタT1は依然として非導通状態を示す。

【0211】

ケースMの場合、ブースト突き上げがされることで、トランジスタT1が導通する。また、ソース線SLには3.6Vが印加されているため、内部ノードN1の電位VN1(M)が3Vから少し低下しているとすれば、ソース線SLと内部ノードN1の間にはダイオードD1のターンオン電圧Vdn以上の電位差が生じている。よって、ソース線SLから内部ノードN1に向かう方向にダイオードD1は導通し、ソース線SLから内部ノードN1に向けて電流が流れる。これにより、内部ノードN1の電位VN1(M)は上昇する。なお、この電位上昇は、ソース線SLと内部ノードN1の電位差が、ダイオードD1のターンオン電圧Vdnに等しくなるまで起こり、前記電位差がVdnに等しくなった時点で停止する。ここでは、ソース線SLの印加電圧が3.6Vであり、ダイオードD1のターンオン電圧Vdnが0.6Vであるので、内部ノードN1の電位VN1(M)は3Vまで上昇した時点で停止する。つまり、ケースMにおけるリフレッシュ動作が実行される。

【0212】

ケースHの場合もブースト突き上げがされることで、トランジスタT1が導通する。しかし、ソース線SLには3.6Vが印加されている。内部ノードN1の電位VN1(H)が5Vから少し低下しているとしてもその低下分は1V未満である。すると、ソース線SLから内部ノードN1に向けて逆バイアス状態となっており、ダイオードD1の整流作用によってソース線SLと内部ノードN1とが導通しない。つまり、内部ノードN1の電位VN1(H)が、ソース線SLの印加電圧の影響を受けるということはない。

【0213】

ケースLにおいてはトランジスタT1が非導通であるため、ソース線SLと内部ノードN1は導通していない。よってソース線SLへの印加電圧は、内部ノードN1の電位VN1(L)の電位には影響しない。

【0214】

以上をまとめると、フェーズP1では、内部ノードN1の電位がリフレッシュ分離電圧以上でリフレッシュ目標電圧以下となっている画素回路に対して、リフレッシュ動作が実行される。フェーズP1では、リフレッシュ分離電圧を2.5V(=4.5-2V)、リフレッシュ目標電圧を3Vとしたため、内部ノードN1の電位VN1が2.5V以上3V

10

20

30

40

50

以下の画素回路に対してのみ、すなわちケースMのみが電位VN1を3Vにリフレッシュする動作が行われる。

【0215】

《ステップS1／フェーズP2》

フェーズP2では、ケースH（高電圧状態）の書き込みノードN1（H）をリフレッシュ対象とする。

【0216】

ブースト線BSTへの印加電圧はフェーズP1から引き続き10Vとする。

【0217】

リファレンス線REFには、時刻t4において、内部ノードN1がリフレッシュ対象となっている電圧状態（ケースH）を示す場合にはトランジスタT2が非導通のままとなり、リフレッシュ対象となっている電圧状態（ケースH）よりも低い電圧状態（ケースM、L）を示す場合にはトランジスタT2が導通となるような電圧を印加する。

10

【0218】

より具体的には、トランジスタT2の閾値電圧Vt2は2Vであり、ケースMの内部ノードN1の電圧VN1（M）は3Vであるため、5V（＝2＋3）より高い電圧をリファレンス線REFに印加することで、ケースMにおけるトランジスタT2を導通状態とすることができる。このとき、当然にケースLにおけるトランジスタT2も導通状態となる。

【0219】

一方、7Vより高い電圧をリファレンス線REFに印加すると、ケースHにおけるトランジスタT2も導通してしまう。従って、形式的にはリファレンス線REFには、5Vと7Vの間の電圧を印加すれば良いこととなる。しかし、フェーズP1と同様にある程度の余裕を持って電圧を印加する必要があるため、ここでは一例として6.5Vを印加するものとしている。この6.5VがフェーズP2におけるリフレッシュ基準電圧に相当し、トランジスタT2の閾値電圧分だけ減じた値である4.5Vがリフレッシュ分離電圧に相当する。

20

【0220】

このとき、内部ノードN1の電位VN1が、リフレッシュ分離電圧である4.5V以上であれば、トランジスタT2は非導通となる。一方、VN1が4.5Vより低い画素回路においては、トランジスタT2が導通となる。つまり、直前の書き込み動作によって5Vに書き込まれたケースHにおいては、VN1が4.5V以上であるためトランジスタT2は非導通となる。一方、直前の書き込み動作によって0Vに書き込まれたケースL、3Vに書き込まれたケースMにおいては、VN1が4.5Vより低いためトランジスタT2は導通する。

30

【0221】

ソース線SLには、リフレッシュ動作によって復元したい内部ノードN1の目標電圧に、ダイオードD1のターンオン電圧Vdnを加えた電圧を印加する（時刻t5）。ここで、本実施形態のフェーズP2では、リフレッシュ対象がケースHであるため、内部ノードN1の目標電圧は5Vである。従って、ダイオードD1のターンオン電圧Vdnを0.6Vとすると、ソース線SLには5.6Vを印加する。なお、後述するように、本フェーズP2では、ソース線SLに5.6Vを印加する時刻t5は、リファレンス線REFに6.5Vを印加する時刻t4よりも後にする必要がある。

40

【0222】

ケースHの場合、トランジスタT2がフェーズP1から引き続き非導通状態を維持し、内部ノードN2の電位がフェーズP1の状態を保持することで、トランジスタT1が導通する。この状態でソース線SLに5.6Vを印加することにより、内部ノードN1の電位VN1（H）が5Vから少し低下しているとすれば、ソース線SLと内部ノードN1の間にはダイオードD1のターンオン電圧Vdn以上の電位差が生じる。よって、ソース線SLから内部ノードN1に向かう方向にダイオードD1は導通し、ソース線SLから内部ノードN1に向けて電流が流れる。これにより、内部ノードN1の電位VN1（H）は、ソ

50

ース線 S L と内部ノード N 1 の電位差がターンオン電圧 V_{dn} ($= 0.6 \text{ V}$) に等しくなるまで上昇する。つまり、 $V_{N1}(H)$ は、 5 V まで上昇した後、その電位を維持する。これにより、ケース H におけるリフレッシュ動作が実行される。

【0223】

ケース M の場合につき詳述する。リファレンス線 R E F に 6.5 V が印加される時刻 t_4 の直前の段階で、ノード N 2 の電位 $V_{N2}(M)$ は約 1.2 V であり、 $V_{N1}(M)$ は 3 V である。この状態で時刻 t_4 においてリファレンス線 R E F に 6.5 V が印加されると、トランジスタ T 2 はノード N 2 から N 1 に向かう方向に導通し、この向きに電流が発生する。しかし、上述したように、ノード N 2 の寄生容量に比べてノード N 1 の寄生容量が遥かに大きいので、この電流発生によりノード N 2 の電位が低下する一方、ノード N 1 の電位は不変となる。ノード N 2 は、ノード N 1 と同電位（すなわち 3 V ）になるまで電位を低下させた後、電位低下が停止する。なお、この時点では、ケース M はフェーズ P 1 において既にリフレッシュ動作が行われているため、ノード N 2 の電位 $V_{N2}(M)$ もリフレッシュ動作後の $V_{N1}(M)$ と同電位となる。

10

【0224】

ノード N 2 の電位が、ノード N 1 の電位にトランジスタ T 1 の閾値電圧 (2 V) を加えた電圧（つまり 5 V ）を下回ると、トランジスタ T 1 は非導通となる。そして、上述のようにノード N 2 はノード N 1 と同電位になって電位変化を停止させるため、その後引き続きトランジスタ T 1 は非導通となる。従って、この状態の下で、ソース線 S L に 5.6 V が印加されていても、この電圧がトランジスタ T 1 を介してノード N 1 (M) に供給されるということはない。つまり、フェーズ P 2 におけるソース線 S L への印加電圧 (5.6 V) は、内部ノード N 1 の電位 $V_{N1}(M)$ の電位には影響しない。

20

【0225】

逆に言えば、時刻 t_5 においてソース線 S L に 5.6 V が印加された場合に、この電圧がケース M の内部ノード N 1 に供給されないようにするためには、時刻 t_5 の時点でトランジスタ T 1 が非導通になっていることが条件となる。リファレンス線 R E F に 6.5 V を印加する直前の段階ではケース M のトランジスタ T 1 は導通されており、これを非導通とするためには、リファレンス線 R E F に 6.5 V を印加した後、ノード N 2 の電位 V_{N2} が少なくとも 5 V を下回っていることが条件となる。このため、時刻 t_4 においてリファレンス線 R E F に 6.5 V を印加した後、ノード N 2 の電位 V_{N2} が少なくとも 5 V を下回るまで時間が経過してからソース線 S L の印加電圧を 5.6 V に変更する必要がある。従って、ソース線 S L に 5.6 V を印加する時刻 t_5 は、少なくともリファレンス線 R E F に 6.5 V を印加する時刻 t_4 よりも後の時刻であることが要求される。図 23 においては、トランジスタ T 1 (M) が ON から OFF に移行するタイミングを、時刻 t_4 より少し遅らせているのはこのことを表わしている。

30

【0226】

ケース L においてはフェーズ P 1 から引き続きトランジスタ T 1 が非導通であるため、ソース線 S L と内部ノード N 1 は導通していない。よってソース線 S L への印加電圧は、内部ノード N 1 の電位 $V_{N1}(L)$ の電位には影響しない。

【0227】

以上をまとめると、フェーズ P 2 では、内部ノード N 1 の電位がリフレッシュ分離電圧以上でリフレッシュ目標電圧以下となっている画素回路に対して、リフレッシュ動作が実行される。ここでは、リフレッシュ分離電圧を 4.5 V ($= 6.5 - 2 \text{ V}$)、リフレッシュ目標電圧を 5 V としたため、内部ノード N 1 の電位 V_{N1} が 4.5 V 以上 5 V 以下の画素回路に対してのみ、すなわちケース H に対してのみ電位 V_{N1} を 5 V にリフレッシュする動作が行われる。

40

【0228】

ケース H のリフレッシュ動作の後、ブースト線 B S T への電圧印加を停止し（時刻 t_6 ）、リファレンス線 R E F に高電圧（ここでは 10 V ）を印加して各ケース H, M, L においてトランジスタ T 2 を導通させる（時刻 t_7 ）。そして、ソース線 S L への電圧印加

50

を停止する（時刻 t_8 ）。なお、時刻 $t_6 \sim t_8$ の順序はこの順に限られず、また、同時に実行しても良い。

【0229】

《ステップ S2》

時刻 t_8 以後は、そのままの電圧状態で待機するステップ S2 に移行する（時刻 $t_8 \sim t_9$ ）。このとき、リファレンス線 REF に高電圧を印加しているため、各ケース H, M, L 共にノード N1 と N2 の電位が同電位を示している。待機ステップ S2 がリファレンスステップ S1 よりも十分長い時間確保される点は第2実施形態と同様である。

【0230】

以上説明したように、図23に示す本実施形態のセルフリフレッシュ動作によれば、図18に示す第2実施形態の場合と比較して、ブースト線 BST への電圧変動の回数を抑制することができ、消費電力を更に削減することが可能となる。なお、上記説明は、図7の画素回路2Aの他、図8に示す変形型の画素回路に対しても同様に当てはまることは言うまでもない。

【0231】

なお、第2実施形態の場合には、ケースHとケースMのリフレッシュ動作の順序を入れ替えることが可能であったが、ブースト線 BST への電圧変動回数を1回とした本実施形態の場合には、ケースMをリフレッシュ動作を行った後にケースHのリフレッシュ動作を行う必要があり、その逆の順序では行うことができない。なぜなら、先にケースHのリフレッシュ動作を実行すべくブースト線 BST に10Vを印加すると、ケースMのノードN2の電位が突き上がらないため、ケースMのリフレッシュ動作を実行するために再度ブースト線 BST に電圧変動を生じさせる必要があるためである。

【0232】

また、本実施形態では、時刻 t_1 の直前、並びに待機ステップ S2 においてリファレンス線 REF に10V（ケースH, M, LによらずトランジスタT2が導通する電圧）を印加しているが、第2実施形態のように、リファレンス線 REF に0Vを印加してトランジスタT2をオフにしても良い。ただし、本実施形態のような電圧印加とすることで、リファレンス線 REF への印加電圧の変動を抑制することができる。

【0233】

<第2類型>

図9に示す第2類型の画素回路2Bの場合、トランジスタT4を備えているが、このトランジスタT4の導通状態を制御するための選択線SELを、ブースト線BSTとは別に備えている。従って、リフレッシュステップS1の間にわたって、常時トランジスタT4が導通状態となるように選択線SELに電圧印加を行っておけば、第1類型と全く同じ電圧状態を実現することができる。この場合のタイミング図を図24に示す。なお、ここでは選択線SELに対する印加電圧を10Vとした。

【0234】

また、ブースト線BSTに対してブースト電圧を印加するタイミングと同じタイミングで選択線SELにパルス状に電圧を印加しても良い。この場合のタイミング図を図25に示す。

【0235】

上記の説明は、図9の画素回路2Bの他、図10～図11に示す画素回路2B、図12～図15に示す画素回路2Cに対しても同様に当てはまることは言うまでもない。詳細な説明は割愛する。

【0236】

<第3類型>

【0237】

第3類型に属する各画素回路2D、2Eは、第2類型に属する各画素回路に対し、トランジスタT4の制御端子の接続先をブースト線BSTに変更し、選択線SELを備えなくした構成である。従って、第2類型の画素回路とは異なり、トランジスタT4の導通制御

10

20

30

40

50

は、ブースト線 B S T によって左右されることとなる。

【0238】

しかしながら、図 25 に示したように、第 2 類型において、ブースト線 B S T と同じタイミングで選択線 S E L にパルス電圧を印加しても、第 1 類型の各画素回路と全く同様の電圧状態を実現することができる。そして、このことは、トランジスタ T 4 の制御端子をブースト線 B S T に接続しても、全く同じ電圧状態を実現できることを意味するものである。

【0239】

従って、図 25 と同じ電圧状態とすることで、図 16 の画素回路 2 D に対してもセルフリフレッシュ動作を実行することができる。そして、このことは、図 17 の画素回路 2 E に対しても当てはまるものである。詳細な説明は割愛する。

10

【0240】

[第 4 実施形態]

第 4 実施形態では、常時表示モードにおける書き込み動作につき、図面を参照して説明する。

【0241】

常時表示モードにおける書き込み動作では、1 フレーム分の画素データを水平方向（行方向）の表示ライン毎に分割し、1 水平期間毎に、各列のソース線 S L に 1 表示ライン分の各画素データに対応した電圧を印加する。ここでも、第 2 実施形態と同様、画素データは 3 階調が想定されるものとする。すなわち、ソース線 S L には、高レベル電圧（5 V）、中レベル電圧（3 V）、又は低レベル電圧（0 V）が印加される。そして、選択された表示ライン（選択行）のゲート線 G L に選択行電圧 8 V を印加して、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 2 2 を導通状態にして、各列のソース線 S L の電圧を、選択行の各画素回路 2 の内部ノード N 1 に転送する。

20

【0242】

選択された表示ライン以外（非選択行）のゲート線 G L には、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 2 2 を非導通状態にするため、非選択行電圧 -5 V を印加する。なお、以下に説明する書き込み動作における各信号線の電圧印加のタイミング制御は、表示制御回路 1 1 によって行われ、個々の電圧印加は、表示制御回路 1 1、対向電極駆動回路 1 2、ソースドライバ 1 3、ゲートドライバ 1 4 によって行われる。

30

【0243】

<第 1 類型>

まず、第 2 スイッチ回路 2 3 がトランジスタ T 1 とダイオード D 1 のみの直列回路で構成される、第 1 類型に属する画素回路について説明する。

【0244】

図 26 に、第 1 類型の画素回路 2 A（図 7）を使用した書き込み動作のタイミング図を示す。図 26 では、1 フレーム期間における 2 本のゲート線 G L 1、G L 2、2 本のソース線 S L 1、S L 2、リファレンス線 R E F、補助容量線 C S L、ブースト線 B S T の各電圧波形と、対向電圧 V c o m の電圧波形を図示している。

【0245】

更に、図 26 では、4 つの画素回路 2 A の内部ノード N 1 の電位 V N 1 の波形を合わせて表示している。これら 4 つの画素回路 2 A は、それぞれ、ゲート線 G L 1 とソース線 S L 1 で選択される画素回路 2 A（a）、ゲート線 G L 1 とソース線 S L 2 で選択される画素回路 2 A（b）、ゲート線 G L 2 とソース線 S L 1 で選択される画素回路 2 A（c）、ゲート線 G L 2 とソース線 S L 2 で選択される画素回路 2 A（d）である。図中では、内部ノード電位 V N 1 の後ろに、それぞれ（a）～（d）を付して区別している。

40

【0246】

1 フレーム期間は、ゲート線 G L の本数分の水平期間に分割され、各水平期間に選択されるゲート線 G L 1 ～ G L n が順番に割り当てられている。図 26 では、最初の 2 水平期間における 2 本のゲート線 G L 1、G L 2 の電圧変化を図示している。第 1 水平期間では

50

、ゲート線 G L 1 に選択行電圧 8 V が、ゲート線 G L 2 に非選択行電圧 - 5 V が印加され、第 2 水平期間では、ゲート線 G L 2 に選択行電圧 8 V が、ゲート線 G L 1 に非選択行電圧 - 5 V が印加され、それ以後の水平期間では、両ゲート線 G L 1, G L 2 に非選択行電圧 - 5 V が印加される。

【0247】

各列のソース線 S L には、水平期間毎に対応する表示ラインの画素データに対応した電圧 (5 V, 3 V, 0 V) が印加される。図 26 では、各ソース線 S L を代表して 2 本のソース線 S L 1, S L 2 を図示している。なお、図 26 では、内部ノード N 1 の電位 V N 1 の変化を説明するため、最初の 2 水平期間の 2 本のソース線 S L 1, S L 2 の電圧を 5 V, 3 V, 0 V に分けて図示している。その後は、画素データに対応した 3 値の電圧が印加

10

【0248】

図 26 では、一例として、第 1 水平期間 h 1 において、画素回路 2 A (a) に高レベル電圧を、画素回路 2 A (b) に低レベル電圧をそれぞれ書き込み、更に第 2 水平期間 h 2 において、画素回路 2 A (c) 及び 2 A (d) に中レベル電圧を書き込む場合を示している。

【0249】

以下では、一例として、書き込み動作直前の時点における各画素回路 2 A (a) ~ (d) は、それぞれ 2 A (a) がほぼ 0 V (低電圧状態)、2 A (b) 及び 2 A (c) がほぼ 3 V (中電圧状態)、2 A (d) がほぼ 5 V (高電圧状態) に書き込まれていたものとする。なお、ここでいう「ほぼ」とは、第 2 実施形態で上述したように、リーク電流などに起因して経時的な電位変化を考慮した記載である。

20

【0250】

つまり、本実施形態の書き込み動作によって、画素回路 2 A (a) は 0 V から 5 V に書き込まれ、2 A (b) は 3 V から 0 V に書き込まれ、2 A (c) は引き続き 3 V が書き込まれ、2 A (d) は 5 V から 3 V に書き込まれるものとする。

【0251】

書き込み動作の期間中 (1 フレーム期間中)、リファレンス線 R E F には、トランジスタ T 2 を内部ノード N 1 の電圧状態に関係なく常時オン状態とするような電圧を印加する。ここでは 8 V とした。この電圧は、高電圧状態に書き込まれた内部ノード N 1 の電位 V N 1 (5 V) にトランジスタ T 2 の閾値電圧 (2 V) を加えた値よりも大きい値であれば良い。これにより、出力ノード N 2 と内部ノード N 1 が電氣的に接続され、内部ノード N 1 に接続する補助容量素子 C s を、内部ノード電位 V N 1 の安定化のために利用できる。

30

【0252】

また、書き込み動作期間中、ブースト突き上げ動作を行うことはないたため、ブースト線 B S T には低レベル電圧 (ここでは 0 V とした) を印加する。補助容量線 C S L は所定の固定電圧 (例えば、0 V) に固定する。対向電圧 V c o m は、上述した対向 A C 駆動がなされるが、1 フレーム期間の間は高レベル電圧 (5 V) 又は低レベル電圧 (0 V) のいずれか一方に固定される。図 26 では、対向電圧 V c o m を 0 V に固定した。

40

【0253】

第 1 水平期間 h 1 において、ゲート線 G L 1 に選択行電圧を印加し、各ソース線 S L に対して、画素データに応じた電圧を印加する。ゲート線 G L 1 にトランジスタ T 3 の制御端子が接続されている画素回路のうち、画素回路 2 A (a) には 5 V を、画素回路 2 A (b) には 0 V をそれぞれ書き込むため、ソース線 S L 1 に 5 V を、ソース線 S L 2 に 0 V をそれぞれ印加する。その他のソース線についても、同様に画素データに応じた電圧が印加される。

【0254】

第 1 水平期間 h 1 において、画素回路 2 A (a) 及び 2 A (b) では、いずれもトランジスタ T 3 が導通するため、ソース線 S L への印加電圧がトランジスタ T 3 を介して内部

50

ノードN1へと書き込まれる。

【0255】

一方、第1水平期間h1において、ゲート線GL1以外のゲート線GLにトランジスタT3の制御端子が接続されている画素回路については、トランジスタT3が非導通であるため、ソース線SLへの印加電圧が第1スイッチ回路22を介して内部ノードN1に与えられるということはない。

【0256】

ここで、ゲート線GL2とソース線SL1で選択される画素回路2A(c)に着目する。画素回路2A(c)は、トランジスタT3の制御端子がゲート線GL2に接続されているため、上述したようにトランジスタT3が非導通であり、第1スイッチ回路22を介してソース線SL1への印加電圧(5V)が内部ノードN1に書き込まれるということはない。

10

【0257】

そして、書き込み直前時においては、内部ノードN1の電位VN1(c)がほぼ3Vを示しており、内部ノードN1と出力ノードN2は同電位を示すため、トランジスタT1のゲート電位もほぼ3Vを示す。ソース線SL1には5Vが印加されているため、トランジスタT1は非導通となる。従って、第2スイッチ回路23を介してソース線SL1への印加電圧が内部ノードN1に書き込まれるということもない。

【0258】

よって、第1水平期間h1において、VN1(c)は依然として書き込み動作直前時の電位を保持する。

20

【0259】

次に、ゲート線GL2とソース線SL2で選択される画素回路2A(d)に着目する。画素回路2A(d)も、トランジスタT3の制御端子がゲート線GL2に接続されているため、画素回路2A(c)と同様に、トランジスタT3が非導通である。従って、第1スイッチ回路22を介してソース線SL2への印加電圧(0V)が内部ノードN1に与えられるということはない。

【0260】

そして、書き込み直前時においては、内部ノードN1の電位VN1(d)がほぼ5Vを示している。ソース線SL2には0Vが印加されているため、ダイオードD1には逆バイアスの電圧が印加される。従って、第2スイッチ回路23を介してソース線SL2への印加電圧(0V)が内部ノードN1に与えられるということはない。

30

【0261】

よって、第1水平期間h1において、VN1(d)も依然として書き込み動作直前時の電位を保持する。

【0262】

一方、第2水平期間h2においては、画素回路2A(c)及び2A(d)にそれぞれ3Vを書き込むべく、ゲート線GL2に選択行電圧を印加し、それ以外のゲート線GLには非選択行電圧を印加し、ソース線SL1及びSL2にはそれぞれ3Vを印加し、他のソース線SLにもゲート線GL2によって選択される各画素回路の画素データに応じた電圧を印加する。画素回路2A(c)および2A(d)は、第1スイッチ回路22を介してソース線SLへの印加電圧が内部ノードN1に与えられる。そして、画素回路2A(a)及び2A(b)は、第1スイッチ回路22が非導通であり、また、第2スイッチ回路23においても、ダイオードD1が逆バイアス状態となるか、或いはトランジスタT1が非導通状態となることで非導通であるため、ソース線SLへの印加電圧が内部ノードN1に与えられることはない。

40

【0263】

このような電圧印加を行うことで、選択された画素回路に対してのみ、画素データに応じた電圧が、ソース線SLから第1スイッチ回路22を介して内部ノードN1に与えられる。

50

【0264】

なお、上述の実施形態では、各画素回路が図7に示す画素回路2Aである場合を想定して説明したが、図8に示す画素回路2Aであっても同様に書き込み動作を実現できることは言うまでもない。

【0265】

<第2類型>

次に、第2スイッチ回路23が、トランジスタT1、ダイオードD1、及びトランジスタT4の直列回路で構成されると共に、トランジスタT4の制御端子が選択線SELに接続される第2類型に属する画素回路について説明する。

【0266】

第2類型では、第1スイッチ回路22がトランジスタT3のみで構成される画素回路2B（図9～図11）、トランジスタT3とT4（又はT5）の直列回路で構成される画素回路2C（図12～図15）が想定されることは上述した通りである。

【0267】

第1類型で上述したように、書き込み動作時には第2スイッチ回路23を非導通とし、第1スイッチ回路22を介してソース線SLから内部ノードN1へ電圧を印加する。画素回路2Bにおいては、トランジスタT4を常に非導通としておくことで、書き込み動作時に第2スイッチ回路23を確実に非導通とすることが可能である。また、その他については第1類型と同様の方法で書き込み動作の実現が可能である。図27に、第2タイプの画素回路2B（図9）を使用した書き込み動作のタイミング図を示す。なお、図27では、書き込み動作期間中トランジスタT4を非導通とすべく、選択線SELに-5Vを印加するものとした。

【0268】

一方、図12～図15のように、第1スイッチ回路22がトランジスタT3とT4（又はT5）の直列回路で構成される場合には、書き込み動作時には、第1スイッチ回路22を導通すべく、トランジスタT3に加えてT4（又はT5）も導通させる必要がある。なお、図15に示す画素回路2Cは、第1スイッチ回路22がトランジスタT5を備えているが、このトランジスタT5はトランジスタT4と制御端子同士が接続されているため、他の画素回路2Cと同様にトランジスタT4の導通制御を行うことで第1スイッチ回路22の導通制御が行われる。

【0269】

以上を踏まえると、画素回路2Cでは、画素回路2Bのように全ての選択線SELを一括して制御するのではなく、ゲート線GLと同様に、行単位に個別に制御する必要がある。つまり、選択線SELは行毎に1本ずつ、ゲート線GL1～GLnと同数設けられ、ゲート線GL1～GLnと同様に順番に選択される。

【0270】

図28に、第2タイプの画素回路2C（図12）を使用した書き込み動作のタイミング図を示す。図28では、最初の2水平期間における2本の選択線SEL1、SEL2の電圧変化を図示している。第1水平期間では、選択線SEL1に選択用電圧8Vが、選択線SEL2に非選択用電圧-5Vが印加され、第2水平期間では、選択線SEL2に選択用電圧8Vが、選択線SEL1に非選択用電圧-5Vが印加され、それ以後の水平期間では、両選択線SEL1、SEL2に非選択用電圧-5Vが印加される。その他の点は、図26に示す第1タイプの画素回路2Aの書き込み動作のタイミング図と同じである。これによって、図26に示す第1タイプの画素回路2Aと同じ電圧状態を実現することができる。詳細な説明は割愛する。

【0271】

<第3類型>

次に、第2スイッチ回路23が、トランジスタT1、ダイオードD1、及びトランジスタT4の直列回路で構成されると共に、トランジスタT4の制御端子がブースト線BSTに接続される第3類型に属する画素回路について説明する。

【0272】

第3種類の画素回路は、第2種類と比べて、選択線SELを備えず、トランジスタT4の制御端子にブースト線BSTが接続されている点のみが異なる。従って、第2種類において選択線SELに印加したのと同様の方法で、ブースト線BSTに電圧を印加すれば良い。図29に第3種類の画素回路2D（図16）を使用した書き込み動作のタイミング図を示す。

【0273】

なお、このとき、リファレンス線REFには8Vが印加され、トランジスタT2は常に導通しているため、ブースト線BSTの印加電圧が上昇しても、出力ノードN2の電位VN2はほとんど上昇せず、トランジスタT1が導通するということはない。

10

【0274】

[第5実施形態]

第5実施形態では、常時表示モードにおけるセルフリフレッシュ動作と書き込み動作の関係について説明する。

【0275】

常時表示モードでは、1フレーム分の画像データに対して書き込み動作を実行した後、一定期間は書き込み動作を行わずに、直前に行われた書き込み動作によって得られる表示内容を維持させる。

【0276】

書き込み動作によって、ソース線SLを介して各画素内の内部ノードN1（画素電極20）に電圧が与えられる。その後、ゲート線GLが低レベルとなり、トランジスタT3が非導通状態となる。しかし、直前の書き込み動作によって画素電極20に蓄積された電荷の存在により内部ノードN1の電位VN1が保持される。すなわち、画素電極20と対向電極80との間には電圧V1cが維持される。これにより、書き込み動作が完了した後においても、液晶容量C1c両端に対して画像データの表示に必要な電圧が印加された状態が継続する。

20

【0277】

対向電極80の電位が固定されている場合、液晶電圧V1cは画素電極20の電位に依存する。この電位は、画素回路2内のトランジスタのリーク電流の発生に伴って、時間経過と共に変動する。例えば、ソース線SLの電位が内部ノードN1の電位より低い場合には、内部ノードN1からソース線SLに向かうリーク電流が生じ、内部ノードN1の電位VN1は経時的に減少する。逆に、ソース線SLの電位が内部ノードN1の電位より高い場合（特に低電圧状態の書き込みがされている場合）には、ソース線SLから内部ノードN1に向かうリーク電流が生じ、VN1が経時的に増加する。つまり、外部からの書き込み動作を行うことなく時間が経過すると、液晶電圧V1cが徐々に変化していき、この結果、表示画像も変化してしまう。

30

【0278】

通常表示モードの場合、静止画像であっても1フレーム毎に全ての画素回路2に対して書き込み動作を実行する。従って、画素電極20に蓄積された電荷量は1フレーム期間だけ維持できれば良い。高々1フレーム期間内における画素電極20の電位変動量はごくわずかであるため、この間の電位変動は、表示される画像データに対して視覚的に確認できる程度の影響を与えるものではない。このため、通常表示モードでは、画素電極20の電位変動はあまり問題とはならない。

40

【0279】

これに対し、常時表示モードでは、1フレーム毎に書き込み動作を実行する構成ではない。従って、対向電極80の電位が固定されている間、場合によって数フレームにわたって画素電極20の電位を保持する必要がある。しかし、数フレーム期間にわたって書き込み動作を行わずに放置しておくと、前述したリーク電流の発生によって画素電極20の電位は断続的に変動する。この結果、表示される画像データが、視覚的に確認できる程度に変化するおそれもある。

50

【0280】

このような現象が生じるのを避けるべく、常時表示モードでは、図30のフローチャートに示す要領で、セルフリフレッシュ動作と書き込み動作を組み合わせることで、画素電極の電位変動を抑制しながらも大幅な電力消費の低減を図る。

【0281】

まず、常時表示モードにおける1フレーム分の画素データの書き込み動作を、第4実施形態で上述した要領で実行する（ステップ#1）。

【0282】

ステップ#1の書き込み動作後、第2実施形態で上述した要領によりセルフリフレッシュ動作を実行する（ステップ#2）。上述したように、セルフリフレッシュ動作は、リフレッシュステップS1と待機ステップS2によって構成される。

10

【0283】

ここで、待機ステップS2の期間中に、新たな画素データの書き込み動作（データ書き換え）、外部リフレッシュ動作、又は外部極性反転動作の要求を受け取ると（ステップ#3のYES）、ステップ#1に戻り、新たな画素データまたは従前の画素データの書き込み動作を実行する。待機ステップS2の期間中に、当該要求を受け取らない場合（ステップ#3のNO）は、ステップ#2に戻り再びセルフリフレッシュ動作を実行する。これにより、リーク電流の影響による表示画像の変化を抑制することができる。

【0284】

セルフリフレッシュ動作を行わずに、書き込み動作によってリフレッシュ動作を行うとすると、上述の数1に示す関係式で表わされる消費電力となるが、同じリフレッシュレートでセルフリフレッシュ動作を繰り返す場合、各画素回路が3値の画素データを保持するとすれば、第4実施形態のように全てのソース線電圧の駆動回数が2回であるため、数1中の変数nが2となり、表示解像度（画素数）としてVGAを想定すると、 $m=1920$ 、 $n=480$ であるので、240分の1程度の消費電力の低減が期待される。

20

【0285】

本実施形態において、セルフリフレッシュ動作と、外部リフレッシュ動作又は外部極性反転動作を併用する理由は、仮に、当初正常に動作していた画素回路2であっても、経年変化により、第2スイッチ回路23または制御回路24に不具合が生じ、書き込み動作は支障なく実施できるが、セルフリフレッシュ動作を正常に実行できない状態が、一部の画素回路2に発生する場合に対処するためである。つまり、セルフリフレッシュ動作だけに依存すると、当該一部の画素回路2の表示に劣化が現れ、それが固定されるが、外部極性反転動作を併用することで、当該表示欠陥の固定化を防止することができる。

30

【0286】

[第6実施形態]

第6実施形態では、通常表示モードにおける書き込み動作につき、各類型毎に図面を参照して説明する

【0287】

通常表示モードにおける書き込み動作では、1フレーム分の画素データを水平方向（行方向）の表示ライン毎に分割し、1水平期間毎に、各列のソース線SLに1表示ライン分の各画素データに対応した多階調のアナログ電圧を印加すると共に、選択された表示ライン（選択行）のゲート線GLに選択行電圧8Vを印加して、当該選択行の全ての画素回路2の第1スイッチ回路22を導通状態にして、各列のソース線SLの電圧を、選択行の各画素回路2の内部ノードN1に転送する動作である。選択された表示ライン以外（非選択行）のゲート線GLには、当該選択行の全ての画素回路2の第1スイッチ回路22を非導通状態にするため、非選択行電圧-5Vを印加する。

40

【0288】

なお、常時表示モードとは異なり、通常表示モードの書き込み動作では、対向電圧Vcomが1水平期間毎に変化する（対向AC駆動）ため、補助容量線CSLを対向電圧Vcomと同電圧となるように駆動する。これは、画素電極20が、対向電極80と液晶層を

50

介して容量結合していると共に、補助容量素子C sを介して補助容量線C S Lとも容量結合しているため、仮に補助容量素子C sの電圧を固定してしまうと、数2においてV c o mだけが変動してしまい、これによって非選択行の画素回路2の液晶電圧V l cの変動を誘発するためである。このため、全ての補助容量線C S Lを対向電圧V c o mと同電圧に駆動することで、対向電極80と画素電極20の電圧を同じ電圧方向に変化させ、対向A C駆動の影響を相殺している。

【0289】

通常表示モードは、対向A C駆動を行う点、及びソース線S Lから常時表示モード時よりも多階調のアナログ電圧が印加される点を除けば、常時表示モードの書き込み動作と原理的に同じ動作であるため、詳細な説明を割愛する。図31に、第1種類の画素回路2A（図7）に対する常時表示モード時の書き込み動作のタイミング図を示す。なお、図31において、ソース線S Lにはアナログ表示ラインの画素データに対応した多階調のアナログ電圧が印加されるため、印加電圧は最小値V Lと最大値V Hの間で一義的には特定されないため、斜線により塗りつぶすことでこれを表現している。

10

【0290】

同様に、図32には、第2種類の画素回路2C（図12）を使用した書き込み動作のタイミング図を示す。

【0291】

本実施形態では、通常表示モードにおける書き込み動作において、1水平期間毎に各表示ラインの極性を反転させる方法を採用したが、これは、1フレーム単位で極性反転した場合に発生する以下に示す不都合を解消するためである。なお、このような不都合を解消する方法としては、列毎に極性反転駆動する方法や、行及び列方向同時に画素単位で極性反転駆動する方法もある。

20

【0292】

あるフレームF1で全ての画素において正極性の液晶電圧V l cを印加し、次のフレームF2で全ての画素において負極性の液晶電圧V l cを印加した場合を想定する。液晶層75に対して同一絶対値の電圧が印加された場合であっても、正極性か負極性によって光の透過率に微少な差異が生じる場合がある。高画質の静止画を表示している場合、この微少な差異の存在が、フレームF1とフレームF2で表示態様に微細な変化を生む可能性がある。また、動画表示時においても、フレーム間で同一内容の表示内容となるべき表示領域内において、その表示態様に微細な変化を生む可能性がある。高画質の静止画や動画の表示時には、このような微細な変化でも視覚的に認識することができる場合が想定される。

30

【0293】

そして、通常表示モードは、このような高画質の静止画や動画を表示するモードであるため、上述のような微細な変化が視覚的に認識される可能性がある。このような現象を回避すべく、本実施形態では、同一フレーム内において表示ライン毎に極性を反転させている。これにより、同一フレーム内でも表示ライン間で異なる極性の液晶電圧V l cが印加されているため、液晶電圧V l cの極性に基づく表示画像データへの影響を抑制できる。

【0294】

40

〔第7実施形態〕

第7実施形態では、セルフリフレッシュ動作並びに常時表示モードにおける書き込み動作に関し、チャツキをより防止する機能を備えた動作方法につき説明する。

【0295】

《書き込み動作》

上記第4実施形態では、常時表示モードの書き込み動作において、1フレーム期間にわたって対向電圧V c o mの値を一定としていた。例えば、図26では、書き込み動作が開始する時刻において、V c o mを5V（Hレベル）から0V（Lレベル）に移行した後、1フレームにわたってこの0Vの値を維持したまま、活性化するゲート線G Lを切り替えて各行に配置された画素回路の内部ノードN1に対して画素データを書き込む。そして、

50

最終行に配置された画素回路に対する書き込みが完了した後、対向電圧 V_{com} を 0 V （ L レベル）から 5 V （ H レベル）にシフトさせた後、1 フレーム期間にわたって 5 V を維持したまま再び書き込み動作を行う。

【0296】

つまり、1 フレーム期間内においては、 V_{com} の値が一定値で保持され、最終ラインまでの書き込みが完了した後、 V_{com} の値を H/L の間で反転させ、その後、この反転した V_{com} の値が1 フレームの期間にわたって保持される構成であった。

【0297】

しかし、このような書き込み方法によれば、チラツキが視認される場合がある。この理由につき以下説明する。

10

【0298】

図33は、第4実施形態で説明した方法により書き込み動作を行った場合を示す概念図である。（a）では、全ての画素回路におけるノード $N1$ の電位 V_{N1} が、対向電圧 V_{com} に対して負極性である場合を想定している。すなわち、 V_{com} の値は H レベル値（図26の例によれば 5 V ）を示しているとする。

【0299】

書き込み動作の開始前において、 V_{com} の値が反転する（b）。ここでは、直前において高レベル値であったため、低レベル値（ 0 V ）へと移行する。

【0300】

ここで、図7の画素回路2Aを参照すると、 V_{com} の値が 5 V から 0 V へ低下したとき、対向電極80の電位が 5 V から 0 V に低下する。そして、これに伴って画素電極20の電位も突き下げられる。画素電極20の電位変動量は、液晶容量 C_{lc} とノード $N1$ の全寄生容量の比率によって決定されるが、少なくとも対向電極80の電位変動量と完全に同一になるということではなく、その値よりも少ない変動量になる。

20

【0301】

従って、 V_{com} の（a）の時点に比べて、（b）の時点では、液晶容量素子 C_{lc} の両端間電圧が低下する。この結果、（b）の時点において表示装置は全体的に輝度が低下する。

【0302】

その後、第1行から順次画素回路に対して書き込みを行う。書き込み動作が行われると、液晶容量素子 C_{lc} の両端間には画素データに対応した電圧が誘起され、当該画素データに対応した輝度が表示される。

30

【0303】

しかし、このような構成の場合、最終行に位置する画素回路においては、（b）の時点で輝度がひとたび低下してから、正しい輝度に復帰するまでに1 フレーム分の時間（例えば 16.7 ms ）がかかることとなる。輝度が低下している時間が長くなると、チラツキとして視認可能な状態になってしまう。

【0304】

かかる問題を解消すべく、本実施形態では、偶数行と奇数行で書き込み電圧の極性を異ならせた上で、書き込み時において1 水平期間毎に V_{com} を反転させる構成とする。

40

【0305】

図34は、本実施形態の書き込み動作のタイミング図である。また、図35は、本実施形態の書き込み動作を行った場合の各画素の極性の変化を示す概念図である。

【0306】

図34では、本実施形態に特徴的な部分のみを抜粋して示している。また、画素 $a1$ ， $b1$ ， $c1$ のノード $N1$ の電位の変化につき、夫々、 $V_{N1}(a1)$ ， $V_{N1}(b1)$ ， $V_{N1}(c1)$ として示している。画素 $a1$ ， $b1$ ， $c1$ は、夫々ゲート線 $GL1$ ， $GL2$ ， $GL3$ によって選択される一の画素とする。また、説明のために、各画素のノード $N1$ の電位と共に V_{com} の値についても並べて示している。

【0307】

50

なお、図34及び図35では、書き込み動作開始前の V_{com} が正極性であるとして説明するが、負極性であっても同様の説明が可能である。

【0308】

図35(a)は、書き込み動作開始前の各画素の電圧極性を示している。図35(a)において、「-」と書かれた画素は、ノードN1が対向電圧 V_{com} を基準として負極性となるように書き込まれており、「+」と書かれた画素は、ノードN1が対向電圧 V_{com} を基準として正極性となるように書き込まれていることを示している。図35(a)では、「-」と「+」が行毎に交互になるように示されているが、これは奇数行と偶数行で、ノードN1の極性が交互に反転するように書き込まれることを示している。

【0309】

また、図35(a)では、偶数行の画素について網掛けを施すことで、偶数行の画素において輝度が低下している状態を示している。これは、図35(a)の状態となる以前の時点において、対向電圧 V_{com} が「L」のタイミングで偶数行の書き込みが行われ、対向電圧 V_{com} が「H」のタイミングで奇数行の書き込みが行われることを想定した内容が示されたものである。

【0310】

上述したように、対向電圧 V_{com} を「H」から「L」にシフトさせたとき、ノードN1の電位 V_{N1} も引き下げられるが、 V_{N1} の変化量が V_{com} の変化量より少なくなるため、液晶容量素子C1cの両端間電圧が低下し、これによって輝度が低下する。

【0311】

ところが、その後、再び対向電圧 V_{com} を「L」から「H」にシフトさせると、ノードN1の電位 V_{N1} は、直前に対向電圧 V_{com} が「H」を示していた時点の値に復帰する。このため、液晶容量素子C1cの両端間電圧も正しい値に復帰するため、輝度が低下していた状態は解消する。

【0312】

対向電圧 V_{com} が「L」レベルの時点で奇数行の画素に対する書き込みが行われる場合、 V_{com} が「H」レベルにシフトすると当該奇数行の画素の輝度は低下するが、その後再び V_{com} が「L」レベルにシフトすると、輝度の低下は解消する。同様に、対向電圧 V_{com} が「H」レベルの時点で偶数行の画素に対する書き込みが行われる場合、 V_{com} が「L」レベルにシフトすると当該偶数行の画素の輝度は低下するが、その後再び V_{com} が「H」レベルにシフトすると、輝度の低下は解消する。

【0313】

以上を理由として、図35(a)に示す時点では、対向電圧 V_{com} が「H」であるため、奇数行の画素については所望の輝度を示している一方、偶数行の画素については輝度の低下を招いている。

【0314】

なお、本実施形態においては、各水平期間毎に対向電圧 V_{com} のレベルを反転させるのみならず、書き込み動作が行われる1フレーム期間毎に各画素における対向電圧 V_{com} に対する極性も反転させる。

【0315】

つまり、図35(a)に示す時点(図34に示す書き込みフェーズの開始直前の時点)では、対向電圧 V_{com} に対するノードN1の極性が、奇数行は負極性、偶数行は正極性となるように各画素に対して電圧が書き込まれている。この場合、図34に示す書き込みフェーズでは、奇数行が正極性、偶数行が負極性となるように各画素に対して書き込み動作が行われる(例えば、後述の図35(c)参照)。

【0316】

第1水平期間h1において、まず対向電圧 V_{com} を「L」レベルに反転させる。このとき、図35(b)に示すように、奇数行の画素については輝度の低下を招来する一方、偶数行の画素については輝度の低下が解消し、所望の輝度に復帰する。

【0317】

そして、ゲート線 G L 1 を活性化し、第 1 行に配置された各画素回路に対し、画素データに応じた電圧をソース線 S L を介して書き込む。画素 a 1 においても、この期間 h 1 内に書き込みが行われ、この結果、V c o m に対するノード N 1 (a 1) の極性は正極性となる（極性が反転する）。図 3 5 (c) においても、第 1 行の各画素を「+」と記載することで、この点を示している。

【0318】

なお、図 3 5 (c) の時点において、第 1 行の画素は実際に書き込み動作が行われるため、所望の輝度を示す。図 3 5 (c) において第 1 行の画素に網掛けがされていないのは、これを理由とする。

【0319】

10

次の第 2 水平期間 h 2 において、対向電圧 V c o m を「H」レベルに反転させる。このとき、図 3 5 (d) に示すように、第 1 行及び偶数行の画素については輝度の低下を招来する一方、第 1 行を除く奇数行の画素については輝度の低下が解消し、所望の輝度に復帰する。

【0320】

そして、ゲート線 G L 2 を活性化し、第 2 行に配置された各画素回路に対し、画素データに応じた電圧をソース線 S L を介して書き込む。画素 b 1 においても、この期間 h 2 内に書き込みが行われ、この結果、V c o m に対するノード N 1 (b 1) の極性は負極性となる（極性が反転する）。図 3 5 (e) においても、第 2 行の各画素を「-」と記載することで、この点を示している。

20

【0321】

次の第 3 水平期間 h 3 において、再び対向電圧 V c o m を「L」レベルに反転させる。このとき、図 3 5 (f) に示すように、第 2 行、及び第 1 行を除く奇数行の画素については輝度の低下を招来する一方、第 1 行、及び第 2 行を除く偶数行の画素については輝度の低下が解消し、所望の輝度に復帰する。

【0322】

そして、ゲート線 G L 3 を活性化し、第 3 行に配置された各画素回路に対し、画素データに応じた電圧をソース線 S L を介して書き込む。画素 c 1 においても、この期間 h 3 内に書き込みが行われ、この結果、V c o m に対するノード N 1 (c 1) の極性は正極性となる（極性が反転する）。図 3 5 (f) においても、第 3 行の各画素を「+」と記載することで、この点を示している。

30

【0323】

以下同様の処理により、1 水平期間内において、V c o m のレベルをシフトさせながら、行毎の書き込み動作を行う。

【0324】

本実施形態の書き込み動作の場合、書き込み動作期間にわたり、輝度が低下している行は 1 水平期間 (3 0 ~ 1 0 0 μ s) で所望の輝度に復帰する。また、V c o m 反転動作と書き込み動作の時間間隔を狭くすれば、輝度が低下している行が複数行連続して存在することがない。輝度が低下している行が存在していても、その隣接行が所望の輝度を示している場合には、表示領域内において輝度が平均化される。これにより、図 3 3 に示したようなチラツキが視認されるという問題点は解消される。

40

【0325】

《セルフリフレッシュ動作》

上記第 2 及び第 3 実施形態では、セルフリフレッシュ動作において、1 フレーム期間にわたって対向電圧 V c o m の値を一定としていた。そして、第 5 実施形態で上述したように、適宜外部リフレッシュ動作又は外部極性反転動作を併用することで、一括して極性を反転させていた。

【0326】

しかし、本実施形態の構成の場合、奇数行と偶数行において V c o m に対する極性が異なる。つまり、例えば高レベル書き込みがされている画素回路であっても、奇数行に存在

50

する画素回路のノードN1の電位VN1と、偶数行に存在する画素回路のノードN1の電位VN1とは異なる値である。

【0327】

つまり、画素ノードN1に書き込まれている電位としては、Vcomに対する極性が正極性である場合を「+」、負極性である場合を「-」と表わすとすれば、リフレッシュ目標電圧としては、VN1(+H)、VN1(+M)、VN1(L)、VN1(-M)、VN1(-H)の5種類となる(VN1(+L)とVN1(-L)は同じとする)。そして、Vcomが「L」レベルの時点でVN1(+H)、VN1(+M)が書き込まれ、Vcomが「H」レベルの時点でVN1(-H)、VN1(-M)が書き込まれるとする。

【0328】

上述したように、Vcomの値をシフトさせることで、液晶容量素子C1cの両端間電圧が低下し、再びVcomの値を元に戻すと、液晶容量素子C1cの両端間電圧は書き込み時の値に復帰する(リーク電流の存在を考えなかった場合)。リフレッシュ動作は、リーク電流等の存在により内部ノードN1の電位が書き込み時の値から乖離が生じた場合に、この乖離を解消させるべく行われるものである。これを踏まえると、リフレッシュ動作を実行する時点においては、書き込み時とVcomのレベルを同じにして、Vcomの変動による内部ノードN1の電位のズレを考慮しないようにすることが好ましい。

【0329】

本実施形態では、奇数行については、Vcomが「L」レベルの時点で正極性となるように書き込みが行われ、偶数行については、Vcomが「H」レベルの時点で負極性となるように書き込みが行われている。このため、セルフリフレッシュ動作を行う場合においても、Vcomが「L」レベルの時点で奇数行に対するリフレッシュ動作を実行し、Vcomが「H」レベルの時点で偶数行に対するリフレッシュ動作を実行するのが好適である。

【0330】

これを踏まえ、本実施形態のセルフリフレッシュ動作においては、セルフリフレッシュ動作期間中にVcomのレベルを変化させた上で、奇数行と偶数行に対して別々にリフレッシュ動作を実行する。

【0331】

このため、本実施形態のセルフリフレッシュ動作を行う前提として、ブースト線BSTを、奇数行の画素回路に接続されるブースト線BSToと偶数行の画素回路に接続されるブースト線BSTeに分ける必要がある。また、第2タイプの画素回路(図5)においては、選択線SELについても、奇数行の画素回路に接続される選択線SELoと偶数行の画素回路に接続される選択線SELeに分ける必要がある。

【0332】

以下では、図8における第1タイプの画素回路2Aを想定し、各画素回路が接続されるブースト線が、偶数行と奇数行で異なるものとして説明する。また、ベースとなるリフレッシュ動作方法は、第3実施形態で上述した方法(図23)を想定して説明する。なお、第2実施形態で上述した方法を用いる場合、第2・第3タイプの画素回路に対してセルフリフレッシュ動作を行う場合においても、以下と同様の原理を用いて偶奇別にセルフリフレッシュ動作を行えば良い。

【0333】

図36は、本実施形態のセルフリフレッシュ動作のタイミング図である。図36では、本実施形態に特徴的な部分のみを抜粋して示している。なお、図34の場合と同様に、VN1(a1)は、第1行に存在する特定の一画素a1の内部ノードN1の電位を示しており、VN1(b1)は、第2行に存在する特定の一画素b1の内部ノードN1の電位を示している。

【0334】

図23の場合と同様に、セルフリフレッシュ動作は2つのステップS1(リフレッシュステップ)、S2(待機ステップ)に分解される。ただし、本実施形態の場合、ステップ

10

20

30

40

50

S 1 は、奇数行に対するリフレッシュ動作を行うステップ S 1 + と、偶数行に対するリフレッシュ動作を行うステップ S 1 - に分けられる。なお、ここでは、図 3 6 に示す最初のステップ S 1 の開始直前の時点において、奇数行の画素回路の内部ノード N 1 には、対向電圧 V c o m に対して正極性の電圧が書き込まれており、偶数行の画素回路の内部ノード N 1 には、対向電圧 V c o m に対して負極性の電圧が書き込まれているものとする。また、この時点において対向電圧 V c o m は「L」レベルを示しているものとする。

【0335】

セルフリフレッシュ動作のタームが開始されると、第 3 実施形態と同様にリファレンス線 R E F、ソース線 S L に所定の電圧を印加した状態で、奇数行のブースト線 B S T o の電圧を「H」レベルとし、奇数行に配置された画素回路にのみブースト突き上げを行う。なお、偶数行のブースト線 B S T e についてはそのまま 0 V を継続する。これにより、奇数行に配置された、所定レベルに書き込まれた画素回路に対してリフレッシュ動作が行われる。図 2 3 にならって、リファレンス線 R E F に 4. 5 V、ソース線 S L に 3. 6 V を印加し、ブースト線 B S T o に 1 0 V を印加した場合には、奇数行に配置されたケース M の画素回路に対してリフレッシュ動作が行われる。

10

【0336】

その後、引き続きブースト線 B S T o の電圧を「H」レベルにしたままで、リファレンス線 R E F、ソース線 S L の印加電圧を変更し、リフレッシュ動作を行う画素回路の対象を変化させる。図 2 3 にならって、リファレンス線 R E F に 6. 5 V、ソース線 S L に 5. 6 V を印加することで、奇数行に配置されたケース H の画素回路に対してリフレッシュ動作が行われる。

20

【0337】

なお、図 3 6 では、画素 a 1 のリフレッシュがあたかもブースト線 B S T o が「H」レベルを示す全期間にわたってリフレッシュがなされるかのように記載されているが、これはこの期間のどこかでリフレッシュされ得ることを意味するものである。図 2 3 のリフレッシュ方法を用いる場合において、画素 a 1 に「M」レベルの電圧が書き込まれているとすれば、ブースト線 B S T o が「H」レベルの電圧が印加されているうちの前半の期間でリフレッシュがされ、「H」レベルの電圧が書き込まれているとすれば、ブースト線 B S T o が「H」レベルの電圧が印加されているうちの後半の期間でリフレッシュがされることとなる。また、仮に画素 a 1 が「L」レベルの電圧が書き込まれているとすれば、待機ステップ S 2 において間接的にリフレッシュされる構成であるため、ステップ S 1 + の期間内にはリフレッシュ動作が行われることはない。

30

【0338】

ケース M とケース H に対する奇数行のリフレッシュ動作が完了すると、奇数行のブースト線 B S T o の印加電圧を「L」レベルにした後、対向電圧 V c o m を「H」レベルにシフトする。これにより、各画素における内部ノード N 1 の電位 V N 1 も突き上げられる。対向電圧 V c o m の「H」レベル時に負極性の書き込みが行われた偶数行の各画素回路は、対向電圧 V c o m が「H」レベルにシフトすることで、内部ノード N 1 が目標とする書き込み電圧に近い値に復帰する。ただし、これはあくまで対向電圧 V c o m の極性反転動作に依存する内部ノード N 1 の変動誤差が解消するのみであって、リーク電流の存在によって低下した電位を復帰させる必要があるため、リフレッシュ動作を行う必要がある。

40

【0339】

そして、リファレンス線 R E F、ソース線 S L を所定の電圧に設定した状態で、偶数行のブースト線 B S T e の印加電圧を「H」レベルにシフトし、偶数行に配置された画素回路にのみブースト突き上げを行う。なお、奇数行のブースト線 B S T o についてはそのまま 0 V を継続する。これにより、偶数行に配置された、所定レベルに書き込まれた画素回路に対してリフレッシュ動作が行われる。その後、リファレンス線 R E F、ソース線 S L の印加電圧を変更し、異なるレベルに書き込まれた偶数行の画素回路についてもリフレッシュ動作を行う。

【0340】

50

なお、偶数行の場合、Vcomに対して負極性となるように書き込みが行われている。奇数行と同様に、各画素回路共に3値の書き込みがなされているとした場合、Vcom = 5 V (Hレベル) の時点において、ケースH (高レベル書き込み) は、VN1 (H) = 0 V, ケースM (中レベル書き込み) は、VN1 (M) = 2 V (= 5 - 3), ケースL (低レベル書き込み) は、VN1 (L) = 5 Vとなる。つまり、単に内部ノードN1の電位に着目すれば、ケースHの場合が最も低い電位であり、ケースM, ケースLの順に電位が高くなる。

【0341】

従って、ステップS1-においては、ソース線SLに2.6 V, リファレンス線REFに3.5 Vを印加して、ブースト線BSToに10 Vを印加した場合には、偶数行に配置されたケースMの画素回路に対してリフレッシュ動作が行われる。引き続きブースト線BSTeの電圧を「H」レベルにしたままで、リファレンス線REFに6.5 V, ソース線SLに5.6 Vを印加することで、偶数行に配置されたケースLの画素回路に対してリフレッシュ動作が行われる。

10

【0342】

そして、ブースト線BSTeの電圧を「L」レベルにシフトし、ソース線SLに0 Vを印加する。また、リファレンス線REFには、全ての画素回路においてトランジスタT2がONとなるような電圧を印加する。Vcomが「H」レベルであるため、奇数行における「H」レベル書き込みがなされた画素回路におけるVN1は、約10 V (= 5 + 5)を示している。よって、例えばREFに15 Vを印加することで、全ての画素回路についてトランジスタT2をONにすることができる。

20

【0343】

このような電圧状態を一定時間継続させる (ステップS2)。これにより、偶数行における「H」レベル書き込みがなされた画素回路については、内部ノードN1の電位VN1が徐々に0 Vに近付き、間接的にリフレッシュ動作が実行される。なお、奇数行における「L」レベル書き込みがなされた画素回路については、Vcomが「L」レベルを示す時点で、間接的なリフレッシュ動作を行うのが好ましい。

【0344】

ステップS2の電圧状態を一定時間継続した後は、Vcomが「H」レベルを示しているため、リファレンス線REF, ソース線SLの電圧を適切な電圧値に設定した上で、ブースト線BSToを突き上げることで偶数行におけるリフレッシュ動作を実行する。その後、Vcomの値を「L」レベルにシフトさせた後、リファレンス線REF, ソース線SLの電圧を適切な電圧値に設定した上で、ブースト線BSTeを突き上げることで偶数行におけるリフレッシュ動作を実行する。

30

【0345】

その後、Vcomが「L」レベルを示している状態で、ソース線SLに0 Vを与え、奇数行における「L」レベル書き込みがなされた画素回路に対して、間接的にリフレッシュ動作を実行する。

【0346】

なお、本実施形態において、奇数行の画素回路にはブースト線BSTo、偶数行の画素回路にはブースト線BSTeが夫々接続されるものとして説明したが、ブースト線BSTを列方向に延伸させる態様の場合には、奇数列の画素回路にBSTo、偶数列の画素回路にBSTeを接続させれば良いことは言うまでもない。

40

【0347】

[別実施形態]

以下、別実施形態につき説明する。

【0348】

<1> 上述の実施形態では、セルフリフレッシュ動作の対象となる常時表示モードは、通常表示モードに比べて表示色数が少ないものとして説明した。しかし、階調数を増加して表示色数を一定レベルに増やすことにより、常時表示モードのみによって液晶表示を

50

実現するものとしても良い。この場合、通常表示モードのようなフルカラー表示は実現できないものの、求められる表示可能色数がそれほど多くない態様の画面に対しては、本発明の常時表示モードのみによって表示処理を行うことが可能である。

【0349】

なお、階調数が増加すると、第2実施形態におけるセルフリフレッシュ動作において印加するパルス回数、すなわちリフレッシュステップS1におけるフェーズ数も増加する。第2実施形態では、3値の場合ににおいてフェーズP1及びP2の2フェーズで実現できたが、4階調に増加すれば当然に3フェーズ必要となり、5階調に増加すれば4フェーズ必要となる。

【0350】

一方、第3実施形態の方法によれば、ブースト線BSTへの印加電圧はフェーズP1開始後から一定としたまま、リファレンス線REFへの印加電圧、並びにソース線SLへの印加電圧を(階調数-1)回変化させることとなる。

【0351】

また、上記実施形態では、常時表示モードにおける画素データの値として、5V, 3V, 0Vを採用したが、これらの電圧値に限定されるものではないことは言うまでもない。

【0352】

〈2〉 第2タイプの画素回路2B(図9~図11)に関しては、通常表示モード及び常時表示モードの書き込み動作時において、リファレンス線REFに低レベル電圧を与え、トランジスタT2をオフ状態としても良い。このようにすることで、内部ノードN1と出力ノードN2が電氣的に分離される結果、画素電極20の電位が書き込み動作前の出力ノードN2の電圧の影響を受けなくなる。これにより、画素電極20の電圧は、ソース線SLの印加電圧を正しく反映し、画像データを誤差なく表示することができる。

【0353】

〈3〉 上記の実施形態では、アクティブマトリクス基板10上に構成される全ての画素回路2に対し、第2スイッチ回路23と制御回路24を備える構成とした。これに対し、アクティブマトリクス基板10上において、透過液晶表示を行う透過画素部と反射液晶表示を行う反射画素部の2種類の画素部を備える構成の場合には、反射画素部の画素回路にのみ第2スイッチ回路23と制御回路24を備え、透過表示部の画素回路には第2スイッチ回路23と制御回路24を備えない構成としても良い。

【0354】

この場合、通常表示モード時には透過画素部によって画像表示がなされ、常時表示モード時には反射画素部によって画像表示がなされることとなる。このように構成することで、アクティブマトリクス基板10全体に形成される素子数を削減することができる。

【0355】

〈4〉 上記実施形態では、各画素回路2は、補助容量素子Csを備える構成であったが、補助容量素子Csを備えない構成であっても良い。ただし、内部ノードN1の電位をより安定化させ、表示画像の確実な安定化を図るためには、この補助容量素子Csを備える方が好ましい。

【0356】

〈5〉 上記実施形態では、各画素回路2の表示素子部21は、単位液晶表示素子C1cだけで構成される場合を想定したが、図37に示すように、内部ノードN1と画素電極20の間にアナログアンプAmp(電圧増幅器)を備える構成としても良い。図37では一例として、アナログアンプAmpの電源用ラインとして、補助容量線CSLと電源線Vccが入力される構成とした。

【0357】

この場合、内部ノードN1に与えられた電圧は、アナログアンプAmpによって設定された増幅率 η によって増幅され、増幅後の電圧が画素電極20に供給される。よって、内部ノードN1の微少な電圧変化を表示画像に反映することができる構成である。

【0358】

なお、この構成の場合、常時表示モードのセルフ極性反転動作では、内部ノードN1の電圧が、増幅率 η によって増幅され画素電極20に供給されるため、ソース線SLに印加する第1及び第2電圧状態の電圧差を調整することで、画素電極20に供給される第1及び第2電圧状態の電圧を、対向電圧Vcomの高レベル及び低レベルの電圧に一致させることができる。

【0359】

〈6〉 上記実施形態では、画素回路2内のトランジスタT1～T4を、Nチャネル型の多結晶シリコンTFTを想定したが、Pチャネル型のTFTを使用した構成や、非晶質シリコンTFTを使用した構成とすることも可能である。この場合、各電圧の大小関係やダイオードD1の整流方向を反転させる等により上記各実施形態と同様に画素回路2を動作させることが可能であり、同様の効果が得られる。

10

【0360】

〈7〉 上記実施形態では、液晶表示装置を例に挙げて説明したが、本発明はこれに限定されるものではなく、画素データを保持するための画素容量Cpに対応する容量を有し、当該容量に保持される電圧に基づき画像を表示する表示装置であれば、本発明を適用することができる。

【0361】

例えば、画素容量に相当する容量に画素データに相当する電圧を保持させて画像表示する有機EL(Electroluminescence)表示装置の場合、特にセルフリフレッシュ動作に関して本発明を適用することができる。図38は、このような有機EL表示装置の画素回路の一例を示す回路図である。この画素回路では、画素データとして補助容量Csに保持された電圧が、TFTで構成された駆動用トランジスタTdVのゲート端子に与えられ、その電圧に応じた電流が駆動用トランジスタTdVを介して発光素子OLEDに流れる。従って、この補助容量Csが上記各実施形態における画素容量Cpに相当する。

20

【0362】

なお、図38に示す画素回路においては、電極間に電圧を印加することで光の透過率を制御することで画像表示を行うという液晶表示装置とは異なり、素子を流れる電流によって素子そのものが発光することで画像表示を行う。このため、発光素子の整流性ゆえ、当該素子の両端に印加される電圧の極性を反転させるということができず、更にはそのような必要性もない。

30

【0363】

〈8〉 上記第2実施形態において、第2タイプの画素回路のセルフリフレッシュ動作につき、図21及び図22のタイミング図を参照して説明した。第2タイプの画素回路2B、2C(図9～図15)は、トランジスタT4を備えると共に、このT4のゲートに接続される選択線SELをブースト線BSTとは個別に備えている。よって、このタイプの画素回路においては、ブースト線BSTへの電圧印加タイミングと、T4の導通タイミングを意図的に異ならせることができる。

【0364】

これを利用して、第2タイプの画素回路2B、2Cに対するセルフリフレッシュ動作を行う場合には、選択線SELへの電圧印加タイミングを、リファレンス線REF及びブースト線BSTに対して電圧を印加するタイミングから少し遅らせるものとしても良い。

40

【0365】

上述したように、リファレンス線REFには、リフレッシュ対象となる階調よりも低い階調の画素においてはT2が導通するような範囲内の電圧が印加される。よって、この状態でブースト線BSTに電圧を印加しても、かかる画素のノードN2は電位突き上げが生じず、この結果、トランジスタT1が導通することはない。

【0366】

しかし、トランジスタの能力やノードの寄生容量その他の要素の影響によっては、トランジスタT2が導通しているにもかかわらず、ブースト線BSTに電圧を印加すると、ノードN2の電位が一時的に突き上げられる事態が生じることも想定される。この場合、そ

50

の時点においてトランジスタT1が導通してしまい、この結果、かかる画素が異なる階調の電圧によって書き換えられるおそれがある。

【0367】

これに対し、トランジスタT4の導通タイミングをブースト線BSTへの電圧印加タイミングから少し遅らせることで、仮にノードN2の電位が一時的に上昇してトランジスタT1がこの間導通したとしても、トランジスタT4が非導通となるため、このトランジスタT4によってソース線SLとノードN1の間の導通を遮断することができる。なお、ノードN2の電位が一時的に上昇しても、その後はノードN1の寄生容量に電荷が吸収されるため、N2の電位は低下する。このときトランジスタT1は非導通となるため、ノードT4を導通させても、リフレッシュ対象階調より低階調の画素回路のノードN1がソース線SLの印加電圧によって書き換えられることはない。

10

【0368】

以上のように、特に第2種類の画素回路においては、選択線SELへの電圧印加タイミングを、ブースト線BSTへの電圧印加タイミングとは独立して制御できるため、ブースト線BSTへの印加タイミングから少し遅らせることで、誤った階調に書き込まれるという誤動作をより確実に防止することができる。

【0369】

この方法は、第3実施形態の図25に示すタイミング図にも応用することができる。すなわち、図25において、選択線SELへの電圧印加タイミングをt3から少し遅らせるものとすれば良い。

20

【0370】

なお、第1類型や第3類型では、このような方法でのリフレッシュ動作は行えないが、上述した誤書き込みが招来する可能性はもともと低いため、第2実施形態で説明した方法によるリフレッシュ動作でも正しく元の階調にリフレッシュさせることができる。

【符号の説明】

【0371】

- 1： 液晶表示装置
- 2： 画素回路
- 2A, 2B, 2C, 2D, 2E： 画素回路
- 10： アクティブマトリクス基板
- 11： 表示制御回路
- 12： 対向電極駆動回路
- 13： ソースドライバ
- 14： ゲートドライバ
- 20： 画素電極
- 21： 表示素子部
- 22： 第1スイッチ回路
- 23： 第2スイッチ回路
- 24： 制御回路
- 74： シール材
- 75： 液晶層
- 80： 対向電極
- 81： 対向基板
- Amp： アナログアンプ
- BST： ブースト線
- Cbst： ブースト容量素子
- Clc： 液晶表示素子
- CML： 対向電極配線
- CSL： 補助容量線
- Cs： 補助容量素子

30

40

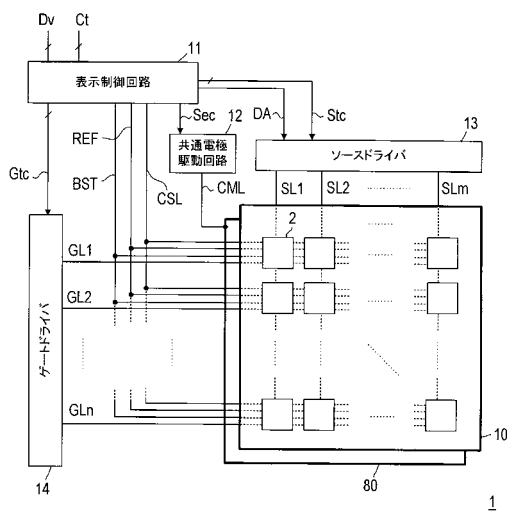
50

Ct : タイミング信号
 D1 : ダイオード素子
 DA : デジタル画像信号
 Dv : データ信号
 GL (GL1, GL2, …… , GLn) : ゲート線
 Gtc : 走査側タイミング制御信号
 N1 : 内部ノード
 N2 : 出力ノード
 OLED : 発光素子
 P1, P2 : フェーズ
 REF : リファレンス線
 S1, S2 : ステップ
 Sc1, Sc2, …… , Scm : ソース信号
 SEL : 選択線
 SL (SL1, SL2, …… , SLm) : ソース線
 Stc : データ側タイミング制御信号
 T1, T2, T3, T4, T5 : トランジスタ
 Tdv : 駆動用トランジスタ
 Vcom : 対向電圧
 Vlc : 液晶電圧
 VN1 : 内部ノード電位、画素電極電位
 VN2 : 出力ノード電位

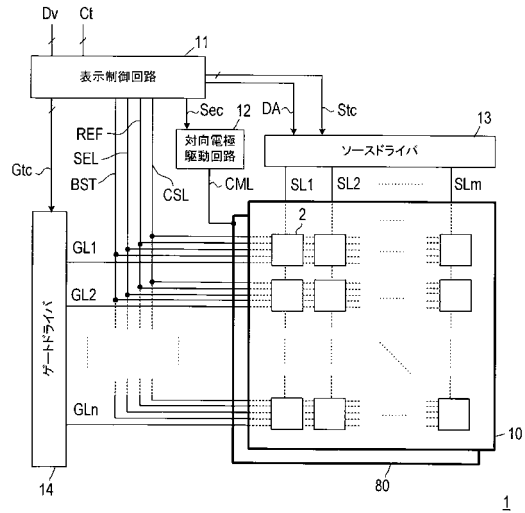
10

20

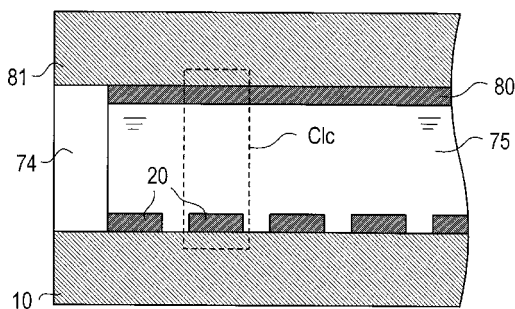
【図1】



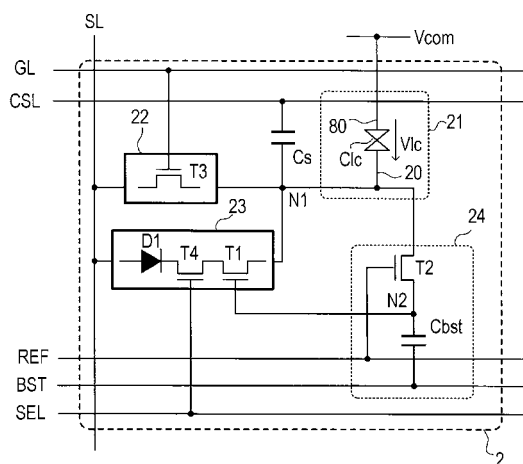
【図3】



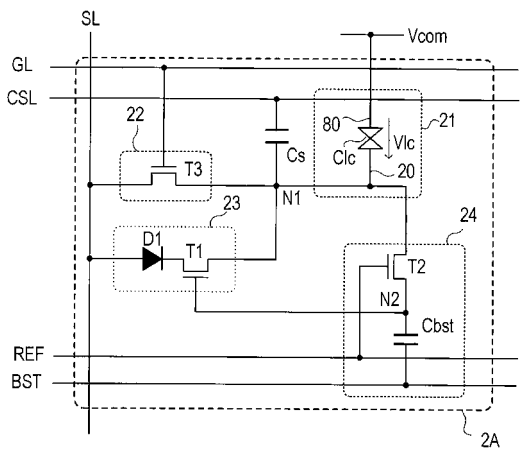
【図2】



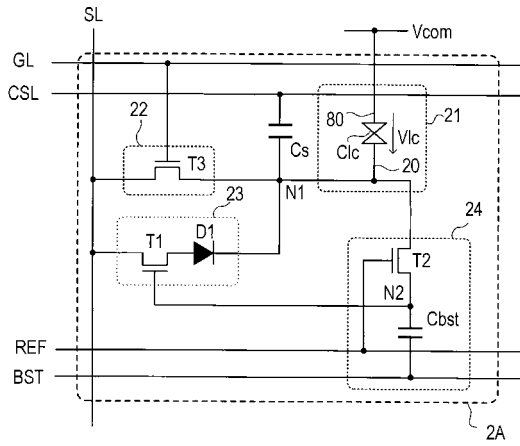
【図 5】



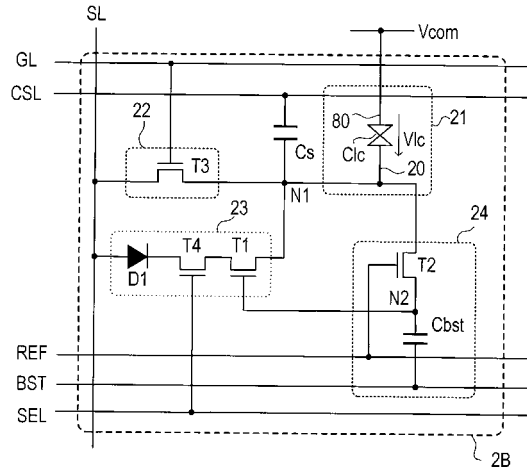
【图 7】



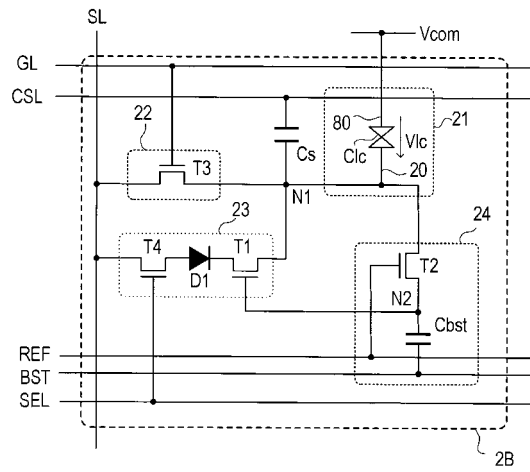
【図 8】



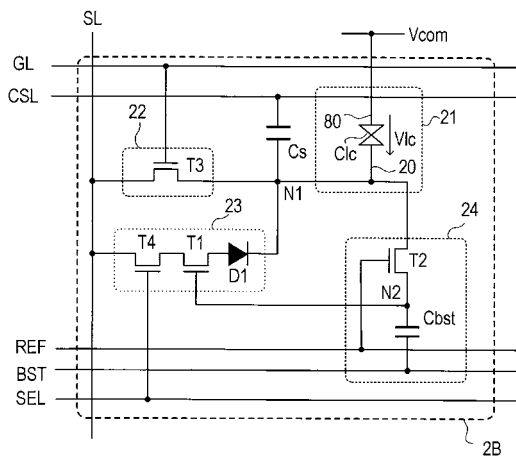
【図 9】



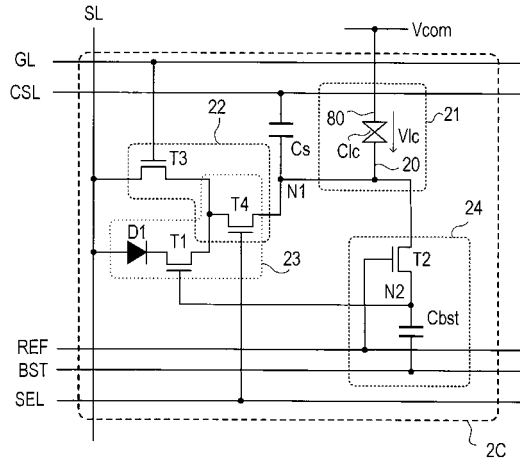
【図 10】



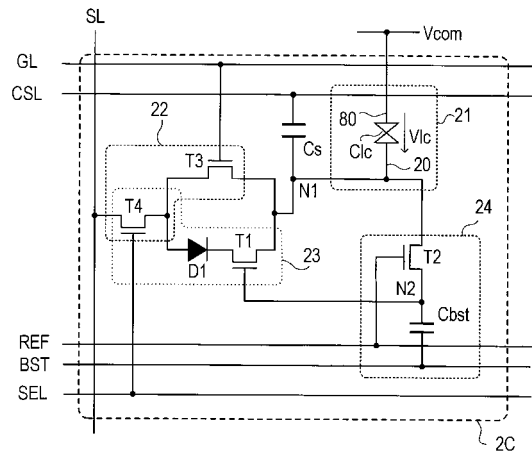
【図 11】



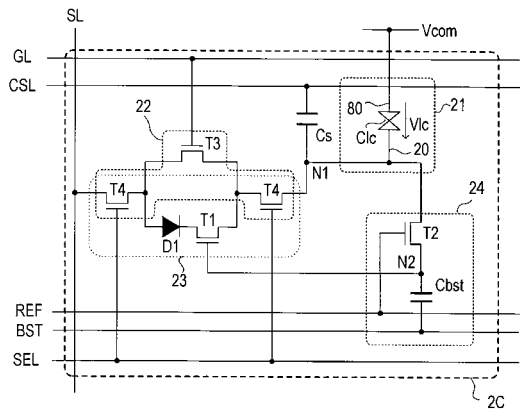
【図 1 2】



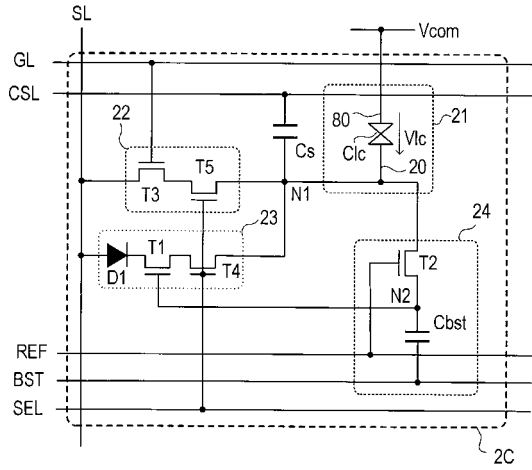
【図 1 3】



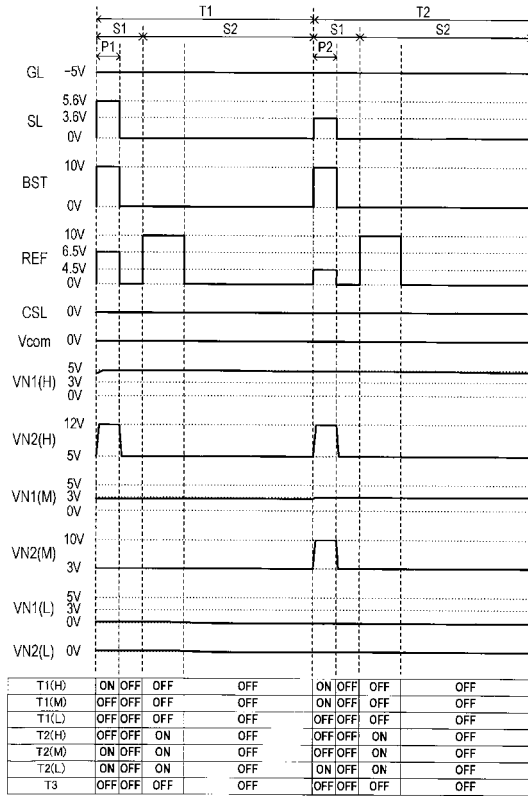
【図 1 4】



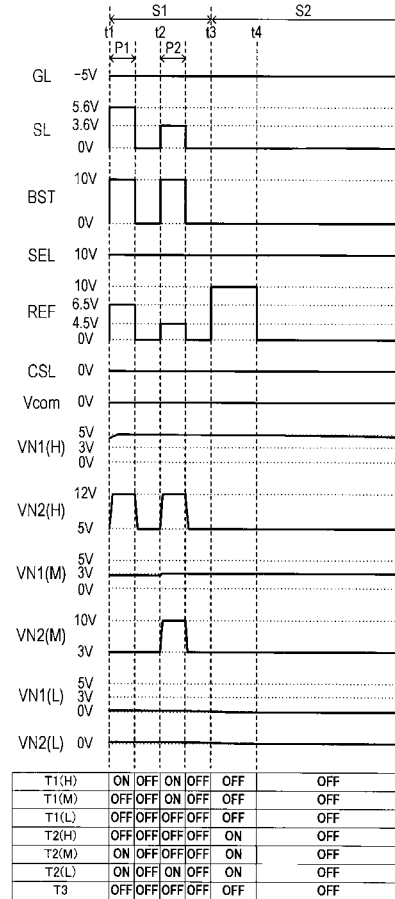
【図 1 5】



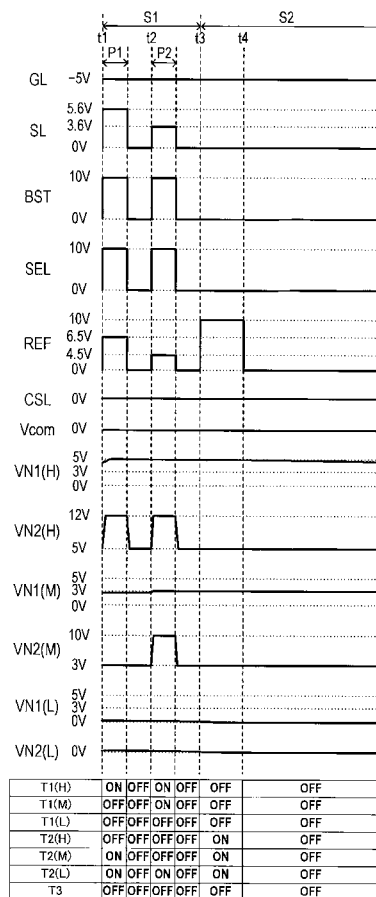
【図 20】



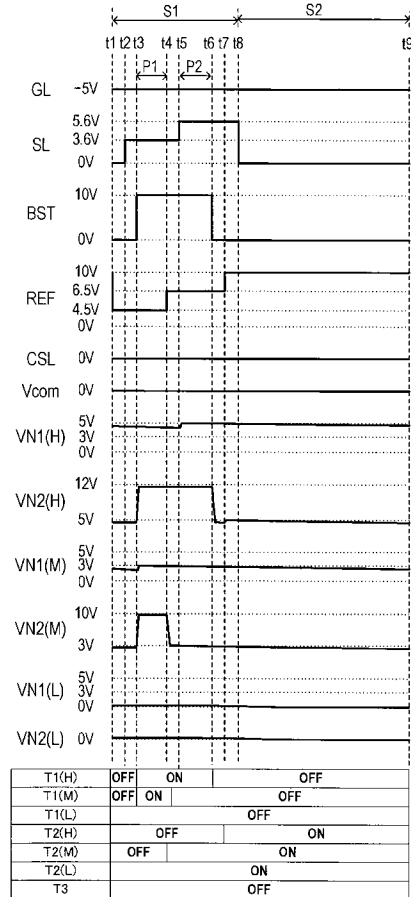
【図 21】



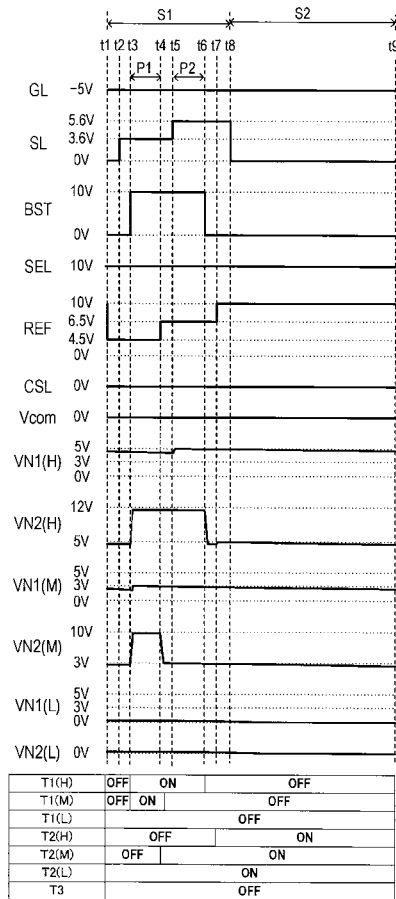
【図 22】



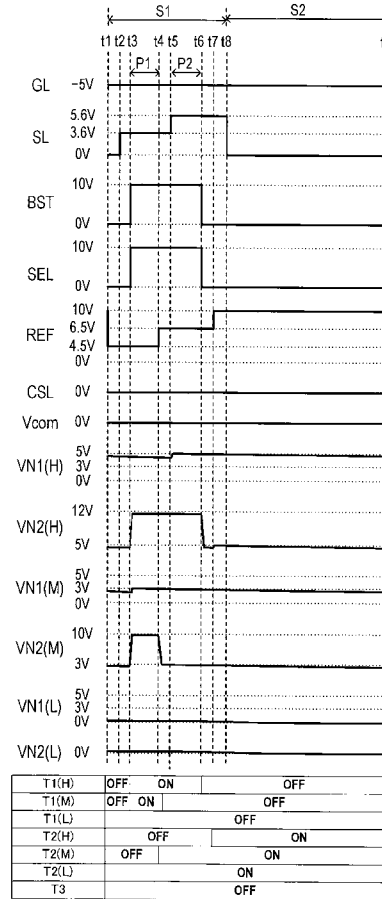
【図 23】



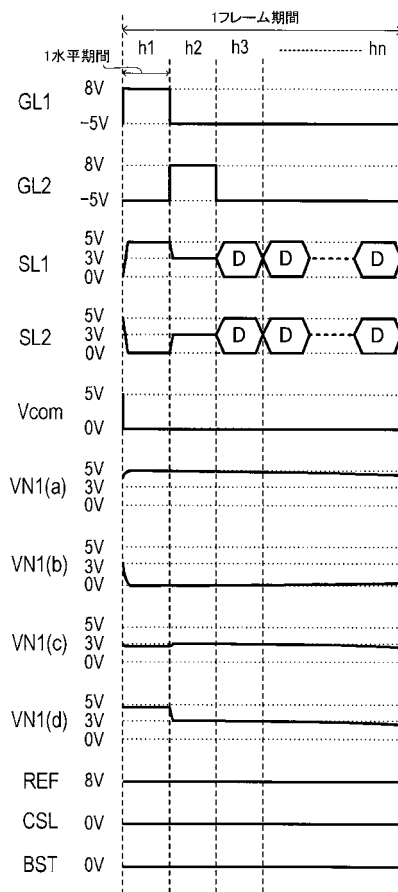
【図 2 4】



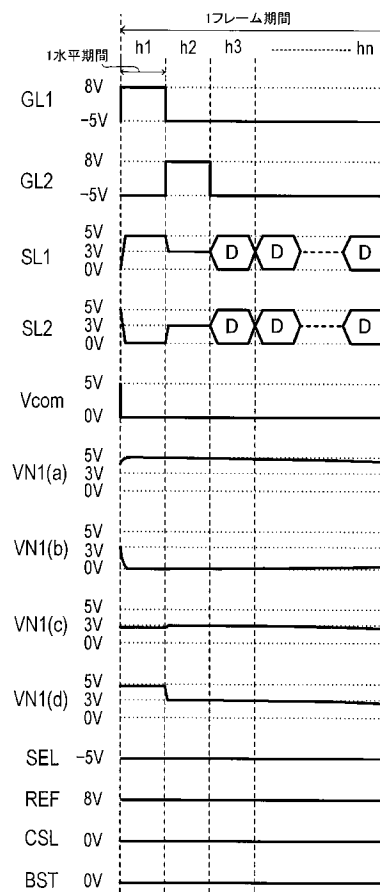
【図 2 5】



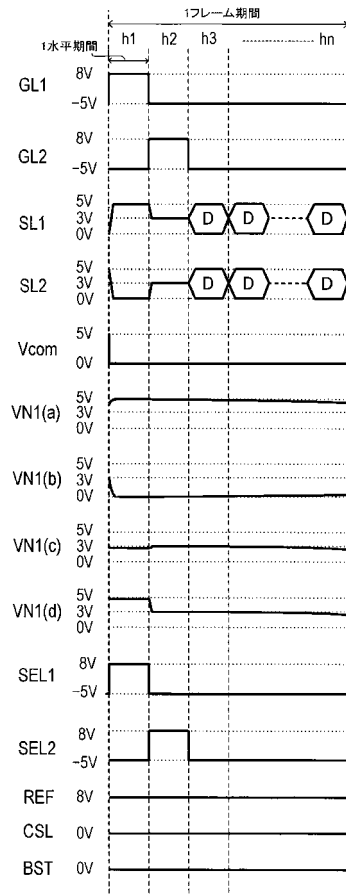
【図 2 6】



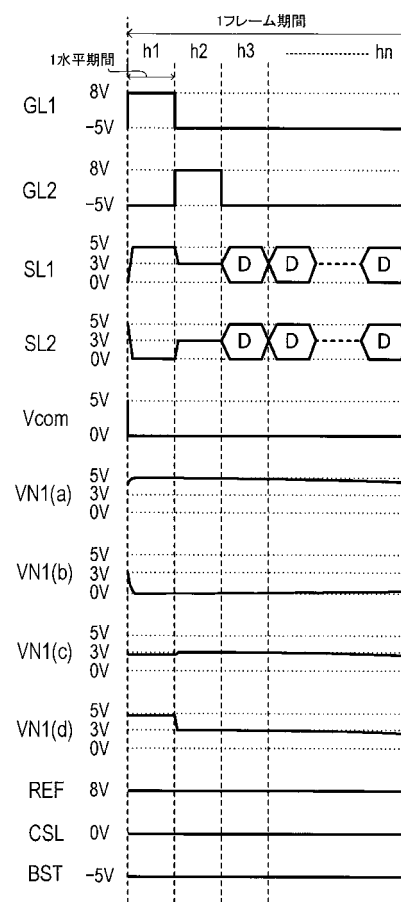
【図 2 7】



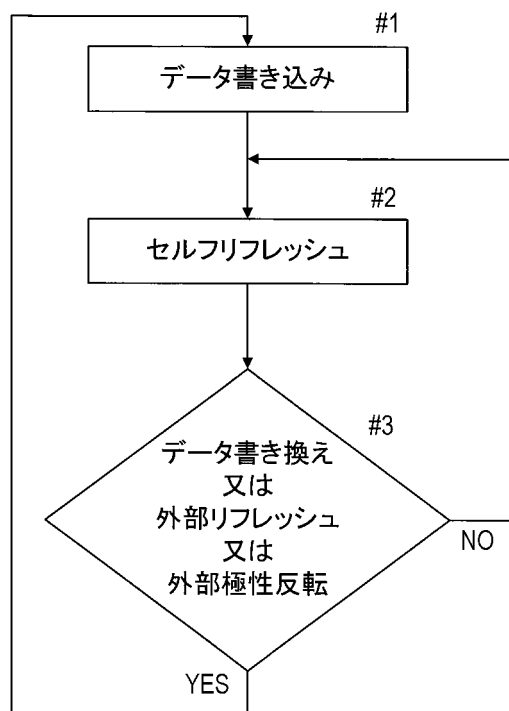
【図 28】



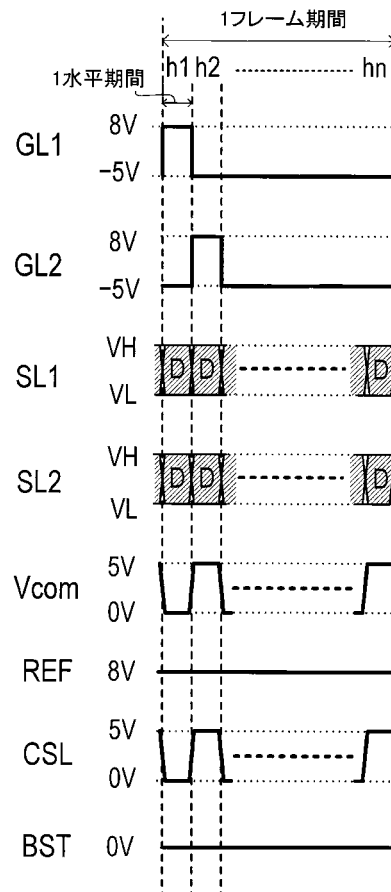
【図 29】



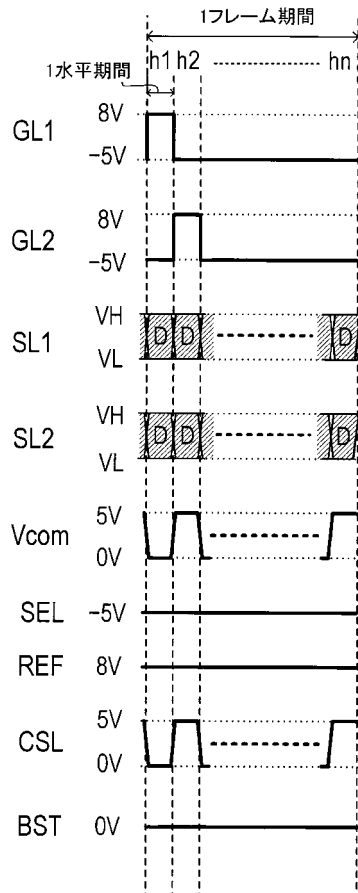
【図 30】



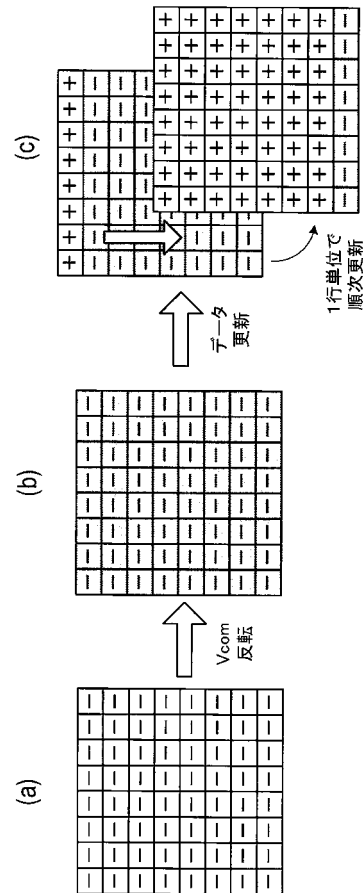
【図 31】



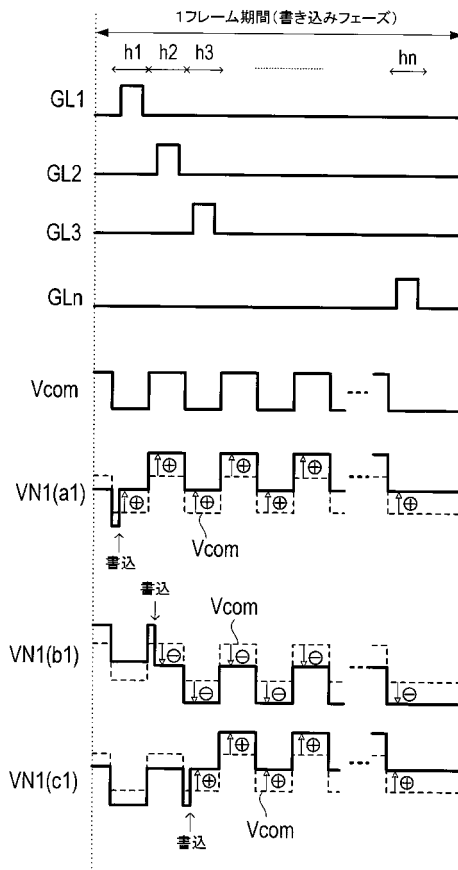
【図 3 2】



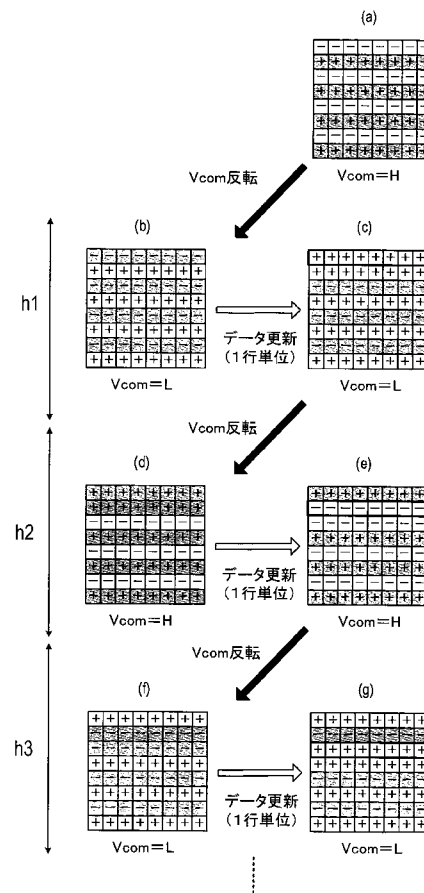
【図 3 3】



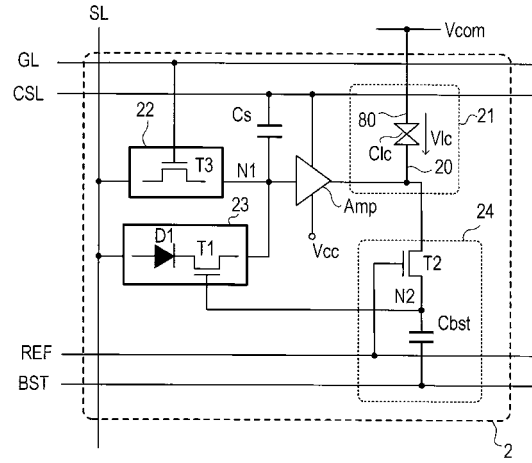
【図 3 4】



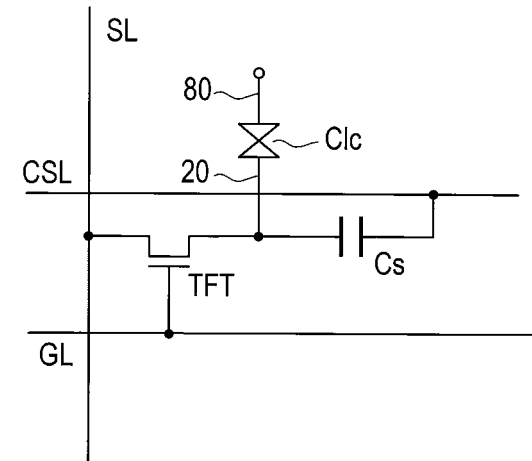
【図 3 5】



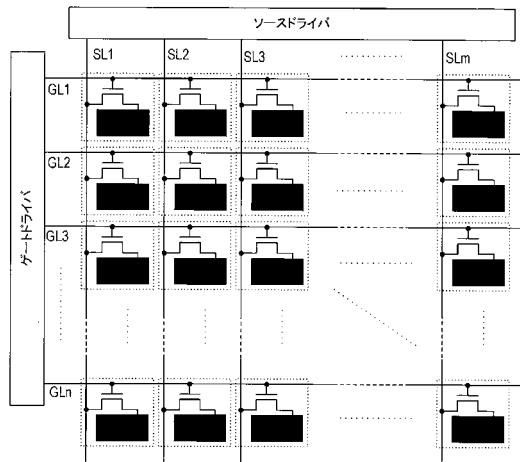
【図 3 7】



【図 3 9】



【図 40】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 6 0 U
G 0 9 G 3/20 6 2 1 K
G 0 2 F 1/133 5 5 0

審査官 西島 篤宏

(56)参考文献 特開 2 0 1 0 - 1 6 0 3 7 6 (J P, A)
特開 2 0 1 0 - 1 4 5 6 6 3 (J P, A)
特開 2 0 0 2 - 1 5 6 9 9 2 (J P, A)
特開 2 0 0 3 - 1 2 2 3 3 1 (J P, A)

(58)調査した分野(Int.Cl., D B名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

