

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5278777号
(P5278777)

(45) 発行日 平成25年9月4日(2013.9.4)

(24) 登録日 平成25年5月31日(2013.5.31)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1339 (2006.01)	GO2F 1/1339 500
GO2F 1/1333 (2006.01)	GO2F 1/1333 505

請求項の数 8 (全 35 頁)

(21) 出願番号	特願2011-6150 (P2011-6150)	(73) 特許権者	303018827
(22) 出願日	平成23年1月14日 (2011.1.14)		NLTテクノロジー株式会社
(65) 公開番号	特開2012-118489 (P2012-118489A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成24年6月21日 (2012.6.21)	(74) 代理人	100079164
審査請求日	平成24年9月5日 (2012.9.5)		弁理士 高橋 勇
(31) 優先権主張番号	特願2010-250719 (P2010-250719)	(72) 発明者	今野 隆之
(32) 優先日	平成22年11月9日 (2010.11.9)		神奈川県川崎市中原区下沼部1753番地
(33) 優先権主張国	日本国 (JP)		NEC液晶テクノロジー株式会社内
		(72) 発明者	西田 真一
			神奈川県川崎市中原区下沼部1753番地
			NEC液晶テクノロジー株式会社内
		(72) 発明者	伊藤 英毅
			神奈川県川崎市中原区下沼部1753番地
			NEC液晶テクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

表示領域を有するサブ画素がマトリクス状に多数設けられたTFT基板と、
このTFT基板に対向して設けられた対向基板と、
この対向基板と前記TFT基板とに挟まれた液晶層と、
前記TFT基板上に設けられた走査信号配線及び共通信号配線と、
前記TFT基板、前記走査信号配線及び前記共通信号配線の上に設けられた第1絶縁膜と、
この第1絶縁膜上に設けられたソース電極と、
前記第1絶縁膜及び前記ソース電極の上に設けられた第2絶縁膜と、
この第2絶縁膜上に設けられた平坦化膜と、
この平坦化膜上に設けられ、前記共通信号配線に接続された、透明導電膜からなる共通電極と
前記平坦化膜上に設けられ、前記ソース電極に接続された、透明導電膜からなる画素電極とを備え、
前記共通電極と前記画素電極との間に発生する電界により、前記液晶層を動作させる横電界駆動方式の液晶表示装置であって、
前記対向基板に設けられ、当該対向基板と前記TFT基板とのギャップを保持する柱状スペーサと、
この柱状スペーサが配置されるサブ画素と、

前記柱状スペーサが配置されないサブ画素とを更に備え、
前記表示領域では全ての領域で前記平坦化膜が形成されており、
前記第2絶縁膜上の前記平坦化膜が設けられていない領域からなる凹部領域が、前記ソース電極上の一部を含み、
前記共通電極が前記凹部領域内に延在しており、
前記共通信号配線と前記ソース電極とが前記第1絶縁膜を挟んだ構造からなる第1蓄積容量と、
前記凹部領域内に設けられ、前記共通電極と前記ソース電極とが前記第2絶縁膜を挟んだ構造からなる第2蓄積容量とを更に備え、
前記柱状スペーサが配置されるサブ画素における前記凹部領域は、前記第2蓄積容量が形成された部分から前記柱状スペーサを支持する領域まで連続的に形成され、
前記凹部領域内における前記共通電極は、前記第2絶縁膜を介して、前記走査信号配線及び前記ソース電極並びに当該走査信号配線と当該ソース電極との間を覆っている、

10

ことを特徴とする液晶表示装置。

【請求項2】

請求項1記載の液晶表示装置であって、
前記共通信号配線と同一層で形成され、当該共通信号配線に接続された共通補助電極を更に備え、
前記共通補助電極は、前記走査信号配線を挟んで前記第2蓄積容量と対向する側に、当該走査信号配線に沿って配置されている、
ことを特徴とする液晶表示装置。

20

【請求項3】

請求項1又は2記載の液晶表示装置であって、
前記柱状スペーサが配置されないサブ画素における前記走査信号配線の上方は、前記平坦化膜で覆われ、かつ前記共通電極で覆われていない、
ことを特徴とする液晶表示装置。

【請求項4】

請求項1又は2記載の液晶表示装置であって、
前記柱状スペーサが配置されないサブ画素における前記走査信号配線の上方は、前記平坦化膜で覆われ、かつ当該平坦化膜上から前記共通電極で覆われている、
ことを特徴とする液晶表示装置。

30

【請求項5】

請求項1又は2記載の液晶表示装置であって、
前記柱状スペーサが配置されるサブ画素と前記柱状スペーサが配置されないサブ画素との前記凹部領域の形状は同一であり、
前記柱状スペーサが配置されないサブ画素の前記凹部領域内では、前記共通電極が、前記第2絶縁膜を介して、前記走査信号配線及び前記ソース電極並びに当該走査信号配線と当該ソース電極との間を覆っている、
ことを特徴とする液晶表示装置。

【請求項6】

請求項1乃至5のいずれか一つに記載の液晶表示装置であって、
前記共通信号配線と前記共通電極とを電気的に接続する共通電極コンタクトホールを有するサブ画素と、
前記共通電極コンタクトホールを有しないサブ画素と、
を更に備えたことを特徴とする液晶表示装置。

40

【請求項7】

請求項6記載の液晶表示装置であって、
前記共通電極コンタクトホールを有するサブ画素は、サブ画素全体の数に占める割合が1/3以下であり、サブ画素全体の中に一定の周期で配置されている、
ことを特徴とする液晶表示装置。

50

【請求項 8】

請求項 6 又は 7 記載の液晶表示装置であって、

前記共通電極コンタクトホールを有しないサブ画素のいずれかに前記柱状スペーサが配置され、

前記共通電極コンタクトホールを有するサブ画素には前記柱状スペーサが配置されない

、

ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、液晶表示装置に関し、特に、高開口率かつ高コントラストな、横電界駆動（以下「IPS（In-Plane Switching）」という。）方式のアクティブマトリクス型液晶表示装置に関する。

【背景技術】

【0002】

近年、TV（television）などの大型モニター向けにIPS方式の採用が広がっている。IPS方式は、液晶の分子軸を横電界によって基板に対して平行な面内で回転させて表示を行うものであり、分子軸の立ち上がり角に対する視角依存性がなくなるため、TN（Twisted Nematic）方式よりも視角特性が大幅に有利となる（例えば特許文献1参照）。

【0003】

20

一方、IPS方式は、画素電極と共通電極とを櫛歯状に配置して横電界を印加することにより、表示領域に占める電極面積の割合が高くなるため、低開口率になるという問題があった。しかし、近年では、その問題についての改善が進んでいる。

【0004】

【関連技術】

本発明の関連技術として、IPS方式の一例を説明する。図13Aに1サブ画素の平面図を、図13Bに図13AにおけるA-A'部の断面図をそれぞれ示す。なお、図13Aは、液晶表示装置を構成するTFT（Thin Film Transistor）基板側の平面を示す。

【0005】

図13A及び図13Bに示すサブ画素1351について説明する。TFT基板1331の上に、第1金属層からなる走査信号配線1301と、並行する2本の共通信号配線1302とが形成されている。走査信号配線1301と共通信号配線1302との上にゲート絶縁膜1303が形成され、ゲート絶縁膜1303の上に第2金属層からなる映像信号配線1304、薄膜半導体層1305及び第2金属層からなるソース電極1306が形成される。映像信号配線1304、薄膜半導体層1305及びソース電極1306の上にはパッシベーション膜1307が形成され、更にパッシベーション膜1307の上には有機膜からなる平坦化膜1308が形成されている。平坦化膜1308の上に、透明導電膜からなる画素電極1309及び透明導電膜からなる共通電極1310が形成される。

30

【0006】

映像信号配線1304は、パッシベーション膜1307及び平坦化膜1308を介して、その配線幅方向が共通電極1310によって完全に覆われている。ここで、画素電極1309はコンタクトホール1311を介してソース電極1306と電気的に接続され、共通電極1310はコンタクトホール1312を介して共通信号配線1302と電気的に接続されている。共通信号配線1302とソース電極1306とがオーバーラップした領域は、蓄積容量1341となる。以下、共通電極と共通信号配線とを接続するコンタクトホールを「共通電極コンタクトホール」、画素電極とソース電極とを接続するコンタクトホールを「画素電極コンタクトホール」と呼ぶこととする。

40

【0007】

対向基板1332の側に、対向基板1332とTFT基板1331とのギャップを保持するための柱状スペーサ1315が形成されている。TFT基板1331において柱状ス

50

ペーサ 1 3 1 5 が配置される箇所の周辺では、平坦化膜 1 3 0 8 が存在しない凹部領域 1 3 1 4 がある。凹部領域 1 3 1 4 は、T F T 基板 1 3 3 1 と対向基板 1 3 3 2 との重ねずれを見込んで、柱状スペーサ 1 3 1 5 のサイズ（幅方向）よりも広範囲にわたっている。この他、画素電極 1 3 0 9 とソース電極 1 3 0 6 とを接続する画素電極コンタクトホール 1 3 1 1 の近傍を除き、平坦化膜 1 3 0 8 はサブ画素 1 3 5 1 の全面に存在している。

【 0 0 0 8 】

表示領域 1 3 4 3 となるのは、画素電極 1 3 0 9 と共通電極 1 3 1 0 とが櫛歯状に形成された領域である。この領域は、平坦化膜 1 3 0 8 が下地として設けられていることにより、平坦性が高いので、配向が良好となる。

【 0 0 0 9 】

10

また、櫛歯状に配置された画素電極 1 3 0 9 及び共通電極 1 3 1 0 は、ともに透明導電膜で形成されているため、その領域も透過率に寄与する。映像信号配線 1 3 0 4 の上は、その配線幅方向が共通電極 1 3 1 0 によって完全に覆われている。その構造のため、可視光を透過する開口部は、映像信号配線 1 3 0 4 の周縁付近まで広げることができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 0 】

【 特許文献 1 】 特開 2 0 0 2 - 3 2 3 7 0 6 号公報（第 2 0 - 2 4 頁、第 1 図）

【 発明の概要 】

【 発明が解決しようとする課題 】

20

【 0 0 1 1 】

近年の液晶表示装置では、医療用などハイエンド用途の増加により、画面の高精細化及び狭ピッチ化が進み、更なる高開口率化が求められている。このとき、大きな蓄積容量を得るには、大きな面積が必要となる。しかしながら、前述の関連技術では、高精細になればなるほど、画素面積に占める蓄積容量の割合が高くなって、高開口率化を難しくしている。

【 0 0 1 2 】

そこで、本発明の目的は、表示領域に平坦化膜が形成されることにより配向が均一で良好な構造でありながら、蓄積容量を小面積で大きく確保することのできる、液晶表示装置を提供することにある。

30

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明に係る液晶表示装置は、
表示領域を有するサブ画素がマトリクス状に多数設けられた T F T 基板と、
この T F T 基板に対向して設けられた対向基板と、
この対向基板と前記 T F T 基板とに挟まれた液晶層と、
前記 T F T 基板上に設けられた走査信号配線及び共通信号配線と、
前記 T F T 基板、前記走査信号配線及び前記共通信号配線の上に設けられた第 1 絶縁膜と、

40

この第 1 絶縁膜上に設けられたソース電極と、
前記第 1 絶縁膜及び前記ソース電極の上に設けられた第 2 絶縁膜と、
この第 2 絶縁膜上に設けられた平坦化膜と、
この平坦化膜上に設けられ、前記共通信号配線に接続された、透明導電膜からなる共通電極と

前記平坦化膜上に設けられ、前記ソース電極に接続された、透明導電膜からなる画素電極とを備え、

前記共通電極と前記画素電極との間に発生する電界により、前記液晶層を動作させる横電界駆動方式の液晶表示装置であって、

前記表示領域では全ての領域で前記平坦化膜が形成されており、

前記第 2 絶縁膜上の前記平坦化膜が設けられていない領域からなる凹部領域が、前記ソ

50

ース電極上の一部を含み、

前記共通電極が前記凹部領域内に延在しており、

前記共通信号配線と前記ソース電極とが前記第 1 絶縁膜を挟んだ構造からなる第 1 蓄積容量と、

前記凹部領域内に設けられ、前記共通電極と前記ソース電極とが前記第 2 絶縁膜を挟んだ構造からなる第 2 蓄積容量とを更に備えていること、

を特徴とする。

【発明の効果】

【0014】

本発明によれば、ソース電極に絶縁膜を介して共通電極を重ねて新たな蓄積容量を実現したことにより、共通電極が透明導電膜からなるので開口率を損ねることなく、すなわち小面積で、蓄積容量を大きく確保することができる。

【図面の簡単な説明】

【0015】

【図 1 A】実施形態 1 の液晶表示装置における、柱状スペーサを配置するサブ画素を示す平面図である。

【図 1 B】図 1 A における A - A' 部を示す断面図である。

【図 2 A】実施形態 1 の液晶表示装置における、柱状スペーサを配置しないサブ画素を示す平面図である。

【図 2 B】図 2 A における A - A' 部を示す断面図である。

【図 3 A】実施形態 1 の液晶表示装置における、柱状スペーサを配置せず、共通信号配線と共通電極とを接続する共通電極コンタクトホールを設ける、サブ画素を示す平面図である。

【図 3 B】図 3 A における A - A' 部を示す断面図である。

【図 4】実施形態 1 の液晶表示装置における、共通信号配線と共通電極とを接続する共通電極コンタクトホールを設けた場合の 1 画素分のサブ画素を示す平面図である。

【図 5】実施形態 1 の液晶表示装置における、共通信号配線と共通電極とを接続する共通電極コンタクトホールを間引いた場合の 1 画素分のサブ画素を示す平面図である。

【図 6 A】実施形態 2 の液晶表示装置における、柱状スペーサを配置しないサブ画素を示す平面図である。

【図 6 B】図 6 A における A - A' 部を示す断面図である。

【図 7 A】実施形態 2 の液晶表示装置における、柱状スペーサを配置せず、共通信号配線と共通電極とを接続する共通電極コンタクトホールを設けるサブ画素を示す平面図である。

【図 7 B】図 7 A における A - A' 部を示す断面図である。

【図 8】実施形態 2 の液晶表示装置における、共通信号配線と共通電極とを接続する共通電極コンタクトホールを設けた場合の 1 画素分のサブ画素を示す平面図である。

【図 9】実施形態 2 の液晶表示装置における、共通信号配線と共通電極とを接続する共通電極コンタクトホールを間引いた場合の 1 画素分のサブ画素を示す平面図である。

【図 10 A】実施形態 3 の液晶表示装置における、柱状スペーサを配置せず、共通信号配線と共通電極とを接続する共通電極コンタクトホールを設ける、サブ画素を示す平面図である。

【図 10 B】図 10 A における A - A' 部を示す断面図である。

【図 11】実施形態 3 の液晶表示装置における、共通信号配線と共通電極とを接続する共通電極コンタクトホールを設けた場合の 1 画素分のサブ画素を示す平面図である。

【図 12】実施形態 3 の液晶表示装置における、共通信号配線と共通電極とを接続する共通電極コンタクトホールを間引いた場合の 1 画素分のサブ画素を示す平面図である。

【図 13 A】関連技術の液晶表示装置における、柱状スペーサを配置するサブ画素を示す平面図である。

【図 13 B】図 13 A における A - A' 部を示す断面図である。

10

20

30

40

50

【図１４Ａ】本発明に係る液晶表示装置の基本構成における、柱状スペーサを配置するサブ画素を示す平面図である。

【図１４Ｂ】図１４ＡにおけるＡ－Ａ'部を示す断面図である。

【図１５Ａ】実施形態４の液晶表示装置における、柱状スペーサを配置するサブ画素を示す平面図である。

【図１５Ｂ】図１５ＡにおけるＡ－Ａ'部を示す断面図である。

【図１６Ａ】実施形態４の液晶表示装置における、柱状スペーサを配置しないサブ画素を示す平面図である。

【図１６Ｂ】図１６ＡにおけるＡ－Ａ'部を示す断面図である。

【図１７Ａ】実施形態４の液晶表示装置における、柱状スペーサを配置せず、共通信号配線と共通電極との共通電極コンタクトホールを設ける、サブ画素を示す平面図である。

【図１７Ｂ】図１７ＡにおけるＡ－Ａ'部を示す断面図である。

【図１８】実施形態４の液晶表示装置における、共通信号配線と共通電極とを接続する共通電極コンタクトホールを設けた場合の１画素分のサブ画素を示す平面図である。

【図１９】実施形態４の液晶表示装置における、共通信号配線と共通電極とを接続する共通電極コンタクトホールを間引いた場合の１画素分のサブ画素を示す平面図である。

【発明を実施するための形態】

【００１６】

以下、本発明について図面に基づき説明する。図面には、走査信号配線１０１，２０１，３０１，６０１，７０１，１００１，１３０１，１４０１，１５０１，１６０１，１７０１、共通信号配線１０２，２０２，３０２，６０２，７０２，１００２，１３０２，１４０２，１５０２，１６０２，１７０２、ゲート絶縁膜（第１絶縁膜）１０３，２０３，３０３，６０３，７０３，１００３，１３０３，１４０３，１５０３，１６０３，１７０３、映像信号配線１０４，２０４，３０４，６０４，７０４，１００４，１３０４，１４０４，１５０４，１６０４，１７０４、薄膜半導体層１０５，２０５，３０５，６０５，７０５，１００５，１３０５，１４０５，１５０５，１６０５，１７０５、ソース電極１０６，２０６，３０６，６０６，７０６，１００６，１３０６，１４０６，１５０６，１６０６，１７０６、パッシベーション膜（第２絶縁膜）１０７，２０７，３０７，６０７，７０７，１００７，１３０７，１４０７，１５０７，１６０７，１７０７、平坦化膜１０８，２０８，３０８，６０８，７０８，１００８，１３０８，１４０８，１５０８，１６０８，１７０８、画素電極１０９，２０９，３０９，６０９，７０９，１００９，１３０９，１４０９，１５０９，１６０９，１７０９、共通電極１１０，２１０，３１０，６１０，７１０，１０１０，１３１０，１４１０，１５１０，１６１０，１７１０、画素電極コンタクトホール１１１，２１１，３１１，６１１，７１１，１０１１，１３１１，１４１１，１５１１，１６１１，１７１１、共通電極コンタクトホール３１２，４１２，７１２，８１２，１０１２，１１１２，１３１２，１５１２，１６１２，１７１２、凹部領域１１４，２１４，３１４，６１４，７１４，１０１４，１３１４，１４１４，１５１４，１６１４，１７１４、柱状スペーサ１１５，１３１５，１４１５，１５１５，１６１５，１７１５、スペーサ支持領域１１６，１５１６、台座１１７，１５１７、凹部領域１１８，２１８，３１８，６１８，７１８，１０１８，１３１８，１４１８，１５１８，１６１８，１７１８、ラビング方向１１９，２１９，３１９，６１９，７１９，１０１９，１３１９，１４１９，１５１９，１６１９，１７１９、ブラックマトリクス１２０，２２０，３２０，６２０，７２０，１０２０，１３２０，１４２０，１５２０，１６２０，１７２０、オーバーコート１２１，２２１，３２１，６２１，７２１，１０２１，１３２１，１４２１，１５２１，１６２１，１７２１、ＴＦＴ基板１３１，２３１，３３１，６３１，７３１，１０３１，１３３１，１４３１，１５３１，１６３１，１７３１、対向基板１３２，２３２，３３２，６３２，７３２，１０３２，１３３２，１４３２，１５３２，１６３２，１７３２、液晶層１３３，２３３，３３３，６３３，７３３，１０３３，１３３３，１４３３，１５３３，１６３３，１７３３、蓄積容量１３４１、第１蓄積容量１４１，２４１，３４１，６４１，７４１，１０４１，１４４１，１５４１，１６４１，１７４

10

20

30

40

50

1、第2蓄積容量142, 242, 342, 642, 742, 1042, 1442, 1542, 1642, 1742、表示領域143, 243, 343, 643, 743, 1043, 1343, 1443, 1543, 1643, 1743、サブ画素1351、柱状スペーサを配置するサブ画素151, 1551、柱状スペーサを配置せず共通電極コンタクトホールを有しないサブ画素252, 552, 652, 952, 1252, 1652、柱状スペーサを配置せず共通電極コンタクトホールを有するサブ画素353, 453, 753, 853, 1053, 1153, 1753、共通補助電極1561, 1661, 1761が開示されている。

【0017】

ただし、平面図は、液晶表示装置のうちTFT基板についてのみ示す。平面図では、わかりやすくするために、平面にも必要に応じハッチングを付す。同じ構成要素でも各図ごとに異なる符号を付すが、構成要素名が同じものは特に断らない限り同じ機能を有する。構成要素名が同じで機能も同じものは、原則として重複説明を省略する。

【0018】

まず、図14A及び図14Bに基づき、本発明の基本構成について説明する。

【0019】

本発明に係る液晶表示装置は、TFT基板1431と、TFT基板1431に対向して設けられた対向基板1432と、対向基板1432とTFT基板1431とに挟まれた液晶層1433と、TFT基板1431上に部分的に設けられた走査信号配線1401及び共通信号配線1402と、走査信号配線1401及び共通信号配線1402を含むTFT基板1431上に設けられた第1絶縁膜としてのゲート絶縁膜1403と、ゲート絶縁膜1403上に部分的に設けられたソース電極1406と、ソース電極1406を含むゲート絶縁膜1403上に設けられた第2絶縁膜としてのパッシベーション膜1407と、パッシベーション膜1407上に部分的に設けられた平坦化膜1408と、パッシベーション膜1407上の平坦化膜1408が設けられていない領域からなる凹部領域1414と、平坦化膜1408上に部分的に設けられ、ソース電極1406に電氣的に接続された、透明導電膜からなる画素電極1409と、平坦化膜1408上及び凹部領域1414内のパッシベーション膜1407上に部分的に設けられ、共通信号配線1402に電氣的に接続された、透明導電膜からなる共通電極1410と、共通信号配線1402とソース電極1406とがゲート絶縁膜1403を挟んだ構造からなる第1蓄積容量1441と、共通電極1410とソース電極1406とがパッシベーション膜1407を挟んだ構造からなる第2蓄積容量1442とを備え、共通電極1410と画素電極1409との間に発生する電界を液晶層1433に印加するIPS方式の液晶表示装置である。図14A及び図14Bに示すサブ画素は、柱状スペーサ1415が配置された第1サブ画素1451である。なお、蓄積容量(storage capacitor)とは、各サブ画素の液晶要素に並列に設けられ、信号電圧を保持するためのコンデンサのことである。

【0020】

換言すると、上記課題を解決するために、本発明に係る液晶表示装置は、第1基板(透明絶縁性基板)としてのTFT基板1431上に第1金属層からなる走査信号配線1401が形成され、走査信号配線1401上にゲート絶縁膜1403が形成され、ゲート絶縁膜1403上に薄膜半導体層1405並びに第2金属層からなる映像信号配線1404及びソース電極1406が形成され、薄膜半導体層1405上、映像信号配線1404上及びソース電極1406上に無機絶縁膜としてのパッシベーション膜1407が形成され、パッシベーション膜1407上に平坦化膜1408が形成され、パッシベーション膜1407より上層に、透明導電膜からなる共通電極1410及び画素電極1409が設けられ、画素電極1409は画素電極コンタクトホール1411を介してソース電極1406と接続され、第2基板(ガラス基板)としての対向基板1432上には、少なくとも、遮光層としてのブラックマトリクス1420と、対向基板1432とTFT基板1431とのギャップを保持するための柱状スペーサ1415とが設けられ、TFT基板1431と対向基板1432とによって液晶層1433が挟持されている横電界駆動方式のアクティブ

10

20

30

40

50

マトリクス型液晶表示装置である。そして、本発明に係る液晶表示装置は、ソース電極 1406 上の一部に平坦化膜 1408 が存在しない凹部領域 1414 があり、凹部領域 1414 で共通電極 1410 がソース電極 1406 を覆って第 2 蓄積容量 1442 を形成している、ことを特徴とする。

【0021】

次に、本発明の基本構成について更に詳しく説明する。

【0022】

図 14A 及び図 14B で、本発明の基本的な構造を示す。図 13A 及び図 13B で説明した関連技術との違いは、第 1 に、平坦化膜 1408 が存在しない凹部領域 1414 において、ソース電極 1406 の上方に共通電極 1410 をオーバーラップさせている点である。共通信号配線 1402 とソース電極 1406 とをゲート絶縁膜 1403 を介してオーバーラップさせている領域からなる第 1 蓄積容量 1441 に加えて、ソース電極 1406 と共通電極 1410 とをパッシベーション膜 1407 を介してオーバーラップさせている領域からなる第 2 蓄積容量 1442 を設けている。第 2 蓄積容量 1442 は、第 1 蓄積容量 1441 と比較して、小さな面積で大きな容量を確保することができる（同一面積で蓄積容量を増加させることができる。）。 10

【0023】

また、第 2 蓄積容量 1442 の上方における平坦化膜 1408 が存在しない凹部領域 1414 は、柱状スペーサ 1415 を配置する箇所及びその周辺の平坦化膜 1408 が存在しない領域と一体化している。この他、画素電極 1409 とソース電極 1406 とを接続する画素電極コンタクトホール 1411 の近傍を除き、平坦化膜 1408 は第 1 サブ画素 1451 の全面に存在している。これにより、第 1 蓄積容量 1441 に重ねて第 2 蓄積容量 1442 を形成しているので、蓄積容量形成に必要な面積が関連技術よりも小さくでき、更なる高開口率化が可能になる。 20

【0024】

関連技術との第 2 の違いは、1 サブ画素あたりの共通信号配線 1402 の数を、図 14A において走査信号配線 1401 の平面方向上側に位置する 1 本のみとしている点である。これにより、図 14A において走査信号配線 1401 の平面方向下側に位置する領域を有効に活用できるので、更なる高開口率化が可能になる。

【0025】

次に、上記本発明の基本構成を本発明 1 とした場合における、その変形例である本発明 2 ～ 6 について説明する。

【0026】

本発明 2 は、本発明 1 において次の構成を特徴とする。複数の画素を構成するサブ画素のうち、柱状スペーサが配置されたサブ画素において、第 1 基板における柱状スペーサを支持する領域では平坦化膜が存在せず、この領域からソース電極上の平坦化膜が存在しない領域までが連続するように平坦化膜が存在しない。これらの平坦化膜が存在しない領域において、透明導電膜からなる共通電極が、走査信号配線及びソース電極及び両者の間を覆っている。

【0027】

柱状スペーサを配置するサブ画素においては、柱状スペーサ近傍において、平坦化膜が存在しない。これにより、TFT アレイを形成する金属層で柱状スペーサの台座を形成して、柱状スペーサの高さを見かけ上複数種類形成することができる。そのため、柱状スペーサの摩擦力と支持力とのトレードオフを緩和する構造がとりやすい。

【0028】

このように、柱状スペーサ近傍の平坦化膜が存在しない領域と、ソース電極の一部によって蓄積容量を形成するために平坦化膜が存在しない領域とは、連続的に平坦化膜が存在しない領域になることにより、小さな面積でもこの構成がとりやすい。

【0029】

一方、走査信号配線近傍の柱状スペーサを支持する領域から、ソース電極上で蓄積容量 50

を形成する領域まで、平坦化膜が広く存在しない場合、これらの領域で、走査信号配線から漏れ電界が発生する。その結果、走査信号配線の近傍で液晶分子が回転し、全黒表示で光漏れが発生する場合がある。このような光漏れが生じると、黒輝度が上昇することにより、コントラストの低下を招く。また、走査信号配線と共通信号配線との間の領域では、走査信号配線からの漏れ電界により液晶分子が回転している。そのため、全黒表示において画面を指で押すと、カラーフィルタ基板上に形成した遮光層が所定の位置からずれることがある。その結果、この箇所の光漏れが観察され、斜め視野から見込んだ場合に、光漏れが生じることもある。

【 0 0 3 0 】

この平坦化膜が存在しない領域において、透明電極からなる共通電極を用いて、走査信号配線及びソース電極及び両者の間を覆うことにより、走査信号配線からの漏れ電界を抑制することができる。これにより、走査信号配線からの電界漏れによる正面及び斜め視野からの黒表示の劣化を抑止することができる。

10

【 0 0 3 1 】

本発明 3 は、本発明 1、2 において、柱状スペーサが配置されていないサブ画素について次の構成を特徴とする。平坦化膜は走査信号配線上で存在する。柱状スペーサが配置されたサブ画素においてソース電極上の一部で平坦化膜が存在しない箇所、これと同一箇所及びその近傍のみで平坦化膜が存在しない。走査信号配線が透明導電膜で形成された共通電極で覆われていない。

【 0 0 3 2 】

20

柱状スペーサを配置しないサブ画素においては、走査信号配線のところは平坦化膜が存在していることにより、電界の漏れは平坦化膜により弱められ抑制される。このため、共通電極で走査信号配線の近傍を覆う必要がないため、覆わない構造をとることにより、走査信号配線の容量負荷を減ずることができ、走査信号配線の遅延を抑制して、良好な表示を得ることができる。

【 0 0 3 3 】

本発明 4 は、本発明 1 乃至 3 において次の構成を特徴とする。透明導電膜からなる共通電極は、走査信号配線と同一の金属層で形成された共通信号配線に、特定のサブ画素のみで共通電極コンタクトホールを介して接続されている。

【 0 0 3 4 】

30

透明導電膜からなる共通電極は、通常の金属層からなる共通信号配線に接続することが遅延を抑制する上で望ましい。しかしながら、共通電極は、すべてのサブ画素で共通信号配線に接続する必要はなく、特定のサブ画素のみで共通信号配線に接続することにより、走査線の幅や蓄積容量を十分に確保しつつ、開口率を広くとることができる。

【 0 0 3 5 】

本発明 5 は、本発明 4 において次の構成を特徴とする。透明導電膜からなる共通電極は、走査信号配線と同一の金属層で形成された共通信号配線に、柱状スペーサが配置されていないサブ画素のいずれか一つのみで接続されている。

【 0 0 3 6 】

このようにすることにより、最も開口率を効率よく向上することができる。

40

【 0 0 3 7 】

本発明 6 は、本発明 2 において次の構成を特徴とする。柱状スペーサが配置されていないサブ画素において、走査信号配線が透明導電膜で形成された共通電極で覆われている。

【 0 0 3 8 】

このようにすることにより、走査信号配線の容量負荷は増大するものの、走査信号配線からの電界漏れはより確実に抑止することができるので、黒表示を更に安定したものとすることができる。

【 0 0 3 9 】

本発明に係る IPS 方式のアクティブマトリクス型液晶表示装置によれば、下記記載の効果を奏する。

50

【 0 0 4 0 】

柱状スペーサを配置するサブ画素においては、柱状スペーサ周辺の平坦化膜（オーバーコート）が存在しない領域と、ソース電極上の第2蓄積容量形成箇所の平坦化膜が存在しない領域とを連続的に繋がるように形成し、走査信号配線上から共通信号配線上及びソース電極上までを共通電極によって覆うことにより、走査信号配線からの漏れ電界を遮蔽できるので、黒表示時の光漏れを抑制できる。これにより、走査信号配線近傍まで広い領域を開口領域として確保できることにより、更なる高開口率化を達成できるとともに、黒表示時の光漏れもないことから高コントラスト化も達成できる。本発明によれば、高精細で狭ピッチな品種においても高開口率かつ高コントラストが得られ、ハイエンド用途に適した高画質な液晶表示装置を提供できる。

10

【 0 0 4 1 】

以下、添付図面を参照しながら、本発明を実施するための形態（以下「実施形態」という。）について説明する。

【 0 0 4 2 】

〔実施形態1〕

本発明の実施形態1について、図1A及び図1B、図2A及び図2B、図3A及び図3B、図4並びに図5を用いて説明する。図1A、図2A及び図3Aは、実施形態1の液晶表示装置における1サブ画素を示す平面図である。図1B、図2B及び図3Bは、それぞれ図1A、図2A及び図3AにおけるA-A'部の断面図である。図4及び図5は、1画素分のサブ画素を並べた平面図である。

20

【 0 0 4 3 】

まず、本実施形態1の液晶表示装置の概要を説明する。本実施形態1の液晶表示装置は、TFT基板131と、TFT基板131に対向して設けられた対向基板132と、対向基板132とTFT基板131とに挟まれた液晶層133と、TFT基板131上に部分的に設けられた走査信号配線101及び共通信号配線102と、走査信号配線101及び共通信号配線102を含むTFT基板131上に設けられた第1絶縁膜としてのゲート絶縁膜103と、ゲート絶縁膜103上に部分的に設けられたソース電極106と、ソース電極106を含むゲート絶縁膜103上に設けられた第2絶縁膜としてのパッシベーション膜107と、パッシベーション膜107上に部分的に設けられた平坦化膜108と、パッシベーション膜107上の平坦化膜108が設けられていない領域からなる凹部領域114と、平坦化膜108上に部分的に設けられ、ソース電極106に電氣的に接続された、透明導電膜からなる画素電極109と、平坦化膜108上及び凹部領域114内のパッシベーション膜107上に部分的に設けられ、共通信号配線102に電氣的に接続された、透明導電膜からなる共通電極110と、共通信号配線102とソース電極106とがゲート絶縁膜103を挟んだ構造からなる第1蓄積容量141と、共通電極110とソース電極106とがパッシベーション膜107を挟んだ構造からなる第2蓄積容量142とを備え、共通電極110と画素電極109との間に発生する電界を液晶層133に印加するIPS方式の液晶表示装置である。そして、凹部領域114内において、共通電極110がパッシベーション膜107を介して走査信号配線101を覆っている。

30

【 0 0 4 4 】

TFT基板131及び対向基板132の表面には配向膜（図示せず）が形成されており、TFT基板131は図の119の向きに、対向基板132は図の119の逆方向にそれぞれラビング処理されており、両基板間に注入及び封止された液晶層133は、119の方向にホモジニアス配向されている。

40

【 0 0 4 5 】

両基板の外側には、偏光板（図示せず）が貼付されている。TFT基板131の外側の偏光板は偏光軸が図の119の向きに直交し、対向基板132の外側の偏光板の偏光軸は図の119の向きに平行とし、両偏光板の偏光軸は直交するようにした。液晶のダイレクタの向きは119の向きで一方の偏光軸の向きに一致するので、これにより、ノーマリブラックの状態を作ることができた。

50

【0046】

液晶層133は適宜、設計可能であるが、ここでは、一例として、両基板間のセルギャップは4.0 μm とし、液晶層133の屈折率異方性 $\Delta n=0.086$ 、誘電率異方性 $\Delta \epsilon=9$ とした。画素電極109と共通電極110との間の電極間距離を10 μm 、各電極の幅を3.5 μm とした。

【0047】

画素電極109及び共通電極110は、どちらも櫛歯状を呈し、平坦化膜108上に互いに略平行に延在するように形成されている。画素電極109と共通電極110との間に印加される、両基板にほぼ平行な横電界によって、液晶層133の各分子が基板面内で回転し、これにより表示が制御される。黒を表示させる際には、両電極間の電位差を0V、白を表示させる際には、両電極間に6Vを印加させるようにした。

10

【0048】

表示領域(開口部)143の配向膜は、平坦化膜108上に形成されている。そのため、この配向膜上のラビングは均一に行うことができるので、配向乱れが生じることがなく、良好な黒表示を得ることができる。平坦化膜108が設けられない凹部領域114は、ソース電極106の上から走査信号配線101にかけての非表示領域であるため、この領域で配向乱れは生じて、表示に影響は全くない。

【0049】

以下、実施形態2~4においても特に断らない限り、TFT基板、対向基板上の配向処理及び両基板の外側の偏光板の配置、並びに液晶層の物性については、実施形態1の例と同じとすることができる。

20

【0050】

次に、本実施形態1の液晶表示装置の詳細を説明する。図1A及び図1Bは、本実施形態1における、柱状スペーサを配置するサブ画素を示す。図1A及び図1Bに示すサブ画素は下記のようにして形成される。

【0051】

図1A及び図1Bに示すサブ画素は、柱状スペーサ115を配置する第1サブ画素151である。まず、第1金属層からなる走査信号配線101及び共通信号配線102を形成する。第1金属層は、モリブデンが主成分の合金と、アルミニウムが主成分の合金とを積層させたものである。

30

【0052】

次に、第1絶縁膜として、ゲート絶縁膜103となる窒化シリコン膜を形成した後、その上に薄膜半導体層105を形成する。

【0053】

更に、第2金属層からなる映像信号配線104及び(TFTの)ソース電極106を形成する。第2金属層は、モリブデンを主成分とする合金とアルミニウムを主成分とする合金を積層させたものである。

【0054】

薄膜半導体層105の上層はn型半導体層(図示せず)が形成されている。そのn型半導体層は、第2金属層からなる各電極を形成した後、ドライエッチングにより除去される。つまり、n型半導体層は、ソース電極106及びドレイン電極(映像信号配線104の一部)の下にだけ残る。なお、TFTは、ゲート電極(走査信号配線101の一部)、ゲート絶縁膜103、薄膜半導体層105、ソース電極106及びドレイン電極(映像信号配線104の一部)が積層された部分からなる。

40

【0055】

更に、この上に第2絶縁膜として、窒化シリコンからなるパッシベーション膜107を形成する。更に、この上に感光性アクリル樹脂を塗布し、これに露光・現像・焼成を行うことにより、所定のパタンの平坦化膜108を形成する。平坦化膜108は画素の表示領域(開口部)143を全て覆うように形成され、平坦化膜108を配置しない凹部領域114、118が表示領域外の一部で形成される。

50

【 0 0 5 6 】

図 1 A 及び図 1 B に示す第 1 サブ画素 1 5 1 では、走査信号配線 1 0 1 上のスペーサ支持領域 1 1 6 の位置に当接するように柱状スペーサ 1 1 5 が配置される。

【 0 0 5 7 】

凹部領域 1 1 4 における平坦化膜 1 0 8 は、柱状スペーサ 1 1 5 を配置するスペーサ支持領域 1 1 6 から、画素電極 1 0 9 に電氣的に接続するソース電極 1 0 6 の一部の上まで、連続的に除去されている。このように連続的に除去することにより、走査信号配線 1 0 1 上からソース電極 1 0 6 上までの有機膜除去部までを、より小さな面積で形成することができるため、表示領域 1 4 3 をより広く取ることができ、高開口率化が可能となっている。

10

【 0 0 5 8 】

凹部領域 1 1 4 とは不連続に平坦化膜 1 0 8 が除去された凹部領域 1 1 8 が、ソース電極 1 0 6 上に形成されている。凹部領域 1 1 8 内に、ソース電極 1 0 6 と画素電極 1 0 9 とを接続する画素電極コンタクトホール 1 1 1 を形成する。

【 0 0 5 9 】

次いで、ITO (Indium Tin Oxide) 等の透明導電膜を用いて、画素電極 1 0 9 及び共通電極 1 1 0 を形成する。共通電極 1 1 0 は、映像信号配線 1 0 4 を覆うように形成されており、映像信号配線 1 0 4 からの電界をシールドする。これにより表示領域 1 4 3 を広くとることができ、高開口率化が可能となっている。画素電極 1 0 9 は、画素電極コンタクトホール 1 1 1 を介してソース電極 1 0 6 に接続されている。一般に、各サブ画素の共通電極 1 1 0 にはすべて同じ電圧が印加され、各サブ画素の画素電極 1 0 9 にはそれぞれ異なる電圧が印加される。

20

【 0 0 6 0 】

凹部領域 1 1 4 内では、図 1 B に示すように、ソース電極 1 0 6 の一部の上にパッシベーション膜 1 0 7 を介して共通電極 1 1 0 を配置することにより、第 2 蓄積容量 1 4 2 が形成されている。このため、ソース電極 1 0 6 と共通信号配線 1 0 2 との間で第 1 蓄積容量 1 4 1 を形成するだけの場合に比べて、より小さな面積で同等の蓄積容量を形成することが可能となる。

【 0 0 6 1 】

凹部領域 1 1 4 において、共通電極 1 1 0 は、第 2 絶縁膜からなるパッシベーション膜 1 0 7 を介して、走査信号配線 1 0 1 及びソース電極 1 0 6 並びに走査信号配線 1 0 1 とソース電極 1 0 6 との間を覆っている。これにより、走査信号配線 1 0 1 からの漏れ電界をシールドでき、黒表示時の光漏れを抑制することができる。

30

【 0 0 6 2 】

柱状スペーサ 1 1 5 を配置するサブ画素は、1 画素を構成する複数のサブ画素のうち 1 つ以下とする。柱状スペーサ 1 1 5 を配置するサブ画素は、画素に応じて、図 1 A 及び図 1 B に示すような台座 1 1 7 を配置するサブ画素と、台座 1 1 7 を配置しないサブ画素 (図示せず) とを設ける。台座 1 1 7 及び柱状スペーサ 1 1 5 を配置するサブ画素 1 5 1 では、柱状スペーサ 1 1 5 と台座 1 1 7 とが接触することにより、TFT 基板 1 3 1 と対向基板 (カラーフィルタ基板) 1 3 2 との間隙の荷重を支持する。このように、台座 1 1 7 を配置することにより通常の状態では荷重を支持している柱状スペーサ 1 1 5 を、以下「本柱」と呼ぶことにする。

40

【 0 0 6 3 】

一方、柱状スペーサ 1 1 5 を配置するサブ画素のうち、台座 1 1 7 を配置しないサブ画素は、次のように作用する。TFT 基板 1 3 1 と対向基板 1 3 2 とに大きな荷重が掛からない場合には、柱状スペーサ 1 1 5 にほとんど荷重が掛からない。そのため、TFT 基板 1 3 1 と対向基板 1 3 2 とのギャップが狭くなったときは摩擦抵抗を生じて、対向基板 1 3 2 に応力を発生させることにより、黒表示のモヤツキを生じさせない。一方、TFT 基板 1 3 1 と対向基板 1 3 2 とに大きな荷重が掛かった場合は、柱状スペーサ 1 1 5 が TFT 基板 1 3 1 に接触して荷重を分担することにより、台座 1 1 7 を有するサブ画素 1 5 1

50

における柱状スペーサ 115 が過大な力によって塑性変形に至ることを防ぐ。このように、台座 117 を配置しないサブ画素の柱状スペーサ 115 は、このように大きな荷重が印加された場合にのみ、台座 117 を有するサブ画素の柱状スペーサ 115 (本柱) を補助する機能を有する。このような柱状スペーサを、以下「補助柱」と呼ぶことにする。

【0064】

スペーサ支持領域 116 の平坦化膜 108 を除去しておくことにより、第 2 金属層等によってソース電極 106 と同時に台座 117 を形成することができるようになる。このために、平坦化膜 108 は柱状スペーサ 115 を配置する近傍で存在しないことが望ましい。

【0065】

また、柱状スペーサ 115 を配置するサブ画素 151 には、共通信号配線 102 と共通電極 110 とを接続する共通電極コンタクトホール 111 を設けないことが望ましい。

【0066】

更に、対向基板（カラーフィルタ基板）132 上には、走査信号配線 101 及び映像信号配線 104 と対応する位置に樹脂ブラックを用いてブラックマトリクス 120 が形成されている。ブラックマトリクス 120 上の表示領域には色層（図示せず）が設けられており、その上にオーバーコート 121 が形成されている。

【0067】

図 2A は、本実施形態 1 における、柱状スペーサを配置しないサブ画素を示す平面図である。

【0068】

図 2A 及び図 2B に示すサブ画素は、柱状スペーサ 115 を配置しないサブ画素 252 である。図 1A 及び図 1B と異なり、平坦化膜 208 の存在しない凹部領域 214 は、ソース電極 206 上の第 2 蓄積容量 242 の形成部のみである。つまり、図 1A 及び図 1B のスペーサ支持領域 116 に相当する箇所では、平坦化膜 208 が存在している。また、A-A' 部における共通電極 210 は、ソース電極 206 上の平坦化膜 208 が存在しない凹部領域 214 内でのみ形成されており、走査信号配線 201 上から共通信号配線 202 上までをシールドするようには配置されていない。

【0069】

走査信号配線 201 上には平坦化膜（オーバーコート膜）208 が残っている。これにより、走査信号配線 201 上が共通電極 210 でシールドされていなくても、走査信号配線 201 からの漏れ電界を弱めることができる。

【0070】

図 3A は、本実施形態 1 における、柱状スペーサを配置せず共通信号配線と共通電極とを接続する共通電極コンタクトホールを設けるサブ画素を示す平面図である。

【0071】

図 3A 及び図 3B に示すサブ画素は、柱状スペーサを配置せず、共通信号配線 302 と共通電極 310 とを接続する共通電極コンタクトホール 312 を設ける、サブ画素 353 である。図 2A 及び図 2B に示すサブ画素との違いは、共通電極コンタクトホール 312 を設ける分だけ、平坦化膜 308 の存在しない凹部領域 314 を広げている点である。サブ画素 353 は、柱状スペーサを配置しないサブ画素でもあり、図 2A 及び図 2B に示すサブ画素 252 と同様に、走査信号配線 301 上から共通信号配線 302 上までの領域は共通電極 310 でシールドされていない。走査信号配線 301 上には平坦化膜 308 が残っているので、共通電極 310 でシールドされていなくても、走査信号配線 301 からの漏れ電界を弱める効果がある。

【0072】

図 4 及び図 5 は、本実施形態 1 の 1 画素分のサブ画素を並べた平面図である。

【0073】

図 4 に示す 1 画素は、柱状スペーサ 115 を配置するサブ画素 151、柱状スペーサを配置せず共通電極コンタクトホールを設けないサブ画素 252、及び、柱状スペーサを配

10

20

30

40

50

置せず共通電極コンタクトホール312を設けるサブ画素353からなる。サブ画素151は青(B)の、サブ画素252は緑(G)の、サブ画素353は赤(R)の各カラーフィルタに対応する。このように、1画素内で共通電極コンタクトホールを設けるサブ画素は、3サブ画素中の1サブ画素で十分である。

【0074】

また、画素によっては、共通電極コンタクトホール312を設けるサブ画素353の代わりに、図5に示すように、共通電極コンタクトホールを設けないサブ画素252を配置させてもよい。つまり、図5に示す1画素は、柱状スペーサ115を配置するサブ画素151、及び、柱状スペーサを配置せず共通電極コンタクトホールを設けない2個のサブ画素252からなる。

10

【0075】

共通電極110、210、310(図1A、図2A、図3A)は、隣接する画素間で互いに接続され、かつITO等の透明導電膜で形成されているので、数画素にわたって当該共通電極の電位を安定化する上で、十分に低抵抗である。そのため、共通電極コンタクトホールを必要以上に設けないことにより、配線間のショート等の不具合の発生確率を減らすことが可能である。したがって、共通電極コンタクトホールを設けるサブ画素は、全画素の全サブ画素を合せたサブ画素数の1/3以下にすることが望ましい。

【0076】

柱状スペーサは、すべての画素にそれぞれ1個ずつ配置することもできるし、すべての画素うちの例えば1/2~1/8の画素に配置することもできる。柱状スペーサをすべての画素に配置する場合は、図4に示す画素と図5に示す画素とを所定の割合で配置してもよい。柱状スペーサをすべての画素のうち1/2~1/8の画素に配置する場合、柱状スペーサが存在しない画素においては、図4又は図5に示すようにTF基板側にサブ画素151を設け、かつ対向基板側に柱状スペーサを設けない構成としてもよいし、図4又は図5に示すサブ画素151をサブ画素252で置き換えた構成にしてもよい。

20

【0077】

本実施形態1の実施例1では、柱状スペーサをすべての画素に配置し、すべての画素を図4に示す画素とした。柱状スペーサを配置するサブ画素151のうち、台座117を配置するサブ画素と台座117を配置しないサブ画素との割合を1:15とした。これにより全画素のうち、1/16の画素に本柱が配置され、15/16の画素で補助柱が配置される。このように本柱の密度を少なくすることにより、両基板間のズレ等に伴う応力で黒表示がもやつくといった不具合を抑制することができ、良好な表示が得られた。また、共通電極コンタクトホールを有するサブ画素353は全サブ画素数の1/3であり、この割合を1/3に以下とすることで、十分良好な歩留を得ることができた。

30

【0078】

本実施形態1の実施例2では、柱状スペーサをすべての画素のうち1/4の画素に配置し、図4に示す画素と図5に示す画素との割合を1:3とした。柱状スペーサを配置するサブ画素151のうち、台座117を配置するサブ画素と台座117を配置しないサブ画素との割合を1:3とした。これにより、全画素のうち、1/16の画素に本柱が配置され、残り3/16の画素で補助柱が配置される。補助柱の本数を実施例1に比べて、減らすことで、荷重耐性はやや落ちるものの、柱状スペーサ近傍の配向異常をより減らすことができ、コントラストを向上させることができ、更に良好な表示が得られた。また、共通電極コンタクトホール312を有するサブ画素353は全サブ画素の1/12であり、この割合が1/3以下となっており、十分良好な歩留を得ることができた。

40

【0079】

上述の例では、本柱を全画素の1/16とするようにしたが、柱状スペーサの性質により、1/4~1/48の範囲で、適切に定めていくことができる。また、台座117を配置しない補助柱の密度も、黒の表示品位と荷重耐性とのバランスにより、適宜定めていくことができる。

【0080】

50

更に、小型品種など信号書き込みに余裕がある場合には、共通電極コンタクトホールを設けず、全画素を図5のような配列にしてもよい。

【0081】

図1A及び図1Bに戻って本実施形態1について説明すると、上述のように形成したTFTアレイ基板131と対向基板132とに配向膜(図示せず)を形成し、ラビング方向119の向きにラビング処理を行った後、両基板を貼り合わせて、両基板の間に液晶層133を注入して封止する。

【0082】

本実施形態1によれば、このような構成を採ったことにより、走査信号線近傍まで広い領域を開口領域として確保し、高開口率化することができ、なおかつ黒表示時の光漏れもないことから高コントラストが得られる。

【0083】

[実施形態2]

本発明の実施形態2について、図6A及び図6B、図7A及び図7B、図8並びに図9を用いて説明する。図6A及び図7Aは実施形態2の液晶表示装置における1サブ画素を示す平面図であり、図6B及び図7Bは図6A及び図7AにおけるA-A'部の断面図である。図8及び図9は1画素分のサブ画素を並べた平面図である。

【0084】

本実施形態2における、柱状スペーサを配置するサブ画素は、実施形態1のサブ画素(図1A及び図1B)と同一である。図6A及び図6Bは、本実施形態2における、柱状スペーサを配置しないサブ画素652を示す。サブ画素652の、実施形態1のサブ画素252(図2A及び図2B)との違いは、走査信号配線601上から共通信号配線602上までの領域が共通電極610でシールドされている点である。これにより、走査信号配線601からの漏れ電界はシールドされる。

【0085】

図7A及び図7Bは、本実施形態2における、柱状スペーサを配置せず共通電極コンタクトホールを設けるサブ画素753を示す。本実施形態2におけるサブ画素753の、実施形態1におけるサブ画素353(図3A及び図3B)との違いは、走査信号配線701上から共通信号配線702上まで領域が共通電極710でシールドされている点である。これにより、走査信号配線701からの漏れ電界はシールドされる。

【0086】

図8及び図9は、本実施形態2の1画素分のサブ画素を並べた平面図である。

【0087】

図8に示す1画素は、柱状スペーサ115を配置するサブ画素151、柱状スペーサを配置せず共通電極610の共通電極コンタクトホールを設けないサブ画素652、及び、柱状スペーサを配置せず共通電極710の共通電極コンタクトホール712を設けるサブ画素753からなる。サブ画素151は青(B)の、サブ画素652は緑(G)の、サブ画素753は赤(R)の各カラーフィルタに対応する。このように、1画素内で共通電極コンタクトホールを設けるサブ画素は、3サブ画素中の1サブ画素で十分である。

【0088】

また、画素によっては、共通電極コンタクトホール712を設けるサブ画素753の代わりに、図9に示すように、共通電極コンタクトホールを設けないサブ画素652を配置してもよい。つまり、図9に示す1画素は、柱状スペーサ115を配置するサブ画素151、及び、柱状スペーサを配置せず共通電極610の共通電極コンタクトホールを設けない2個のサブ画素652からなる。

【0089】

共通電極110、610、710(図1A、図6A、図7A)は、隣接する画素間で接続され、かつITO等の透明導電膜で形成されているので、数画素にわたって当該共通電極の電位を安定化する上で、十分に低抵抗である。そのため、共通電極コンタクトホールを必要以上に設けないことにより、配線間のショート等の不具合の発生確率を減らすこと

10

20

30

40

50

が可能である。したがって、共通電極コンタクトホールを設けるサブ画素は、全画素の全サブ画素を合わせたサブ画素数の $1/3$ 以下にすることが望ましい。

【0090】

柱状スペーサは、すべての画素に1個ずつ配置することもできるし、すべての画素のうち例えば $1/2 \sim 1/8$ の画素に配置することもできる。柱状スペーサをすべての画素に配置する場合は、図8に示す画素と図9に示す画素とを所定の割合で配置してもよい。柱状スペーサをすべての画素のうち $1/2 \sim 1/8$ の画素に配置する場合、柱状スペーサを配置しない画素においては、TFT基板側に図8又は図9に示すサブ画素151を設け、かつ対向基板側に柱状スペーサを設けない構成としてもよいし、図8又は図9に示すサブ画素151の代わりにサブ画素652で置き換えた構成としてもよい。

10

【0091】

本実施形態2の実施例1では、すべての画素に柱状スペーサを配置し、すべての画素を図8に示す画素とした。柱状スペーサを配置するサブ画素151のうち、台座117を配置するサブ画素と台座117を配置しないサブ画素との割合を $1:15$ とした。これにより全画素のうち、 $1/16$ の画素に本柱が配置され、 $15/16$ の画素で補助柱が配置される。このように本柱の密度を少なくすることにより、両基板間のズレ等に伴う応力で黒表示がもやつくといった不具合を抑制することができ、良好な表示が得られた。また、共通電極コンタクトホールを有するサブ画素753は全サブ画素数の $1/3$ であり、この割合を $1/3$ に以下とすることで、十分良好な歩留を得ることができた。

【0092】

20

本実施形態2の実施例2では、すべての画素のうち $1/4$ の画素に柱状スペーサを配置し、図8に示す画素と図9に示す画素との割合を $1:3$ とした。柱状スペーサを配置するサブ画素151のうち、台座117を配置するサブ画素と台座117を配置しないサブ画素との割合を $1:3$ とした。これにより、全画素のうち、 $1/16$ の画素に本柱が配置され、残り $3/16$ の画素で補助柱が配置される。補助柱の本数を実施例1に比べて、減らすことで、荷重耐性はやや落ちるものの、柱状スペーサ近傍の配向異常をより減らすことができ、コントラストを向上させることができ、更に良好な表示がえられた。また、共通電極コンタクトホールを有するサブ画素753は全サブ画素の $1/12$ であり、この割合が $1/3$ 以下となっており、十分良好な歩留を得ることができた。

【0093】

30

上述の例では、本柱を全画素の $1/16$ とするようにしたが、柱状スペーサの性質により、 $1/4 \sim 1/48$ の範囲で、適切に定めていくことができる。また、台座117を配置しない補助柱の密度も、黒の表示品位と荷重耐性とのバランスにより、適宜定めていくことができる。

【0094】

更に、小型品種など信号書き込みに余裕がある場合には、共通電極コンタクトホールを設けず、全画素を図9のような配列にしてもよい。

【0095】

本実施形態2では、全サブ画素の走査信号配線上が共通電極によってシールドされている。このような構成により、走査信号配線近傍まで広い領域を開口領域として確保し、高開口率化することができ、黒表示時の光漏れもないことから高コントラストが得られる。

40

【0096】

[実施形態3]

本発明の実施形態3について、図10A及び図10B、図11並びに図12を用いて説明する。図10Aは実施形態3の液晶表示装置における1サブ画素を示す平面図であり、図10Bは図10AにおけるA-A'部の断面図である。図11及び図12は、1画素分のサブ画素を並べた平面図である。

【0097】

本実施形態3における、柱状スペーサを配置するサブ画素は、実施形態1の柱状スペーサを配置するサブ画素151(図1A及び図1B)と同一である。また、柱状スペーサを

50

配置しないサブ画素のうち共通電極コンタクトホールを有しないサブ画素も、柱状スペーサの有無を除き、実施形態 1 のサブ画素 1 5 1 (図 1 A 及び図 1 B) と同一である。

【 0 0 9 8 】

図 1 0 A 及び図 1 0 B は、本実施形態 3 における、柱状スペーサを配置せず、共通信号配線と共通電極とを接続する共通電極コンタクトホールを設ける、サブ画素を示す平面図である。

【 0 0 9 9 】

本実施形態 3 における共通電極コンタクトホールを形成するサブ画素 1 0 5 3 の、実施形態 2 の共通電極コンタクトホールを形成するサブ画素 7 5 3 (図 7 A 及び図 7 B) との違いは、走査信号配線 1 0 0 1 上から共通信号配線 1 0 0 2 上まで領域で有機膜が除去されている点である。

10

【 0 1 0 0 】

図 1 1 及び図 1 2 は、本実施形態 3 の 1 画素分のサブ画素を並べた平面図である。

【 0 1 0 1 】

図 1 1 に示す 1 画素は、柱状スペーサ 1 1 5 を配置するサブ画素 1 5 1、柱状スペーサを配置せず共通電極コンタクトホールを設けないサブ画素 1 5 1 (柱状スペーサの有無を除き前述のサブ画素 1 5 1 と同じ構造)、及び、柱状スペーサを配置せず共通電極コンタクトホール 1 0 1 2 を設けるサブ画素 1 0 5 3 からなる。二個のサブ画素 1 5 1 はそれぞれ青 (B) 及び緑 (G) の、サブ画素 1 0 5 3 は赤 (R) の、各カラーフィルタに対応する。このように、1 画素内で共通電極コンタクトホールを設ける画素は、3 サブ画素中の 1 サブ画素で十分である。

20

【 0 1 0 2 】

また、画素によっては、図 1 2 に示すように、共通電極コンタクトホール 1 0 1 2 を設けるサブ画素 1 0 5 3 の代わりにサブ画素 1 5 1 を配置することにより、すべてのサブ画素をサブ画素 1 5 1 にしてもよい。

【 0 1 0 3 】

共通電極 1 1 0 (図 1 A) は、隣接する画素間で接続され、かつ I T O 等の透明導電膜で形成されているので、数画素にわたって共通電極の電位を安定化する上で、十分に低抵抗である。そのため、共通電極コンタクトホールを必要以上に設けないことにより、配線間のショート等の不具合の発生確率を減らすことが可能である。したがって、共通電極コンタクトホールを設けるサブ画素は、全画素の全サブ画素を合せたサブ画素数の 1 / 3 以下にすることが望ましい。

30

【 0 1 0 4 】

柱状スペーサは、すべての画素に 1 個ずつ配置することもできるし、すべての画素のうち例えば 1 / 2 ~ 1 / 8 の画素に配置することもできる。柱状スペーサをすべての画素に配置する場合は、図 1 1 に示す画素と図 1 2 に示す画素とを所定の割合で配置してもよい。柱状スペーサをすべての画素のうち 1 / 2 ~ 1 / 8 の画素に配置する場合、柱状スペーサが存在しない画素においては、T F T 基板側に図 1 1 又は図 1 2 に示すサブ画素 1 5 1 を設け、対向基板側に柱状スペーサを設けない構成としてもよい。

【 0 1 0 5 】

40

本実施形態 3 の実施例 1 では、柱状スペーサを全画素に配置し、すべての画素を図 1 1 に示す画素とした。柱状スペーサを配置するサブ画素 1 5 1 のうち、台座 1 1 7 を配置するサブ画素と台座 1 1 7 を配置しないサブ画素との割合を 1 : 1 5 とした。これにより全画素のうち、1 / 1 6 の画素に本柱が配置され、1 5 / 1 6 の画素で補助柱が配置される。このように本柱の密度を少なくすることにより、両基板間のズレ等に伴う応力で黒表示がもやつくといった不具合を抑制することができ、良好な表示が得られた。また、共通電極コンタクトホールを有するサブ画素 1 0 5 3 は全サブ画素数の 1 / 3 であり、この割合を 1 / 3 に以下とすることで、十分良好な歩留を得ることができた。

【 0 1 0 6 】

本実施形態 3 の実施例 2 では、すべての画素のうち 1 / 4 の画素に柱状スペーサを配置

50

し、図 1 1 に示す画素と図 1 2 に示す画素との割合を 1 : 3 とした。柱状スペーサを配置するサブ画素 1 5 1 のうち、台座 1 1 7 を配置するサブ画素と台座 1 1 7 を配置しないサブ画素との割合を 1 : 3 とした。これにより、全画素のうち、1 / 1 6 の画素に本柱が配置され、残り 3 / 1 6 の画素で補助柱が配置される。補助柱の本数を実施例 1 に比べて、減らすことで、荷重耐性はやや落ちるものの、柱状スペーサ近傍の配向異常をより減らすことができ、コントラストを向上させることができ、更に良好な表示がえられた。また、共通電極コンタクトホールを有するサブ画素 1 0 5 3 は全サブ画素の 1 / 1 2 であり、この割合が 1 / 3 以下となっており、十分良好な歩留を得ることができた。

【 0 1 0 7 】

上述の例では、本柱を全画素の 1 / 1 6 とするようにしたが、柱状スペーサの性質により、1 / 4 ~ 1 / 4 8 の範囲で、適切に決めていくことができる。また、台座 1 1 7 を配置しない補助柱の密度も、黒の表示品位と荷重耐性とのバランスにより、適宜決めていくことができる

【 0 1 0 8 】

更に、小型品種など信号書き込みに余裕がある場合には、共通電極コンタクトホールを設けず、全画素を図 1 2 のような配列にしてもよい。

【 0 1 0 9 】

本実施形態 3 では、全サブ画素において平坦化膜が存在しない領域が同一形状となり、なおかつ全サブ画素の走査信号配線上が共通電極によってシールドされている。このような構成により、走査線近傍まで広い領域を開口領域として確保し、高開口率化することができ、黒表示時の光漏れもないことから高コントラストが得られる。

【 0 1 1 0 】

[実施形態 4]

本発明の実施形態 4 について、図 1 5 A 及び図 1 5 B、図 1 6 A 及び図 1 6 B、図 1 7 A 及び図 1 7 B、図 1 8、図 1 9 を用いて説明する。図 1 5 A、図 1 6 A 及び図 1 7 A は、実施形態 4 の液晶表示装置における 1 サブ画素を示す平面図である。図 1 5 B、図 1 6 B 及び図 1 7 B は、それぞれ図 1 5 A、図 1 6 A 及び図 1 7 A における A - A ' 部の断面図である。図 1 8、図 1 9 は、1 画素分のサブ画素を並べた平面図である。

【 0 1 1 1 】

図 1 5 A 及び図 1 5 B に示すサブ画素は、柱状スペーサ 1 5 1 5 を配置するサブ画素 1 5 5 1 である。本実施形態 4 におけるサブ画素 1 5 5 1 は、共通補助電極 1 5 6 1 が設けられている点で、実施形態 1 におけるサブ画素 1 5 1 と異なる。共通補助電極 1 5 6 1 は、共通信号配線 1 5 0 2 に接続された第 1 金属層からなり、サブ画素 1 5 5 1 の周縁にループ状に設けられ、走査信号配線 1 5 0 1 から第 2 蓄積容量 1 5 4 2 へ向かう方向と反対の方向側において、走査信号配線 1 5 0 1 に沿って配置されている。なお、以下の「平面内下（又は上）」とは、平面図を見ている状態における平面図の下（又は上）という意味である。

【 0 1 1 2 】

ここで、図 1 A 及び図 1 B に基づき、実施形態 1 におけるサブ画素 1 5 1 の問題点について説明する。サブ画素 1 5 1 は、走査信号線 1 0 1 の近傍まで広い領域を開口領域として確保することにより、高い開口率となっている。しかし、走査信号配線 1 0 1 よりも平面内下側（図 1 A）では、凹部領域 1 1 4 のエッジが開口領域の近傍にある。そのため、T F T 基板 1 3 1 と対向基板 1 3 2 との重ね合わせ時に平面内下方向（図 1 A）へ大きくずれが生じた場合、凹部領域 1 1 4 側壁の平面内下側（図 1 A）に位置する平坦化膜 1 0 8 に、柱状スペーサ 1 1 5 が接触することがある。この場合、走査信号配線 1 0 1 よりも平面内下側（図 1 A）で液晶の配向が乱れることにより、黒表示時に光漏れが発生する。また、最終的な重ね合わせ状態として、平面内上方向（図 1 A）に大きくずれた場合、ブラックマトリクス 1 2 0 もずれることになる。この場合、走査信号配線 1 0 1 の近傍では弱い電界の漏れが生じているため、この弱い電界漏れによって液晶分子が回転している領域が、ブラックマトリクス 1 2 0 で遮光されずに黒表示時に視認されてしまうことがある

。

【0113】

これに対し、本実施形態4におけるサブ画素1551では、走査信号配線1501の平面内下側(図15A)に共通補助電極1561を配置することにより、実施形態1と比較して開口率は若干落ちるものの、TFT基板1531と対向基板1532との重ね合わせが大きくずれた場合でも、第1金属層からなる共通補助電極1561が遮光機能と電界遮蔽機能とを有するため、上述のような光漏れを抑制することができる。

【0114】

図16A及び図16Bに示すサブ画素は、柱状スペーサを配置せず共通電極コンタクトホールも配置しないサブ画素1652である。本実施形態におけるサブ画素1652は、共通補助電極1661が設けられている点で、実施形態1におけるサブ画素252と異なる。共通補助電極1661は、サブ画素1652の周縁にループ状に設けられ、走査信号配線1601よりも平面内下側(図16A)に、走査信号配線1601に沿って配置されている。

10

【0115】

ここで、図2A及び図2Bに基づき、実施形態1におけるサブ画素252の問題点について説明する。サブ画素252では、サブ画素151と異なり柱状スペーサを配置しないため、TFT基板231と対向基板232との重ね合わせ時に平面内下方向(図2A)に大きくずれた場合でも、柱状スペーサが平坦化膜に接触することによる黒表示時の光漏れは発生しない。しかし、TFT基板231と対向基板232との重ね合わせ時に平面内上方向(図2A)に大きくずれが生じた場合、走査信号配線201の近傍の弱電界漏れ領域が、ブラックマトリクス220で遮光されず黒表示時に視認されてしまうことがある。

20

【0116】

これに対し、本実施形態4におけるサブ画素1652では、走査信号配線1601の平面内下側(図16A)に共通補助電極1661を配置することで、実施形態1と比較して開口率は若干落ちるものの、TFT基板1631と対向基板1632との重ね合わせが大きくずれた場合でも、第1金属層からなる共通補助電極1661が遮光機能と電界遮蔽機能とを有するため、上述のような光漏れを抑制することができる。

【0117】

図17A及び図17Bに示すサブ画素は、柱状スペーサを配置せず、共通信号配線1702と共通電極1710とを接続する共通電極コンタクトホール1712を設ける、サブ画素1753である。本実施形態4におけるサブ画素1753は、共通補助電極1761を設けた点で、実施形態1におけるサブ画素353と異なる。共通補助電極1761は、サブ画素1753の周縁にループ状に設けられ、走査信号配線1701よりも平面内下側(図17A)に、走査信号配線1701に沿って配置されている。

30

【0118】

ここで、図3A及び図3Bに基づき、実施形態1におけるサブ画素353の問題点について説明する。サブ画素353では、サブ画素151と異なり柱状スペーサを配置しないため、TFT基板331と対向基板332との重ね合わせが平面内下方向(図3A)に大きくずれた場合でも、黒表示時の光漏れは発生しない。しかし、TFT基板331と対向基板332との重ね合わせ時に、平面内上方(図3A)に大きくずれが生じた場合、走査信号配線301近傍の弱電界漏れ領域が、ブラックマトリクス320で遮光されず黒表示時に視認されてしまうことがある。

40

【0119】

これに対し、本実施形態4におけるサブ画素1753では、走査信号配線1701の平面内下側(図17A)にも共通補助電極1761を配置していることにより、実施形態1と比較して開口率は若干落ちるものの、TFT基板1731と対向基板1732との重ね合わせが大きくずれた場合でも、第1金属層からなる共通補助電極1761が遮光機能と電界遮蔽機能とを有するため、上述のような光漏れを抑制することができる。

【0120】

50

図18及び図19は、本実施形態4の1画素分のサブ画素を並べた平面図である。

【0121】

本実施形態4における実施形態1(図4)との違いは、共通補助電極がループ状に延伸され、走査信号配線の平面内下側に配置されていることである。

【0122】

図18に示す1画素は、柱状スペーサ1515を配置するサブ画素1551、柱状スペーサを配置せず共通電極コンタクトホールを設けないサブ画素1652、及び、柱状スペーサを配置せず共通電極コンタクトホール1712を設けるサブ画素1753からなる。サブ画素1551は青(B)の、サブ画素1652は緑(G)の、サブ画素1753は赤(R)の各カラーフィルタに対応する。このように、1画素内で共通電極コンタクトホールを設けるサブ画素は、3サブ画素中の1サブ画素で十分である。

10

【0123】

また、画素によっては、図19に示すように、共通電極コンタクトホール1712を設けるサブ画素1753の代わりに、共通電極コンタクトホールを設けないサブ画素1652を配置してもよい。つまり、図18に示す1画素は、柱状スペーサを配置せず共通電極コンタクトホールを設けない2個のサブ画素1652、及び、柱状スペーサを配置せず共通電極コンタクトホール1712を設けるサブ画素1753からなる。

【0124】

共通電極1510、1610、1710(図15A、図16A、図17A)は、隣接する画素間で接続され、かつITO等の透明導電膜で形成されているので、数画素にわたって当該共通電極の電位を安定化する上で、十分に低抵抗である。そのため、共通電極コンタクトホールは、必要以上に設けないことにより、配線間のショート等の不具合の発生確率を減らすことが可能である。したがって、共通電極コンタクトホールを設けるサブ画素は、全画素の全サブ画素を合せたサブ画素数の1/3以下にすることが望ましい。

20

【0125】

柱状スペーサは、すべての画素に1個ずつ配置することもできるし、すべての画素のうち例えば1/2~1/8の画素に配置することもできる。柱状スペーサをすべての画素に配置する場合は、図18に示す画素と図19に示す画素とを所定の割合で配置してもよい。すべての画素のうち1/2~1/8の画素に柱状スペーサを配置する場合、柱状スペーサを配置しない画素においては、図18又は図19に示すように、TFT基板側にサブ画素1551を設け、かつ対向基板側に柱状スペーサを設けない構成とすることもできるし、図18又は図19に示すサブ画素1551の代わりに、サブ画素1652で置き換えた構成とすることも可能である。

30

【0126】

本実施形態4の実施例1では、柱状スペーサをすべての画素に配置し、すべての画素を図18に示す画素とした。柱状スペーサを配置するサブ画素1551のうち、台座1517を配置するサブ画素と台座1517を配置しないサブ画素との割合を1:15とした。これにより全画素のうち、1/16の画素に本柱が配置され、15/16の画素で補助柱が配置される。このように本柱の密度を少なくすることにより、両基板間のズレ等に伴う応力で黒表示がもやつくといった不具合を抑制することができ、良好な表示が得られた。また、共通電極コンタクトホールを有するサブ画素1753は全サブ画素数の1/3であり、この割合を1/3に以下とすることで、十分良好な歩留を得ることができた。

40

【0127】

本実施形態4の実施例2では、すべての画素のうち1/4の画素に柱状スペーサを配置し、図18に示す画素と図19に示す画素との割合を1:3で周期的に配置した。柱状スペーサを配置するサブ画素1551のうち、台座1517を配置するサブ画素と台座1517を配置しないサブ画素との割合を1:3とした。これにより、全画素のうち、1/16の画素に本柱が配置され、残り3/16の画素で補助柱が配置される。補助柱の本数を実施例1に比べて、減らすことで、荷重耐性はやや落ちるものの、柱状スペーサ近傍の配向異常をより減らすことができ、コントラストを向上させることができ、さらに良好な表

50

示がえられた。また、共通電極コンタクトホールを有するサブ画素 1753 は全サブ画素の 1/12 であり、この割合が 1/3 以下となっており、十分良好な歩留を得ることができた。

【0128】

更に、小型品種など信号書き込みに余裕がある場合には、共通電極コンタクトホールを設けず、すべての画素を図 19 に示す画素としてもよい。

【0129】

本実施形態 4 によれば、このような構成を採ったことにより、実施形態 1 と比較して開口率が若干落ちるものの、十分に広い領域を開口領域として確保し、高開口率化することができ、製造時に TFT 基板と対向基板との重ねずれが生じた場合でも、黒表示時の光漏れがより確実に抑えられることから高コントラストが得られる。

10

【0130】

以上、実施形態 1～4 において、主にカラー表示について説明したが、対向基板側にカラーフィルタの色層を設けずに、モノクロ表示に適用することができる。例えば、実施形態 4 で言えば、対向基板はブラックマトリクス 1520、1620、1720 とオーバーコート 1521、1621、1721 と柱状スペーサ 1515 とのみで構成して、TFT 基板側は実施形態 4 の実施例 1 と同じサブ画素構成とすることができる。この場合でも、本発明を適用することにより、実施形態 4 と同様に、高輝度で高コントラストの液晶表示装置を得ることができる。同様に、実施形態 1～3 に関しても、モノクロ表示に適用することができる。

20

【0131】

[補足説明]

以上、上記各実施形態を参照して本発明を説明したが、本発明は上記各実施形態に限定されるものではない。本発明の構成や詳細については、当業者が理解し得るさまざまな変更を加えることができる。また、本発明には、上記各実施形態の構成の一部又は全部を相互に適宜組み合わせたものも含まれる。

【0132】

上記の実施形態の一部又は全部は以下の付記のようにも記載され得るが、本発明は以下の構成に限定されるものではない。

【0133】

30

[付記 1]

表示領域を有するサブ画素がマトリクス状に多数設けられた TFT 基板と、
この TFT 基板に対向して設けられた対向基板と、
この対向基板と前記 TFT 基板とに挟まれた液晶層と、
前記 TFT 基板上に設けられた走査信号配線及び共通信号配線と、
前記 TFT 基板、前記走査信号配線及び前記共通信号配線の上に設けられた第 1 絶縁膜と、

この第 1 絶縁膜上に設けられたソース電極と、
前記第 1 絶縁膜及び前記ソース電極の上に設けられた第 2 絶縁膜と、
この第 2 絶縁膜上に設けられた平坦化膜と、
この平坦化膜上に設けられ、前記共通信号配線に接続された、透明導電膜からなる共通電極と

40

前記平坦化膜上に設けられ、前記ソース電極に接続された、透明導電膜からなる画素電極とを備え、

前記共通電極と前記画素電極との間に発生する電界により、前記液晶層を動作させる横電界駆動方式の液晶表示装置であって、

前記表示領域では全ての領域で前記平坦化膜が形成されており、

前記第 2 絶縁膜上の前記平坦化膜が設けられていない領域からなる凹部領域が、前記ソース電極上の一部を含み、

前記共通電極が前記凹部領域内に延在しており、

50

前記共通信号配線と前記ソース電極とが前記第 1 絶縁膜を挟んだ構造からなる第 1 蓄積容量と、

前記凹部領域内に設けられ、前記共通電極と前記ソース電極とが前記第 2 絶縁膜を挟んだ構造からなる第 2 蓄積容量とを更に備えていること、

を特徴とする横電界駆動方式の液晶表示装置。

【 0 1 3 4 】

[付記 2] 付記 1 記載の液晶表示装置であって、

前記対向基板に設けられ、当該対向基板と前記 T F T 基板とのギャップを保持する柱状スペーサと、

この柱状スペーサが配置されるサブ画素と、

前記柱状スペーサが配置されないサブ画素とを更に備え、

前記柱状スペーサが配置されるサブ画素における前記凹部領域は、前記柱状スペーサを支持する領域まで連続的に形成され、

前記凹部領域内における前記共通電極は、前記第 2 絶縁膜を介して、前記走査信号配線及び前記ソース電極並びに当該走査信号配線と当該ソース電極との間を覆っている、

ことを特徴とする液晶表示装置。

【 0 1 3 5 】

[付記 3] 付記 2 記載の液晶表示装置であって、

前記共通信号配線と同一層で形成され、当該共通信号配線に接続された共通補助電極を更に備え、

前記共通補助電極は、前記走査信号配線を挟んで前記第 2 蓄積容量と対向する側に、当該走査信号配線に沿って配置されている、

ことを特徴とする液晶表示装置。

【 0 1 3 6 】

[付記 4] 付記 2 又は 3 記載の液晶表示装置であって、

前記柱状スペーサが配置されないサブ画素における前記走査信号配線の上方は、前記平坦化膜で覆われ、かつ前記共通電極で覆われていない、

ことを特徴とする液晶表示装置。

【 0 1 3 7 】

[付記 5] 付記 2 又は 3 記載の液晶表示装置であって、

前記柱状スペーサが配置されないサブ画素における前記走査信号配線の上方は、前記平坦化膜で覆われ、かつ当該平坦化膜上から前記共通電極で覆われている、

ことを特徴とする液晶表示装置。

【 0 1 3 8 】

[付記 6] 付記 2 又は 3 記載の液晶表示装置であって、

前記柱状スペーサが配置されるサブ画素と前記柱状スペーサが配置されないサブ画素との前記凹部領域の形状は同一であり、

前記柱状スペーサが配置されないサブ画素の前記凹部領域内では、前記共通電極が、前記第 2 絶縁膜を介して、前記走査信号配線及び前記ソース電極並びに当該走査信号配線と当該ソース電極との間を覆っている、

ことを特徴とする液晶表示装置。

【 0 1 3 9 】

[付記 7] 付記 2 乃至 6 のいずれか一つに記載の液晶表示装置であって、

前記共通信号配線と前記共通電極とを電氣的に接続する共通電極コンタクトホールを有するサブ画素と、

前記共通電極コンタクトホールを有しないサブ画素と、

を更に備えたことを特徴とする液晶表示装置。

【 0 1 4 0 】

[付記 8] 付記 7 記載の液晶表示装置であって、

前記共通電極コンタクトホールを有するサブ画素は、サブ画素全体の数に占める割合が

10

20

30

40

50

1 / 3 以下であり、サブ画素全体の中に一定の周期で配置されている、
ことを特徴とする液晶表示装置。

【 0 1 4 1 】

[付記 9]

付記 7 又は 8 記載の液晶表示装置であって、
前記共通電極コンタクトホールを有しないサブ画素のいずれかに前記柱状スペーサが配置され、
前記共通電極コンタクトホールを有するサブ画素には前記柱状スペーサが配置されない、
ことを特徴とする液晶表示装置。

10

【 0 1 4 2 】

[付記 1 1] 第 1 基板（透明絶縁性基板）上に第 1 金属層からなる走査信号配線が形成され、この走査信号配線上にゲート絶縁膜が形成され、
このゲート絶縁膜上に薄膜半導体層並びに第 2 金属層からなる映像信号配線及びソース電極が形成され、
前記薄膜半導体層上、前記映像信号配線上及び前記ソース電極上に無機絶縁膜が形成され、

この無機絶縁膜上に平坦化膜が形成され、
前記無機絶縁膜より上層に、透明導電膜からなる共通電極及び画素電極が設けられ、
この画素電極はコンタクトホールを介して前記ソース電極と接続され、
第 2 基板（ガラス基板）上には、少なくとも、遮光層と、当該第 2 基板と前記第 1 基板とのギャップを保持するための柱状スペーサとが設けられ、
前記第 1 基板と前記第 2 基板とによって液晶材が挟持されている横電界駆動方式のアクティブマトリクス型液晶表示装置であって、
前記ソース電極上の一部に前記平坦化膜が存在しない凹部領域があり、この凹部領域で前記共通電極が前記ソース電極を覆って蓄積容量を形成している、
ことを特徴とする液晶表示装置。

20

【 0 1 4 3 】

[付記 1 2] 付記 1 1 記載の液晶表示装置であって、
1 画素を構成する複数のサブ画素のうち、前記柱状スペーサが配置されたサブ画素において、
前記第 1 基板上で前記柱状スペーサを支持するスペーサ支持領域は、前記平坦化膜が存在しないことから前記凹部領域に含まれ、
この凹部領域において前記共通電極が前記走査信号配線及び前記ソース電極並びに両者の間を覆っている、
ことを特徴とする液晶表示装置。

30

【 0 1 4 4 】

[付記 1 3] 付記 1 1 又は 1 2 記載の液晶表示装置であって、
前記柱状スペーサが配置されていないサブ画素において、前記平坦化膜は前記走査信号配線上に存在し、
前記柱状スペーサが配置されたサブ画素において、前記ソース電極上の一部の近傍のみに前記平坦化膜が存在せず、
前記柱状スペーサが配置されていないサブ画素において、前記走査信号配線が前記共通電極で覆われていない、
ことを特徴とする液晶表示装置。

40

【 0 1 4 5 】

[付記 1 4] 付記 1 1 又は 1 2 記載の液晶表示装置であって、
前記柱状スペーサが配置されていないサブ画素において、前記平坦化膜は前記走査信号配線上に存在し、
前記柱状スペーサが配置されたサブ画素において、前記ソース電極上の一部の近傍のみ

50

に前記平坦化膜が存在せず、

前記柱状スペーサが配置されていないサブ画素において、前記走査信号配線が前記共通電極で覆われている、

ことを特徴とする液晶表示装置。

【0146】

[付記15] 付記11又は12記載の液晶表示装置であって、

前記柱状スペーサが配置されていないサブ画素における前記凹部領域は、前記柱状スペーサが配置されているサブ画素における前記凹部領域と同一形状であり、

前記柱状スペーサが配置されていないサブ画素において、前記走査信号配線が前記共通電極で覆われている、

10

ことを特徴とする液晶表示装置。

【0147】

[付記16] 付記11乃至15のいずれか一つに記載の液晶表示装置であって、

前記共通電極と前記共通信号配線とがコンタクトホールを介して接続されているサブ画素と、前記共通電極と前記共通信号配線とがコンタクトホールを介して接続されていないサブ画素が混在する、

ことを特徴とする液晶表示装置。

【0148】

[付記17] 付記16記載の液晶表示装置であって、

前記共通電極と前記共通信号配線とがコンタクトホールを介して接続されているサブ画素は、その割合が全体のサブ画素の1/3以下であり、かつ一定の周期で配置されている、

20

ことを特徴とする液晶表示装置。

【0149】

[付記18] 付記16又は17記載の液晶表示装置であって、

前記共通電極と前記共通信号配線とがコンタクトホールを介して接続されているサブ画素は、前記柱状スペーサが配置されているサブ画素とは異なる、

ことを特徴とする液晶表示装置。

【0150】

[付記21] TFT基板と、

このTFT基板に対向して設けられた対向基板と、

この対向基板と前記TFT基板とに挟まれた液晶材と、

前記TFT基板上に部分的に設けられた走査信号配線及び共通信号配線と、

前記走査信号配線及び前記共通信号配線を含む前記TFT基板上に設けられた第1絶縁膜と、

30

この第1絶縁膜上に部分的に設けられたソース電極と、

このソース電極を含む前記第1絶縁膜上に設けられた第2絶縁膜と、

この第2絶縁膜上に部分的に設けられた平坦化膜と、

前記第2絶縁膜上の前記平坦化膜が設けられていない領域からなる凹部領域と、

前記平坦化膜上に部分的に設けられ、前記ソース電極に電氣的に接続された、透明導電膜からなる画素電極と、

40

前記平坦化膜上及び前記凹部領域内の前記第2絶縁膜上に部分的に設けられ、前記共通信号配線に電氣的に接続された、透明導電膜からなる共通電極と、

前記共通信号配線と前記ソース電極とが前記第1絶縁膜を挟んだ構造からなる第1蓄積容量と、

前記共通電極と前記ソース電極とが前記第2絶縁膜を挟んだ構造からなる第2蓄積容量とを備え、

前記共通電極と前記画素電極との間に発生する電界を前記液晶材に印加する横電界駆動方式の液晶表示装置。

【0151】

50

[付記 2 2] 付記 2 1 記載の液晶表示装置であって、
前記凹部領域内において前記共通電極が前記第 2 絶縁膜を介して前記走査信号配線を覆っている、
ことを特徴とする液晶表示装置。

【 0 1 5 2 】

[付記 2 3] 付記 2 1 記載の液晶表示装置であって、
前記対向基板に設けられ、当該対向基板と前記 T F T 基板とのギャップを保持する柱状スペーサと、
前記柱状スペーサが配置される第 1 サブ画素と、
前記柱状スペーサが配置されない第 2 サブ画素とを更に備え、
前記第 2 サブ画素における前記走査信号配線の上方は、前記平坦化膜で覆われ、かつ前記共通電極で覆われていない、
ことを特徴とする液晶表示装置。

10

【 0 1 5 3 】

[付記 2 4] 付記 2 1 記載の液晶表示装置であって、
前記対向基板に設けられ、当該対向基板と前記 T F T 基板とのギャップを保持する柱状スペーサと、
前記柱状スペーサが配置される第 1 サブ画素と、
前記柱状スペーサが配置されない第 2 サブ画素とを更に備え、
前記第 2 サブ画素における前記走査信号配線の上方は、前記平坦化膜で覆われ、かつ当該平坦化膜上から前記共通電極で覆われている、
ことを特徴とする液晶表示装置。

20

【 0 1 5 4 】

[付記 2 5] 付記 2 1 記載の液晶表示装置であって、
前記対向基板に設けられ、当該対向基板と前記 T F T 基板とのギャップを保持する柱状スペーサと、
前記柱状スペーサが配置される第 1 サブ画素と、
前記柱状スペーサが配置されない第 2 サブ画素とを更に備え、
前記第 1 サブ画素と前記第 2 サブ画素との前記凹部領域の形状は同一であり、
前記第 2 サブ画素の前記凹部領域内では前記走査信号配線の上方が前記共通電極で覆われている、
ことを特徴とする液晶表示装置。

30

【 0 1 5 5 】

[付記 2 6] 付記 2 1 記載の液晶表示装置であって、
前記共通信号配線と前記共通電極とを電気的に接続するコンタクトホールを有する第 3 サブ画素と、
前記コンタクトホールを有しない第 4 サブ画素と、
を更に備えたことを特徴とする液晶表示装置。

【 0 1 5 6 】

[付記 2 7] 付記 2 6 記載の液晶表示装置であって、
前記第 3 サブ画素の数と前記第 4 サブ画素の数との和に占める前記第 3 サブ画素の割合が $1/3$ 以下であり、前記第 3 サブ画素と前記第 4 サブ画素とが一定の周期で配置されている、
ことを特徴とする液晶表示装置。

40

【 0 1 5 7 】

[付記 2 8] 付記 2 6 又は 2 7 記載の液晶表示装置であって、
前記対向基板に設けられ、当該対向基板と前記 T F T 基板とのギャップを保持する柱状スペーサと、
前記第 4 サブ画素のいずれかに前記柱状スペーサが配置され、
前記第 3 サブ画素には前記柱状スペーサが配置されない、

50

ことを特徴とする液晶表示装置。

【産業上の利用可能性】

【0158】

本発明は、横電界駆動方式のアクティブマトリクス型液晶表示装置、及びこれを表示装置として利用する任意の機器に利用可能である。

【符号の説明】

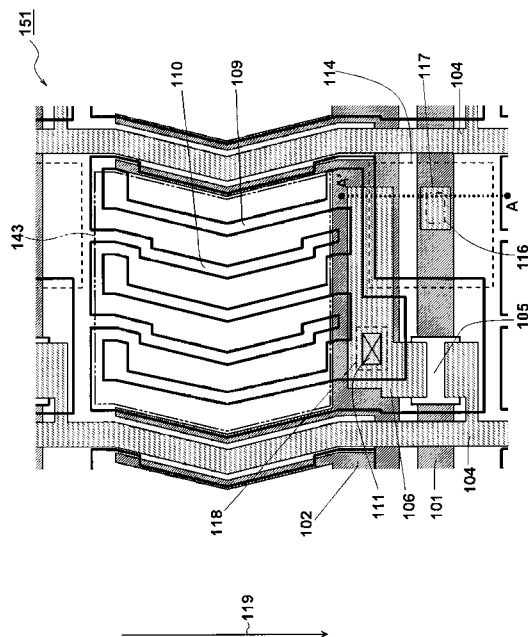
【0159】

101, 201, 301, 601, 701, 1001, 1301, 1401, 1501	
, 1601, 1701	走査信号配線
102, 202, 302, 602, 702, 1002, 1302, 1402, 1502	10
, 1602, 1702	共通信号配線
103, 203, 303, 603, 703, 1003, 1303, 1403, 1503	
, 1603, 1703	ゲート絶縁膜(第1絶縁膜)
104, 204, 304, 604, 704, 1004, 1304, 1404, 1504	
, 1604, 1704	映像信号配線
105, 205, 305, 605, 705, 1005, 1305, 1405, 1505	
, 1605, 1705	薄膜半導体層
106, 206, 306, 606, 706, 1006, 1306, 1406, 1506	
, 1606, 1706	ソース電極
107, 207, 307, 607, 707, 1007, 1307, 1407, 1507	20
, 1607, 1707	パッシベーション膜(第2絶縁膜)
108, 208, 308, 608, 708, 1008, 1308, 1408, 1508	
, 1608, 1708	平坦化膜
109, 209, 309, 609, 709, 1009, 1309, 1409, 1509	
, 1609, 1709	画素電極
110, 210, 310, 610, 710, 1010, 1310, 1410, 1510	
, 1610, 1710	共通電極
111, 211, 311, 611, 711, 1011, 1311, 1411, 1511	
, 1611, 1711	画素電極コンタクトホール
312, 412, 712, 812, 1012, 1112, 1312, 1512, 161	30
2, 1712	共通電極コンタクトホール
114, 214, 314, 614, 714, 1014, 1314, 1414, 1514	
, 1614, 1714	凹部領域
115, 1315, 1415, 1515, 1615, 1715	柱状スペーサ
116, 1516	スペーサ支持領域
117, 1517	台座
118, 218, 318, 618, 718, 1018, 1318, 1418, 1518	
, 1618, 1718	凹部領域
119, 219, 319, 619, 719, 1019, 1319, 1419, 1519	
, 1619, 1719	ラビング方向
120, 220, 320, 620, 720, 1020, 1320, 1420, 1520	40
, 1620, 1720	ブラックマトリクス
121, 221, 321, 621, 721, 1021, 1321, 1421, 1521	
, 1621, 1721	オーバーコート
131, 231, 331, 631, 731, 1031, 1331, 1431, 1531	
, 1631, 1731	TFT基板
132, 232, 332, 632, 732, 1032, 1332, 1432, 1532	
, 1632, 1732	対向基板
133, 233, 333, 633, 733, 1033, 1333, 1433, 1533	
, 1633, 1733	液晶層
	50

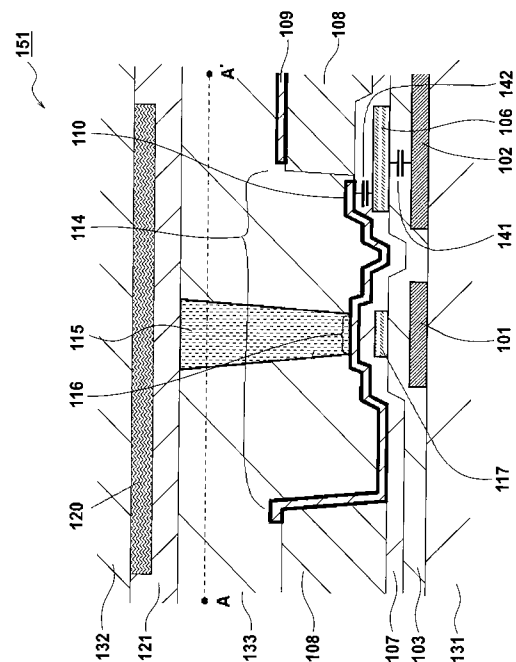
1 3 4 1 蓄積容量
 1 4 1, 2 4 1, 3 4 1, 6 4 1, 7 4 1, 1 0 4 1, 1 4 4 1, 1 5 4 1, 1 6 4 1
 , 1 7 4 1 第1蓄積容量
 1 4 2, 2 4 2, 3 4 2, 6 4 2, 7 4 2, 1 0 4 2, 1 4 4 2, 1 5 4 2, 1 6 4 2
 , 1 7 4 2 第2蓄積容量
 1 4 3, 2 4 3, 3 4 3, 6 4 3, 7 4 3, 1 0 4 3, 1 3 4 3, 1 4 4 3, 1 5 4 3
 , 1 6 4 3, 1 7 4 3 表示領域
 1 3 5 1 サブ画素
 1 5 1, 5 5 1, 9 5 1, 1 2 5 1, 1 4 5 1, 1 5 5 1 柱状スペーサを配置するサブ画素
 2 5 2, 5 5 2, 6 5 2, 9 5 2, 1 2 5 2, 1 6 5 2 柱状スペーサを配置せず共通電極コンタクトホールを有しないサブ画素
 3 5 3, 4 5 3, 7 5 3, 8 5 3, 1 0 5 3, 1 1 5 3, 1 7 5 3 柱状スペーサを配置せず共通電極コンタクトホールを有するサブ画素
 1 5 6 1, 1 6 6 1, 1 7 6 1 共通補助電極

10

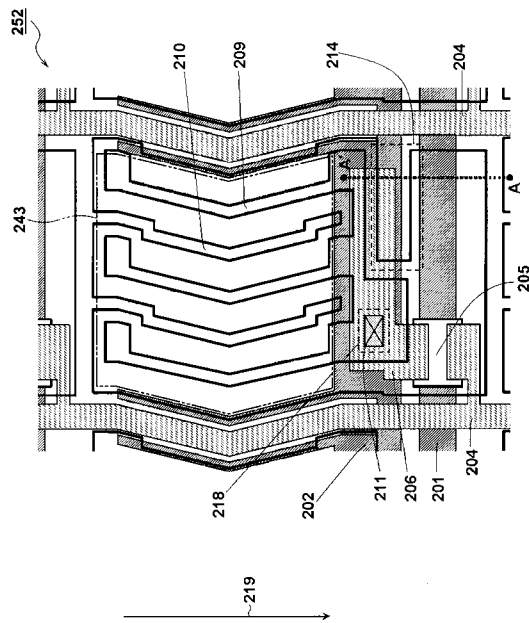
【 図 1 A 】



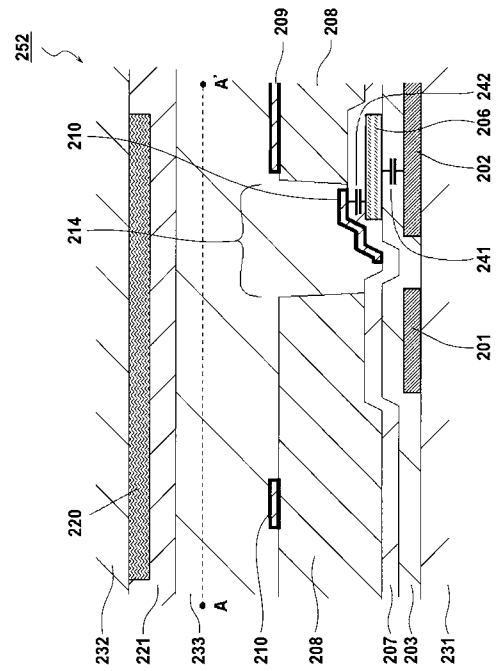
【 図 1 B 】



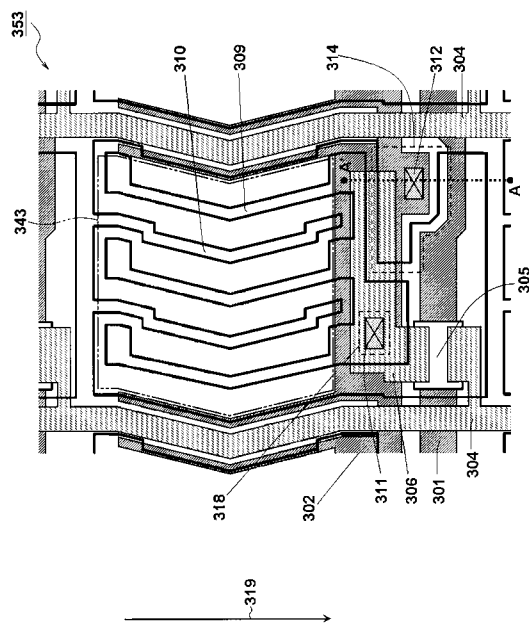
【 図 2 A 】



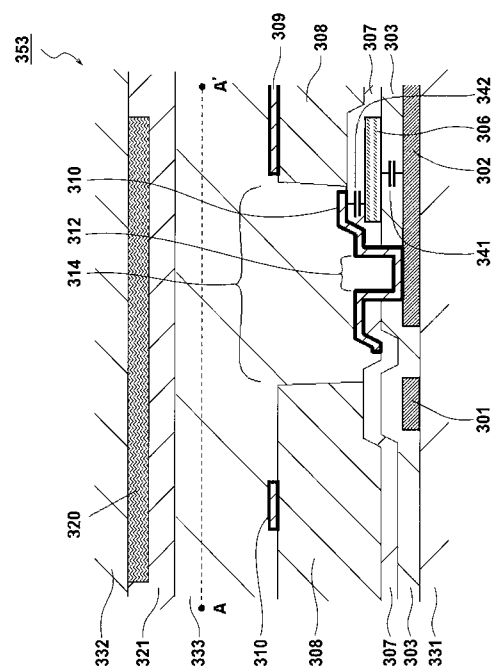
【 図 2 B 】



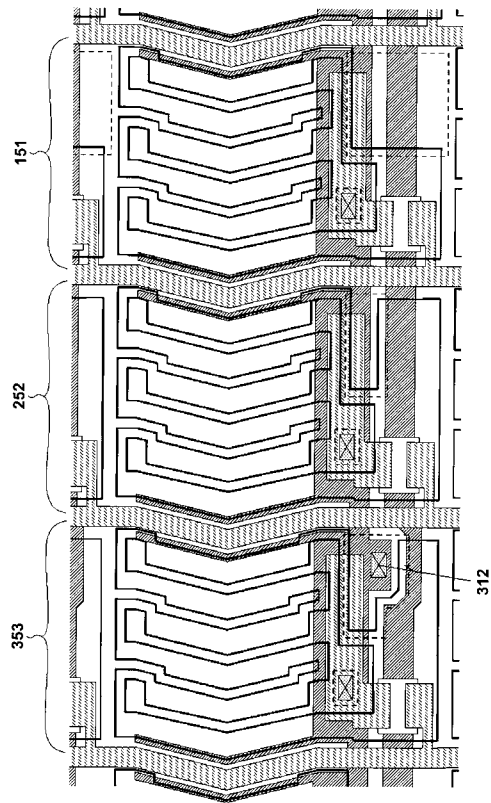
【 図 3 A 】



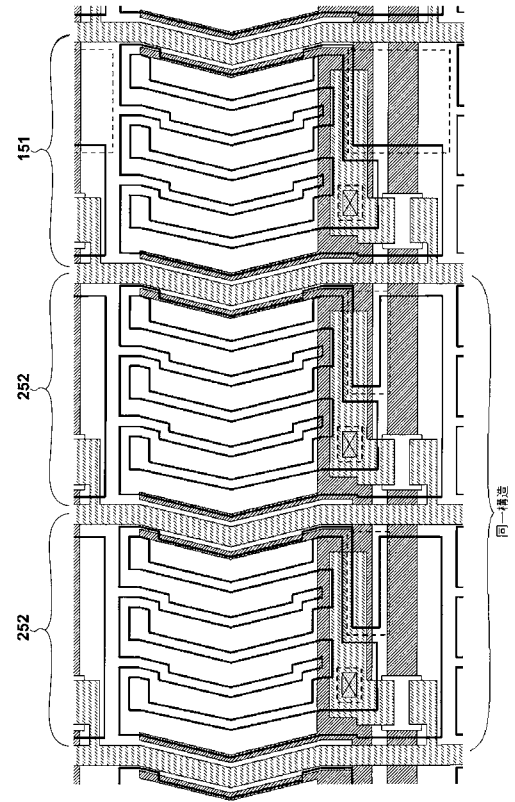
【 図 3 B 】



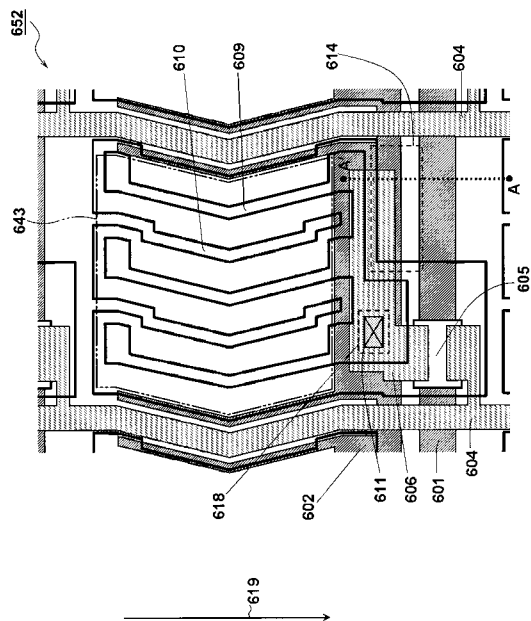
【図 4】



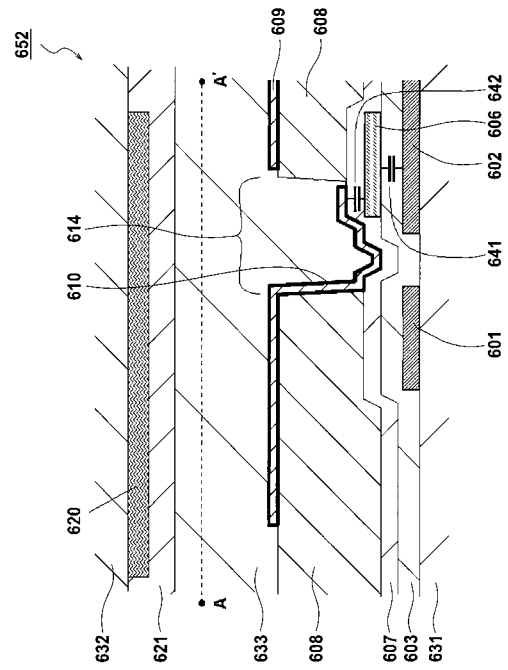
【図 5】



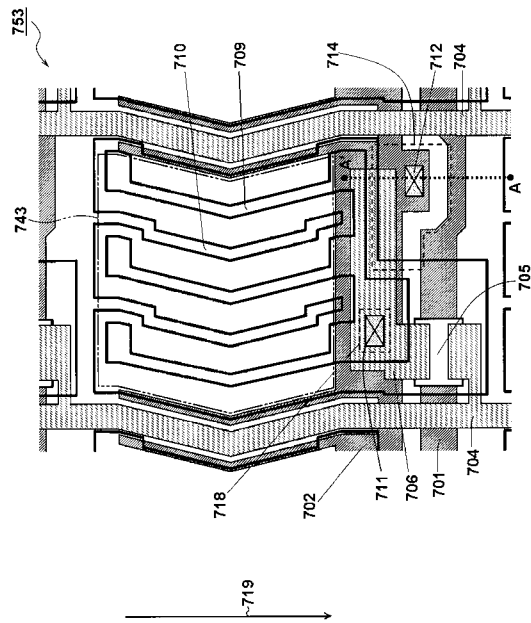
【図 6 A】



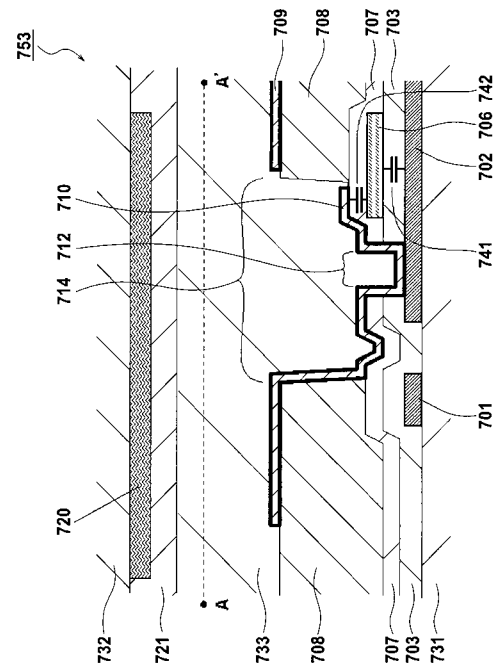
【図 6 B】



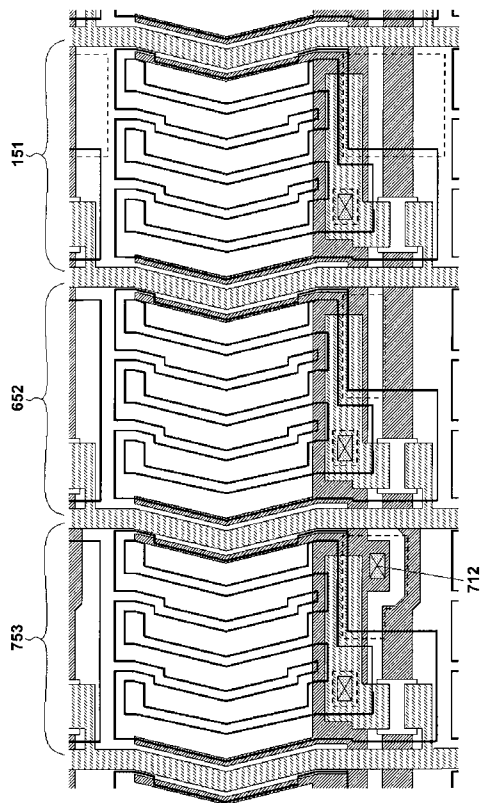
【図 7 A】



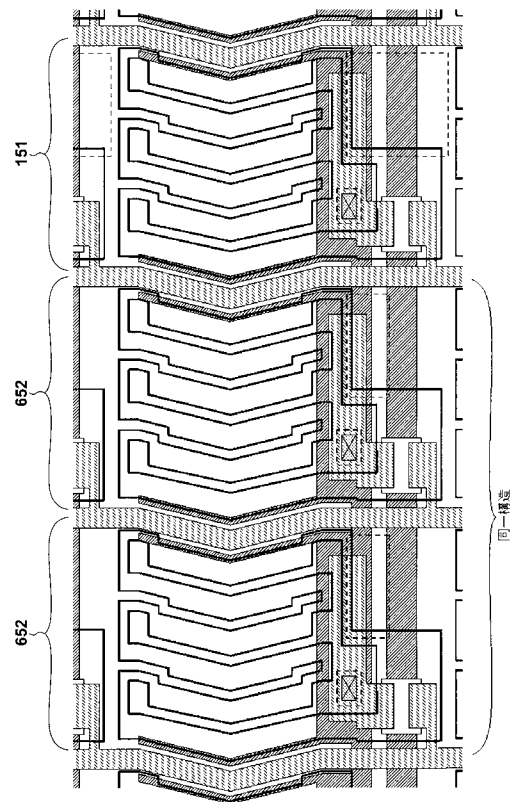
【図 7 B】



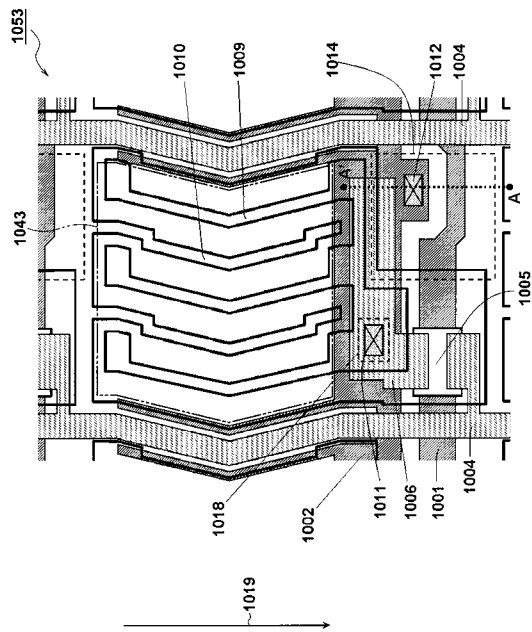
【図 8】



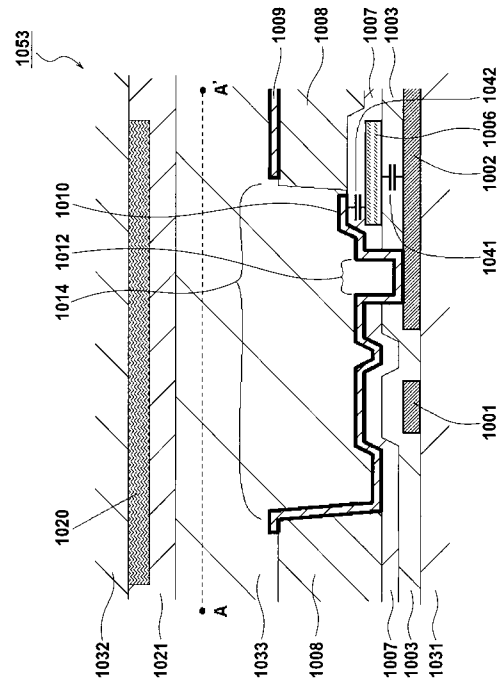
【図 9】



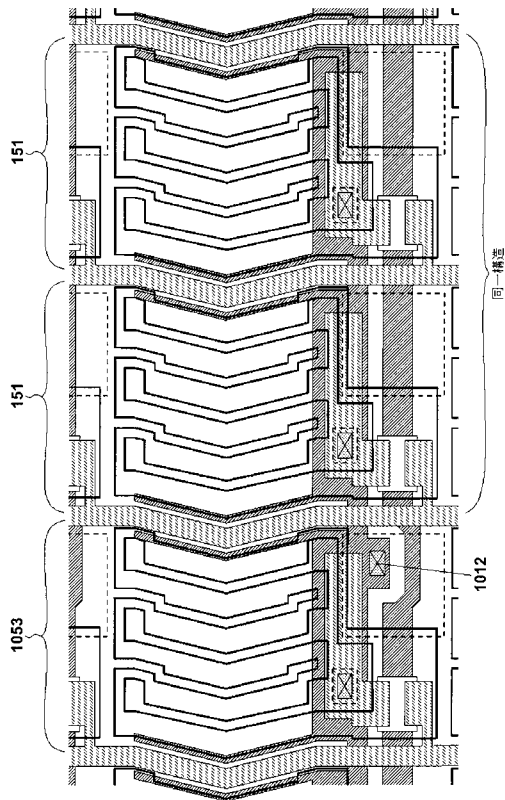
【図10A】



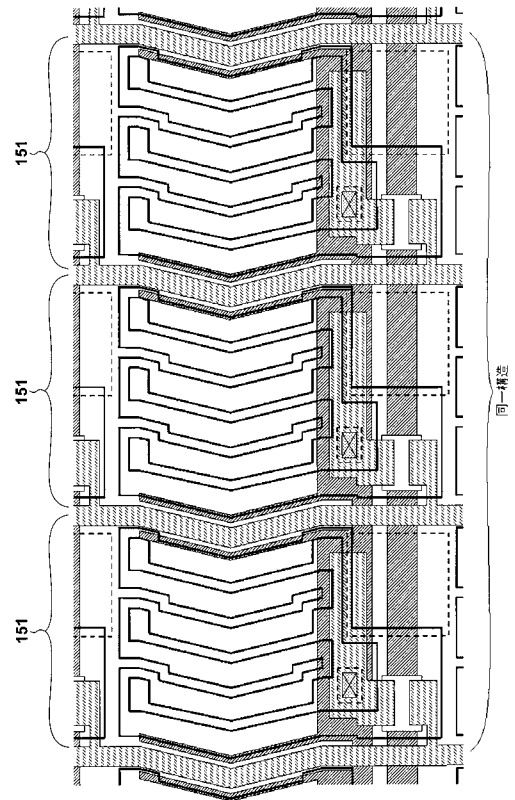
【図10B】



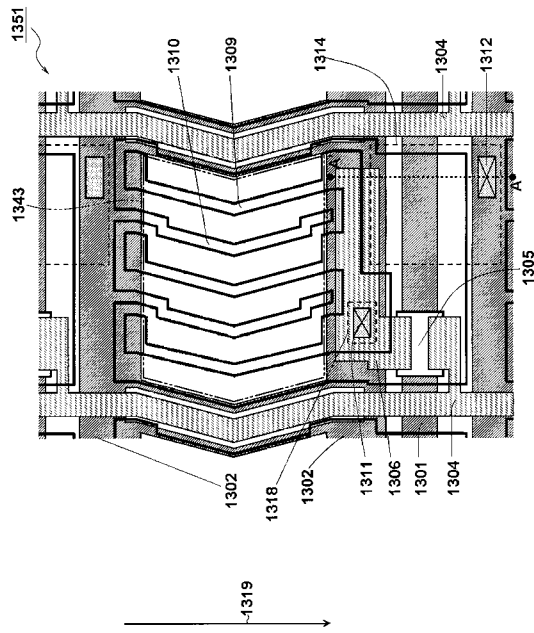
【図11】



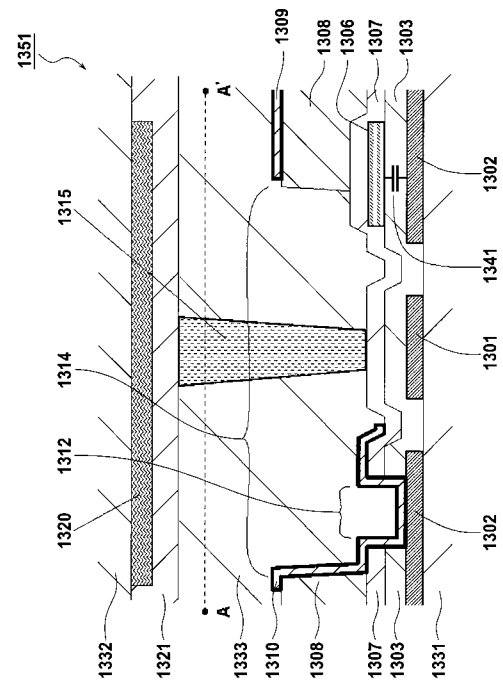
【図12】



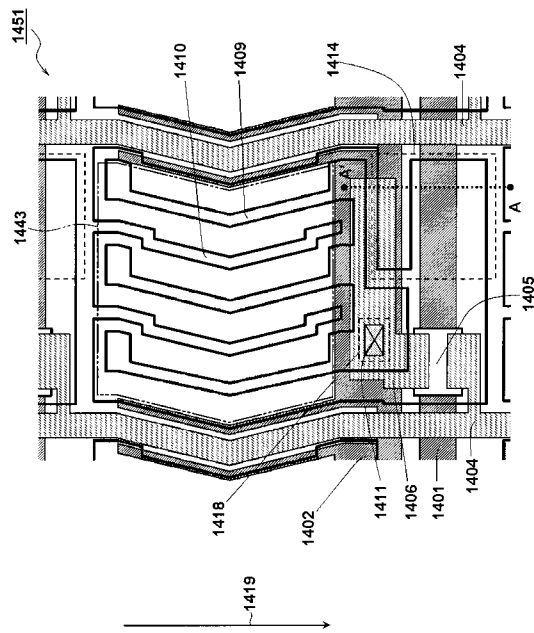
【図 13 A】



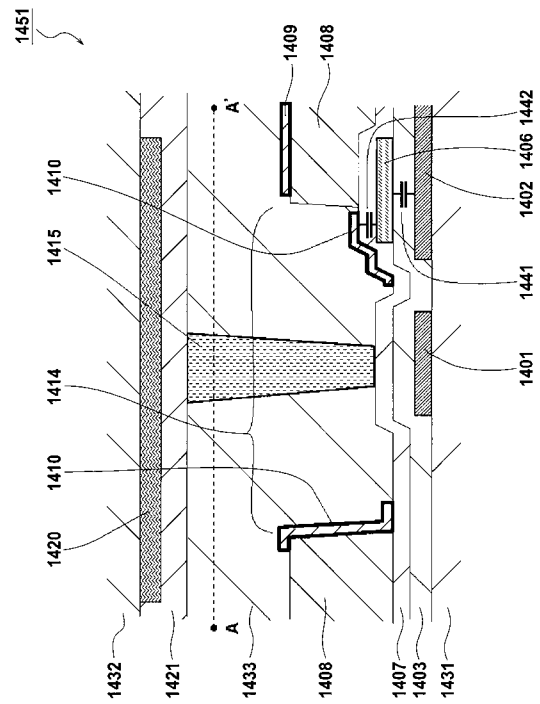
【図 13 B】



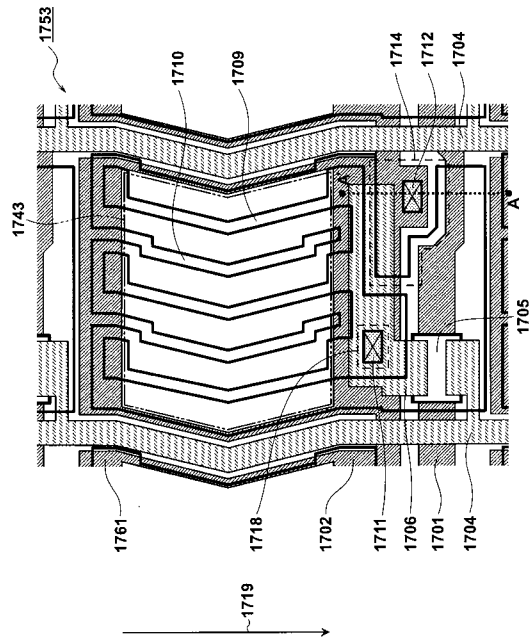
【図 14 A】



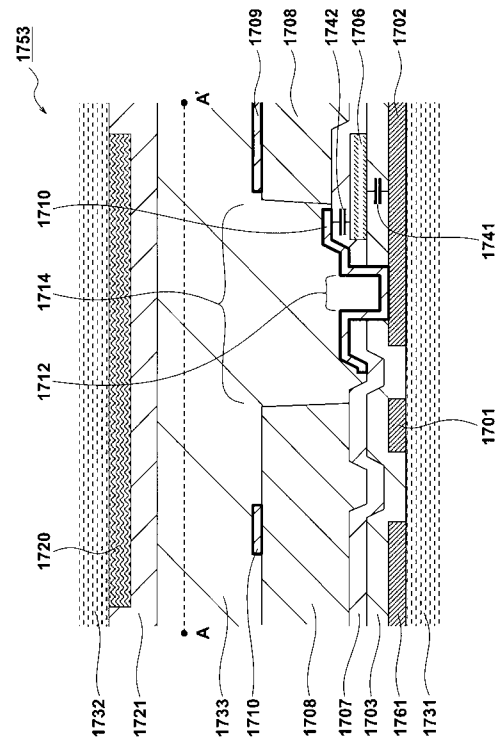
【図 14 B】



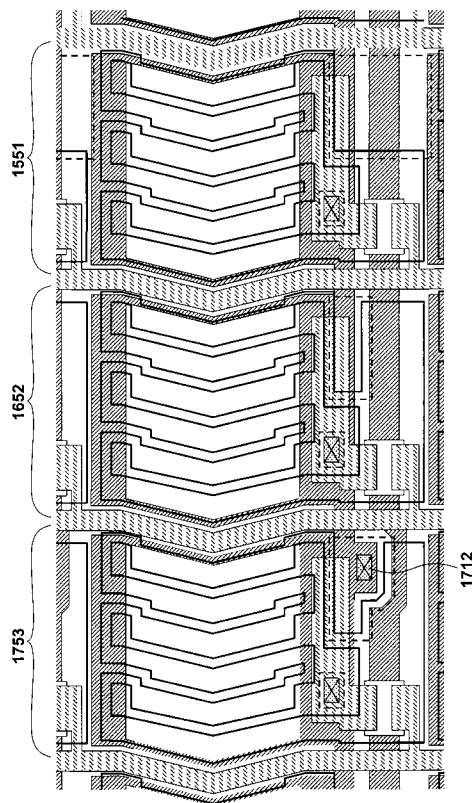
【図 17 A】



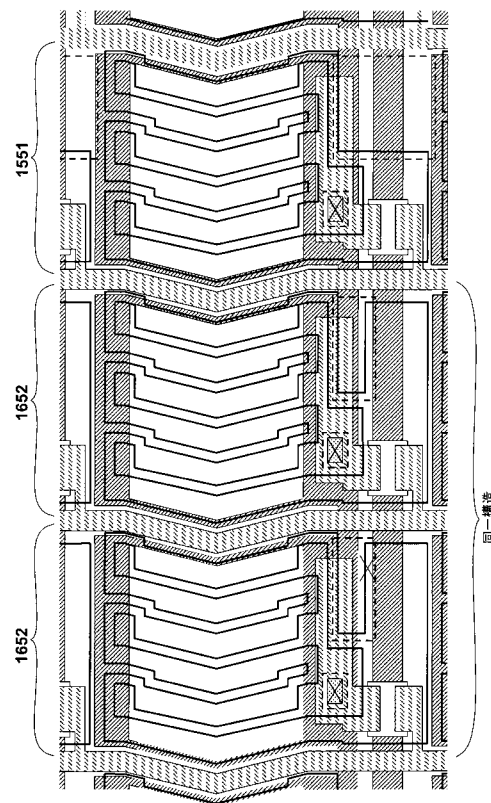
【図 17 B】



【図 18】



【図 19】



フロントページの続き

(72)発明者 石野 隆行

神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C 液晶テクノロジー株式会社内

(72)発明者 廉谷 勉

神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C 液晶テクノロジー株式会社内

審査官 右田 昌士

(56)参考文献 特開 2 0 0 8 - 0 6 5 3 0 0 (J P , A)

特開 2 0 0 7 - 2 1 2 8 1 2 (J P , A)

特開 2 0 0 9 - 1 7 5 5 6 8 (J P , A)

特開 2 0 0 9 - 2 3 7 0 1 2 (J P , A)

特開平 1 1 - 3 1 1 8 0 8 (J P , A)

特開 2 0 0 2 - 2 5 8 3 2 1 (J P , A)

特開 2 0 0 2 - 3 2 3 7 0 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8

G 0 2 F 1 / 1 3 3 3

G 0 2 F 1 / 1 3 3 9

G 0 2 F 1 / 1 3 4 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5278777B2	公开(公告)日	2013-09-04
申请号	JP2011006150	申请日	2011-01-14
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NLT科技有限公司		
当前申请(专利权)人(译)	NLT科技有限公司		
[标]发明人	今野隆之 西田真一 伊藤英毅 石野隆行 廉谷勉		
发明人	今野 隆之 西田 真一 伊藤 英毅 石野 隆行 廉谷 勉		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1339 G02F1/1333		
CPC分类号	G02F1/134363 G02F1/136213 G02F1/136227 G02F2201/40		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1339.500 G02F1/1333.505		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA29 2H092/GA64 2H092/JA26 2H092/JA44 2H092/JA46 2H092/JB05 2H092/JB24 2H092/JB33 2H092/JB54 2H092/JB58 2H092/JB63 2H092/JB65 2H092/JB66 2H092/JB69 2H092/KA12 2H092/KA18 2H092/KB04 2H092/KB22 2H092/MA13 2H092/MA19 2H092/NA01 2H092/NA07 2H092/NA29 2H092/PA03 2H189/DA07 2H189/DA32 2H189/DA39 2H189/DA49 2H189/HA12 2H189/HA16 2H189/JA14 2H189/LA03 2H189/LA10 2H190/HA04 2H190/HB13 2H190/HC05 2H190/HC10 2H190/HD03 2H190/KA07 2H190/LA23 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC55 2H192/DA32 2H192/DA43 2H192/DA52 2H192/DA63 2H192/DA65 2H192/EA22 2H192/EA68 2H192/GD23		
代理人(译)	高桥 勇		
优先权	2010250719 2010-11-09 JP		
其他公开文献	JP2012118489A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有源矩阵型液晶显示装置，其具有均匀且优异的对准结构并在显示区域中形成平坦化膜，用于实现具有小面积的大存储电容并实现高孔径比。解决方案：在液晶显示装置中，在源电极106的一部分上设置不存在平坦化膜108的凹陷区域114。在凹陷区域114中，由透明导电膜构成的公共电极110覆盖源电极106形成第二存储电容142。

