

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5235029号
(P5235029)

(45) 発行日 平成25年7月10日 (2013. 7. 10)

(24) 登録日 平成25年4月5日 (2013. 4. 5)

(51) Int. Cl.

F I

GO2F 1/1368 (2006.01)
 HO1L 21/336 (2006.01)
 HO1L 29/786 (2006.01)
 HO1L 29/41 (2006.01)
 HO1L 29/417 (2006.01)

GO2F 1/1368
 HO1L 29/78 619B
 HO1L 29/78 616T
 HO1L 29/78 612C
 HO1L 29/78 627C

請求項の数 27 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2010-274728 (P2010-274728)
 (22) 出願日 平成22年12月9日 (2010. 12. 9)
 (62) 分割の表示 特願2006-347998 (P2006-347998)
 の分割
 原出願日 平成18年12月25日 (2006. 12. 25)
 (65) 公開番号 特開2011-107713 (P2011-107713A)
 (43) 公開日 平成23年6月2日 (2011. 6. 2)
 審査請求日 平成23年1月11日 (2011. 1. 11)
 (31) 優先権主張番号 10-2006-0041600
 (32) 優先日 平成18年5月9日 (2006. 5. 9)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル、ヨンドゥンポグ、ヨ
 ウィーテロ 128
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順
 (74) 代理人 100147566
 弁理士 上田 俊一

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に位置し、相互に交差して画素領域を定義するゲート配線及びデータ配線と、
 前記ゲート配線に接続されるゲート電極と、
 前記ゲート電極上に位置するゲート絶縁膜と、
 前記ゲート絶縁膜上に位置するアクティブ層と、
 前記アクティブ層上に位置し、相互に離間されたソース電極及びドレイン電極と、
 前記アクティブ層及び前記ソース電極間、並びに前記アクティブ層及びドレイン電極間
 に位置するオーミックコンタクト層と、

前記アクティブ層と前記オーミックコンタクト層との間に位置し、前記ソース電極及び
 ドレイン電極中一つと一部重畳され、前記ソース電極及びドレイン電極中他の一つと離隔
 され、前記ソース電極及びドレイン電極間のアクティブ層のチャンネルと重畳されるシー
 ルドパターンと、

前記画素領域に位置し、前記ドレイン電極に接続される画素電極と
 を備え、

前記シルドパターンの長さは、前記アクティブ層のチャンネルの長さと同じかまたは
 大きく、

前記アクティブ層の面積は、前記ゲート電極の面積と同じかまたは小さい
 ことを特徴とする液晶表示装置。

【請求項 2】

10

20

前記ソース電極は、英文字のアルファベットのU字状であり、前記ドレイン電極は、バー状であり、かつ前記シールドパターンは、U字状である

ことを特徴とする請求項1記載の液晶表示装置。

【請求項3】

他のシールドパターンをさらに備え、

前記他のシールドパターンは、前記アクティブ層と前記オーミックコンタクト層との間に位置し、前記ソース電極及びドレイン電極中他の一つと重畳され、前記ソース電極及びドレイン電極中一つと離隔される

ことを特徴とする請求項1記載の液晶表示装置。

【請求項4】

前記シールドパターンの面積は、前記ゲート電極の面積より小さい

ことを特徴とする請求項1記載の液晶表示装置。

【請求項5】

前記ゲート電極は、前記ゲート配線の一部である

ことを特徴とする請求項1記載の液晶表示装置。

【請求項6】

前記ゲート配線は、前記データ配線と交差する部分にホールを有する

ことを特徴とする請求項1記載の液晶表示装置。

【請求項7】

前記ソース電極の下部のオーミックコンタクト層から伸延され、前記データ配線の下部に位置する第1半導体パターンをさらに備えた

ことを特徴とする請求項1記載の液晶表示装置。

【請求項8】

前記ゲート配線と重なり、前記画素電極に接続するストレージ電極と、

前記ストレージ電極の下部に位置し、前記オーミックコンタクト層と同一な物質で形成された第2半導体パターンをさらに備えた

ことを特徴とする請求項1記載の液晶表示装置。

【請求項9】

前記画素電極は、画素領域で前記ゲート絶縁膜と接触する

ことを特徴とする請求項1記載の液晶表示装置。

【請求項10】

前記ゲート配線の一端に位置するゲートパッド電極と、

前記データ配線の一端に位置するデータパッド電極とをさらに備えた

ことを特徴とする請求項1記載の液晶表示装置。

【請求項11】

前記ゲート絶縁膜に形成されたゲートパッドコンタクトホールを通じて、前記ゲートパッド電極に接続するゲートパッド電極端子と、

前記データパッド電極に接続するデータパッド電極端子とをさらに備えたことを特徴とする請求項10記載の液晶表示装置。

【請求項12】

前記アクティブ層は、純粋非晶質シリコンを含み、前記オーミックコンタクト層は、不純物非晶質シリコンを含み、かつ前記シールドパターンは、無機絶縁物質を含む

ことを特徴とする請求項1記載の液晶表示装置。

【請求項13】

基板上にゲート配線及びゲート電極を形成する工程と、

前記ゲート配線及びゲート電極上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にアクティブ層を形成し、前記アクティブ層上にシールドパターンを形成する工程と、

前記ゲート配線と交差して画素領域を定義するデータ配線、並びに相互に離間されたソース電極及びドレイン電極を形成し、前記アクティブ層及び前記ソース電極間、並びに前

10

20

30

40

50

記アクティブ層及びドレイン電極間に位置するオーミックコンタクト層を形成する工程と、

前記画素領域に、前記ドレイン電極に接続される画素電極を形成する工程とを含み、

前記シールドパターンは、前記アクティブ層と前記オーミックコンタクト層との間に位置し、前記ソース電極及びドレイン電極中一つと一部重畳され、前記ソース電極及びドレイン電極中他の一つと離隔され、前記ソース電極及びドレイン電極間のアクティブ層のチャンネルと重畳され、

前記シールドパターンの長さは、前記アクティブ層のチャンネルの長さと同じかまたは大きく、

前記アクティブ層の面積は、前記ゲート電極の面積と同じかまたは小さい

ことを特徴とする液晶表示装置の製造方法。

【請求項 14】

前記ソース電極は、英文字のアルファベットの U 字状であり、前記ドレイン電極は、バー状であり、かつ前記シールドパターンは、U 字状である

ことを特徴とする請求項 13 記載の液晶表示装置の製造方法。

【請求項 15】

他のシールドパターンをさらに備え、

前記他のシールドパターンは、前記アクティブ層と前記オーミックコンタクト層との間に位置し、前記ソース電極及びドレイン電極中他の一つと重畳され、前記ソース電極及びドレイン電極中一つと離隔される

ことを特徴とする請求項 13 記載の液晶表示装置。

【請求項 16】

前記シールドパターンの面積は、前記ゲート電極の面積より小さい

ことを特徴とする請求項 13 記載の液晶表示装置の製造方法。

【請求項 17】

前記ゲート電極は、前記ゲート配線の一部である

ことを特徴とする請求項 13 記載の液晶表示装置の製造方法。

【請求項 18】

前記ゲート配線及びゲート電極を形成する工程は、

前記データ配線と交差する前記ゲート配線の部分にホールを形成する工程を含む

ことを特徴とする請求項 13 記載の液晶表示装置の製造方法。

【請求項 19】

前記アクティブ層を形成し、前記シールドパターンを形成する工程は、

前記ゲート絶縁膜上に純粋非晶質シリコン及びシールド層を順に形成する工程と、

マスクを使用して、前記ゲート電極の一部に対応する第 1 部分、及び前記第 1 部分の両側に対応して前記第 1 部分より薄い厚さの第 2 部分を有する感光パターンを形成する工程と、

前記感光パターンを使用して、前記純粋非晶質シリコン層及び前記遮断層をパターンニングすることによって前記アクティブ層を形成する工程と、

前記第 2 部分を除去するように前記感光パターンをアッシングする工程と、

前記アッシングされた感光パターンを使用して、前記パターンニングされたシールド層をパターンニングすることによって前記シールドパターンを形成する工程とを含む

ことを特徴とする請求項 13 記載の液晶表示装置の製造方法。

【請求項 20】

前記感光パターンを形成する工程は、

前記シールド層上に感光層を形成する工程と、

前記ゲート電極の一部に対応する遮断部及び前記遮断部の両側に位置する半透過部を有する前記マスクを利用して、前記感光層を露光する工程とを含む

ことを特徴とする請求項 19 記載の液晶表示装置の製造方法。

【請求項 21】

前記ゲート配線の一端にゲートパッド電極を形成するとともに、前記データ配線の一端にデータパッド電極を形成する工程をさらに含む

ことを特徴とする請求項 1 3 記載の液晶表示装置の製造方法。

【請求項 2 2】

前記データ配線及びデータパッド電極の下部に前記オーミックコンタクト層から伸延された第 1 半導体パターンを形成する工程をさらに含む

ことを特徴とする請求項 2 1 記載の液晶表示装置の製造方法。

【請求項 2 3】

前記データ配線、データパッド電極、ソース電極及びドレイン電極、オーミックコンタクト層、並びに第 1 半導体パターンを形成する工程は、

10

前記シールドパターンを有する基板上に不純物非晶質シリコン層及び導電層を順に形成する工程と、

マスクを使用して、前記ゲート電極の一部、前記画素領域、前記ゲートパッド電極の一部の側部、及びデータ領域の側部に対応した第 1 部分と、前記ゲート電極の一部の両側及び前記データ領域に対応した前記第 1 部分より厚い厚さの第 2 部分とを有するとともに、

前記ゲートパッド電極の一部を露出する感光パターンを形成する工程と、

前記感光パターンを使用して前記導電層及び前記不純物非晶質シリコン層をパターニングすることによって前記ゲートパッド電極の一部を露出するゲートパッドコンタクトホールを形成する工程と、

前記第 1 部分を除去するように前記感光パターンをアッシングする工程と、

20

前記アッシングされた感光パターンを使用して前記パターニングされた導電層及び不純物非晶質シリコン層をパターニングすることによって前記ソース電極及びドレイン電極、前記オーミックコンタクト層、並びに前記第 1 半導体パターンを形成するとともに、前記データ領域に前記データ配線及びデータパッド電極を形成する工程とを含む

ことを特徴とする請求項 2 2 記載の液晶表示装置の製造方法。

【請求項 2 4】

前記感光パターンを形成する工程は、

前記導電層上に感光層を形成する工程と、

前記ゲートパッド電極の一部に対応する透過部と、前記ゲート電極の一部、前記画素領域、前記ゲートパッド電極の一部の側部及び前記データ領域の側部に対応する半透過部と、前記ゲート電極の一部の両側及び前記データ領域に対応する遮断部とを有する前記マスクを利用して、前記感光層を露光する工程とを含む

30

ことを特徴とする請求項 2 3 記載の液晶表示装置の製造方法。

【請求項 2 5】

前記ゲート配線と重なり、前記画素電極に接続するストレージ電極を形成し、前記ストレージ電極の下部に第 2 半導体パターンを形成する工程をさらに含み、

前記ストレージ電極及び前記第 2 半導体パターンは、前記ソース電極及びドレイン電極、並びに前記オーミックコンタクト層を形成する工程と同じ工程で形成される

ことを特徴とする請求項 1 3 記載の液晶表示装置の製造方法。

【請求項 2 6】

40

前記ゲートパッドコンタクトホールを通じて前記ゲートパッド電極に接続するゲートパッド電極端子、及び前記データパッド電極と接触するデータパッド電極端子を形成する工程をさらに含み、

前記ゲートパッド電極端子及び前記データパッド電極端子は、前記画素電極と同じ工程で形成される

ことを特徴とする請求項 2 3 記載の液晶表示装置の製造方法。

【請求項 2 7】

前記アクティブ層は、純粋非晶質シリコンを含み、前記オーミックコンタクト層は、不純物非晶質シリコンを含み、かつ前記シールドパターンは、無機絶縁物質を含む

ことを特徴とする請求項 1 3 記載の液晶表示装置の製造方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

一般的な液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。液晶は、構造が細く長いために、分子の配列において方向性を有しており、任意に液晶に電界を加えると、分子配列の配列方向が制御できる。従って、液晶の分子配列方向を任意に調節すると、光学的異方性によって液晶の分子配列方向に光が屈折して画像情報を表示する。

10

【0003】

液晶表示装置は、共通電極が形成されたカラーフィルター基板（上部基板）と画素電極が形成されたアレイ基板（下部基板）と、両基板間に充填された液晶とで構成されるが、このような液晶表示装置は、共通電極と画素電極に印加される電圧により生じる垂直方向の電界によって液晶を駆動する方式であり、透過率と開口率等の特性が優れる。現在は、薄膜トランジスタとこの薄膜トランジスタに接続された画素電極がマトリックス状に配列されたアクティブマトリックス型液晶表示装置（AM-LCD、以下、液晶表示装置と称する）が解像度及び動画像の表示能力が優れていて最も注目を浴びている。

【0004】

20

図1を参照して、従来の液晶表示装置の構成を説明する。図1は、従来の液晶表示装置の一部を拡大して概略的に示した斜視図である（例えば、特許文献1参照）。図1に示したように、液晶パネル51は、液晶層（図示せず）を間に相互に離間して配置された第1基板5と第2基板10で構成され、第2基板10と向かい合う第1基板5の一面には、ブラックマトリックス6と、赤色、緑色、青色のカラーフィルター7a、7b、7cと、カラーフィルター上に透明な共通電極9が形成される。

【0005】

第1基板5と向かい合う第2基板10には、複数の画素領域Pが定義され、画素領域Pの一側に沿って伸延して形成されたゲート配線14と、このゲート配線14が形成される画素領域Pの一側に垂直な他側に沿って伸延して形成されたデータ配線26とが設けられる。

30

【0006】

このような構成によって、画素領域Pは、ゲート配線14とデータ配線26が交差して定義され、両配線の交差点には、薄膜トランジスタTが形成される。画素領域Pには、薄膜トランジスタTに接続する透明な画素電極32が形成され、この画素電極32は、インジウムスズオキシドITOのように光の透過率が比較的優れる透明導電性金属で形成する。

【0007】

上述したように構成された液晶表示装置用アレイ基板は、5～6つのマスク工程によって製作され、これを簡単に紹介する。後述する工程は、例えば5つのマスク工程を説明しており、マスク工程のみを並べている。

40

第1マスク工程：ゲート電極とゲート配線（及びゲートパッド）の形成工程。

第2マスク工程：ゲート電極の上部のアクティブ層及びオーミックコンタクト層の形成工程。

第3マスク工程：データ配線（及びデータパッド）とソース電極及びドレイン電極の形成工程。

第4マスク工程：基板全面に保護膜を形成して、ドレイン電極を露出するコンタクトホールを形成する工程。

第5マスク工程：コンタクトホールを通じてドレイン電極に接触する画素電極を形成する工程。

50

以上のような5つのマスク工程によって液晶表示装置用アレイ基板を製作することができる。

【0008】

このように複数の工程によってアレイ基板が製作されるために、工程が多いほど不良が発生する確率が大きくなって、生産歩留まりが低下し、工程時間の増加と工程費用の上昇によって製品の競争力が低下するという問題がある。このような問題を解決するために、4つのマスク工程が提案された。

【0009】

図2は、従来の4つのマスク工程によって製作した液晶表示装置用アレイ基板の一部を拡大した平面図である。図2に示したように、アレイ基板は、絶縁基板60上に、一方向に伸延されたゲート配線62と、これと交差して画素領域Pを定義するデータ配線98が形成される。ゲート配線62の一端にゲートパッド電極66が形成され、データ配線98の一端にはデータパッド電極100が形成される。ゲートパッド電極66とデータパッド電極100の上部には、各々これと接触する透明なゲートパッド電極端子114と、データパッド電極端子116が形成される。ゲート配線62とデータ配線98の交差点には、ゲート配線62と接続するゲート電極64と、ゲート電極64の上部に位置した第1半導体層90aと、第1半導体層90aの上部に離間して位置するソース電極94及びドレイン電極96を含む薄膜トランジスタTが形成される。画素領域Pには、ドレイン電極96と接続する透明な画素電極112が形成される。

【0010】

この時、ゲート配線62の一部の上部に画素電極112と接続するアイランド状のストレージ電極86を形成する。ゲート配線62の一部を第1電極とし、ストレージ電極86を第2電極として、両電極間に位置したゲート絶縁膜（図示せず）を誘電体としたストレージキャパシターCstが形成される。

【0011】

ここで、データ配線98の下部には、第1半導体層90aから伸延された第2半導体層90bが形成され、ストレージ電極86の下部には、第3半導体層90cが形成される。このような形状でパターニングされる理由は、ソース電極94及びドレイン電極96と半導体層90aを形成するための各々の先行層を順に積層した後、これを同じマスク工程によってパターニングするからである。

【0012】

特に、ソース電極94及びドレイン電極96と第1半導体層90aが平面的に同じ形態であるために、第1半導体層90aは、ゲート電極64の外側に拡張された領域が発生し、このような領域は、下部の光源（バックライト）によって露出され活性化される。

【0013】

図3は、図2に示した薄膜トランジスタの断面図である。図3に示したように、従来の4つのマスク工程は、薄膜トランジスタTの第1半導体層90a、すなわち、アクティブ層92a及びオーミックコンタクト層92bとソース電極94及びドレイン電極96を同時にパターニングする工程を行うために、第1半導体層90aは、ソース電極94とドレイン電極96の下部に、これらとは実質的に同じ面積で位置する。

【0014】

この時、ゲート配線62の外部に拡張された第1半導体層90aの領域は、下部のバックライト（図示せず）から照射された光に露出される。この場合、非晶質シリコンで製作された第1半導体層90aには、光によって活性化され光漏洩電流が生じる。この光漏洩電流は、薄膜トランジスタを動作するに不必要な電流であり、このような光漏洩電流によって薄膜トランジスタTの性能を低下する原因となる。

【0015】

また、一般に非晶質シリコンを半導体層として使用する場合は、ゲート電極62、アクティブ層92a及びオーミックコンタクト層92b、ソース電極94及びドレイン電極96の順にパターニングされた逆スタaggered型（inverted staggered

10

20

30

40

50

type) で製作する。このような形態は、保護膜 102 が形成される以前、ソース電極 94 及びドレイン電極 96 の間 CH (channel) のアクティブ層 92a が外部に露出される形状になる。この場合、露出されたアクティブ層 92a の表面には、工程の際に欠陥が発生したり、汚染されたりする。これも、薄膜トランジスタ T に漏洩電流が発生する原因となる。

【0016】

上述した原因等によって発生する漏洩電流は、薄膜トランジスタの動作に影響を与えて液晶パネルの表示品質を低下させる。ところが、上述したように漏洩電流が発生する薄膜トランジスタの構造は、従来の 4 つのマスク工程によって製作される。以下、従来の 4 つのマスク工程を説明する。

10

【0017】

従来の 4 つのマスク工程によってアレイ基板を製作する方法を説明する。

【0018】

図 4A ないし図 4F、図 5A ないし図 5F 及び図 6A ないし図 6F は、それぞれ図 2 の I I - I I 線、I I I - I I I 線及び I V - I V 線に沿って切断したもので、従来の液晶表示装置の製造方法を示した断面図である。

【0019】

図 4A と図 5A と図 6A は、第 1 マスク工程を示した図である。図 4A と図 5A と図 6A に示したように、基板 60 上に、スイッチング領域 S を含む画素領域 P、ゲート領域 G、データ領域 D、ストレージ領域 C を定義する。この時、ストレージ領域 C は、ゲート領域 G の一部に定義される。複数の領域 (S、P、G、D、C) が定義された基板 60 上に、アルミニウム Al、アルミニウム合金 AlNd、タングステン W、クロム Cr、モリブデン Mo、チタン Ti、銅 Cu 等を含む導電性金属グループのうちから選択された一つまたは二つ以上の金属を蒸着して第 1 マスク工程によってパターニングし、一端にゲートパッド電極 66 を含むゲート配線 62 と、ゲート配線 62 から突出されスイッチング領域 S に位置するゲート電極 64 を形成する。

20

【0020】

図 4B ないし図 4D と図 5B ないし図 5D と図 6B ないし図 6D は、第 2 マスク工程を示した図である。図 4B と図 5B と図 6B に示したように、ゲート電極 64 とゲートパッド電極 66 を含むゲート配線 62 が形成された基板 60 全面に、ゲート絶縁膜 68 と、純粋非晶質シリコン層 (a-Si:H) 70 と、不純物を含む非晶質シリコン層 (n+または p+a-Si:H) 72 と、導電性金属層 74 とを形成する。

30

【0021】

この時、ゲート絶縁膜 68 は、窒化シリコン SiN_x と酸化シリコン SiO₂ 等を含む無機絶縁物質または、場合によって、ベンゾシクロブテン BCB とアクリル系樹脂等を含む有機絶縁物質のうちから一つを蒸着して形成し、金属層 74 は、上述した導電性金属グループのうちから選択された一つまたは二つ以上の物質を蒸着して形成する。

【0022】

導電性金属層 74 が形成された基板 60 全面に、フォトリソを塗布して感光層 (図示せず) を形成して、スイッチング領域 S とデータ領域 D とストレージ領域 C の上部にパターニングされた第 1 ないし第 3 感光パターン 78a、78b、78c を形成する。この時、スイッチング領域 S にパターニングされた第 1 感光パターン 78a は、ゲート電極 64 の中心領域に対応する部分が低くパターニングされ段差を有し、このために、光の強度を低くしたり、光の透過量を少なくしたりするハーフトーンマスク (図示せず) を使用する。

40

【0023】

第 1 ないし第 3 感光パターン 78a、78b、78c の周辺に露出された金属層 74 とその下部の不純物非晶質シリコン層 72 と、純粋非晶質シリコン層 70 を除去する工程を行う。この時、金属層 74 の種類によって金属層 74 とその下部層 70、72 を同時に除去する工程を行ったり、金属層 74 を先にエッチングした後、乾式エッチング工程によ

50

て下部層 70、72 を除去する工程を行ったりする。

【0024】

図 4 C と図 5 C と図 6 C に示したように、上述した除去工程を完了すると、第 1 ないし第 3 感光パターン 78 a、78 b、78 c の下部に第 1 金属パターン 80 と、第 1 金属パターン 80 から画素領域 P の一側に沿って伸延された第 2 金属パターン 82 と、ストレージ領域に対応してアイランド状の第 3 金属パターン 86 が形成される。

【0025】

この時、第 1 ないし第 3 金属パターン 80、82、86 の下部に、純粋非晶質シリコン層 70 と不純物を含む非晶質シリコン層 72 が存在し、便宜上、第 1 金属パターン 80 の下部に構成されたのは第 1 半導体層 90 a、第 2 金属パターン 82 の下部に構成されたのは第 2 半導体層 90 b、第 3 金属パターン 86 の下部に構成されたのは第 3 半導体層 90 c とする。第 1 感光パターン 78 a のうち、ゲート電極 64 の中心に対応して高さが低い部分を除去するアッシング工程を行う。

【0026】

結果的に、ゲート電極 64 の中心に対応する第 1 金属パターン 80 の一部が露出され、この時、第 1 ないし第 3 感光パターン 78 a、78 b、78 c の周辺に第 1 ないし第 3 金属パターン 80、82、86 の周辺が同時に露出される。アッシング工程の後、第 1 金属パターン 80 の露出された部分とその下部の不純物非晶質シリコン層 72 を除去する工程を行う。

【0027】

図 4 D と図 5 D と図 6 D に示したように、除去工程を完了すると、ゲート電極 64 の上部に位置した第 1 半導体層 90 a のうち、下部層（純粋非晶質シリコン層 70）は、アクティブ層 92 a として機能し、アクティブ層 92 a の上部で、一部が除去され離間された上部層（不純物非晶質シリコン層 72）は、オーミックコンタクト層 92 b として機能する。また、オーミックコンタクト層 92 b の上部に位置して離間された金属パターンは、各々ソース電極 94 とドレイン電極 96 になる。

【0028】

この時、ソース電極 94 に接続する第 2 金属パターン（図 6 C の 82）は、データ配線 98 であり、データ配線 98 の一端は、データパッド電極 100 である。また、ストレージ領域 C に対応して形成されたアイランド状の第 3 金属パターン 86 は、ストレージ電極になる。

【0029】

すなわち、ゲート配線 62 は、第 1 ストレージ電極として機能し、上部のストレージ電極 86 は、第 2 ストレージ電極として機能する。従って、ゲート配線 62、その上部のゲート絶縁膜 68、第 3 半導体層 90 c、その上部のストレージ電極 86 は、補助容量部であるストレージキャパシター C s t を構成する。残留した感光パターン 78 a、78 b、78 c を除去する工程を行うことによって第 2 マスク工程を完了する。

【0030】

図 4 E と図 5 E と図 6 E は、第 3 マスク工程を示した図である。図 4 E と図 5 E と図 6 E に示したように、ソース電極 94 及びドレイン電極 96 と、データパッド 100 を含むデータ配線 98 と、ストレージキャパシター C s t が形成された基板 60 の全面に、窒化シリコン Si_3N_4 または酸化シリコン SiO_2 を含む無機絶縁物質グループのうちから選択された一つを蒸着したり、場合によって、ベンゾシクロブテン BCB とアクリル系樹脂を含む有機絶縁物質グループのうちから選択された一つを塗布したりして保護膜 102 を形成する。この保護膜 102 をパターンニングして、ドレイン電極 96 の一部を露出するドレインコンタクトホール 104、ストレージ電極 86 を露出するストレージコンタクトホール 106、ゲートパッド電極 66 の一部を露出するゲートパッドコンタクトホール 108、データパッド電極 100 の一部を露出するデータパッドコンタクトホール 110 を形成する。

【0031】

図4Fと図5Fと図6Fは、第4マスク工程を示した図である。図4Fと図5Fと図6Fに示したように、保護膜102が形成された基板60の全面に、インジウムスズーオキサイドITOとインジウム亜鉛ーオキサイドIZOを含む透明な導電性金属グループのうちから選択された一つを蒸着してパターンニングし、ドレイン電極96とストレージ電極86の両方に接続して画素領域Pに位置する画素電極112を形成すると同時に、ゲートパッド電極66に接続するゲートパッド電極端子114と、データパッド電極100に接続するデータパッド電極端子116を形成する。

【0032】

このように、従来は、4つのマスク工程によって液晶表示装置用アレイ基板を製作する。従来の4つのマスク工程は、既存の5つのマスク工程に比べて、画期的なほど生産費用を安くする効果及び工程時間を短縮する効果があり、工程が短縮されることによってその分、不良発生率も減少する。

【特許文献1】韓国公開特許第10-2002-12649号公報

【発明の概要】

【発明が解決しようとする課題】

【0033】

ところが、上述したように、従来の4つのマスク工程によって製作された薄膜トランジスタの構造は、アクティブ層を形成した後、保護膜を形成する工程を行うために、露出されたアクティブ層の表面（アクティブチャンネル）が汚染する確率が非常に高い。また、アクティブ層とソース電極及びドレイン電極が同じ第2マスク工程で形成されるために、必然的にドレイン電極またはソース電極の下部に形成されたアクティブ層を下部のゲート電極が完全に遮る形態ではない。

【0034】

結果的に、従来の4つのマスク工程によって製作された薄膜トランジスタの構造は、漏洩電流の発生確率が非常に高く、液晶パネルの表示品質が低いという問題点があった。

【0035】

また、従来の構造は、薄膜トランジスタが画素領域の一部を占める構造で設計されているため、これは、開口領域を侵食する構造であり、輝度特性が悪いという問題点があった。

【0036】

本発明は、上述のような課題を解決するためになされたもので、その目的は、表示品質と開口率を向上することができる液晶表示装置及びその製造方法を得るものである。

【課題を解決するための手段】

【0037】

本発明に係る液晶表示装置は、基板上に位置し、相互に交差して画素領域を定義するゲート配線及びデータ配線と、前記ゲート配線に接続されるゲート電極と、前記ゲート電極上に位置するゲート絶縁膜と、前記ゲート絶縁膜上に位置するアクティブ層と、前記アクティブ層上に位置し、相互に離間されたソース電極及びドレイン電極と、前記アクティブ層及び前記ソース電極間、並びに前記アクティブ層及びドレイン電極間に位置するオーミックコンタクト層と、前記アクティブ層と前記オーミックコンタクト層との間に位置し、前記ソース電極及びドレイン電極中一つと一部重畳され、前記ソース電極及びドレイン電極中他の一つと離隔され、前記ソース電極及びドレイン電極間のアクティブ層のチャンネルと重畳されるシールドパターンと、前記画素領域に位置し、前記ドレイン電極に接続される画素電極とを備え、前記シールドパターンの長さは、前記アクティブ層のチャンネルの長さと同じかまたは大きく、前記アクティブ層の面積は、前記ゲート電極の面積と同じかまたは小さいことを特徴とする。

【0038】

また、本発明に係る液晶表示装置の製造方法は、基板上にゲート配線及びゲート電極を形成する工程と、前記ゲート配線及びゲート電極上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にアクティブ層を形成し、前記アクティブ層上にシールドパターンを形

成する工程と、前記ゲート配線と交差して画素領域を定義するデータ配線、並びに相互に離間されたソース電極及びドレイン電極を形成し、前記アクティブ層及び前記ソース電極間、並びに前記アクティブ層及びドレイン電極間に位置するオーミックコンタクト層を形成する工程と、前記画素領域に、前記ドレイン電極に接続される画素電極を形成する工程とを含み、前記シールドパターンは、前記アクティブ層と前記オーミックコンタクト層との間に位置し、前記ソース電極及びドレイン電極中一つと一部重畳され、前記ソース電極及びドレイン電極中他の一つと離隔され、前記ソース電極及びドレイン電極間のアクティブ層のチャンネルと重畳され、前記シールドパターンの長さは、前記アクティブ層のチャンネルの長さと同じかまたは大きく、前記アクティブ層の面積は、前記ゲート電極の面積と同じかまたは小さいことを特徴とする。

10

【発明の効果】

【0039】

本発明によれば、アクティブ層がゲート電極によって完全に遮られる。従って、光による漏洩電流が発生しなくなり薄膜トランジスタの動作が安定するので、高画質を実現することができる。また、ソース電極及びドレイン電極間に露出されたアクティブチャンネルの一部領域に汚染を防ぐシールドパターンを形成する。このシールドパターンによって漏洩電流パスを遮断して、高画質を実現することができる。さらに、ゲート配線の一部領域をゲート電極として兼用してゲート配線に薄膜トランジスタを形成するために、開口領域が拡張され輝度を改善することができる。

【図面の簡単な説明】

20

【0040】

【図1】従来の液晶パネルの構成を概略的に示した斜視図である。

【図2】従来の液晶表示装置用アレイ基板の一部を拡大した平面図である。

【図3】図2の薄膜トランジスタの断面図である。

【図4A】図2のI-I線に沿って切断したもので、従来の液晶表示装置の製造方法を示した断面図である。

【図4B】図4Aに続く製造工程を示す断面図である。

【図4C】図4Bに続く製造工程を示す断面図である。

【図4D】図4Cに続く製造工程を示す断面図である。

【図4E】図4Dに続く製造工程を示す断面図である。

30

【図4F】図4Eに続く製造工程を示す断面図である。

【図5A】図2のI-I線に沿って切断したもので、従来の液晶表示装置の製造方法を示した断面図である。

【図5B】図5Aに続く製造工程を示す断面図である。

【図5C】図5Bに続く製造工程を示す断面図である。

【図5D】図5Cに続く製造工程を示す断面図である。

【図5E】図5Dに続く製造工程を示す断面図である。

【図5F】図5Eに続く製造工程を示す断面図である。

【図6A】図2のV-V線に沿って切断したもので、従来の液晶表示装置の製造方法を示した断面図である。

40

【図6B】図6Aに続く製造工程を示す断面図である。

【図6C】図6Bに続く製造工程を示す断面図である。

【図6D】図6Cに続く製造工程を示す断面図である。

【図6E】図6Dに続く製造工程を示す断面図である。

【図6F】図6Eに続く製造工程を示す断面図である。

【図7】本発明の実施の形態に係る液晶表示装置用アレイ基板の一部を拡大した平面図である。

【図8】本発明の実施の形態に係る液晶表示装置の薄膜トランジスタを拡大した平面図である。

【図9】図8のV-V線に沿って切断した薄膜トランジスタの断面図である

50

。

【図10】本発明の実施の形態に係る液晶表示装置の薄膜トランジスタの別の構成を示した断面図である。

【図11】本発明の実施の形態に係る液晶表示装置の薄膜トランジスタの別の構成を示した断面図である。

【図12A】図7のV-V線に沿って切断したもので、本発明の液晶表示装置の製造方法を示した断面図である。

【図12B】図12Aに続く製造工程を示す断面図である。

【図12C】図12Bに続く製造工程を示す断面図である。

【図12D】図12Cに続く製造工程を示す断面図である。

10

【図12E】図12Dに続く製造工程を示す断面図である。

【図12F】図12Eに続く製造工程を示す断面図である。

【図12G】図12Fに続く製造工程を示す断面図である。

【図12H】図12Gに続く製造工程を示す断面図である。

【図12I】図12Hに続く製造工程を示す断面図である。

【図12J】図12Iに続く製造工程を示す断面図である。

【図12K】図12Jに続く製造工程を示す断面図である。

【図12L】図12Kに続く製造工程を示す断面図である。

【図13A】図7のV I-V I線に沿って切断したもので、本発明の液晶表示装置の製造方法を示した断面図である。

20

【図13B】図13Aに続く製造工程を示す断面図である。

【図13C】図13Bに続く製造工程を示す断面図である。

【図13D】図13Cに続く製造工程を示す断面図である。

【図13E】図13Dに続く製造工程を示す断面図である。

【図13F】図13Eに続く製造工程を示す断面図である。

【図13G】図13Fに続く製造工程を示す断面図である。

【図13H】図13Gに続く製造工程を示す断面図である。

【図13I】図13Hに続く製造工程を示す断面図である。

【図13J】図13Iに続く製造工程を示す断面図である。

【図13K】図13Jに続く製造工程を示す断面図である。

30

【図13L】図13Kに続く製造工程を示す断面図である。

【図14A】図7のV I I-V I I線に沿って切断したもので、本発明の液晶表示装置の製造方法を示した断面図である。

【図14B】図14Aに続く製造工程を示す断面図である。

【図14C】図14Bに続く製造工程を示す断面図である。

【図14D】図14Cに続く製造工程を示す断面図である。

【図14E】図14Dに続く製造工程を示す断面図である。

【図14F】図14Eに続く製造工程を示す断面図である。

【図14G】図14Fに続く製造工程を示す断面図である。

【図14H】図14Gに続く製造工程を示す断面図である。

40

【図14I】図14Hに続く製造工程を示す断面図である。

【図14J】図14Iに続く製造工程を示す断面図である。

【図14K】図14Jに続く製造工程を示す断面図である。

【図14L】図14Kに続く製造工程を示す断面図である。

【発明を実施するための最良の形態】

【0041】

本発明の実施の形態は、一部領域にシールドパターンが形成されるとともに、ゲート電極に完全に遮られる形態のアクティブ層を含む薄膜トランジスタと、このような薄膜トランジスタを含み、開口領域がさらに拡張された形態で設計されたアレイ基板を4つのマスク工程によって製作する。

50

【0042】

図7は、本発明の実施の形態に係る液晶表示装置用アレイ基板の一部を拡大した平面図である。図7に示したように、絶縁基板200上に、一方向に伸延され一端にゲートパッド電極206が設けられたゲート配線204と、このゲート配線204と交差して画素領域を定義し、一端にデータパッド電極240が設けられたデータ配線238を形成する。ゲートパッド電極206とデータパッド電極240の上部には、これらにそれぞれ接続するゲートパッド電極端子248とデータパッド電極端子250を形成する。

【0043】

また、データ配線238と交差するゲート配線204の一部を除去して、ゲート配線204とデータ配線238の重なる領域を最小にする。両配線204、238の重なる面積が大きいほど寄生容量が大きくなり、これは、信号遅延の原因となるために、上述した構造は、このような信号遅延を最小にするという長所がある。ゲート配線204とデータ配線238の交差点に、ゲート電極202と、アクティブ層220及びオーミックコンタクト層（図示せず）を含む半導体層と、シールドパターン222と、ソース電極234及びドレイン電極236とを含む薄膜トランジスタTを形成する。

10

【0044】

この時、薄膜トランジスタTをゲート配線204の上部に形成することによって従来に比べて、画素領域に薄膜トランジスタTが占める割合が著しく減少され、開口領域をさらに広く確保することができる。

【0045】

20

一方、画素領域には、ドレイン電極236に接続する透明な画素電極246を形成する。画素領域を定義する部分のゲート配線204の上部には、これを第1ストレージ電極として、ゲート配線204の上部であって、画素電極246に接続するアイランド状のストレージ電極244を第2ストレージ電極とするストレージキャパシタCstを形成する。

【0046】

上述した構成で、薄膜トランジスタTを画素領域ではないゲート配線204の上部に形成すると同時に、薄膜トランジスタTのアクティブ層220をゲート電極202の面積より小さくパターニングすることによって開口領域が広く確保でき、光漏洩電流の発生が防げる。また、ソース電極234及びドレイン電極236間に露出されたアクティブ層220の表面（アクティブチャンネル）の一部領域にシールドパターン222を形成する。

30

【0047】

露出されたアクティブ層220の表面の一部領域にシールドパターン222を形成した理由は、露出されたアクティブ層220の表面の欠陥または汚染によって発生する漏洩電流パス（leakage current path）を部分的に遮断するためである。

【0048】

図8は、本発明の実施の形態に係る液晶表示装置の薄膜トランジスタを拡大した平面図であり、図9は、図8のV I I I - V I I I 線に沿って切断した断面図である。

【0049】

図8と図9に示したように、本実施の形態に係る薄膜トランジスタTは、ゲート配線204の一部を電極として使用したゲート電極202と、ゲート電極202の上部にアイランド状に形成されたアクティブ層220と、アクティブ層220の上部に形成され、離間されたソース電極234及びドレイン電極236を含む。

40

【0050】

また、アクティブ層220とソース電極234及びドレイン電極236の間には、オーミックコンタクト層242を含む。

【0051】

この時、アクティブ層220をゲート電極202の面積と同じか、または小さく形成して、下部の光源（バックライト）から照射された光によってアクティブ層220が露出されないようにする。

50

【0052】

また、ソース電極234及びドレイン電極236間に露出されたアクティブ層220の表面（アクティブチャンネル）の一部領域にシールドパターン222を形成する。特に、シールドパターン222は、ソース電極234及びドレイン電極236間に位置する。すなわち、ソース電極234及びドレイン電極236で挟まれた領域側をソース電極234の内側と呼ぶとともに、ドレイン電極236の内側と呼ぶとすると、シールドパターン222の一侧は、図9に示すように、ソース電極234の内側に向かって離間されており、シールドパターン222の他側は、ドレイン電極236の内側に向かって離間されている。シールドパターン222は、露出されたアクティブ層220の表面（アクティブチャンネル）に欠陥が発生したり、露出されたアクティブ層220の表面が汚染されたりするのを防ぐためである。

10

【0053】

この時、シールドパターン222の幅は、ソース電極234とドレイン電極236の離間距離（チャンネルの幅CH）と同一である必要はない。シールドパターン222の長さは、チャンネルの長さと同じか、または大きくパターンニングする。チャンネルの長さは、ソース電極234とドレイン電極236間のU字状に沿った方向の距離であり、チャンネルの幅CHは、V I I I - V I I I 線においてチャンネルの長さ方向（長手方向）に垂直な方向の距離である。

【0054】

このように構成すると、シールドパターン222とソース電極234及びドレイン電極236間に一部露出されたアクティブ層220の表面が汚染されたとしても、シールドパターン222によって両電極234、236間の汚染及び欠陥の連続性を遮断するために、漏洩電流パスが形成されなくなる。

20

【0055】

この時、ソース電極234及びドレイン電極236間のアクティブチャンネルの長さを短くして、幅を大きく設計することによって薄膜トランジスタの動作を改善する方法として、ソース電極234を英文字のアルファベットのU字状（図面上では、逆U字状に描いている）に形成し、ドレイン電極236を、U字状の内部にこれと一定に離間される棒状に形成する。この場合、チャンネルは、U字状になり、これによって、シールドパターン222もU字状に構成する。このようなシールドパターン222は、ソース電極234及びドレイン電極236間の漏洩電流パスを遮断する役割を果たすので、ソース電極234とドレイン電極236間で、その位置は、多様になる。

30

【0056】

図10と図11は、本発明の実施の形態に係る液晶表示装置の薄膜トランジスタのそれぞれ別の構成を示した断面図である。

【0057】

図10に示したように、シールドパターン222は、ソース電極234またはドレイン電極236のいずれかに偏って形成することもできる。例えば、シールドパターン222は、ドレイン電極236に近接して形成する。この時、ソース電極234の内側に向かうシールドパターン222の一侧は、ソース電極234及びドレイン電極236間に位置する。

40

【0058】

一方、図11に示したように、シールドパターン222は、二つ以上で形成され、例えば、ソース電極234及びドレイン電極236の下部に各々形成する。この時、ドレイン電極236の下部に位置してソース電極234に向かうシールドパターン222の一侧と、ソース電極234の下部に位置してドレイン電極236に向かうシールドパターン222の一侧は、ソース電極234及びドレイン電極236間に位置する。

【0059】

図10と図11のように、ソース電極234及び／またはドレイン電極236の下部にシールドパターン222を形成する場合、ソース電極234及びドレイン電極236とそ

50

の下部のオーミックコンタクト層 242 は、シールドパターン 222 を完全に覆う形態ではなく、シールドパターン 222 の一部を覆う形態で形成すると漏洩電流パスを完全に遮断することができる。

【0060】

上述した構造の薄膜トランジスタとこれを含むアレイ基板を本実施の形態に係る 4 つのマスキング工程によって製作する方法を説明する。

【0061】

図 12A ないし図 12L、図 13A ないし図 13L 及び図 14A ないし図 14L は、それぞれ図 7 の V-V 線、VI-VI 線及び VII-VII 線に沿って切断したもので、本発明の実施の形態に係る液晶表示装置の製造方法を示した断面図である。（なお、図 7 の V-V 線は、薄膜トランジスタ及び画素領域の切断線であり、VI-VI 線は、ゲートパッドの切断線であり、VII-VII 線は、データパッドの切断線である。）

10

【0062】

図 12A と図 13A と図 14A は、第 1 マスキング工程を示した図である。図 12A と図 13A と図 14A に示したように、基板 200 上に、スイッチング領域 S を含む画素領域 P、ゲート領域 G、データ領域 D、ストレージ領域 C を定義する。この時、ストレージ領域 C とスイッチング領域 S をゲート領域 G の一部に定義する。

【0063】

複数の領域（S、P、G、D、C）を定義した基板 200 上に、アルミニウム Al、アルミニウム合金 AlNd、タングステン W、クロム Cr、モリブデン Mo 等の単一金属やアルミニウム Al / クロム Cr（またはモリブデン Mo）等を含む導電性金属グループのうちから選択された一つまたは二つ以上の金属を蒸着してパターンニングし、ゲート領域 G に対応して一端にゲートパッド電極 206 を含むゲート配線 204 を形成する。この時、スイッチング領域 S に対応するゲート配線 204 の一部をゲート電極 202 として使用する。

20

【0064】

また、後の工程で形成されるデータ配線（図示せず）と交差される領域 F に対応するゲート配線 202 の一部をエッチングしてエッチングホール 208 を形成する。これは、両配線の交差部分でゲート配線 204 とデータ配線（図示せず）が重なる領域を減少させることによって両配線の重なった面積で発生する寄生容量を減少させるための設計である。

30

【0065】

図 12B ないし図 12F、図 13B ないし図 13F 及び図 14B ないし図 14F は、第 2 マスキング工程を示した図である。（ハーフトーンマスキング工程であり、これを詳しく説明する。）

【0066】

図 12B と図 13B と図 14B に示したように、ゲート電極 202 とゲートパッド電極 206 を含むゲート配線 204 が形成された基板 200 の全面に、ゲート絶縁膜 210 と、非晶質シリコン層 212 と、シールド層（絶縁層）214 を積層する。

【0067】

この時、ゲート絶縁膜 210 は、窒化シリコン SiN_x と酸化シリコン SiO_2 等を含む無機絶縁物質グループのうちから選択された一つを蒸着して形成する。非晶質シリコン層 212 は、非晶質シリコン a-Si:H を蒸着して形成する。シールド層 214 は、ゲート絶縁膜 210 のような無機絶縁物質グループのうちから選択された一つを蒸着して形成する。シールド層 214 の上部に、フォトリジストを塗布して感光層 216 を形成する。

40

【0068】

感光層 216 から離れた上部に、透過部 B1 と半透過部 B2 と遮断部 B3 で構成されたマスク M を位置させた後、マスク M の上部から光を照射して下部の感光層 216 を露光する工程を行う。半透過部 B2 は、マスク M にスリットまたは半透明膜を形成したものであり、これは、光の強度を低めたり、光の透過量を低めたりする。これによって、下部の感光層 216 は、完全露光ではなく、不完全露光が可能になる。この時、スイッチング領域

50

Sに、遮断部B3と、遮断部B3の両側の半透過部B2が対応するように配置する。それ以外の領域は、透過部B1が対応するように配置する。部分的に露光が行われた感光層216を現像する工程を行う。

【0069】

図12Cと図13Cと図14Cに示したように、現像工程が完了すると、スイッチング領域Sに対応して段差を有する感光パターン218が形成される。この時、感光パターン218の段差の形状は、ゲート電極202に対応する中心部が高く、その周辺部は、低い形態で形成される。感光パターン218の周辺に露出されたシールド層214とその下部の非晶質シリコン層212を除去するエッチング工程を行う。

【0070】

図12Dと図13Dと図14Dに示したように、エッチング工程が完了すると、感光パターン218の下部のみがパターニングされた非晶質シリコン層212とシールド層214が残る。この時、パターニングされた非晶質シリコン層212は、ゲート電極202内でパターニングされるので、ゲート電極202の面積を超過しない大きさでパターニングされる。感光パターン218の低い部分を除去するアッシング工程を行う。

【0071】

図12Eと図13Eと図14Eに示したように、ゲート電極202の中心に対応する感光パターン218だけが最終的に残るが、これは、上部の一部が除去された状態である。アッシングされた感光パターン218の周辺に、パターニングされたシールド層214に対してエッチングを行った後、アッシングされた感光パターン218を除去する工程を行う。

【0072】

図12Fと図13Fと図14Fに示したように、ゲート電極202に対応するゲート絶縁膜210の上部に、先ほどパターニングされた非晶質シリコン層であるアイランド状のアクティブ層220と、アクティブ層220の中心に対応してシールドパターン222が形成される。この時、シールドパターン222は、後の工程で形成されるソース電極及びドレイン電極（図示せず）の形状によって異なり、ソース電極（図示せず）をU字状に設計する場合は、シールドパターン（図示せず）もU字状に設計する。また、シールドパターンの位置及び個数は、図9ないし図11に示したように、多様に変化する。シールドパターン222は、アクティブ層220の表面に欠陥が発生したり、表面が汚染したりすることを防ぐ機能を果たす。シールドパターン222の上部に残された感光パターン218を除去する工程を行う。

【0073】

図12Gと図13Gと図14Gに示したように、シールドパターン222が形成された基板200の全面に、不純物を含む非晶質シリコン $n+a-Si:H$ を蒸着して不純物非晶質シリコン層224を形成する。この不純物非晶質シリコン層224が形成された基板200の全面に、導電性金属グループのうちから選択された一つまたは二つ以上の金属を蒸着して導電性金属層226を形成する。この時、シールドパターン222によってアクティブ層220の一部表面には、不純物非晶質シリコン層224が直接蒸着されなくなる。導電性金属層226が形成された基板200の全面に、フォトレジストを塗布して感光層228を形成する。この感光層228から離れた上部に、透過部B1と半透過部B2と遮断部B3で構成されたマスクMを位置させる。

【0074】

この時、マスクMの透過部B1は、ゲートパッド電極206の一部に対応して位置し、スイッチング領域Sには、シールドパターン222に対応して、これより大きい面積で半透過部B2が位置し、半透過部B2の両側に遮断部B3が位置する。また、ゲートパッド電極206の一部の側部には、半透過部B2が位置する。さらに、データ領域Dとストレージ領域Cに対応して遮断部B3が位置し、画素領域Pには、半透過部B2が位置する。マスクMの上部から光を照射して下部の感光層228を露光する工程を行う。この時、感光層228は、マスクMの透過部B1に対応して完全露光し、半透過部B2に対応して不

10

20

30

40

50

完全露光し、遮断部 B 3 に対応して露光されない。上述したような露光が行われた感光層を現像する工程を行う。

【0075】

図 1 2 H と図 1 3 H と図 1 4 H に示したように、スイッチング領域 S のシールドパターン 2 2 2 に対応する部分と、画素領域 P と、ゲートパッド電極 2 0 6 の側部は、上部の一部が除去された形態になり、シールドパターン 2 2 2 を除いたスイッチング領域 S の他の領域と、ストレージ領域 C と、データ領域 D は、元々の高さで残り、ゲートパッド電極 2 0 6 に対応した一部は除去され、下部の導電性金属層 2 2 6 が露出されるように除去された感光パターン 2 3 0 が残る。

【0076】

10

図 1 2 I と図 1 3 I と図 1 4 I に示したように、ゲートパッド電極 2 0 6 に対応して露出された導電性金属層 2 2 6、その下部の非晶質シリコン層 2 2 4、その下部のゲート絶縁膜 2 1 0 を除去して、ゲートパッド電極 2 0 6 の一部を露出するゲートパッドコンタクトホール 2 3 2 を形成する。

【0077】

図 1 2 J と図 1 3 J と図 1 4 J に示したように、感光パターン 2 3 0 をアッシングする工程を行い、スイッチング領域 S と画素領域 P に対応して低い高さで現像された部分を完全に除去して、下部の導電性金属層 2 2 6 を露出する工程を行う。このようにすると、スイッチング領域 S に対応してシールドパターン 2 2 2 の両側と、ストレージ領域 C と、データ領域 D だけに感光パターン 2 3 0 が残る。アッシングされた感光パターン 2 3 0 の周辺に露出された導電性金属層 2 2 6 とその下部の不純物非晶質シリコン層 2 2 4 を除去する工程を行う。

20

【0078】

図 1 2 K と図 1 3 K と図 1 4 K に示したように、スイッチング領域 S に対応してシールドパターン 2 2 2 の両側に位置した感光パターン 2 3 0 の下部には、各々ソース電極 2 3 4 とドレイン電極 2 3 6 が形成され、ストレージ領域 C に対応する感光パターン 2 3 0 の下部には、アイランド状のストレージ電極 2 4 4 が形成され、データ領域 D に対応する感光パターン 2 3 0 の下部には、一端にデータパッド電極 2 4 0 を含み、ソース電極 2 3 4 と接触するデータ配線 2 3 8 が形成される。

【0079】

30

ソース電極 2 3 4 及びドレイン電極 2 3 6 の下部に、パターニングされた不純物非晶質シリコン層は、抵抗性接触を有するために、オーミックコンタクト層 2 4 2 と称する。一方、データ配線 2 3 8 及びデータパッド電極 2 4 0 下部には、パターニングされた不純物非晶質シリコン層である第 1 半導体層パターン 2 4 3 が形成され、ストレージ電極 2 4 4 の下部には、パターニングされた不純物非晶質シリコン層である第 2 半導体層パターン 2 4 5 が形成される。

【0080】

シールドパターン 2 2 2 が位置する部分のアクティブ層 2 2 0 の表面には、オーミックコンタクト層 2 4 2 を形成するためのパターニング工程で残った残留粒子のような汚染物質が存在しない。これによって、シールドパターン 2 2 2 以外の露出されたアクティブ層 2 2 0 の表面 G が一部汚染されたとしても、このような汚染状態の連続性がシールドパターン 2 2 2 によって遮断される。従って、漏洩電流のパスが発生せず、漏洩電流による影響を遮断する。ソース電極 2 3 4 及びドレイン電極 2 3 6 と、ストレージ電極 2 4 4 と、データ配線 2 3 8 と、データパッド電極 2 4 0 の上部に位置した感光パターン 2 3 0 を除去する工程を行う。

40

【0081】

以上、図 1 2 G ないし図 1 2 K、図 1 3 G ないし図 1 3 K 及び図 1 4 G ないし図 1 4 K によって本実施の形態に係る第 3 マスク工程を説明した。

【0082】

図 1 2 L と図 1 3 L と図 1 4 L は、第 4 マスク工程を示した図である。図 1 2 L と図 1

50

3 Lと図14 Lに示したように、ソース電極234及びドレイン電極236と、ストレージ電極244と、データ配線238及びデータパッド電極240が形成された基板200の全面に、インジウムスズーオキサイドITOとインジウム亜鉛ーオキサイドIZOを含む透明な導電性金属グループのうちから選択された一つを蒸着して第4マスク工程によってパターンニングし、ドレイン電極236とストレージ電極244に同時に接続しながら画素領域Pに位置する画素電極246を形成する。また、ゲートパッド電極206に接続するゲートパッド電極端子248と、データパッド電極240に接続するデータパッド電極端子250を形成する。

【0083】

上述したように、本発明の実施の形態に係る4つのマスク工程によって液晶表示装置用アレイ基板を製作することができる。本実施の形態の工程を簡単に整理すると次のようになる。

第1マスク工程：ゲート配線（及びゲート電極）とゲートパッド電極の形成工程。

第2マスク工程：アクティブ層と、アクティブ層の一部領域にシールドパターンを形成する工程。

第3マスク工程：ゲートパッドコンタクトホールと、ソース電極及びドレイン電極と、データパッド電極及びデータ配線と、ソース電極及びドレイン電極の下部にオーミックコンタクト層を形成する工程。

第4マスク工程：画素電極とゲートパッド電極端子とデータパッド電極端子の形成工程。

【0084】

上述したように形成されたアレイ基板と、これに向かい合う対応基板、例えば、カラーフィルター基板を合着して（貼り合わせて）、両基板間に液晶を注入して液晶表示装置を形成する。

【符号の説明】

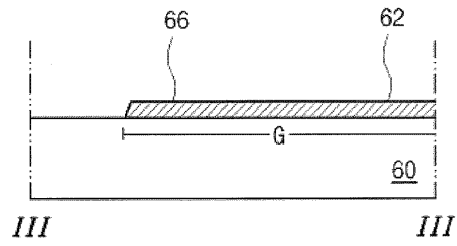
【0085】

200 基板、202 ゲート電極、204 ゲート配線、206 ゲートパッド電極、220 アクティブ層、222 シールドパターン、234 ソース電極、236 ドレイン電極、238 データ配線、240 データパッド電極、248 ゲートパッド電極端子、250 データパッド電極端子。

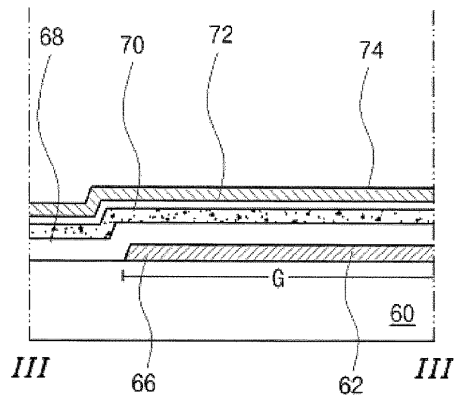
10

20

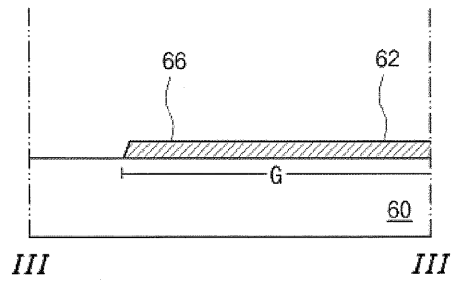
【図 5 A】



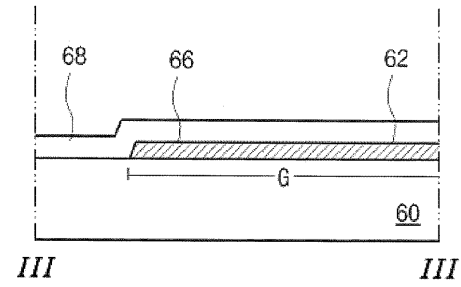
【図 5 B】



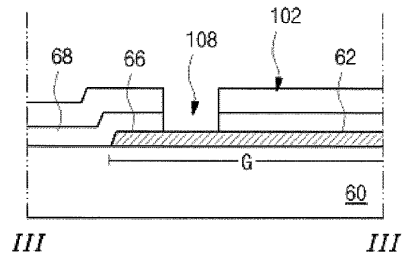
【図 5 C】



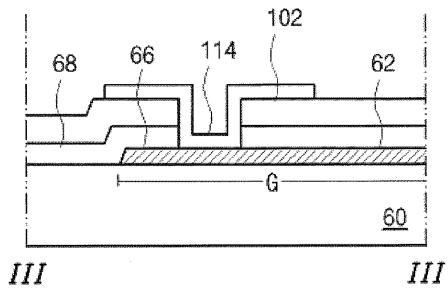
【図 5 D】



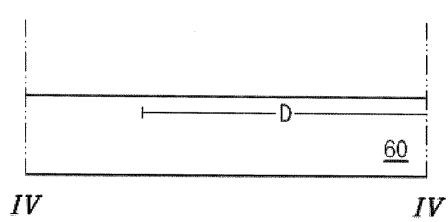
【図 5 E】



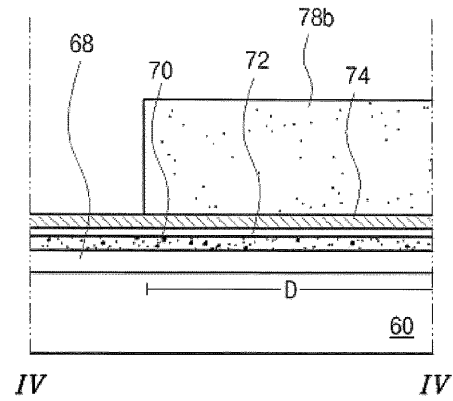
【図 5 F】



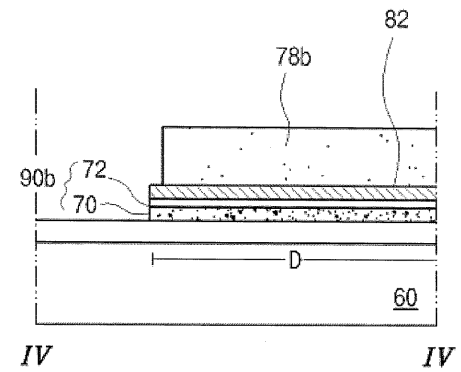
【図 6 A】



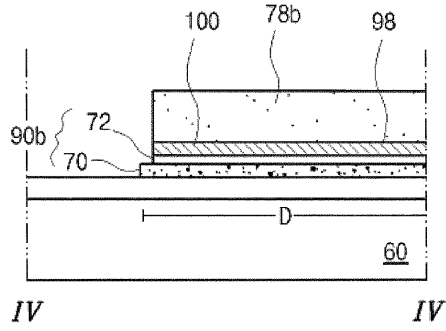
【図 6 B】



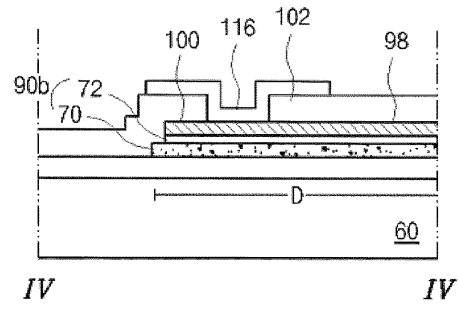
【図 6 C】



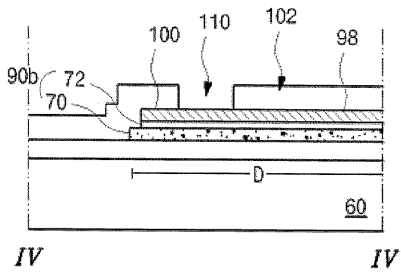
【図 6 D】



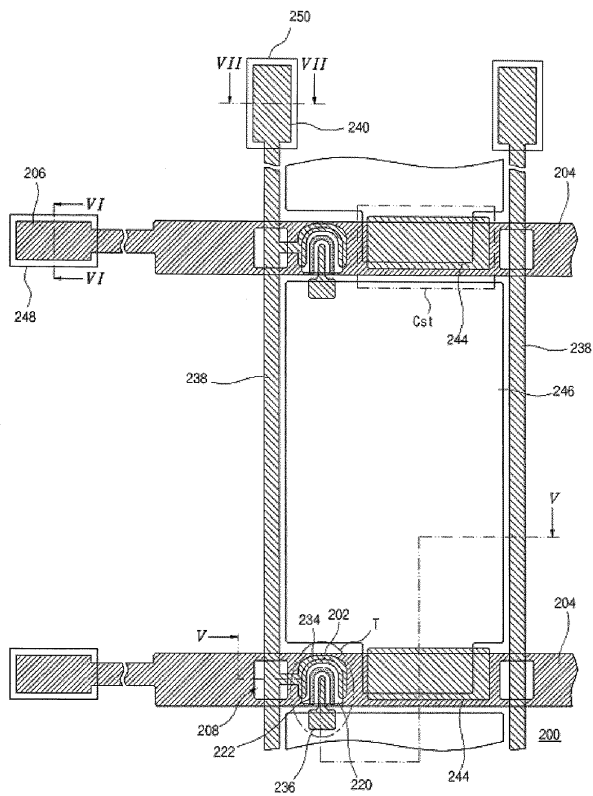
【図 6 F】



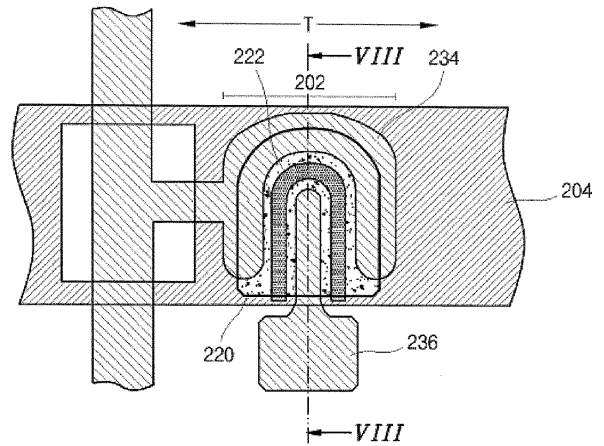
【図 6 E】



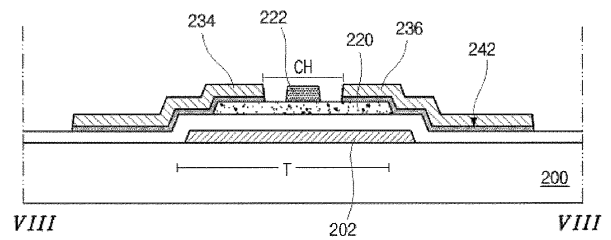
【図 7】



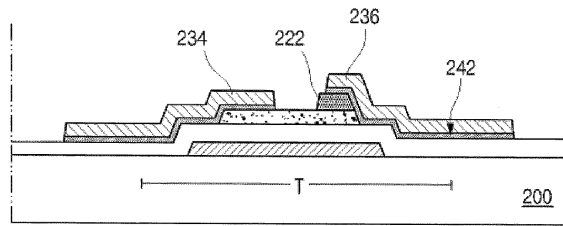
【図 8】



【図 9】

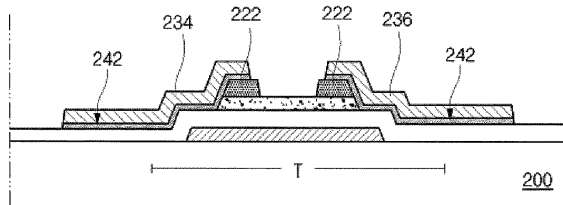


【図 10】



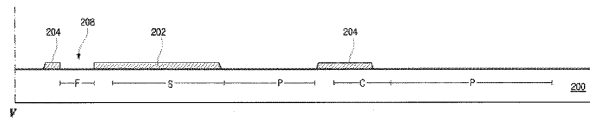
VIII

【図 1 1】

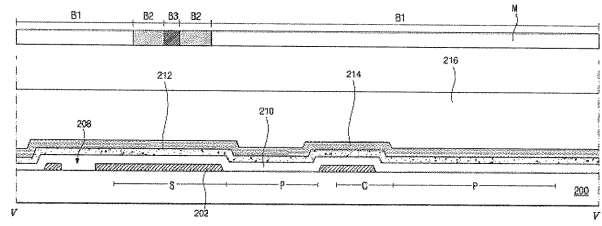


VIII

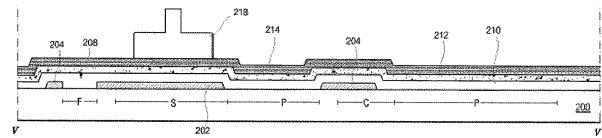
【図 1 2 A】



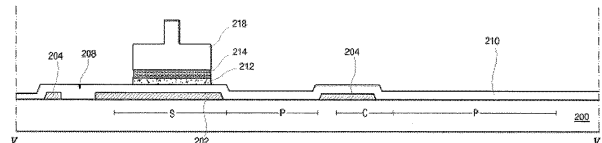
【図 1 2 B】



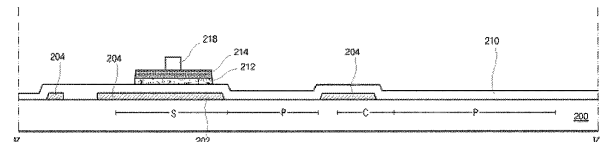
VIII 【図 1 2 C】



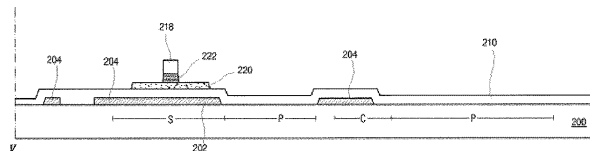
【図 1 2 D】



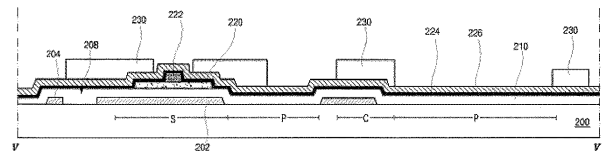
【図 1 2 E】



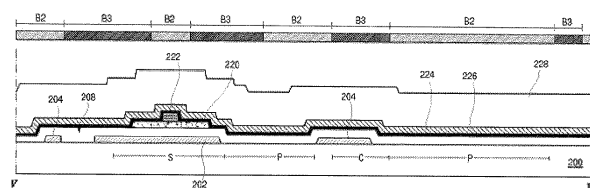
【図 1 2 F】



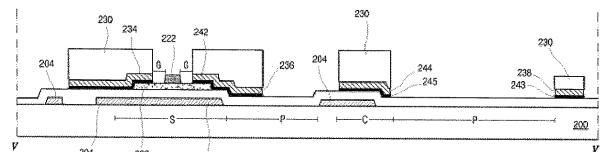
【図 1 2 J】



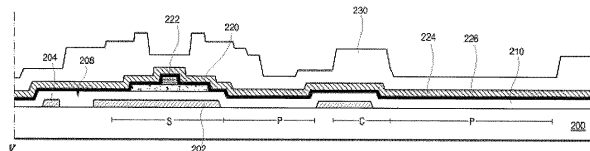
【図 1 2 G】



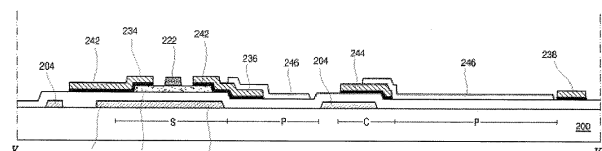
【図 1 2 K】



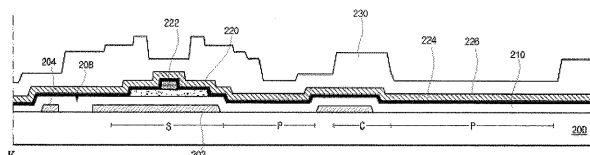
【図 1 2 H】



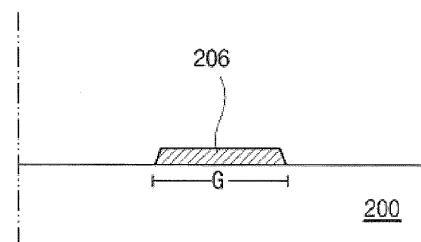
【図 1 2 L】



【図 1 2 I】



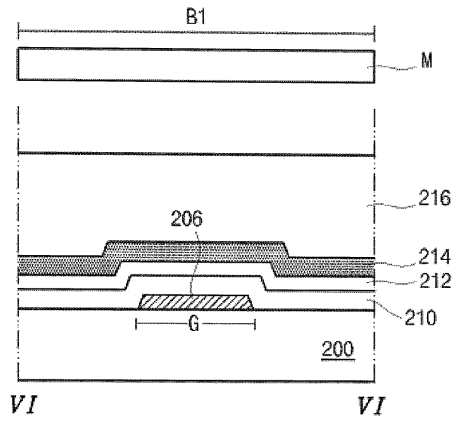
【図 1 3 A】



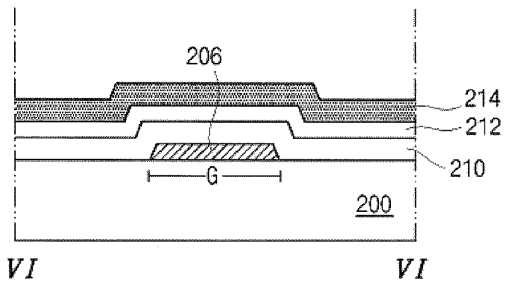
VI

VI

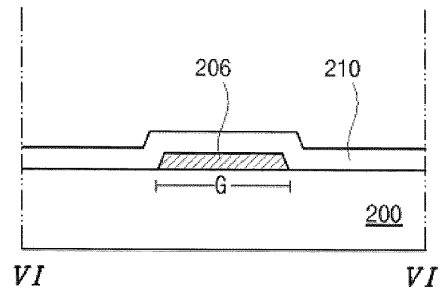
【図 1 3 B】



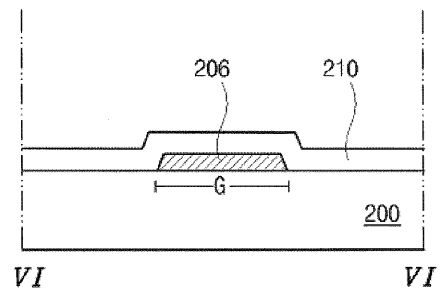
【図 1 3 C】



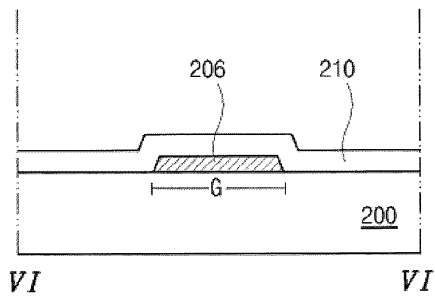
【図 1 3 D】



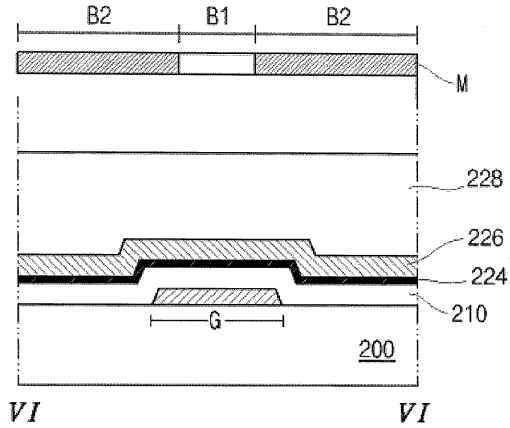
【図 1 3 E】



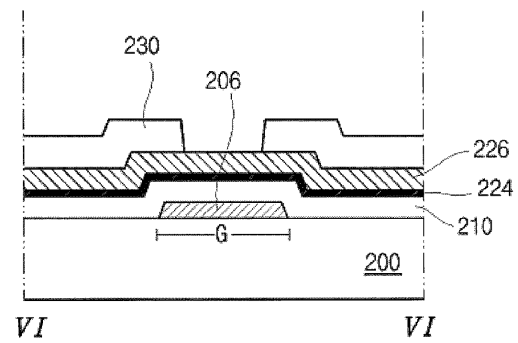
【図 1 3 F】



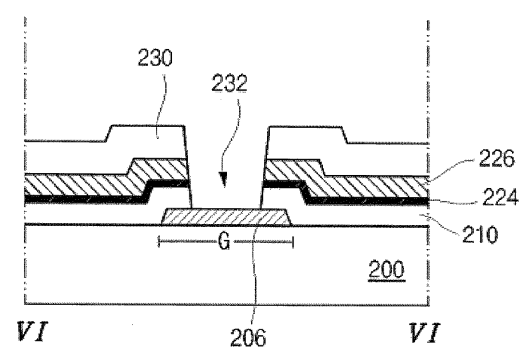
【図 1 3 G】



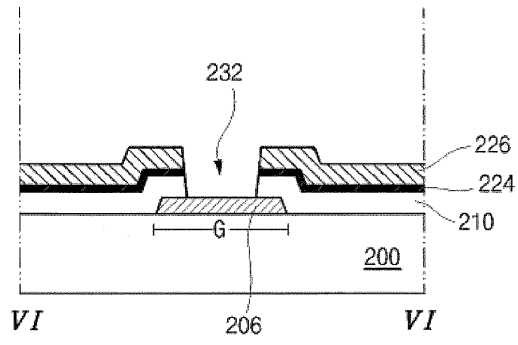
【図 1 3 H】



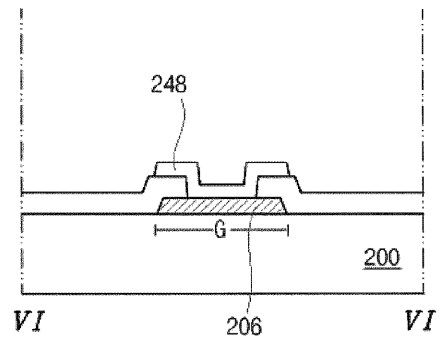
【図 1 3 I】



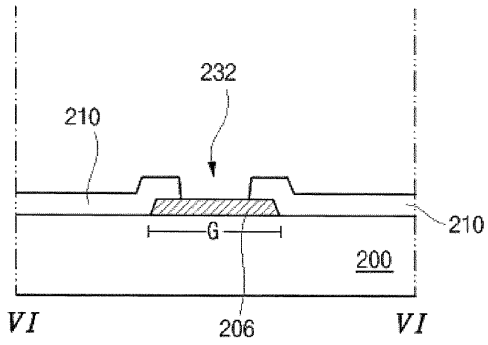
【図 1 3 J】



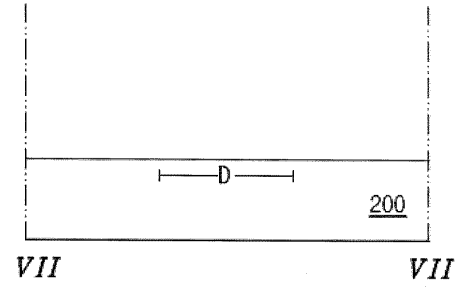
【図 1 3 L】



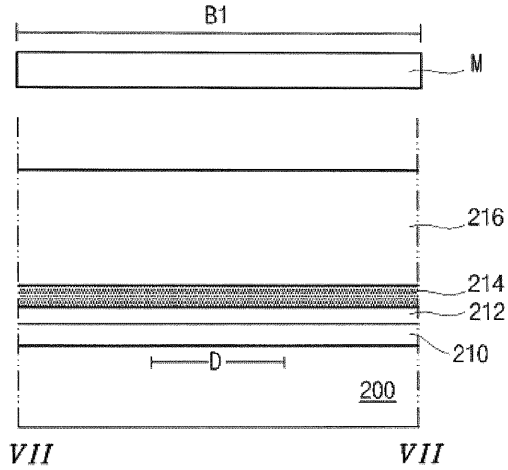
【図 1 3 K】



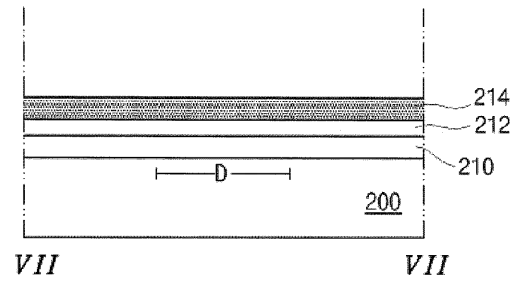
【図 1 4 A】



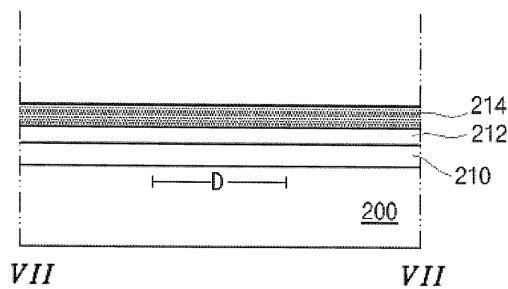
【図 1 4 B】



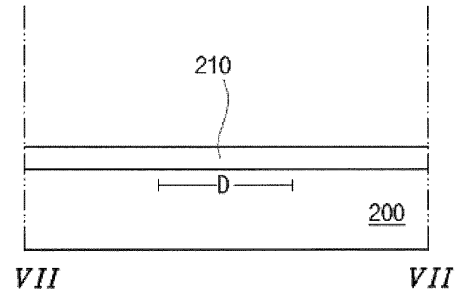
【図 1 4 D】



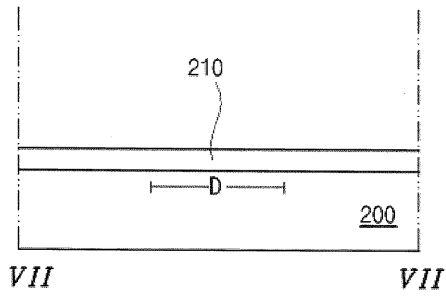
【図 1 4 C】



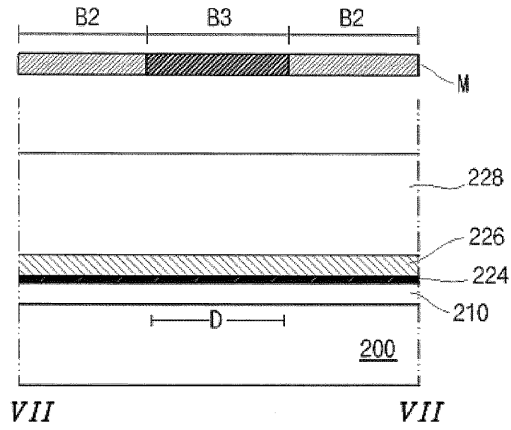
【図 1 4 E】



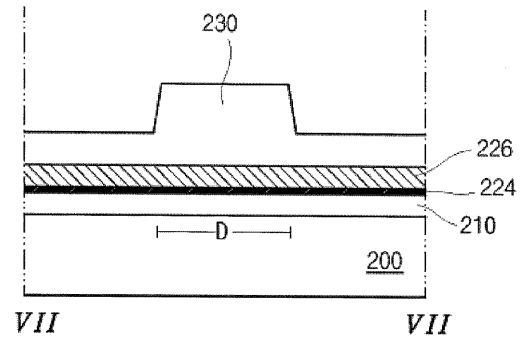
【図 1 4 F】



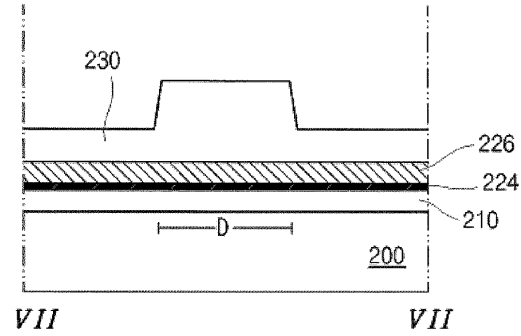
【図 1 4 G】



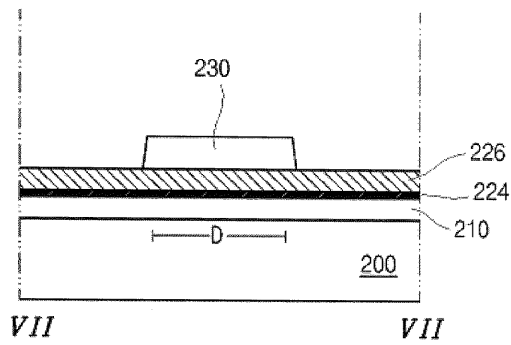
【図 1 4 H】



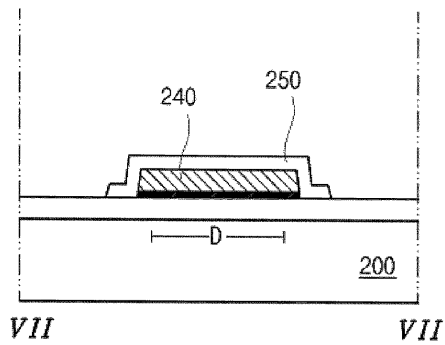
【図 1 4 I】



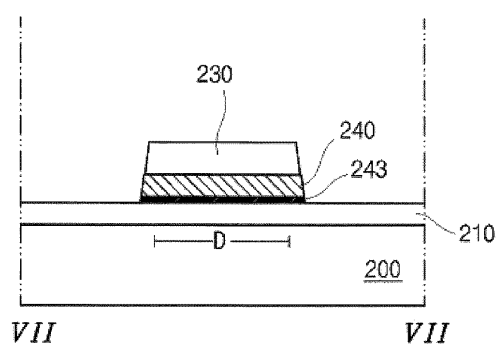
【図 1 4 J】



【図 1 4 L】



【図 1 4 K】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/423 (2006.01) H 0 1 L 29/44 P
H 0 1 L 29/49 (2006.01) H 0 1 L 29/50 M
H 0 1 L 29/58 G
H 0 1 L 29/44 L

(72)発明者 ヒョウク・キム
大韓民国、730-300、キョンブク、クミーシ、クピョンードン、クピョン3チャ 454、
ブヨン・アパートメント 601/301

(72)発明者 ピョンホ・リム
大韓民国、730-200、キョンブク、クミーシ、ポンゴクードン、528ボンジ、ヨンナムネ
オビルシティ 201/1402

審査官 山口 裕之

(56)参考文献 特開平01-277820 (JP, A)
特開平02-010332 (JP, A)
特開平02-062051 (JP, A)
特開平02-186641 (JP, A)
特開平05-053144 (JP, A)
特開平06-204247 (JP, A)
特開平09-203908 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1/1368

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP5235029B2	公开(公告)日	2013-07-10
申请号	JP2010274728	申请日	2010-12-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ヒヨウクキム ピョンホリム		
发明人	ヒヨウク・キム ピョンホ・リム		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786 H01L29/41 H01L29/417 H01L29/423 H01L29/49		
CPC分类号	H01L27/1288 G02F1/136209 G02F2001/136236 H01L27/1214 H01L27/124 H01L29/78633		
FI分类号	G02F1/1368 H01L29/78.619.B H01L29/78.616.T H01L29/78.612.C H01L29/78.627.C H01L29/44.P H01L29/50.M H01L29/58.G H01L29/44.L		
F-TERM分类号	2H092/GA33 2H092/JA26 2H092/JA42 2H092/JA47 2H092/JB23 2H092/JB54 2H092/KA05 2H092/KA12 2H092/KA18 2H092/MA15 2H092/NA07 2H092/NA22 2H092/PA08 2H192/AA24 2H192/CB05 2H192/CB45 2H192/CC02 2H192/CC04 2H192/CC42 2H192/DA02 2H192/DA72 2H192/EA04 2H192/EA74 2H192/HA44 4M104/AA08 4M104/AA09 4M104/BB01 4M104/BB02 4M104/BB13 4M104/BB16 4M104/BB18 4M104/CC01 4M104/EE01 4M104/EE02 4M104/EE17 4M104/FF01 4M104/FF11 4M104/FF13 4M104/GG09 5F110/AA06 5F110/AA16 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE38 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG15 5F110/GG26 5F110/GG42 5F110/HK09 5F110/HK21 5F110/HK25 5F110/HK32 5F110/HK41 5F110/HM04 5F110/HM12 5F110/NN02 5F110/NN06 5F110/NN23 5F110/NN24 5F110/NN33 5F110/NN72 5F110/QQ02 5F110/QQ08		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
审查员(译)	山口博之		
优先权	1020060041600 2006-05-09 KR		
其他公开文献	JP2011107713A		
外部链接	Espacenet		

摘要(译)

(经修改) 提供一种能够改善显示质量和开口率的液晶显示装置及其制造方法。 甲位于衬底上，且栅极布线204和由彼此交叉的数据线限定的像素区域中，连接到栅极线的栅电极202，位于该栅电极上的栅绝缘膜，有源层220设置在源电极234位于有源层上的栅极绝缘膜，和漏电极236彼此隔开，所述有源层和源极电极之间，和位于有源层与漏电极之间的欧姆接触层，位于该有源层上具有两个侧面朝着源电极的内部和漏电极，双方的，至少一个定位在所述源电极的内侧和漏电极之间提供屏蔽图案222和位于像素区域中并连接到漏电极的像素电极。 点域7

【 図 2 】

