

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5194162号
(P5194162)

(45) 発行日 平成25年5月8日(2013.5.8)

(24) 登録日 平成25年2月8日(2013.2.8)

(51) Int.Cl.

F I

GO2F 1/1345 (2006.01)

GO2F 1/1368 (2006.01)

GO2F 1/1339 (2006.01)

GO2F 1/1345

GO2F 1/1368

GO2F 1/1339 505

請求項の数 6 (全 19 頁)

(21) 出願番号	特願2011-247316 (P2011-247316)	(73) 特許権者	000153878
(22) 出願日	平成23年11月11日 (2011.11.11)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2008-80120 (P2008-80120)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	張 宏勇
原出願日	平成7年12月21日 (1995.12.21)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2012-27510 (P2012-27510A)		半導体エネルギー研究所内
(43) 公開日	平成24年2月9日 (2012.2.9)		
審査請求日	平成23年11月29日 (2011.11.29)	審査官	藤田 都志行
		(56) 参考文献	特開平06-082815 (JP, A)
			特開平05-313175 (JP, A)
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素部と、前記画素部を駆動させるための走査線駆動回路及び信号線駆動回路とを有する素子基板と、

前記素子基板に対向する対向基板と、

前記素子基板と前記対向基板との間に、前記画素部、前記走査線駆動回路及び前記信号線駆動回路を取り囲むように第1乃至第4の辺を有するシール材と、を有する液晶表示装置であって、

前記シール材には、複数の円柱状の構造物が混入され、

前記素子基板上に、複数の走査線と、前記走査線と同一材料からなる複数の第1層目の配線と、前記走査線及び前記第1層目の配線を覆う第1の層間絶縁膜と、を有し、

前記第1の層間絶縁膜上に、複数の信号線と、前記信号線と同一材料からなる複数の第2層目の配線と、前記信号線と同一材料からなる電氣的に絶縁された複数のダミー配線と、前記信号線、前記第2層目の配線及び前記ダミー配線を覆う第2の層間絶縁膜と、を有し、

前記走査線駆動回路は、前記走査線の一端側に配置され、

前記信号線駆動回路は、前記信号線の一端側に配置され、

前記ダミー配線は、前記第1層目の配線とは重ならず、

前記第1の層間絶縁膜と、前記ダミー配線と、前記第2の層間絶縁膜と、前記円柱状の構造物の一つとが積層された領域で、第1の基板間隔を有し、

10

20

前記第 1 の層間絶縁膜と、前記第 2 層目の配線と、前記第 2 の層間絶縁膜と、前記円柱状の構造物の他の一つとが積層された領域で、第 2 の基板間隔を有し、

前記第 1 の基板間隔と、前記第 2 の基板間隔とは同一の間隔であることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、

前記ダミー配線は、前記第 1 乃至第 4 の辺を有する前記シール材形成領域よりも外側には出ないことを特徴とする液晶表示装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記ダミー配線は、前記第 1 の辺に垂直な方向に伸びて、前記第 1 の辺のシール材形成領域に複数配置されていることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記第 2 層目の配線は、前記素子基板の前記シール材形成領域よりも外側に延在していることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記シール材形成領域には、前記第 1 層目の配線が配置されていることを特徴とする液晶表示装置。

【請求項 6】

画素部と、前記画素部を駆動させるための走査線駆動回路及び信号線駆動回路とを有する素子基板と、

前記素子基板に対向する対向基板と、

前記素子基板と前記対向基板との間に、前記画素部、前記走査線駆動回路及び前記信号線駆動回路を取り囲むように第 1 乃至第 4 の辺を有するシール材と、を有する液晶表示装置であって、

前記シール材には、複数の円柱状の構造物が混入され、

前記素子基板上に、複数の走査線と、前記走査線と同一材料からなる複数の第 1 層目の配線と、前記走査線と同一材料からなる電氣的に絶縁された複数のダミー配線と、前記走査線、前記第 1 層目の配線及び前記ダミー配線を覆う第 1 の層間絶縁膜と、を有し、

前記第 1 の層間絶縁膜上に、複数の信号線と、前記信号線と同一材料からなる複数の第 2 層目の配線と、前記信号線及び前記第 2 層目の配線を覆う第 2 の層間絶縁膜と、を有し、

前記走査線駆動回路は、前記走査線の一端側に配置され、

前記信号線駆動回路は、前記信号線の一端側に配置され、

前記ダミー配線は、前記第 2 層目の配線とは重ならず、

前記ダミー配線と、前記第 1 の層間絶縁膜と、前記第 2 の層間絶縁膜と、前記円柱状の構造物の一つとが積層された領域で、第 1 の基板間隔を有し、

前記第 1 層目の配線と、前記第 1 の層間絶縁膜と、前記第 2 の層間絶縁膜と、前記円柱状の構造物の他の一つとが積層された領域で、第 2 の基板間隔を有し、

前記第 1 の基板間隔と、前記第 2 の基板間隔とは同一の間隔であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリックス方式の液晶表示装置に関するものであり、基板張り合わせ時に発生する不良を削減することを目的とする。特に、周辺回路一体型の液晶表示装置に関するものである。

【背景技術】

【 0 0 0 2 】

従来のアクティブマトリックス型液晶表示装置においては、画素部にマトリクス状に配置されたMIM等の2端子素子、又はTFT等の3端子素子のスイッチング作用を利用して、画素電極間に挟持されている液晶材料の透光性等の光学特性を制御して、表示を得ている。一般に、画素電極のスイッチング素子として、アモルファスシリコンを使用したTFTが広く使用されている。

【 0 0 0 3 】

しかしながら、アモルファスシリコンの電界効果移動度が $0.1\text{ cm}^2/\text{Vs} \sim 1\text{ cm}^2/\text{Vs}$ 程度と低いため、アモルファスシリコンを利用したTFTを画素電極に接続されたTFTを制御する周辺駆動回路に配置することはできない。

10

【 0 0 0 4 】

このため、従来のアクティブマトリックス型液晶表示装置では、半導体集積回路により構成された周辺駆動回路を、テープ自動ボンディング(TAB)法や、チップ・オン・ガラス(COG)法により、液晶パネルに外付けしている。

【 0 0 0 5 】

図16は第1の従来例のアクティブマトリックス型液晶パネルの概略の正面図であり、周辺駆動回路を外付けにしたものである。図16に示すように、ガラス、石英等の素子基板1上には、走査線2、信号線3がマトリクス状に配置され、画素部4において、これらの配線の交差部には、画素電極、画素電極のスイッチング用の画素TFTが接続されている。走査線2、信号線3はそれぞれシール材領域5の外側まで延在しており、このため、シール材を横切る配線数は少なくとも、走査線2、信号線3の数だけある。それら配線の端部はそのまま引き出し端子6となり、引き出し端子6には、図示しない周辺駆動回路が接続されている。

20

更に、シール材領域5に形成されるシール材により、素子基板1と図示しない対向基板とが接合され、これらの基板間にシール材により液晶材料が封入されている。

【 0 0 0 6 】

また、近年では、電界効果移動度が大きいTFTを得るために、結晶性シリコンを利用してTFTを作製する技術が盛んに研究されている。結晶性シリコンを利用したTFTはアモルファスシリコンTFTよりも格段の高速動作が可能であり、結晶性シリコンにより、NMOSのTFTのみでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能である。従って、同一基板上に表示部と共に、周辺駆動回路を作製することが可能になる。

30

【 0 0 0 7 】

図17は第2の従来例のアクティブマトリックス型液晶表示装置の概略の正面図であり、周辺駆動回路と表示部をパネル一体化したものである。図17に示すように、ガラス、石英等の素子基板11上には、画素部12が配置され、画素部12の周囲において、上側には信号線駆動回路13が設けられ、左側には走査線駆動回路14が設けられている。信号線駆動回路13、走査線駆動回路14にはそれぞれ信号線15、走査線16が接続されている。信号線15、走査線16はそれぞれ画素部12において格子を成し、信号線駆動回路13、走査線駆動回路14に接続されていない端部はシール材領域17の外側まで延在して、図示しない制御回路、電源等が接続されている。また、シール材領域17に形成されるシール材により、素子基板11と対向基板18とが接合され、シール材により、これら基板11、18間に液晶材料が封入されている。更に、素子基板11上には、外部端子19が設けられている。

40

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

図16に示す第1の従来例では、画素部4周辺の配線構造が紙面において上下及び左右に対称的であるため、シール部の段差が均一になるので、基板間隔を均等にすることができる。

50

【 0 0 0 9 】

しかしながら、第 1 の従来例では、周辺駆動回路がシール材の外側に接続されるため、シール材を横切る配線数が多く、駆動回路から画素部に接続されている配線とシール材との界面から水分が侵入して、液晶材料を劣化してしまうという問題点がある。また、周辺駆動回路が外側にあるため、装置自体が大型化してしまう。

【 0 0 1 0 】

これらの問題点を回避するために、図 17 に示す第 2 の従来例の周辺駆動回路一体型のアクティブマトリックス型液晶表示装置では、シール材領域 17 の内側に周辺駆動回路を配置している。また、一般的に冗長回路を設けずに、片側駆動方式が採用されている。このため、図 17 に示すように、素子基板 11 の右側、下側だけ配線がシール材を横断しているため、配線構造が紙面上下及び左右で対称性が無くなり、シール材の段差は周辺駆動回路側と、配線が延長している側では異なる。従って、基板を張り合わせる際に、基板に均等に圧力がかからないため、基板間隔を均等にすることが困難になる。この結果、表示ムラが生じたり、画質を低下させてしまう。

10

【 0 0 1 1 】

特に、周辺駆動回路側のシール材の段差が低くなっているため、基板張り合わせ時に、周辺駆動回路において、配線が上下間でショートしてしまう恐れがあり、線欠陥が生じ易い。これらの問題点は、周辺駆動回路一体型の液晶表示装置の歩留りの低下、信頼性の低下の新たな原因となっている。

【 0 0 1 2 】

また、画素部において、最も突出している部分は走査線と信号線とが重なっている領域であり、この領域には、走査線、信号線、これらを分離するための層間絶縁膜のみでなく、更に、画素電極、ブラックマトリクス等が積層されている。

20

一般に、シール材には基板間隔を維持するための円柱状のファイバーが混入されている。ファイバーの寸法は画素部の突出部の厚さと、シール材の内側に散布されるスペーサの寸法とを合わせて、マージンを考慮した値とされて、画素部よりシール材の段差が高くなるようにしているが、画素部の突出部上にスペーサが配置されていると、シール材よりもこの部分のほうが高くなってしまいうので、この状態で、基板を張り合わせると、スペーサにより走査線と信号線が上下間でショートされてしまい、点欠陥、線欠陥の原因となる。

30

【 0 0 1 3 】

本発明の目的は、上述の問題点を解消して、画質の優れた、信頼性の高い周辺駆動回路一体型の液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 1 4 】

上述の問題点を解消するために、本発明に係る液晶装置の構成は、マトリクス回路を有する素子基板と、該素子基板と対向する対向基板と、前記素子基板と前記対向基板とを接着するためのシール材と、を有する液晶表示装置において、前記素子基板において、前記シール材が形成される領域には、前記シール材の下部に少なくとも 1 層以上の積層構造が形成され、前記積層構造は電氣的に実質的に絶縁されていることを特徴とする。

40

【 0 0 1 5 】

また本発明の他の構成は、マトリクス状に配置され、第 1 の層間絶縁膜より層間分離された信号線と走査線と、該信号線と該走査線との交点に配置され、第 2 の層間絶縁膜により信号線と層間分離された画素電極とを有するマトリクス回路と、該マトリクス回路を制御するための周辺駆動回路とを有する素子基板と、該素子基板と対向する対向基板と、前記マトリクス回路を取り囲み、前記素子基板と前記対向基板とを接着するためのシール材と、を有する液晶表示装置において、前記素子基板において、前記シール材の形成領域には、前記シール材の下部に少なくとも走査線と同一の材料から成る第 1 の支持部材と、前記第 1 の層間絶縁膜と、信号線と同一の材料から成る第 2 の支持部材と、第 2 の層間絶縁膜とが互いに異なる層に積層構造が形成され、前記積層構造は電氣的に実質的に絶縁され

50

ていることを特徴とする。

【 0 0 1 6 】

更に、本発明に係る液晶装置の他の構成は、マトリクス状に配置され、第 1 の層間絶縁膜より層間分離された信号線と走査線と、該信号線と該走査線との交点に配置され、第 2 の層間絶縁膜により信号線と層間分離された画素電極と、画素電極を動作させるための薄膜トランジスタとを有するマトリクス回路と、該マトリクス回路を制御するための周辺駆動回路とを有する素子基板と、該素子基板と対向する対向基板と、前記マトリクス回路を取り囲み、前記素子基板と前記対向基板とを接着するためのシール材と、を有する液晶表示装置において、前記素子基板において、前記シール材の形成領域には、前記シール材の下部に少なくとも走査線と同一の材料から成る支持部材と、前記第 1 の層間絶縁膜と、第 2 の層間絶縁膜とが互いに異なる層に形成されている積層構造を有し、前記積層構造は電気的に実質的に絶縁されていることを特徴とする。

10

【発明の効果】

【 0 0 1 7 】

本発明に係る液晶表示装置において、シール材の下部に形成される基板間隔補正手段により段差を均一にすることができシール材自体の段差も均一にすることができる。また、基板間隔補正手段により、スペーサーを含んでもマトリクス回路がシール材よりも突出することがない。従って、基板張り合わせ時に、周辺駆動回路において配線が上下間でショートすることを回避することができ、周辺駆動回路一体型の液晶表示装置の歩留りを向上するとともに、信頼性をも向上することができる。さらに、基板間隔を均一に維持することができるので、表示ムラがなくなり、高精細な表示が可能になる。

20

【 0 0 1 8 】

更に、本発明の基板間隔補正手段は、マトリクス回路、周辺駆動回路と同時に、かつ工程数を増加することなく作製することが可能である。

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】実施例 1 ～ 5 の液晶表示装置の上面図である。

【図 2】実施例 1 ～ 5 の T F T の作製工程図である。

【図 3】実施例 1 のシール材下部構成の作製工程図である。

【図 4】実施例 1 のシール材下部構成の作製工程図である。

30

【図 5】図 4 の線 A - A ' における断面図であり、図 7 の線 B - B ' における断面図である。

【図 6】図 4 の線 A - A ' における断面図であり、図 8 の線 B - B ' における断面図である。

【図 7】実施例 2 の基板間隔補正手段の作製工程図である。

【図 8】実施例 2 の基板間隔補正手段の作製工程図である。

【図 9】実施例 3 の基板間隔補正手段の作製工程図である。

【図 10】図 9 の線 C - C ' における断面図である。

【図 11】図 9 の線 D - D ' における断面図である。

【図 12】実施例 4 の基板間隔補正手段の上面図である。

40

【図 13】図 12 の線 E - E ' における断面図である。

【図 14】実施例 5 の基板間隔補正手段の上面図である。

【図 15】図 14 の線 F - F ' における断面図である。

【図 16】従来例 1 の液晶表示装置の上面図である。

【図 17】従来例 2 の液晶表示装置の上面図である。

【発明を実施するための形態】

【 0 0 2 0 】

図面を使用して本発明の実施の形態を説明する。

図 1 は本実施例のアクティブマトリックス型液晶表示装置の素子基板の概略の正面図であり、周辺駆動回路 103、104 と表示部 102 が素子基板 101 上に配置されている

50

。

【 0 0 2 1 】

図 1 に示すように、紙面右側、下側において、信号線 1 0 5、走査線 1 0 6 がシール材形成領域 1 0 7 を横断しているが、周辺回路 1 0 3、1 0 4 側のシール材形成領域 1 0 7 には、これらの配線が横断していない。このため本発明において、シール材下部構造の段差を均一にする基板間隔補正手段を形成する。

【 0 0 2 2 】

図 6 は基板間隔補正手段のシール材幅方向の断面図である。図 6 に示すように、シール材形成領域には、走査線 1 0 6 と同一の材料から成る第 1 の支持部材 3 0 1、3 0 2、3 0 3 と、信号線 1 0 5 と走査線 1 0 6 とを分離する第 1 の層間絶縁膜 2 2 0、信号線 1 0 5 と同一の材料から成る第 2 の支持部材 3 0 4 とが積層されている。特に、第 1 の支持部材 3 0 1、3 0 2、3 0 3 上に、第 2 の支持部材 3 0 4 が存在しないようにしたため、シール材形成領域 1 0 7 の縁部に沿った基板間隔補正手段の断面構成を一様になるので、シール材の段差を均一にすることができる。

【 0 0 2 3 】

図 1 5 は他の基板間隔補正手段のシール材幅方向の断面図である。図 1 5 に示すように、シール材形成領域 1 0 7 には、走査線 1 0 6 と同一の材料から成る第 1 の支持部材 3 0 1、3 0 2、3 0 3 と、信号線 1 0 5 と走査線 1 0 6 とを分離する第 1 の層間絶縁膜 2 2 0、信号線 1 0 5 と同一の材料から成る第 2 の支持部材 7 0 1 とが積層されている。マトリクス回路の厚さが最大となる領域は、信号線 1 0 5 と走査線 1 0 6 とが重なる領域であり、その領域には、少なくとも、素子基板上に、信号線、層間絶縁膜、走査線、パッシベーション膜が積層されている。従って、本発明では、第 1 の支持部材 3 0 1、3 0 2、3 0 3 上と、第 2 の支持部材 7 0 1 とを重なるように配置することにより、基板間隔補正手段の段差と、マトリクス回路の厚さが最大となる領域の高さを略等しくすることができるので、シール材よりも、スペーサーを含むマトリクス回路の段差が低くなるので、基板を張り合わせる際の圧力はシール材で支えることができるため、スペーサにより走査線と信号線が上下間でショートされることを防止することができる。

なお、信号線 1 0 5 と走査線 1 0 6 とが重なる領域には、更に、画素電極、ブラックマトリクス等が積層されるため、基板間隔補正手段にも、同様に、画素電極、ブラックマトリクス等を積層するとよい。

図 4 は基板間隔補正手段の上面図であり、シール材形成領域 1 0 7 には、線状の第 1 の支持部材 3 0 1、3 0 2、3 0 3 と第 2 の支持部材 3 0 4 とが等間隔に交互に配置されている。

【 0 0 2 4 】

マトリクス回路から延長された走査線はシール材形成領域 1 0 7 を横断する領域 R 3 において、第 1 の支持部材 3 0 2 と一体的に形成され、シール材形成領域 1 0 7 の外部に延長される。他方、マトリクス回路 1 0 2 から延長された信号線 3 0 5 はシール材形成領域 1 0 7 を横断する第 1 の支持部材 3 0 3 とシール材形成領域 1 0 7 の内側で接続される。

【 0 0 2 5 】

このように、本発明では、シール材形成領域 1 0 7 を横断して電氣的に素子基板外部の回路と接続される配線パターンを第 1 の支持部材 3 0 2、3 0 3 のみで構成するようにしたため、シール材の段差をより均一にすることができる。

【 0 0 2 6 】

また、図 8 に示すように、マトリクス回路 1 0 2 又は周辺回路 1 0 3、1 0 4 からの配線がシール材形成領域 1 0 7 を横断しない領域 R 1、R 2 において、第 1 の配線層 4 0 1 を分断せずに、シール材形成領域 1 0 7 の幅と略等しく矩形波状に形成する。これにより、シール材形成領域 1 0 7 の幅方向の任意の断面構成において、第 1 の配線層が存在するため、外部から水分が侵入することを防止することができる。

【 0 0 2 7 】

また、本発明において、基板間隔補正手段は、前記画素電極を駆動する薄膜トランジス

10

20

30

40

50

タと共に形成されるようにし、第１の配線層は前記走査線と同時に形成され、前記第２の配線層は前記信号線と同時に形成される。

【００２８】

本発明を図示の実施例に基づいて、詳細に説明する。

【００２９】

図１は実施例１～５のアクティブマトリクス型液晶表示装置の素子基板の概略の正面図であり、周辺駆動回路と表示部を一体化したものである。図１に示すように、ガラス、石英等の素子基板１０１上には、画素部１０２が配置され、画素部１０２の周囲において、上側には信号線駆動回路１０３が設けられ、左側には走査線駆動回路１０４が設けられている。信号線駆動回路１０３、走査線駆動回路１０４はそれぞれ信号線１０５、走査線１０６により画素部１０２と接続され、信号線１０５、走査線１０６は画素部１０２において格子を成し、それらの交差には、それぞれ液晶セル１１１、画素ＴＦＴ１１２が直列に接続されている。画素ＴＦＴ１１２において、ゲイト電極は信号線１０５に接続され、ソース電極は走査線１０６に接続され、ドレイン電極は液晶セル１１１の電極に接続されている。

10

【００３０】

更に、画素部１０２、信号線駆動回路１０３、走査線駆動回路１０４を取り囲むようにシール材領域１０７が配置され、シール材領域１０７に形成されるシール材により、素子基板１０１と図示しない対向基板とが接合され、これらの基板間に液晶材料が封入される。

20

【００３１】

紙面右側、下側において、信号線１０５、走査線１０６はシール材形成領域１０７の外部に延長されて、パネル外部の制御回路等に接続される。更に、素子基板１０１には外部端子１０８が設けられており、配線１０９により外部端子１０８と信号線駆動回路１０３、走査線駆動回路１０４とがそれぞれ接続される。

【実施例１】

【００３２】

本実施例では、図１に示すアクティブマトリクス型の液晶表示装置において、シール材の段差を均等にするために、信号線１０５、走査線１０６の出発膜から整形された電氣的に実質的に絶縁されている配線パターン（ダミー配線構造）をシール材形成領域１０７に配置して、シール材下部の構造を均一にすることにより、シール材の段差を均一にすることを特徴とする。また、本実施例では、このような配線パターンを液晶パネルに配置されるＴＦＴと同時に作製する。

30

【００３３】

本実施例のアクティブマトリクス型の液晶パネルの作製工程について、図２～６を用いて説明する。図２にＴＦＴの作製工程を断面図で示し、図２の左側に周辺駆動回路（信号線駆動回路２０３、走査線駆動回路２０４）に配置される駆動回路ＴＦＴの作製工程を示し、右側に画素部２０２に配置される画素ＴＦＴの作製工程を示す。

【００３４】

また、図３～図６に第１層目のダミー配線３０１の作製工程図を示す。図３、図４はシール材形成領域１０７の模式的な上面図であり、図１において楕円で示す領域Ｒ１～Ｒ４の拡大図である。また、図５、図６はそれぞれ図３、図４における線Ａ－Ａ'による断面図である。

40

【００３５】

ＴＦＴを作製するには、図２（Ａ）に示すように、石英基板またはガラス基板等の基板２０１上に、下地酸化膜２０２として厚さ１０００～３０００の酸化珪素膜を形成する。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマＣＶＤ法を用いればよい。

【００３６】

次に、プラズマＣＶＤ法やＬＰＣＶＤ法によってアモルファスシリコン膜を３００～１

50

500、好ましくは500～1000 形成する。そして、500 以上、好ましくは、800～950 の温度で熱アニールをおこない、シリコン膜を結晶化させる。熱アニールによって結晶化させた後に、光アニールをおこなって、さらに結晶性を高めてもよい。また、熱アニールによる結晶化の際に、特開平6-244103、同6-244104 に記述されているように、ニッケル等のシリコンの結晶化を促進させる元素（触媒元素）を添加してもよい。

【0037】

次に結晶化されたシリコン膜をエッチングして、島状の周辺駆動回路のTFTの活性層203（Pチャネル型TFT用）、204（Nチャネル型TFT）とマトリクス回路のTFT（画素TFT）の活性層205をそれぞれ形成する。さらに、酸素雰囲気中でのスパッタ法によって、厚さ500～2000 の酸化シリコンをゲイト絶縁膜206として形成する。酸化シリコン膜の形成方法としては、プラズマCVD法を用いてもよい。プラズマCVD法によって酸化シリコン膜を形成する場合には、原料ガスとして、一酸化二窒素（ N_2O ）もしくは酸素（ O_2 ）とモンシラン（ SiH_4 ）を用いることが好ましい。

【0038】

その後、第1層目の配線の出発膜を形成する。本実施例では、厚さ2000～5 μm 、好ましくは2000～6000 の多結晶シリコン膜（導電性を高めるため微量の燐を含有する）をLP-CVD法によって基板全面に形成する。そして、これをエッチングして、ゲイト電極207、208、209を形成する。（図2（A））

【0039】

更に、本実施例では、ゲイト電極207～209を形成すると同時に、図3に示すように、シール材領域107にも第1層目の配線の出発膜をパターンニングして、配線パターンを形成する。

【0040】

走査線駆動回路側領域R1、信号線駆動回路側領域R2には、シール材形成領域107を横断するような配線パターンを形成する必要がないので、シリコン膜をパターンニングして、電氣的に接続されない、等間隔に配置された線状の第1層目のダミー配線301が形成される。

【0041】

走査線延長側領域R3には、シール材形成領域107を横断するように配線302を形成する。配線302は図1に示す走査線106に相当し、画素TFTのゲイト電極209が延長されたものである。

【0042】

また信号線延長側領域R4には、シール材形成領域107を横断するように配線303が形成される。配線303の画素部102側の端部には画素部102から延長された第2層目の配線と接続するための接続端部303aが形成される。

【0043】

なお、ダミー配線301、及び配線302、303の間隔は走査線106の間隔と同じに、即ち画素の間隔と略同一とされる。本実施例では、第1層目のダミー配線301、配線302、第1層目のダミー配線301の間隔を約50 μm とし、その幅を約10 μm とする。

【0044】

従って、図5に示すように、シール材形成領域107には、第1層目のダミー配線301、配線302、配線303が等間隔に配置されているためシール材形成領域107の断面構成を一様にすることができる。

【0045】

なお、ゲイト電極207～209、第1層目のダミー配線301、配線302、303の出発膜の材料はシリコン膜に限定されるものでなく、一般的に使用されているゲイト電極の材料を使用すればよく、例えば、シリサイドや、陽極酸化可能な材料としてアルミニウム、タンタル、クロム、モリブデン等を使用することができる。

10

20

30

40

50

【0046】

次に、図2(B)に示すように、イオンドーピング法によって、全ての島状活性層203~205に、ゲイト電極207~209をマスクとして、自己整合的にフォスフィン(PH_3)をドーピングガスとして燐を注入する。ドーピング量は $1 \times 10^{12} \sim 5 \times 10^{13}$ 原子/ cm^2 とする。この結果、弱いN型領域210、211、212が形成される。

【0047】

次に、Pチャネル型TFTの活性層203を覆うフォトレジストのマスク213を形成すると同時に、画素TFTの活性層205のうち、ゲイト電極209に平行にゲイト電極209の端から $3 \mu\text{m}$ 離れた部分までを覆うフォトレジストのマスク214を形成する。そして、再び、イオンドーピング法によって、フォスフィンをドーピングガスとして燐を注入する。ドーピング量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/ cm^2 とする。この結果、強いN型領域(ソース/ドレイン)215、216が形成される。画素TFTの活性層205の弱いN型領域212のうち、マスク214に覆われていた領域217は今回のドーピングでは燐が注入されないため、弱いN型のままとする。(図2(C))

【0048】

次に、図2(D)に示すNチャネル型TFTの活性層204、205をフォトレジストのマスク218で覆い、ジボラン(B_2H_6)をドーピングガスとして、イオンドーピング法により、島状領域103に硼素を注入する。ドーピング量は $5 \times 10^{14} \sim 8 \times 10^{15}$ 原子/ cm^2 とする。このドーピングでは、硼素のドーピング量が図2(C)における燐のドーピング量を上回るため、先に形成されていた弱いN型領域210は強いP型領域219に反転する。

【0049】

図2(B)~(D)に示すドーピング工程を経て、強いN型領域(ソース/ドレイン)215、216、強いP型領域(ソース/ドレイン)219、弱いN型領域(低濃度不純物領域)217が形成される。本実施例においては、低濃度不純物領域217の幅 x は、約 $3 \mu\text{m}$ とする。

【0050】

その後、450~850℃で0.5~3時間の熱アニールを施すことにより、ドーピングによるダメージを回復せしめ、ドーピング不純物を活性化して、シリコンの結晶性を回復させる。

【0051】

その後、図2(E)、図5に示すように、基板全面に層間絶縁物220として、プラズマCVD法によって酸化シリコン膜を厚さ3000~6000Å形成する。本実施例では層間絶縁物220の膜厚を4000Åとする。なお、層間絶縁物220は、窒化シリコン膜の単層膜、又は酸化シリコン膜と窒化シリコン膜の多層膜であってもよい。層間絶縁物220をエッチングして、ソース/ドレイン219、215、216及び、図3に示す配線303の接続端部303aに対するコンタクトホールをそれぞれ形成する。

【0052】

そして、第2層目の配線・電極の出発膜を形成する。本実施例では、スパッタ法によって、厚さ1000Åのチタン膜、厚さ2000Åのアルミニウム膜、厚さ1000Åのチタン膜を連続的に形成する。この3層膜をエッチングして、周辺回路の電極・配線221、222、223および画素TFTの電極・配線224、225を形成すると同時に、図4、図6に示すように、シール材形成領域107に電気的に接続されない第2層目のダミー配線304が形成される。なお、図6は図4の領域R1~R4における線A-A'による断面図である。

【0053】

図4に示すように、第2層目のダミー配線304は第1層目の電極・配線の出発膜(シリコン膜)から形成された第1層目のダミー配線301、配線302、配線303の間隙に均等に配置される。このため、図6に示すように、シール材形成領域107の下部構成を一様にする事ができる。なお、ダミー配線304は走査線駆動回路側R1と走査線延

10

20

30

40

50

長線側領域 R 3 とで 1 本の配線が分断されたように形成され、同様に、信号線駆動回路側領域 R 2、信号線延長側領域 R 4 とにおいても、1 本の配線が分断されたように形成される。

【 0 0 5 4 】

更に、本実施例では、図 3 に示すように、素子基板 1 0 1 外部の回路や外部端子と接続するために、シール材形成領域 1 0 7 を横断するような配線パターン（配線 3 0 2、配線 3 0 3）を第 1 層目の配線の出発膜から形成するようにして、第 2 層目の配線をシール材形成領域 1 0 7 の外部に延長しないようにして、シール材形成領域 1 0 7 の下部構造の段差がより均一になるようにしている。

【 0 0 5 5 】

10

従って、信号線延長側領域 R 4 で画素部 1 0 2 と他の回路とをパネル外部で接続するために、第 2 層目の電極・配線の出発膜（チタン／アルミニウム／チタン膜）をパターンニングする際に、配線 3 0 3 と接続端部 3 0 3 a で接続される配線 3 0 5 が形成される。配線 3 0 3、配線 3 0 5 により、画素部 1 0 2 を他の回路にパネル外部で接続することが可能になる。

【 0 0 5 6 】

なお、第 2 層目のダミー配線 3 0 4 のピッチを走査線 1 0 6 のピッチとし、即ち配線 3 0 5 のピッチと同じにして、第 2 層目のダミー配線 3 0 4 の幅を $30\mu\text{m}$ とする。第 1 層目のダミー配線 3 0 1、配線 3 0 2、配線 3 0 3 の間隔は $50\mu\text{m}$ 程度であるため、第 2 層目のダミー配線 3 0 4 の端面と、第 1 層目のダミー配線 3 0 1、配線 3 0 2、配線 3 0 3

20

端面の間隔は $10\mu\text{m}$ 程度となる。

【 0 0 5 7 】

そして、第 2 層目の電極・配線の出発膜（チタン／アルミニウム／チタン膜）をパターンニングした後に、図 2（E）、図 6 に示すように、プラズマ CVD 法によって、厚さ $1000\sim3000$ の窒化シリコン膜をパッシベーション膜 2 2 7 として形成する。

【 0 0 5 8 】

図 6 に示すように、シール材形成領域 1 0 7 において、層間絶縁膜 2 2 0 上に、第 2 層目のダミー配線 3 0 4 が第 1 層目のダミー配線 3 0 1、配線 3 0 2、3 0 3 が形成されていない領域に等間隔に配置されることにより、図 4 における線 A - A' による断面構成、即ちシール材形成領域 1 0 7 の外周に沿った断面構成を同一にすることができる。そして、第 2 層目のダミー配線 3 0 4 の表面にパッシベーション膜 2 2 7 を形成することにより、シール材形成領域 1 0 7 の表面を平坦化することができる。

30

【 0 0 5 9 】

なお、シール材形成領域 1 0 7 の外周に沿った断面構成を同一にするためには、第 1 層目の電極・配線の出発膜から形成されたダミー配線 3 0 1、配線 3 0 2、配線 3 0 3 のみを配置してもよいが、これらの配線 3 0 1～3 0 3 の間隔が約 $50\mu\text{m}$ であるのに対して、その幅が約 $10\mu\text{m}$ と小さく、その強度を補償できないため、第 2 層目のダミー配線 3 0 4 を形成して、シール材の下部構成を補強する。

【 0 0 6 0 】

40

更に、本実施例では、シール材形成領域 1 0 7 の下部構造の段差を均一するためには、第 2 層目のダミー配線 3 0 4 が第 1 層目のダミー配線 3 0 1、配線 3 0 2、配線 3 0 3 と重ならないようにすることが重要になる。端面の間隔が $10\mu\text{m}$ 程度であれば、マスクのアライメント等の誤差を考慮しても、第 2 層目のダミー配線 3 0 4 が第 1 層目のダミー配線 3 0 1、配線 3 0 2、配線 3 0 3 とが重なることを回避することができる。

【 0 0 6 1 】

本実施例では、ダミー配線 3 0 1、3 0 4 をシール材形成領域 1 0 7 の幅よりも長く成るように形成したが、ダミー配線 3 0 1、3 0 4 がシール材形成領域 1 0 7 から突出しないように形成してもよい。

【 0 0 6 2 】

50

なお、外部端子 108 と接続される配線パターン 109 の構成は信号線延長側領域 R4 に配置された配線 301, 305 構成と同一にすればよい。第 1 層目の配線の出発膜からシール材形成領域を横断する配線パターンを形成する。そして、第 2 層目の配線の出発膜から第 1 層目の配線パターンと接続する配線パターンを形成して、信号線駆動回路 103 と走査線駆動回路 104 と、外部端子 109 とが接続されるようにすればよい。

【0063】

パッシベーション膜 227 をエッチングして、画素 TFT の電極 225 に達するコンタクトホールを形成する。最後に、スパッタ法で成膜した厚さ 500 ~ 1500 の ITO (インディウム錫酸化物) 膜をエッチングして、画素電極 228 を形成する。このようにして、周辺論理回路とアクティブマトリクス回路を一体化して形成する。(図 2 (E))

10

【0064】

以下に、アクティブマトリクス型液晶表示パネルの組立工程を説明する。

図 2 ~ 図 6 に示す工程により得られた TFT 基板 101 と、カラーフィルタ基板とをそれぞれ表面処理に用いられたエッチング液レジスト剥離液等の各種薬品を十分に洗浄する。

【0065】

次に配向膜をカラーフィルタ基板及び TFT 基板に付着させる。配向膜はある一定の溝が刻まれ、その溝に沿って液晶分子が均一に配列する。配向膜材料にはブチルセルソルブか n - メチルピロリドンといった溶媒に、溶媒の約 10 重量 % のポリイミドを溶解したものをを用いる。これをポリイミドワニスと呼ぶ。ポリイミドワニスはフレキソ印刷装置によって印刷する。

20

【0066】

そして、TFT 基板・カラーフィルタ基板の両基板に付着した配向膜を加熱・硬化させる。これをベークと呼ぶ。ベークは最高使用温度約 300 の熱風を送り加熱し、ポリイミドワニスを焼成・硬化させるものである。

【0067】

次に、配向膜の付着したガラス基板表面を毛足の長さ 2 ~ 3 mm のパフ布 (レイヨン・ナイロン等の繊維) で一定方向に擦り、微細な溝を作るラビング工程を行う。

【0068】

そして、TFT 基板もしくはカラーフィルタ基板のいずれかに、ポリマー系・ガラス系・シリカ系等の球のスペーサを散布する。スペーサ散布の方式としては純水・アルコール等の溶媒にスペーサを混ぜ、ガラス基板上に散布するウェット方式と、溶媒を一切使用せずスペーサを散布するドライ方式がある。

30

【0069】

その次に、TFT 基板 101 の外枠に封止材を塗布する。封止材塗布には、TFT 基板とカラーフィルタ基板を接着する役割と注入する液晶材が外部に流出するのを防ぐ目的がある。封止材の材料は、エポキシ樹脂とフェノール硬化剤をエチルセルソルブの溶媒に溶かしたものが使用される。封止材塗布後に 2 枚のガラス基板の貼り合わせを行う。方法は約 160 の高温プレスによって、約 3 時間で封止材を硬化する加熱硬化方式をとる。

【0070】

素子基板とカラーフィルタ基板を貼り合わせたアクティブマトリクス型液晶表示デバイスの液晶注入口より液晶材を入れて、液晶材注入後エポキシ系樹脂で液晶注入口を封止する。以上のようにして、アクティブマトリクス型液晶表示デバイスが組み立てられる。

40

【実施例 2】

【0071】

本実施例は実施例 1 の変形例であり、図 1 に示す液晶パネルにおいて、シール材形成領域 107 の配線が横断しない領域の第 1 層目のダミー配線に関するものである。

【0072】

実施例 1 では、線状の第 1 層目のダミー配線 301 と、線状の第 2 層目のダミー配線 304 を交互に配置するようにしたため、パターンニングは容易であるが、シール材形成領域

50

１０７を横断するように配線パターンが配置されているため、配線と層間絶縁膜２２０、パッシベーション膜２２７との界面から水分が侵入しやすい。本実施例では、シール材形成領域１０７において、図４に示す配線３０２、３０３のように、画素部１０２、駆動回路１０３、１０４をシール材外部の回路に電氣的に接続するための配線が横断しない領域には、第１層目のダミー配線３０１を分断しないで形成することにより、外部から水分が侵入することを防止する。

【００７３】

図７、図８は本実施例のシール材下部構成の作製工程図であり、図７、図８はシール材形成領域１０７の模式的な上面図であり、図１において楕円で示す領域Ｒ１～Ｒ４の拡大図である。

10

【００７４】

本実施例において、ダミー配線は実施例１と同様にＴＦＴと同時に作製される。また、電氣的に接続される配線がシール材形成領域１０７を横断するような領域、即ち走査線延長側領域Ｒ３、信号線延長側領域Ｒ４、及び外部端子１０８に接続される配線パターン１０９は実施例１と同一の構成とする。以下、シール材形成領域１０７に電氣的に接続されない第１層目のダミー配線４０１の作製工程を図７、図８に従って説明する。

【００７５】

第１層目の電極・配線となるアルミニウム膜等の出発膜を例えば３０００の厚さに成膜する。図７に示すように、この出発膜をパターンングして、ＴＦＴのゲイト電極・配線を形成すると共に、走査線駆動回路側領域Ｒ１、信号線駆動回路側領域Ｒ２には矩形波状の第１層目のダミー配線４０１を形成する。走査線駆動回路側領域Ｒ１、信号線駆動回路側領域Ｒ２において、第１層目のダミー配線４０１のピッチＰ１、Ｐ２は走査線１０６、信号線１０５のピッチと等しくなるようにし、本実施例では約５０μｍとし、第１層目のダミー配線４０１の幅を１０μｍとする。又、第１層目のダミー配線４０１はシール材形成領域１０７から突出しないようにする。

20

【００７６】

図７の線Ｂ－Ｂ'による断面図は図５に対応する。図５に示すように、本実施例では、図５に示すように、シール材形成領域１０７には、第１層目のダミー配線４０１を配線３０２、配線３０３を等間隔に配置したため、シール材形成領域１０７の断面構成を一様にする事ができる。

30

【００７７】

この状態で、シール材形成領域１０７の外周に沿った断面構成を同一にすることができるが、１層目の配線の出発膜から形成された第１層目のダミー配線４０１は間隔が約５０μｍに対して、その幅が約１０μｍと小さく、その強度を補償できないため、層間絶縁物２２０上にダミー配線４０２を形成して、シール材の下部構成を補強する。

【００７８】

層間絶縁物２２０を約４０００の厚さに形成した後に、チタン膜やチタンとアルミの積層膜等を第２層目の電極・配線の出発膜として、４０００の厚さに形成する。この出発膜をパターンングして、ＴＦＴのソース・ドレイン電極・配線を形成すると共に、図８に示すように、線状の第２層目のダミー配線４０２を等間隔に形成する。第２層目のダミー配線４０２は第１層目のダミー配線４０１が形成されていない領域を埋める様に、かつ第１層目のダミー配線４０１と重ならないように形成される。その後、第２層目の電極・配線の出発膜（チタン／アルミニウム／チタン膜）をパターンングした後に、厚さ１０００～３０００の窒化シリコン膜をパッシベーション膜２２７として形成する。なお、図８における線Ｂ－Ｂ'による断面図は図６に対応する。

40

【００７９】

図８に示すように、本実施例では、シール材形成領域１０７において、層間絶縁膜２２０上に、第２層目のダミー配線４０２を第１層目のダミー配線４０１が形成されていない領域に、等間隔に配置することにより、図６に示すようにシール材形成領域１０７の外周に沿った断面構成を同一にすることができる。更に、第２層目のダミー配線３０４の表面

50

にパッシベーション膜 227 を形成することにより、シール材形成領域 107 の表面を平坦化することができる。

【0080】

特に、シール材形成領域 107 の下部構造の段差を均一にするためには、第 2 層目のダミー配線 402 が第 1 層目のダミー配線 401 と重ならないようにすることが重要になる。端面の間隔が 10 μm 程度であれば、マスクのアライメント等の誤差を考慮しても、ダミー配線 401 と 402 とが重なることを回避することができる。

【0081】

本実施例では、シール材形成領域 107 において、配線が横断しない領域に、具体的には領域 R1、R2 に、分断されないダミー配線 401 を形成したため、シール材形成領域 107 を横断する断面構成（線 B - B' に直交する線に沿った断面構成）において、ダミー配線 401 が必ず存在するため、外部からの水分の侵入を防止することが可能になる。

【実施例 3】

【0082】

本実施例は実施例 1 の第 1 層目の配線パターンの変形例であり、シール材形成領域 107 に配線パターンを 1 層のみ配置するようにしている。

実施例 1 では、第 1 層目のダミー配線 301、第 2 層目のダミー配線 304 を交互に配置するようにしたため、パターンニングは容易であるが、図 6 の断面図に示すように、第 1 層目のダミー配線 301、第 2 層目のダミー配線 304 と層間絶縁膜 220、パッシベーション膜 227 との界面から水分が侵入しやすい。本実施例は水分の侵入を防止するために、シール材形成領域 107 における第 1 層目の配線の形状を工夫したものである。

【0083】

図 9 は本実施例のシール材形成領域 107 の上面図であり、走査線駆動回路側領域 R1、信号線駆動回路側領域 R2 付近の拡大図を示す。図 10 は図 9 における点線 C - C' による断面図であり、図 11 は図 9 における点線 D - D' による断面図である。また、本実施例のシール材の下部のダミー配線は実施例 1 と同様に TFT と同時に作製される。

【0084】

第 1 層目の電極・配線となる出発膜をアルミニウム膜等により例えば 3000 の厚さに成膜する。この出発膜をパターンニングして、TFT のゲイト電極・配線が形成されると共に、図 9 に示すように、電気的に接続されないダミー配線 501 が形成される。その表面に、図 10、図 11 に示すように、TFT の作製工程に従って、層間絶縁物 220、パッシベーション膜 227 が順次に積層される。なお、実施例 1、2 と同様に、層間絶縁膜 220 上に、第 2 の電極・配線の出発膜からなる配線パターンを、ダミー配線 501 と重ならないように形成してもよい。

【0085】

また、ダミー配線 501 のシール材形成領域 107 外縁側には、ダミー配線 501 の長手方向に対して直交する分岐 501a 等間隔に形成される。これらの分岐 501a は隣合うダミー配線 501 の分岐 501a と互い違いに形成されて、ダミー配線 501 の隙間を埋めるように配置される。従って、シール材形成領域 107 を横断する任意の断面構成（線 C - C' に直交する線に沿った断面構成）

において、ダミー配線 501 が必ず存在するため、外部からの水分の侵入を防止することが可能になる。

【0086】

外部からの水分の侵入を防止するには、シール材形成領域 107 の幅 W は数 mm 程度であるため、分岐 501a が形成される領域の長さ L は 100 μm ~ 500 μm 程度にすればよい。また、ダミー配線 501 のピッチは画素のピッチと同一にし、且つ分岐 501a が形成されている部分において、隣合うダミー配線 501 の端面の間隔の最小値は、配線間でショートすることを防止するためには、5 ~ 10 μm 程度にすることが好ましい。

【0087】

なお、本実施例では、走査線駆動回路側領域 R1、信号線駆動回路側領域 R2 に形成さ

10

20

30

40

50

れるダミー配線 501 のみについて説明したが、走査線延長側領域 R3 には、ダミー配線 501 をシール材形成領域 107 を横断して画素側及び基板外側それぞれ延長して形成する。また、信号線延長側領域 R4 には、ダミー配線 501 を基板外側に延長するようして、画素側には図 3 に示す配線 303 のように接続端部を形成すればよい。

【0088】

この結果、シール材形成領域 107 の外縁部側に分岐 501a を有する配線パターンが均一に配置されるために、図 1 に示すシール材形成領域 107 に配置されるシール材の下部構成を紙面において左右、上下に対称にすることができるため、基板張り合わせ時に基板に均等に圧力をかけることができる。

【0089】

なお、実施例 1～3 において、シール材形成領域 107 に配置された基板間隔補正手段の最上層をパッシベーション膜 227 としたが、その表面に、さらに、画素電極 228、ブラックマトリクス等を画素部 102 の作製工程に従って形成してもよい。

【実施例 4】

【0090】

実施例 1、2 においては、シール材の下部構成を均一に配置するようにするため、シール材形成領域において、第 1 層目の配線の端面と第 2 層目の配線の端面とが重ならないようにしている。本実施例では、第 1 層目の配線の端面と第 2 層目の配線の端面とを重ねて、シール材と画素部との段差が小さくなるようにする。図 12 は本実施例の基板間隔補正手段の上面図であり、走査線駆動回路側、又は信号線駆動回路側の領域のみを図示している。また、図 13 は図 12 の線 E-E' における断面図である。

【0091】

本実施例は図 4、図 6 に示す実施例 1 の第 2 層目のダミー配線 304 の変形例であり、先ず、シール材形成領域には、走査線 602 の出発膜により線状の第 1 層目のダミー配線を形成する。そして、層間絶縁物 220 を形成した後に、信号線 603 の出発膜をパターンニングして、第 2 層目のダミー配線 601 を形成する。ダミー配線 601 は第 1 層目のダミー配線 301 と重なるように、かつダミー配線 301 が形成されていない領域を埋める様に等間隔に形成される。

【0092】

これにより、シール材の下部構成を均一にすることができるので、基板の張り合わせ時に、シール材に均等に圧力をかけることができる。更に、走査線 602 と信号線 603 とが重なっている部分と略同じ段差を有する凸部が、シール材形成領域に等間隔に配置されている。従って、基板張り合わせの圧力をシール形成領域の凸部で支持されるので、スペーサにより、走査線 602 と信号線 603 とが上下間でショートすることを防止することができる。

【0093】

なお、本実施例では、第 2 層目のダミー配線 601 をシール材形成領域 107 の幅よりも短くしたが、シール材形成領域 107 の幅よりも長くしてもよい。

【実施例 5】

【0094】

本実施例では、実施例 4 と同様に、第 1 層目の配線の端面と第 2 層目の配線の端面とを重ねて、シール材と画素部との段差が小さくなるようにする。図 14 は本実施例の基板間隔補正手段の上面図であり、走査線駆動回路側、又は信号線駆動回路側の領域のみを図示している。また、図 15 は図 14 の線 F-F' における断面図である。

【0095】

本実施例は図 8 に示す実施例 2 の第 2 層目のダミー配線 401 の変形例であり、先ず、シール材形成領域には、走査線 702 の出発膜により線状の第 1 層目のダミー配線を形成する。そして、層間絶縁物 220 を形成した後に、信号線 703 の出発膜をパターンニングして、第 2 層目のダミー配線 701 を形成し、その表面にパッシベーション膜 227 を形成する。ダミー配線 701 は第 1 層目のダミー配線 401 と重なるように、かつダミー配

10

20

30

40

50

線 4 0 1 が形成されていない領域を埋める様に等間隔に形成される。これにより、シール材の下部構成を均一にすることができるので、基板の張り合わせ時に、シール材に均等に圧力をかけることができる。更に、走査線 6 0 2 と信号線 6 0 3 とが重なっている部分と略同じ段差を有する凸部が、シール材形成領域に等間隔に配置されている。従って、基板張り合わせの圧力をシール形成領域の凸部で支持されるので、スペーサにより、走査線 6 0 7 と信号線 7 0 3 とが上下間でショートすることを防止することができる。

【 0 0 9 6 】

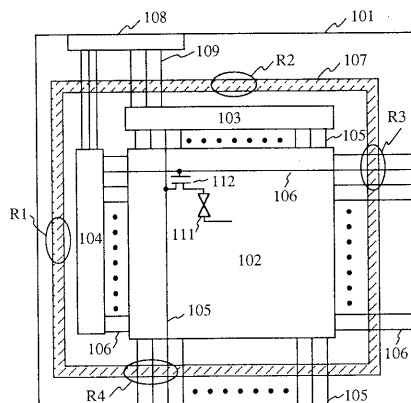
なお、実施例 4、5 において、シール材形成領域 107 に配置された基板間隔補正手段の最上層をパッシベーション膜 227 としたが、その表面に、さらに、画素電極 228、ブラックマトリクス等を画素部 102 の作製工程に従って、形成してもよい。これにより、基板補正手段の段差と画素部の段差をより等しくすることができる。

【符号の説明】

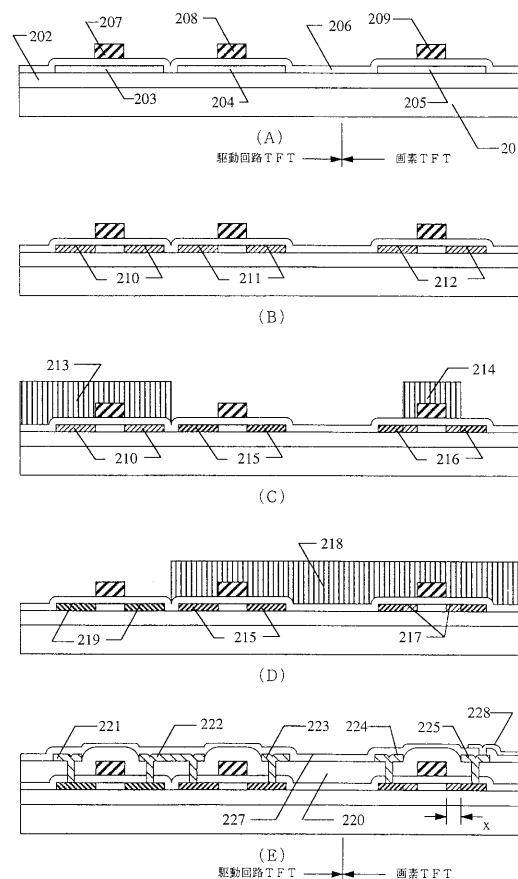
【 0 0 9 7 】

1 0 1	素子基板
1 0 2	画素部
1 0 3	信号線駆動回路
1 0 4	走査線駆動回路
1 0 5	信号線
1 0 6	走査線
1 0 7	シール材形成領域
3 0 1、4 0 1	第1層目のダミー配線
3 0 2、3 0 3、3 0 5	配線
3 0 4、4 0 2	第2層目のダミー配線
5 0 1	ダミー配線

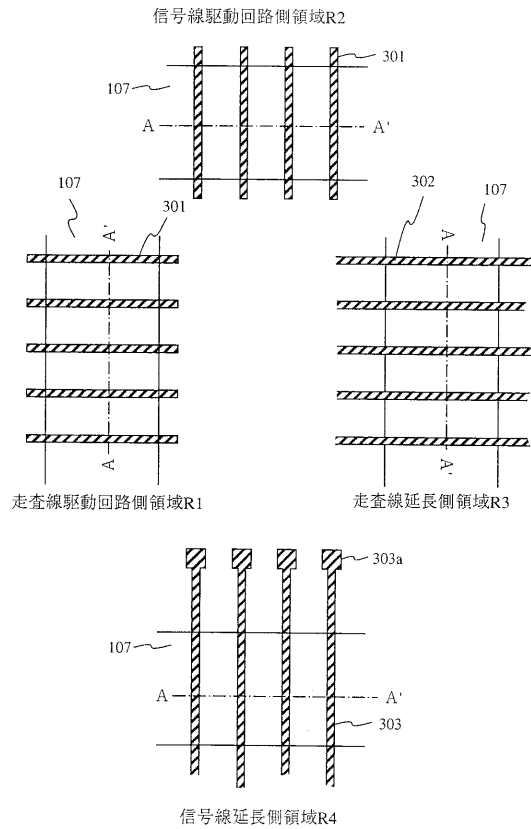
【 図 1 】



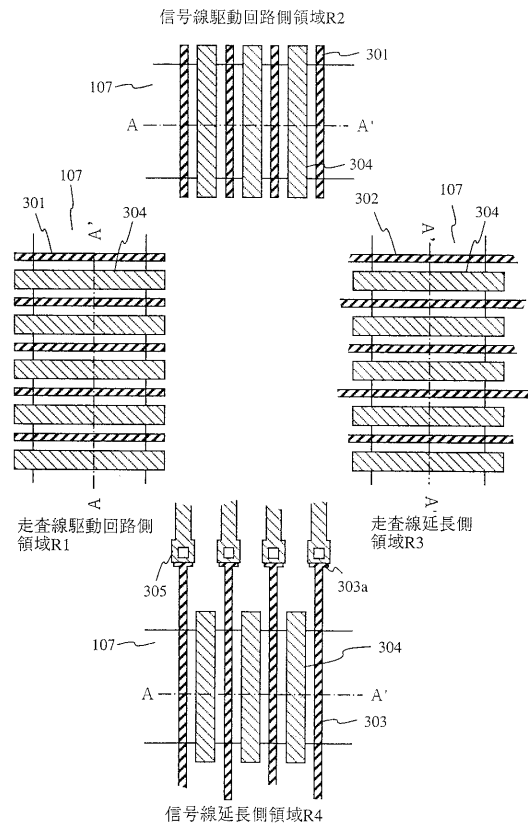
【圖 2】



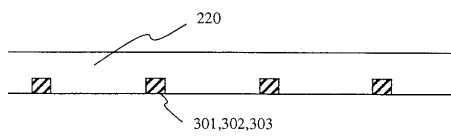
【図 3】



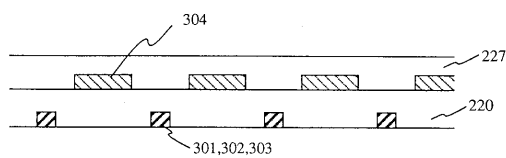
【図 4】



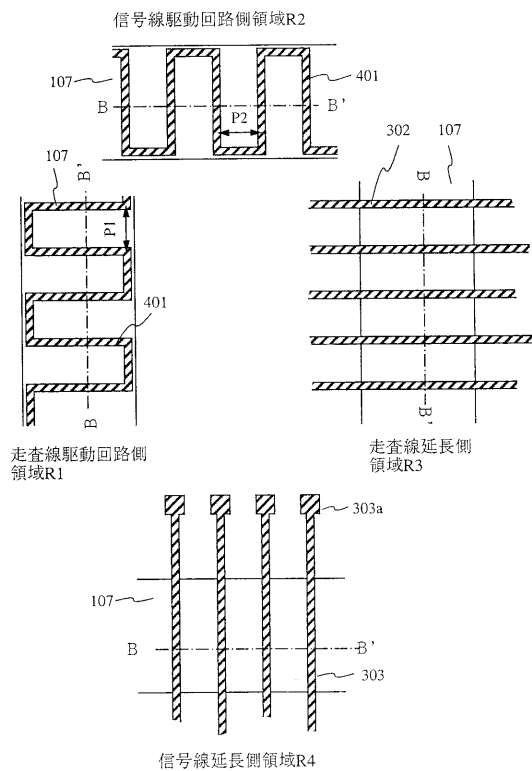
【図 5】



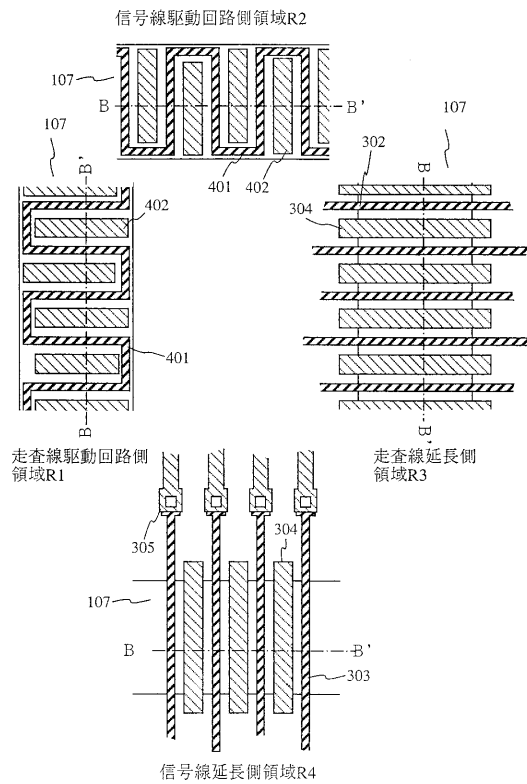
【図 6】



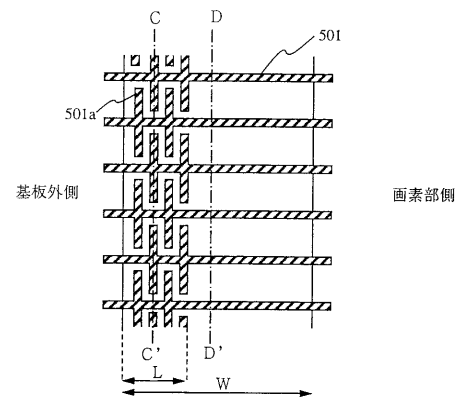
【図 7】



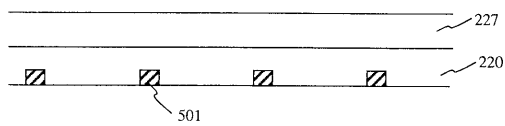
【図 8】



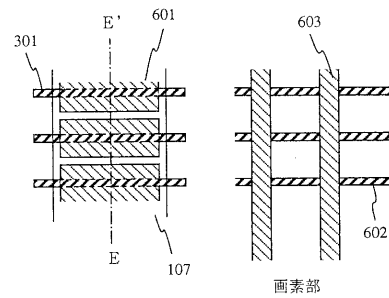
【図 9】



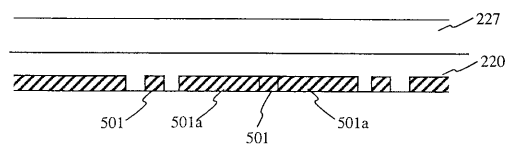
【図 10】



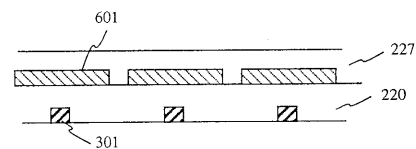
【図 12】



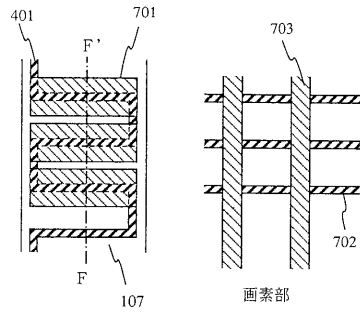
【図 11】



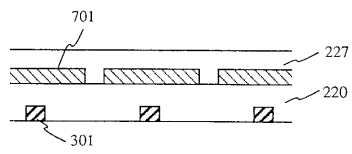
【図 13】



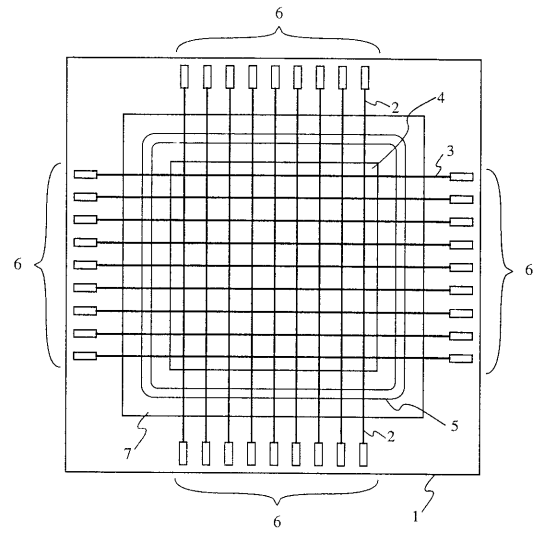
【図 14】



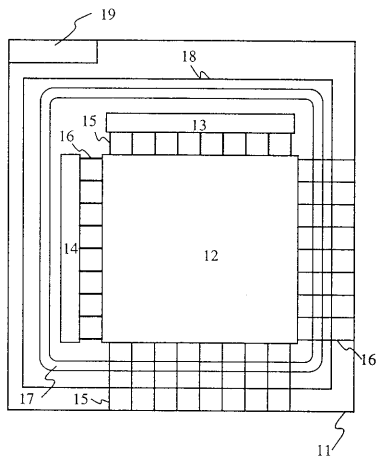
【図 15】



【図 16】



【図 17】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 4 5
G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 3 9

专利名称(译)	液晶表示装置		
公开(公告)号	JP5194162B2	公开(公告)日	2013-05-08
申请号	JP2011247316	申请日	2011-11-11
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	張宏勇		
发明人	張 宏勇		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/1339		
FI分类号	G02F1/1345 G02F1/1368 G02F1/1339.505 G02F1/1343		
F-TERM分类号	2H092/GA35 2H092/GA59 2H092/GA61 2H092/JA25 2H092/JA46 2H092/JB23 2H092/JB32 2H092/JB57 2H092/JB58 2H092/KA04 2H092/NA16 2H092/NA19 2H092/NA29 2H092/PA03 2H092/PA04 2H189/DA05 2H189/DA34 2H189/FA65 2H189/GA53 2H189/HA01 2H189/HA14 2H189/LA03 2H189/LA06 2H189/LA10 2H192/AA24 2H192/BC31 2H192/CB02 2H192/EA72 2H192/FA39 2H192/FB02 2H192/GD25		
其他公开文献	JP2012027510A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过消除密封材料上的水平差异来提高液晶的产量和可靠性。解决方案：液晶显示装置包括元件基板，包括为元件基板提供的薄膜晶体管的像素部分，用于围绕元件基板的像素部分的密封材料，设置在元件基板的密封材料内部的单侧驱动方法的外围驱动电路，设置在密封材料下方并连接到外围驱动器的第一布线和第二布线电路，支撑构件，设置用于面对密封材料下方的第一布线和第二布线中的每一个并且与第一布线和第二布线电绝缘的区域，以及设置为与支撑构件部分重叠的黑矩阵。支撑构件和第一布线由相同的材料制成。

