

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5049400号
(P5049400)

(45) 発行日 平成24年10月17日 (2012.10.17)

(24) 登録日 平成24年7月27日 (2012.7.27)

(51) Int. Cl.	F I
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/133 (2006.01)	GO2F 1/133 550

請求項の数 7 (全 30 頁)

(21) 出願番号	特願2011-137005 (P2011-137005)	(73) 特許権者	390019839
(22) 出願日	平成23年6月21日 (2011.6.21)		三星電子株式会社
(62) 分割の表示	特願2008-312650 (P2008-312650) の分割		Samsung Electronics Co., Ltd.
原出願日	平成14年9月6日 (2002.9.6)		大韓民国京畿道水原市靈通区三星路129
(65) 公開番号	特開2011-180622 (P2011-180622A)		129, Samsung-ro, Yeon
(43) 公開日	平成23年9月15日 (2011.9.15)		gtong-gu, Suwon-si, G
審査請求日	平成23年6月21日 (2011.6.21)		yeonggi-do, Republic
(31) 優先権主張番号	2001-71153		of Korea
(32) 優先日	平成13年11月15日 (2001.11.15)	(74) 代理人	100121382
(33) 優先権主張国	韓国 (KR)		弁理士 山下 託嗣
(31) 優先権主張番号	2002-01856	(74) 代理人	100094145
(32) 優先日	平成14年1月12日 (2002.1.12)		弁理士 小野 由己男
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100106367
			弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 オンガラスシングルチップ液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

表示領域及び前記表示領域の周辺領域を含む第1基板と、

前記第1基板と対面する第2基板及び前記第1及び第2基板間に封入される液晶を含む
液晶表示装置において、

前記第1基板は、

前記表示領域にマトリックス状に提供される複数のスイッチング素子と、

前記表示領域にマトリックス状に提供され、前記複数のスイッチング素子のうち、対応
するスイッチング素子の第1電流電極に連結される複数の画素電極と、前記複数のスイッチング素子のうちの各ロー方向のスイッチング素子の制御電極に共通
に連結される複数のゲートラインと、前記複数のスイッチング素子のうちの各コラム方向のスイッチング素子の第2電流電極
に共通に連結される複数のデータラインと、前記複数のデータラインの一端が延びた周辺領域に集積され、ブロック単位のアナログ
駆動信号を入力し、前記複数のデータラインの各ラインブロックを選択し、選択されたラ
インブロックのデータラインに前記ブロック単位のアナログ駆動信号をスイッチングする
ためのラインブロック選択回路と、前記ラインブロック選択回路が形成された周辺領域に取付けられ、外部映像データ及び
外部制御信号を入力して前記複数のゲートラインのうちの奇数番目ラインに第1ゲート駆
動信号を提供し、前記複数のゲートラインのうちの偶数番目ラインに第2ゲート駆動信号

10

20

を提供し、前記ラインブロック選択回路にラインブロック選択信号及びブロック単位のアナログ駆動信号を出力するための統合駆動チップとを備え、

前記統合駆動チップは、

前記奇数番目ラインに前記第 1 ゲート駆動信号を提供する第 1 ゲート駆動部と、

前記偶数番目ラインに前記第 2 ゲート駆動信号を提供する第 2 ゲート駆動部と、を含むことを特徴とするオンガラスシングルチップ液晶表示装置。

【請求項 2】

前記統合駆動チップは、

前記外部映像データ及び外部制御信号の入力をインターフェイシングするためのインターフェース部と、

前記外部映像データを貯蔵するためのメモリ部と、

前記メモリ部から読出されたブロック単位の映像データを入力してブロック単位のアナログ駆動信号を出力するためのソース駆動部と、

第 1 駆動制御信号、第 2 駆動制御信号及びラインブロック選択信号のレベルをシフティングして出力するためのレベルシフト部と、

前記インターフェース部を通じて入力された前記外部制御信号に応答し、前記外部映像データを前記メモリ部に貯蔵し、前記第 1、第 2 駆動制御信号及びラインブロック選択信号を生成して前記レベルシフト部に提供し、前記メモリ部に貯蔵された映像データをブロック単位に読出して前記ソース駆動部に提供するコントローラ部をさらに備える、請求項 1 に記載のオンガラスシングルチップ液晶表示装置。

【請求項 3】

前記統合駆動チップの第 1 ゲート駆動信号出力端子は、前記複数のゲートラインの一端が延びた前記周辺領域で前記複数のゲートラインのうちの奇数番目ゲートラインと連結される、請求項 2 に記載のオンガラスシングルチップ液晶表示装置。

【請求項 4】

前記統合駆動チップの第 2 ゲート駆動信号出力端子は、前記複数のゲートラインの他端が延びた前記周辺領域で、前記複数のゲートラインのうちの偶数番目ゲートラインと連結される、請求項 2 に記載のオンガラスシングルチップ液晶表示装置。

【請求項 5】

前記統合駆動チップは、

共通電圧を発生して前記液晶表示パネル上に形成された共通電極ラインに提供するための共通電圧発生部と、

外部から電圧の供給を受けて前記外部電圧のレベルアップ又はダウンさせ、前記コントローラ部、レベルシフト部、ソース駆動部及び共通電圧発生部に提供するための DC / DC コンバータをさらに含む、請求項 2 に記載のオンガラスシングルチップ液晶表示装置。

【請求項 6】

前記複数のスイッチング素子のうち、水平方向に隣接する 2 つのスイッチング素子は、1 つのデータラインを共有することを特徴とする請求項 1 に記載のオンガラスシングルチップ液晶表示装置。

【請求項 7】

前記駆動制御信号は、開始信号、第 1 クロック信号及び第 2 クロック信号を含むことを特徴とする請求項 1 に記載のオンガラスシングルチップ液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関するものであり、より詳細には、不良率を減少させ、さらに全体サイズまで減少させることができるオンガラスシングルチップを有する液晶表示装置液晶に関するものである。

【背景技術】

【0002】

10

20

30

40

50

最近、情報処理機器は多様な形態、多様な機能、より高速の情報処理速度を有するように急速に発展している。このような情報処理装置で処理される情報は電気信号の形態を有する。使用者が情報処理装置で処理された情報を目で確認するためにはインターフェース機能を有するディスプレイ装置を必要とする。

【 0 0 0 3 】

最近、情報処理機器は多様な形態、多様な機能、より高速の情報処理速度を有するように急速に発展している。このような情報処理装置で処理される情報は電気信号の形態を有する。使用者が情報処理装置で処理された情報を目で確認するためにはインターフェース機能を有するディスプレイ装置を必要とする。

【 0 0 0 4 】

最近、C R T方式のディスプレイ装置に比べて、軽量、小形でありながら、フル - カラー、高解像度化などの機能を有する液晶表示装置の開発が進んでいる。

【 0 0 0 5 】

この液晶表示装置のうち、二枚の基板に各々電極が形成され、各電極に印加される電圧をスイッチングするための薄膜トランジスタを備える装置が主に使用される。このように、薄膜トランジスタを使用する液晶表示装置は非結晶形と多結晶形に区分される。

【 0 0 0 6 】

多結晶形液晶表示装置は、素子動作を高速化することができ、素子の低電力駆動が可能であるという長所があり、一方、薄膜トランジスタの製造工程が複雑であるという短所がある。従って、多結晶形液晶表示装置は小形ディスプレイ装置に主に適用され、非結晶形液晶表示装置は主にノートブック、P C、L C Dモニター、H D T Vなどの大画面ディスプレイ装置に適用される。

【 0 0 0 7 】

図 1 は従来の非結晶形液晶表示装置を示す平面図である。

【 0 0 0 8 】

図 1 に示すように、非結晶形液晶表示装置 5 0 は画素アレイが形成された液晶表示パネル 1 0、液晶表示パネル 1 0 に駆動信号を提供するための駆動印刷回路基板 3 6、4 2 及び液晶表示パネル 1 0 と駆動印刷回路基板 3 6、4 2 を電気的に連結するためのテープキャリアパッケージ (T a p e C a r r i e r P a c k a g e ; 以下、T C P と称する) 3 2、3 8 を備える。

【 0 0 0 9 】

駆動印刷回路基板 3 6、4 2 は液晶表示パネル 1 0 に形成された複数のデータラインを駆動するためのデータ印刷回路基板 3 6 と液晶表示パネル 1 0 に形成された複数のゲートラインを駆動するためのゲート印刷回路基板 4 2 を含む。一方、データ印刷回路基板 3 6 はデータ側 T C P 3 2 により複数のデータライン端子部と連結され、ゲート印刷回路基板 4 2 はゲート側 T C P 3 8 により前記複数のゲートライン端子部と連結される。

【 0 0 1 0 】

この時、データ側 T C P 3 2 上にチップオンフィルム (C h i p O n F i l m ; 以下、C O F と称する) 方式にデータ駆動チップ 3 4 が形成され、ゲート側可撓性回路基板 3 8 上に C O F 方式にゲート駆動チップ 4 0 が形成される。

【 0 0 1 1 】

最近、非結晶形液晶表示装置でも多結晶形液晶表示装置のように液晶表示パネルのガラス基板上にデータ駆動回路及びゲート駆動回路を形成することにより、組立工程数を減少しようとする技術開発が進んでいる。

【 0 0 1 2 】

図 2 はゲート及びデータ駆動回路がパネル内に内蔵された非結晶形液晶表示装置を示す平面図である。

【 0 0 1 3 】

図 2 に示すように、非結晶形液晶表示装置 9 0 は画素アレイが形成された表示領域 6 0 a 及び表示領域の周辺領域 6 0 b を有するガラス基板 6 0 を備える。周辺領域 6 0 b には

10

20

30

40

50

複数のデータ駆動チップ 6 1 及びゲート駆動チップ 6 2 が形成される。この時、複数のデータ駆動チップ 6 1 の出力端子は複数のデータラインに連結され、複数のゲート駆動チップ 6 2 の出力端子は複数のゲートラインに連結される。データ駆動チップ 6 1 及びゲート駆動チップ 6 2 の入力端子は可撓性印刷回路基板 7 0 を通じて統合印刷回路基板（図示せず）と連結される。

【 0 0 1 4 】

一方、可撓性回路基板 7 0 にはデータ駆動チップ 6 1 及びゲート駆動チップ 6 2 にタイミング信号及び映像データ信号を提供するためのコントロール駆動チップ 7 1 及び共通電圧を発生する共通電圧発生チップ 7 2 が装着される。

【 0 0 1 5 】

10

このように、ガラス基板 6 0 内にデータ駆動チップ 6 1 及びゲート駆動チップ 6 2 を装着する構造は製造費用を低下させ、駆動回路の一体化により電力損失を最少化することができる。

【 0 0 1 6 】

しかし、いろいろな駆動チップをガラス基板 6 0 上に装着すると、次のような問題点が発生される。

【 0 0 1 7 】

第一に、ガラス基板に多数個のチップを装着すると、不良率もチップの個数ほど増加される。即ち、チップ一つにのみ不良が発生されても液晶表示モジュール全体が不良処理されるために、収率が低下され、また、不良率が上昇するとともに工程時間も長くなるために、生産性が低下される。

20

【 0 0 1 8 】

第二に、機構的な側面でガラス基板に多数個のチップを装着すると、液晶表示パネルの大きさが全体的に増加される。即ち、チップの個数が増加すると、ガラス基板に形成されるパターンの数が増加され、パターンの形成空間を確保するためには、液晶表示パネルの大きさが大きくなるしかない。これにより、サイズが限定された液晶表示パネルで高解像度を具現することが不可能である。

【 0 0 1 9 】

第三に、チップは液晶表示パネルの一部領域にのみ装着されるために、液晶表示パネルの構造が左右対称型がされなくて一側に偏る。従って、液晶表示装置の大きさがさらに大きくなる。

30

【 0 0 2 0 】

第四に、画面特性の面で、ガラス基板に装着されるチップの接触抵抗により画質の均一性が低下される。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 1 】

本発明の第 1 目的は、チップを装着するに所要される工程時間及び不良率を減少させることができ、さらに全体的なサイズを減少させることができるオンガラスシングルチップ液晶表示装置を提供することにある。

40

【 0 0 2 2 】

また、本発明の第 2 目的は、統合駆動チップのチャンネルの端子とデータラインと互換性を確保することができるオンガラスシングルチップ液晶表示装置を提供することにある。

【 0 0 2 3 】

また、本発明の第 3 目的は、表示領域の左右対称的な配置が可能であり、基板上でゲート駆動回路の十分な形成空間を確保することができるので、高い垂直解像度を有する装置にも適用可能であるオンガラスシングルチップ液晶表示装置を提供することにある。

【 0 0 2 4 】

また、本発明の第 4 目的は液晶表示装置が左右対称型をなすことができ、有効ディス

50

レー面積を増加させることができるオンガラスシングルチップ液晶表示装置を提供することにある。

【課題を解決するための手段】

【0025】

表示領域及び前記表示領域の周辺領域を含む第1基板と、

前記第1基板と対面する第2基板及び前記第1及び第2基板間に封入される液晶を含む液晶表示装置において、

前記第1基板は、

前記表示領域にマトリックス状に提供される複数のスイッチング素子と、

前記表示領域にマトリックス状に提供され、前記複数のスイッチング素子のうち、対応するスイッチング素子の第1電流電極に連結される複数の画素電極と、

前記複数のスイッチング素子のうちの各ロー方向のスイッチング素子の制御電極に共通に連結される複数のゲートラインと、

前記複数のスイッチング素子のうちの各コラム方向のスイッチング素子の第2電流電極に共通に連結される複数のデータラインと、

前記複数のデータラインの一端が延びた周辺領域に集積され、ブロック単位のアナログ駆動信号を入力し、前記複数のデータラインの各ラインブロックを選択し、選択されたラインブロックのデータラインに前記ブロック単位のアナログ駆動信号をスイッチングするためのラインブロック選択回路と、

前記ラインブロック選択回路が形成された周辺領域に取付けられ、外部映像データ及び外部制御信号を入力して前記複数のゲートラインのうちの奇数番目ラインに第1ゲート駆動信号を提供し、前記複数のゲートラインのうちの偶数番目ラインに第2ゲート駆動信号を提供し、前記ラインブロック選択回路にラインブロック選択信号及びブロック単位のアナログ駆動信号を出力するための統合駆動チップとを備え、

前記統合駆動チップは、

前記奇数番目ラインに前記第1ゲート駆動信号を提供する第1ゲート駆動部と、

前記偶数番目ラインに前記第2ゲート駆動信号を提供する第2ゲート駆動部と、を含むことを特徴とするオンガラスシングルチップ液晶表示装置を提供する。

【0026】

ここで、前記統合駆動チップは、

前記外部映像データ及び外部制御信号の入力をインターフェイシングするためのインターフェース部と、

前記外部映像データを貯蔵するためのメモリ部と、

前記メモリ部から読出されたブロック単位の映像データを入力してブロック単位のアナログ駆動信号を出力するためのソース駆動部と、

第1駆動制御信号、第2駆動制御信号及びラインブロック選択信号のレベルをシフティングして出力するためのレベルシフト部と、

前記インターフェース部を通じて入力された前記外部制御信号に応答し、前記外部映像データを前記メモリ部に貯蔵し、前記第1、第2駆動制御信号及びラインブロック選択信号を生成して前記レベルシフト部に提供し、前記メモリ部に貯蔵された映像データをブロック単位に読出して前記ソース駆動部に提供するコントローラ部をさらに備える。

【0027】

ここで、前記統合駆動チップの第1ゲート駆動信号出力端子は、前記複数のゲートラインの一端が延びた前記周辺領域で前記複数のゲートラインのうちの奇数番目ゲートラインと連結される。

【0028】

ここで、前記統合駆動チップの第2ゲート駆動信号出力端子は、前記複数のゲートラインの他端が延びた前記周辺領域で、前記複数のゲートラインのうちの偶数番目ゲートラインと連結される。

【0029】

10

20

30

40

50

ここで、前記統合駆動チップは、
共通電圧を発生して前記液晶表示パネル上に形成された共通電極ラインに提供するための共通電圧発生部と、
外部から電圧の供給を受けて前記外部電圧のレベルアップ又はダウンさせ、前記コントローラ部、レベルシフト部、ソース駆動部及び共通電圧発生部に提供するためのDC/DCコンバータをさらに含む。

【0030】

ここで、前記複数のスイッチング素子のうち、水平方向に隣接する2つのスイッチング素子は、1つのデータラインを共有することを特徴とする。

【0031】

ここで、前記駆動制御信号は、開始信号、第1クロック信号及び第2クロック信号を含むことを特徴とする。

【発明の効果】

【0032】

上述したオンガラスシングルチップ液晶表示装置によると、液晶表示パネル上に装着され、前記液晶表示パネルの全般的な駆動を制御することにより、映像をディスプレイさせるための統合駆動チップが装着される。従って、液晶表示装置の不良を最少化することができ、全体的なサイズを減少させることができる。

【図面の簡単な説明】

【0033】

【図1】従来の非結晶形液晶表示装置の液晶表示パネルを図示した平面図である。

【図2】従来の非結晶形液晶表示装置の液晶表示パネル上にデータ及びゲート駆動チップが装着された構造を示した平面図である。

【図3】本発明の望ましい一実施形態による液晶表示装置を示した分解斜視図である。

【図4】図3に図示された薄膜トランジスタ基板の一実施形態を示した平面図である。

【図5】図3に図示された薄膜トランジスタ基板のまた他の実施形態を示した平面図である。

【図6】図5に図示された統合駆動チップの内部構成を示したブロック図である。

【図7】本発明の他の実施形態による統合駆動チップの内部構成を示したブロック図である。

【図8】複数のデータラインを二つのブロックに区分して選択的に駆動する第1ラインブロック選択回路を具体的に図示した回路図である。

【図9】図8に図示された第1データラインラインブロック選択回路の出力波形図である。

【図10】複数のデータラインを三つのブロックに区分して選択的に駆動する第2ラインブロック選択回路を具体的に示した回路図である。

【図11】図10に図示された第2ラインブロック選択回路の出力波形図である。

【図12】複数のデータラインを四つのブロックに区分して選択的に駆動する第3ラインブロック選択回路を具体的に示した平面図である。

【図13】図12に図示された第3ラインブロック選択回路の出力波形図である。

【図14】図5に図示されたゲート駆動回路を構成する本発明の第1実施形態による第1シフトレジスタの構成図である。

【図15】図14に図示されたシフトレジスタの回路図である。

【図16】図14に図示されたシフトレジスタの出力波形図である。

【図17】図5に図示されたゲート駆動回路を構成する本発明の第2実施形態による第2シフトレジスタの構成図である。

【図18】図5に図示されたゲート駆動回路を構成する本発明の第3実施形態による第3シフトレジスタの構成図である。

【図19】図18に図示された第3シフトレジスタを具体的に示した回路図である。

【図20】図3に図示された可撓性印刷回路基板の構造を具体的に示した斜視図である。

10

20

30

40

50

【図 2 1】本発明の他の実施形態による液晶表示パネルを示す平面図である。

【図 2 2】図 2 1 に図示された第 1 及び第 2 ゲート駆動回路を構成する第 4 及び第 5 シフトレジスタの構成図である。

【図 2 3】図 2 2 に図示された第 4 及び第 5 シフトレジスタの出力波形図である。

【図 2 4】本発明のまた他の実施形態による液晶表示パネルを示した平面図である。

【図 2 5】図 2 4 に図示された統合駆動チップの内部構成を具体的に示したブロック図である。

【発明を実施するための形態】

【0034】

以下、図面を参照して本発明の望ましい実施形態を詳細に説明する。

10

【0035】

図 3 は、本発明の望ましい一実施形態による液晶表示装置の分解斜視図である。

【0036】

図 3 に示すように、液晶表示装置 500 は大きく液晶表示パネルアセンブリ 100、バックライトアセンブリ 200、シャーシ 300 及びカバー 400 を含む。

【0037】

液晶表示パネルアセンブリ 100 は液晶表示パネル 110、可撓性印刷回路基板 (Flexible Printed Circuit; 以下、FPC と称する) 190 及び統合駆動チップ 180 を含む。

【0038】

20

前記液晶表示パネル 110 は下部基板である薄膜トランジスタ基板 120、上部基板であるカラーフィルタ基板 130 及びその間に提供される液晶層 (図示せず) を含む。薄膜トランジスタ基板 120 には a-Si 薄膜工程により表示セルアレイ回路及びゲート駆動回路が形成される。また、薄膜トランジスタ基板 120 上には統合駆動チップ 180 が取り付けられる。統合駆動チップ 180 は FPC 190 により外部回路基板 (図示せず) と電氣的に連結される。

【0039】

一方、カラーフィルタ基板 130 には RGB 画素及び透明共通電極が形成される。

【0040】

前記バックライトアセンブリ 200 はランプアセンブリ 220、導光板 240、光学シート 260、反射板 280 及びモールドフレーム 290 を含む。

30

【0041】

図 4 は図 3 に図示された薄膜トランジスタ基板の一実施形態を示した平面図である。

【0042】

図 4 に示すように、薄膜トランジスタ基板 120 はカラーフィルタ基板 130 と対応する第 1 領域及び対応しない第 2 領域に区分される。また、第 1 領域は表示領域と周辺領域を含み、表示領域にはマトリクス状に提供される複数のスイッチング素子と、ロー方向に延びた複数のデータライン DL と、コラム方向に延びた複数のゲートライン GL が形成される。画素電極はスイッチング素子の第 1 電流電極に連結され、ゲートライン GL はロー方向のスイッチング素子の制御電極に共通に連結され、データライン DL はコラム方向のスイッチング素子の第 2 電流電極に共通に連結される。一方、表示領域の左側の周辺領域には複数のゲートライン GL と連結されたゲート駆動回路 140 が集積され、ゲート駆動回路 140 は、複数のゲートラインを順にスキャンニングする。

40

【0043】

前記薄膜トランジスタ基板 120 の第 2 領域には、液晶表示パネル 110 の全般的な駆動を制御するための統合駆動チップ 180 が装着される。統合駆動チップ 180 には液晶表示パネル 110 の外部に配置された回路基板から外部映像データ信号 181a 及び外部制御信号 181b が入力される。また、統合駆動チップ 180 はゲート駆動回路 140 に駆動制御信号 GC を出力し、複数のデータライン DL にアナログ画素データを提供する。

50

【 0 0 4 4 】

この時、統合駆動チップ 1 8 0 の外部連結端子は回路基板と統合駆動チップ 1 8 0 を電氣的に連結するための F P C 1 9 0 と連結される。

【 0 0 4 5 】

前記統合駆動チップ 1 8 0 の複数の出力端子のうちの駆動制御信号出力端子は、ゲート駆動回路 1 4 0 の入力端子と連結され、複数のチャンネル端子 C H は複数のデータライン D L に各々連結される。具体的に、駆動制御信号出力端子は開示信号出力端子、第 1 クロック信号出力端子、第 2 クロック信号出力端子、第 1 電源電圧端子及び第 2 電源電圧端子の 5 個の端子を含む。

【 0 0 4 6 】

図 5 は、図 3 に示した薄膜トランジスタ基板の他の実施形態を示した平面図である。

【 0 0 4 7 】

図 5 に示すように、薄膜トランジスタ基板 1 2 0 はカラーフィルタ基板 1 3 0 と対応する第 1 領域及び対応しない第 2 領域に区分される。また、第 1 領域は表示領域と周辺領域を含み、表示領域にはロー方向へ延びて複数のデータライン D L が形成され、コラム方向に延びて複数のゲートライン G L が形成される。一方、表示領域の左側周辺領域には複数のゲートライン G L と連結されたゲート駆動回路 1 4 0 が集積され、表示領域の上側周辺領域には複数のデータライン D L と連結されたラインブロック選択回路 1 5 0 が集積される。

【 0 0 4 8 】

この時、薄膜トランジスタ基板 1 2 0 の第 2 領域には、液晶表示パネル 1 1 0 の全般的な駆動を制御するための統合駆動チップ 1 8 0 が装着される。統合駆動チップ 1 8 0 には液晶表示パネル 1 1 0 の外部に配置された回路基板から外部映像データ信号 1 8 1 a 及び外部制御信号 1 8 1 b が入力される。また、統合駆動チップ 1 8 0 はゲート駆動回路 1 4 0 に駆動制御信号 G C を出力し、複数のデータライン D L にアナログ画素データを提供する。

【 0 0 4 9 】

この時、統合駆動チップ 1 8 0 の外部連結端子は回路基板と統合駆動チップ 1 8 0 を電氣的に連結するための F P C 1 9 0 と連結される。

【 0 0 5 0 】

統合駆動チップ 1 8 0 の複数の出力端子のうちの駆動制御信号出力端子は、ゲート駆動回路 1 4 0 の入力端子と連結され、ラインブロック選択信号出力端子はラインブロック選択回路 1 5 0 の制御端子と連結される。一方、複数のチャンネル端子 C H は、ラインブロック選択回路 1 5 0 の入力端子と連結される。ラインブロック選択回路 1 5 0 の出力端子は各々複数のデータライン D L に連結される。この時、複数のデータライン D L の個数は統合駆動チップ 1 8 0 のチャンネル端子 C H 個数の正の定数倍である。

【 0 0 5 1 】

ここで、ラインブロック選択回路 1 5 0 は複数のデータライン D L の各ラインブロックを選択し、選択されたラインブロックのデータライン D L にブロック単位のアナログ駆動信号をスイッチングする。また、ゲート駆動回路 1 4 0 に駆動制御信号を出力し、ラインブロック選択回路 1 5 0 にラインブロック選択信号及びブロック単位のアナログ駆動信号を出力する。

【 0 0 5 2 】

図 6 は図 4 及び図 5 に図示された統合駆動チップの内部構成を示したブロック図である。

【 0 0 5 3 】

図 6 に示すように、統合駆動チップ 1 8 0 はインターフェース部 1 8 1、メモリ部 1 8 3、ソース駆動部 1 8 5、レベルシフト部 1 8 4、共通電圧 (V c o m) 発生部 1 8 6 及びコントローラ部 1 8 2 とを含む。

【 0 0 5 4 】

前記インターフェース部 181 は外部から外部映像データ信号 181a 及び外部制御信号 181b の入力を受けてコントローラ部 182 と外部装置のインターフェイスを実行する。前記インターフェース部 181 は CPU インターフェース、ビデオグラフィックボード (VGD) インターフェース及びメディア - Q (Media - Q) インターフェースに対して互換性を有する。

【0055】

前記コントローラ部 182 はインターフェース部 181 から外部映像データ信号 181a 及び外部制御信号 181b の入力を受けて、外部映像データ信号 181a を前記メモリ部 183 に貯蔵する。外部制御信号 181b は水平及び垂直同期信号、メインクロック信号、データイネーブル信号及びモード選択信号を含む。この時、コントローラ部 182 はモード選択信号に応答してラインブロック選択信号 TG を生成する。ここで、外部映像データ信号 181a は、例えば RGB 各々 6 ビットで合計 18 ビットの並列データである。また、モード選択信号とは、データラインをブロック単位に駆動するためにブロック単に連結された TG 信号に選択的にハイ信号を印加する信号である。つまり、データラインが二つのブロックに区分された場合、TG1 と TG2 はモード選択信号により互いに逆位相の信号として出力される。

【0056】

また、コントローラ部 182 は前記レベルシフト部 184 に駆動制御信号 GC 及びラインブロック選択信号 TG を提供する。この時、駆動制御信号 GC は開示信号 ST、第 1 クロック信号 CK、第 2 クロック信号 CKB、第 1 電源電圧 VSS 及び第 2 電源電圧 VDD と

【0057】

また、コントローラ部 182 はソース駆動部 185 にデジタル映像データ信号を提供する。即ち、コントローラ部 182 はメモリ部 183 に貯蔵された外部映像データ信号 181a をブロック単位に出力してソース駆動部 185 に提供する。

【0058】

前記メモリ部 183 はコントローラ部 182 から提供された外部映像データ信号 181a を一時的に貯蔵する。この時、メモリ部 183 は外部映像データ信号 181a をフレーム (frame) 又はライン単位に貯蔵する。万一、ラインメモリを使用する場合、出力が 360 チャンネルとすれば、2 ラインに該当する $360 \times 3 \times 6 \times 2 = 12,960$ bit メモリが内蔵される。前述のように、メモリ部 183 は、外部映像データ信号 181a をフレーム単位またはライン単位に長蔵するが、フレーム単位で貯蔵する場合には、メモリ部 183 の容量が十分に確保されなければならない。そこで、メモリ部 183 の容量を減少するには、外部映像データ信号 181a をライン単位に貯蔵する。ここで、2 ライン単位に貯蔵すると、1 ライン単位に貯蔵する場合と比較して待機時間の発生を抑制することができる。

【0059】

ソース駆動部 185 はメモリ部 183 から読出されたブロック単位のデジタル映像データの入力を受けてブロック単位アナログ画素データを出力する。この時、ソース駆動部 185 の出力端子、即ちチャンネル端子 CH は、複数のデータライン DL と連結される。

【0060】

前記レベルシフト部 184 はコントローラ部 182 から駆動制御信号 GC 及びラインブロック選択信号 TG をレベルシフティングして出力する。この時、レベルシフティングされた駆動制御信号 GC はレベルがシフティングされた開示信号 ST、第 1 クロック信号 CK、第 2 クロック信号 CKB、第 1 電源電圧 VSS 及び第 2 電源電圧 VDD などを含む。

【0061】

また、共通電圧発生部 186 は液晶層の電圧維持率を高めるために液晶層と並列に形成された共通電極ラインに共通電圧 (Vcom) を印加する。

【0062】

図 7 は本発明他の実施形態による統合駆動チップの内部構成を示すブロック図である。

10

20

30

40

50

また、図7に示すようににおいて、図6と同一の構成要素については同じ参照番号を使用し、その構成要素における説明は省略する。

【0063】

図7に示すように、統合駆動チップ180はインターフェース部181、メモリ部183、レベルシフト部184、ソース駆動部185、共通電圧発生部186、DC/DCコンバータ187及びコントローラ部182とを含む。

【0064】

DC/DCコンバータ187は外部から提供される第1DC電源電圧187aの供給を受けて、第1DC電源電圧187aからレベルがアップ又はダウンされた第2DC電源電圧AVDD、VSS、VDD、VCCを統合駆動チップ180の各部に提供する。一般に、前記DC/DCコンバータ187は7乃至12Vの第1DC電源電圧187aの提供を受けて5Vの第2DC電源電圧AVDD、VSS、VDD、VCCにレベルをアップ又はダウンさせる。

【0065】

前記DC/DCコンバータ187によりダウンされた第2DC電源電圧AVDD、VSS、VDD、VCCは前記レベルシフト部184、ソース駆動部185、共通電圧発生部186及びコントローラ部182に提供される。具体的に、DC/DCコンバータ187は第2DC電源電圧AVDD、VSS、VDD、VCCのうちのアナログ駆動電源AVDDを前記ソース駆動部185及び共通電圧発生部186に提供し、画像駆動用電源VSS、VDDをレベルシフト部184に提供する。また、デジタル駆動電源VCCを前記コントローラ部182に提供する。上記のように、DC/DCコンバータ187は、統合駆動チップ180に備えられた各部位に適切な電圧を印加する。このDC/DCコンバータ187が統合駆動チップ180内に設けられることで、統合駆動チップ180外に設けられる場合と比較して、統合駆動チップ180とDC/DCコンバータ187とを電氣的に接続する各種配線が不要となる。よって、液晶表示装置のサイズを小さくすることができ、また配線形成時に発生される不良による液晶表示装置の収率低下を低減することができる。

【0066】

以下、図面を参照して統合駆動チップ180からのチャンネル端子と前記データラインDLとの間に連結され統合駆動チップ180からの画素データを前記複数のデータラインDLに選択的に印加するためのラインブロック選択回路150を具体的に説明する。

【0067】

図8は複数のデータラインを二つのブロックに区分して選択的に駆動するための第1ラインブロック選択回路を具体的に示した平面図であり、図9は第1ラインブロック選択回路の波形図である。

【0068】

図8に示すように、前記第1ラインブロック選択回路151は前記薄膜トランジスタ基板120の上側周辺領域に形成され、統合駆動チップ180から提供されるブロック単位のアナログ画素データを前記複数のデータライン(DL1~DL2m)に時間差を有して印加する。

【0069】

具体的に、第1ラインブロック選択回路151は前記2m個のデータライン(DL1~DL2m)を2分割して各々m個のデータラインを含む第1ブロック(BL1)及び第2ブロック(BL2)からなる。具体的に、第1ブロック(BL1)はm個の奇数番目データライン(DL1~DL2m-1)を含み、前記第2ブロック(BL2)はm個の偶数番目データライン(DL2~DL2m)を含む。

【0070】

この時、前記統合駆動チップ180のチャンネル端子(CH1~CHm)は各々二つのデータラインに共通的に連結される。即ち、統合駆動チップ180の第1チャンネル端子CHは第1及び第2データラインDL1、DL2に共通的に連結される。

【0071】

前記第1ラインブロック選択回路151の第1ブロック(BL1)は前記統合駆動チップ180のチャンネル端子CHと前記奇数番目データライン(DL1~DL2m-1)に連結され、前記統合駆動チップ180からの第1ラインブロック選択回路(以下、TG1と称する)により駆動される第1選択トランジスタSW1を含む。また、第2ブロック(BL2)は前記統合駆動チップ180のチャンネル端子CHと前記偶数番目データライン(DL2~DL2m)に連結され、統合駆動チップ180からの第2ラインブロック選択回路(以下、TG2と称する)により駆動される第2選択トランジスタSW2を含む。この時、前記TG1信号及びTG2信号は相互に交互的にハイ区間を有する。

【0072】

10

具体的に、前記TG1信号にハイ信号が印加されると、前記TG1信号により前記第1選択トランジスタSW1が駆動され、前記チャンネル端子CHからのアナログ画素データが前記奇数番目データライン(DL1~DL2m-1)に印加される。一方、前記TG2信号にハイ信号が印加されると、前記TG2信号により前記第2選択トランジスタSW2が駆動され、前記チャンネル端子CHからのアナログ画素データが前記偶数番目データライン(DL2~DL2m)に印加される。

【0073】

図9に示すように、前記ゲート駆動回路140により前記複数のゲートライン(GL1~GLn)が順に駆動されると、前記複数のゲートライン(GL1~GLn)のアクティブ区間で、前記TG1及びTG2信号が交互的にハイレベル区間を有する。

20

【0074】

即ち、前記TG1信号は前記複数のゲートライン(GL1~GLn)のアクティブ区間の1/2区間ほどハイレベルを維持し、前記TG2信号は前記複数のゲートライン(GL1~GLn)アクティブ区間であるその他の1/2区間ほどハイレベルを維持する。

【0075】

従って、第1ゲートラインGL1アクティブ区間で、前記TG1信号がハイレベルになると、前記第1選択トランジスタSW1が駆動され前記第1ブロック(BL1)のデータライン(DL2m-1)に前記アナログ画素データが印加される。また、前記TG2信号がハイレベルになると、前記第2選択トランジスタSW2が駆動され前記第2ブロック(BL2)のデータライン(DL2m)に前記アナログ駆動信号が印加される。

30

【0076】

また、第2ゲートラインGL2アクティブ区間で、前記TG1信号がハイレベルになると、前記第1選択トランジスタSW1が駆動され前記第1ブロック(BL1)のデータライン(DL2m-1)に前記アナログ画素データが印加される。また、前記TG2信号がハイレベルになると、前記第2選択トランジスタSW2が駆動され前記第2ブロック(BL2)のデータライン(DL2m)に前記アナログ画素データが印加される。

【0077】

図10は複数のデータラインを三つのブロックに区分して選択的に駆動するための第2ラインブロック選択回路を具体的に示した平面図であり、図11は図10に図示された第2ラインブロック選択回路の波形図である。

40

【0078】

図10に示すように、前記第2ラインブロック選択回路152は前記薄膜トランジスタ基板120の上側周辺領域に形成され、前記統合駆動チップ180から提供されるブロック単位のアナログ画素データを前記複数のデータライン(DL1~DL3m)からなったブロックに時間差を有して印加する。

【0079】

具体的に、前記第2ラインブロック選択回路152は前記3m個のデータライン(DL1~DL3m)を3分割してm個のデータラインを含む3個のブロック、即ち、第1、第2及び第3ブロック(BL1、BL2、BL3)からなる。この時、前記第1ブロック(BL1)はm個の1、4、7...番目データライン(DL3m-2)を含み、前記第2

50

ブロック (B L 2) は m 個の 2、5、8 . . . 番目データライン (D L 3 m - 1) を含み、前記第 3 ブロック (B L 3) は m 個の 3、6、9 . . . 番目データライン (D L 3 m) を含む。

【 0 0 8 0 】

前記統合駆動チップ 1 8 0 のチャンネル端子 C H は、各々三つのデータラインに共通的に連結される。即ち、統合駆動チップ 1 8 0 の第 1 チャンネル端子 C H 1 は、第 1、第 2 及び第 3 データライン D L 1、D L 2、D L 3 に共通的に連結される。

【 0 0 8 1 】

この時、第 2 ラインブロック選択回路部 1 5 2 の前記第 1 ブロック (B L 1) は、前記統合駆動チップ 1 8 0 のチャンネル端子 C H と 1、4、7 . . . 番目データライン (D L 3 m - 2) に連結され、前記統合駆動チップ 1 8 0 からの第 1 ラインブロック選択信号 (以下、T G 1) により駆動される第 1 選択トランジスタ S W 1 を含む。また、第 2 ブロック (B L 2) は前記統合駆動チップ 1 8 0 のチャンネル端子 C H と、前記 2、5、8 . . . 番目データライン (D L 3 m - 1) に連結され、前記統合駆動チップ 1 8 0 から第 2 ラインブロック選択信号 (以下、T G 2) により駆動される第 2 選択トランジスタ S W 2 を含む。また、前記第 3 ブロック (B L 3) は前記統合駆動チップ 1 8 0 のチャンネル端子 C H と前記 3、6、9 . . . 番目データライン (D L 3 m) に連結され、前記統合駆動チップ 1 8 0 からの第 3 ラインブロック選択信号 (以下、T G 3) により駆動される第 3 選択トランジスタ S W 3 を含む。この時、前記 T G 1、T G 2、T G 3 信号は相互に、交互的にハイ区間を有する。

【 0 0 8 2 】

具体的に、前記 T G 1 信号がハイ信号が印加されると、前記 T G 1 信号により前記第 1 選択トランジスタ S W 1 が駆動され、前記チャンネル端子 C H からのアナログ画素データが 1、4、7 . . . 番目データライン (D L 3 m - 2) に印加される。一方、前記 T G 2 信号にハイ信号が印加されると、前記 T G 2 信号により前記第 2 選択トランジスタ S W 2 が駆動されて前記チャンネル端子 C H からのアナログ画素データが前記 2、5、8 . . . 番目データライン (D L 3 m - 1) に印加される。また、前記 T G 3 信号にハイ信号が印加されると、前記 T G 3 信号により前記第 3 選択トランジスタ S W 3 が駆動され、前記チャンネル端子 C H からのアナログ画素データが前記 3、6、9 . . . 番目データライン (D L 3 m) に印加される。

【 0 0 8 3 】

図 1 1 に示すように、前記ゲートライン駆動回路 1 4 0 により前記複数のゲートライン (G L 1 ~ G L n) が順に駆動されると、前記複数のゲートライン (G L 1 ~ G L n) のアクティブ区間で前記 T G 1、T G 2 及び T G 3 信号が交互的にハイレベル区間を有する。即ち、前記 T G 1、T G 2 及び T G 3 信号は前記複数のゲートライン (G L 1 ~ G L n) のアクティブ区間を 1 / 3 に分割し、分割された区間ほどハイレベルを維持する。

【 0 0 8 4 】

従って、第 1 ゲートライン G L 1 のアクティブ区間で前記 T G 1 信号がハイレベルになると、前記第 1 選択トランジスタ S W 1 が駆動され、前記第 1 ブロック (B L 1) のデータライン (D L 3 m - 2) に前記アナログ画素データが印加される。また、前記 T G 2 信号がハイレベルになると、前記第 2 選択トランジスタ S W 2 が駆動され、前記第 2 ブロック (B L 2) のデータライン (D L 3 m - 1) に前記アナログ画素データが印加される。また、前記 T G 3 信号がハイレベルになると、前記第 3 選択トランジスタ S W 3 が駆動され、前記第 3 ブロック (B L 3) のデータライン (D L 3 m) に前記アナログ画素データが印加される。

【 0 0 8 5 】

第 2 ゲートライン G L n のアクティブ区間で、前記 T G 1 信号がハイレベルになると、前記第 1 選択トランジスタ S W 1 が駆動され、前記第 1 ブロック (B L 1) のデータライン (D L 3 m - 2) に前記アナログ画素データが印加される。また、前記 T G 2 信号がハイレベルになると、前記第 2 選択トランジスタ S W 2 が駆動され、前記第 2 ブロック

(B L 2) のデータライン (D L 3 m - 1) に前記アナログ画素データが印加される。また、 T G 3 信号がハイレベルになると、前記第 3 選択トランジスタ S W 3 が駆動され、前記第 3 ブロック (B L 3) のデータライン (D L 3 m) に前記アナログ画素データが印加される。

【 0 0 8 6 】

図 1 2 は複数のデータラインを四つのブロックに区分して選択的に駆動するための第 3 ラインブロック選択回路を具体的に示した平面図であり、図 1 3 は図 1 2 に図示された第 3 ラインブロック選択回路の波形図である。

【 0 0 8 7 】

図 1 2 に示すように、前記第 3 ラインブロック選択回路 1 5 3 は前記薄膜トランジスタ基板 1 2 0 の上側周辺領域に形成され、前記統合駆動チップ 1 8 0 から提供されるブロック単位のアナログ画素データを前記複数のデータライン (D L 1 ~ D L 4 m) からなったブロックに時間差を有して印加する。

10

【 0 0 8 8 】

具体的に、前記第 3 ラインブロック選択回路 1 5 3 は前記 4 m 個のデータライン (D L 1 ~ D L 4 m) を 4 分割して、 m 個のデータラインを含む四つのブロック、即ち、第 1、第 2、第 3 及び第 4 ブロック B L 1、B L 2、B L 3、B L 4 を有する。この時、第 1 ブロック (B L 1) は m 個の 1、5、9 . . . 番目データライン (D L 4 m - 3) を含み、前記第 2 ブロック (B L 2) は m 個の 2、6、10 . . . 番目データライン (D L 4 m - 2) を含み、前記第 3 ブロック (B L 3) は m 個の 3、7、11 . . . 番目データライン (D L 4 m - 1) を含み、前記第 4 ブロック (B L 4) は前記 m 個の 4、8、12 . . . 番目データライン (D L 4 m) を含む。

20

【 0 0 8 9 】

前記統合駆動チップ 1 8 0 のチャンネル端子 C H は各々四つのデータラインに共通的に連結される。即ち、統合駆動チップ 1 8 0 の第 1 チャンネル端子 C H 1 は、第 1、第 2、第 3 及び第 4 データライン D L 1、D L 2、D L 3、D L 4 に共通的に連結される。

【 0 0 9 0 】

この時、前記第 3 データライン選択回路 1 5 3 の前記第 1 ブロック (B L 1) は、前記統合駆動チップ 1 8 0 のチャンネル端子 C H と前記 1、5、9 . . . 番目データライン (D L 4 m - 3) に連結され、前記統合駆動チップ 1 8 0 からの第 1 ラインブロック選択信号 (以下、 T G 1) により駆動される第 1 選択トランジスタ S W 1 を含む。また、前記第 2 ブロック (B L 2) は前記統合駆動チップ 1 8 0 のチャンネル端子 C H と 2、6、10 . . . 番目データライン (D L 4 m - 2) に連結され前記統合駆動チップ 1 8 0 からの第 2 ラインブロック選択信号 (以下、 T G 2) により駆動される第 2 選択トランジスタ S W 2 を含む。また、前記第 3 ブロック (B L 3) は前記統合駆動チップ 1 8 0 のチャンネル端子 C H と前記 3、7、11 . . . 番目データライン (D L 4 m - 1) に連結され、前記統合駆動チップ 1 8 0 からの第 3 ラインブロック選択信号 (以下、 T G 3) により駆動される第 3 選択トランジスタ S W 3 を含む。また、前記第 4 ブロック (B L 4) は前記統合駆動チップ 1 8 0 のチャンネル端子 C H と 4、8、12 . . . 番目データライン (D L 4 m) に連結され、前記統合駆動チップ 1 8 0 からの第 4 ラインブロック選択信号 (以下、 T G 4) により駆動される第 4 選択トランジスタ S W 4 を含む。この時、前記 T G 1、T G 2、T G 3 及び T G 4 信号は交互的にハイ区間を有する。

30

40

【 0 0 9 1 】

具体的に、前記 T G 1 信号にハイ信号が印加されると、前記 T G 1 信号により前記第 1 選択トランジスタ S W 1 が駆動され、前記チャンネル端子 C H からのアナログ画素データが前記 1、5、9 . . . 番目データライン (D L 4 m - 3) に印加される。一方、前記 T G 2 信号にハイ信号が印加されると、前記 T G 2 信号により前記第 2 選択トランジスタ S W 2 が駆動され、前記チャンネル端子 C H からのアナログ画素データが前記 2、6、10 . . . 番目データライン (D L 4 m - 2) に印加される。また、前記 T G 3 信号にハイ信号が印加されると、前記 T G 3 信号により前記第 3 選択トランジスタ S W 3 が駆動

50

され前記チャンネル端子C Hからアナログ画素データが前記3、7、11...番目データライン(D L 4 m - 1)に印加される。また、前記T G 4信号にハイ信号が印加されると、前記T G 4信号により前記第4選択トランジスタS W 4が駆動され、前記チャンネル端子C Hからのアナログ画素データが前記4、8、12...番目データライン(D L 4 m)に印加される。

【0092】

図13に示すように、前記ゲートライン駆動回路140により前記複数のゲートライン(G L 1 ~ G L n)が順に駆動されると、前記複数のゲートライン(G L 1 ~ G L n)のアクティブ区間で前記T G 1、T G 2、T G 3及びT G 4信号交互的にハイレベル区間を有する。即ち、前記T G 1、T G 2、T G 3及びT G 4信号は前記複数のゲートライン(G L 1 ~ G L n)のアクティブ区間を1/4に分割して分割された区間ほどハイレベルを維持する。

10

【0093】

従って、第1ゲートラインG L 1のアクティブ区間で前記T G 1信号がハイレベルになると、前記第1選択トランジスタS W 1が駆動され前記第1ブロック(B L 1)のデータライン(D L 4 m - 3)に前記アナログ画素データが印加される。また、前記T G 2信号がハイレベルになると、前記第2選択トランジスタS W 2が駆動され前記第2ブロック(B L 2)のデータライン(D L 4 m - 2)に前記アナログ画素データが印加される。また、前記T G 3信号がハイレベルになると、前記第3選択トランジスタS W 3が駆動され、前記第3ブロック(B L 3)のデータライン(D L 4 m - 1)に前記アナログ画素データが印加される。また、前記T G 4信号がハイレベルになると、前記第4選択トランジスタS W 4が駆動され前記第4ブロック(B L 4)のデータライン(D L 4 m)に前記アナログ画素データが印加される。

20

【0094】

前記第2ゲートラインG L 2のアクティブ区間で前記T G 1信号がハイレベルになると、前記第1選択トランジスタS W 1が駆動され前記第1ブロック(B L 1)のデータライン(D L 4 m - 3)に前記アナログ画素データが印加される。また、前記T G 2信号がハイレベルになると、前記第2選択トランジスタS W 2が駆動され、前記第2ブロック(B L 2)のデータライン(D L 4 m - 2)に前記アナログ画素データが印加される。また、前記T G 3信号がハイレベルになると、前記第3選択トランジスタS W 3が駆動され前記第3ブロック(B L 3)のデータライン(D L 4 m - 1)に前記アナログ画素データが印加される。また、前記T G 4信号がハイレベルになると、前記第4選択トランジスタS W 4が駆動され、前記第4ブロック(B L 4)のデータライン(D L 4 m)に前記アナログ画素データが印加される。

30

【0095】

図8乃至図13に示したように、前記統合駆動チップ180のチャンネル端子C Hの個数がm個に固定されたとしても、前記各々のチャンネル端子C Hに共通的に連結されるデータラインの数を2、3、4...に増加させ、前記複数のデータラインに選択的に画素データを印加することにより、前記液晶表示装置500の解像度を多様に具現することができる。つまり、ブロック単位をデータラインの本数、所謂水平解像度の1/1、1/2、1/3、1/4...にすることで、解像度を多様に変えることができる。

40

【0096】

ただ、前記液晶表示装置500の解像度を高めるために、前記メインクロックを2、3、4...に分割すると、前記液晶表示装置500の画素データがチャージング(charging)される時間がそのほど減少される。従って、前記画素データのチャージング時間を考慮して前記液晶表示装置500の解像度を増加させることが望ましい。

【0097】

以下、前記液晶表示パネルの左側周辺領域に形成されたゲート駆動回路を図面を参照して具体的に説明する。

【0098】

50

図 1 4 は図 5 に示したゲート駆動回路を構成する本発明の第 1 実施形態による第 1 シフトレジスタの構成図である。また、図 1 5 は図 1 4 に図示された第 1 シフトレジスタの各ステージの具体的な回路図であり、図 1 6 は図 1 5 の出力波形図である。

【 0 0 9 9 】

ここで、図 1 4 乃至図 1 6 は、前記液晶表示パネルの左側周辺領域に集積されたゲート駆動回路を示す。

【 0 1 0 0 】

図 1 4 に示すように、ゲート駆動回路 1 4 0 は複数のステージ (S R C 1 ~ S R C n) が従属連結された一つの第 1 シフトレジスタ 1 4 1 により構成される。即ち、各ステージの出力端子 O U T が次のステージの入力端子 I N に連結されることにより、前記各ステージが従属的に連結される。前記第 1 シフトレジスタ 1 4 1 はゲートライン (G L 1 ~ G L n) に対応する n 個のステージ (S R C 1 ~ S R C n) と一つのダミーステージ (S R C n + 1) により構成される。各ステージは入力端子 I N 、出力端子 O U T 、制御端子 C T 、クロック信号入力端子、第 1 電源電圧端子 V S S 及び第 2 電源電圧端子 V D D を有する。

10

【 0 1 0 1 】

第一ステージの入力端子 I N には、開示信号 S T が入力される。ここで、前記開示信号 S T は図 5 に図示された前記コントローラ部 1 8 2 からの前記垂直同期信号 V S Y N に同期されたパルス信号である。

【 0 1 0 2 】

各ステージの出力信号 (O U T 1 ~ O U T n) は対応される各ゲートライン (G L 1 ~ G L n) に連結される。奇数番目ステージ (S R C 1 、 S R C 3) には第 1 クロック信号 C K が提供され、偶数番目ステージ (S R C 2 、 S R C 4) には第 2 クロック信号 C K B が提供される。この時、第 1 クロック信号 C K と第 2 クロック信号 C K B は相互に反対の位相を有する。

20

【 0 1 0 3 】

各ステージ S R C 1 、 S R C 2 、 S R C 3 の各制御端子 C T には、次のステージ S R C 2 、 S R C 3 、 S R C 4 の出力信号 (O U T 2 、 O U T 3 、 O U T 4) が制御信号に入力される。即ち、制御端子 C T に入力される制御信号は、前のステージの出力信号をローレベルにダウンさせるために使用される。

30

【 0 1 0 4 】

従って、各ステージの出力信号が順にアクティブ区間 (ハイ状態) を有することにより、各出力信号のアクティブ区間で対応されるゲートラインが順に選択される。

【 0 1 0 5 】

図 1 5 に示すように、前記第 1 シフトレジスタ 1 4 1 の各ステージはプルアップ部 1 4 2 、プルダウン部 1 4 4 、プルアップ駆動部 1 4 6 及びプルダウン駆動部 1 4 8 を含む。

【 0 1 0 6 】

前記プルアップ部 1 4 2 はクロック信号入力端子にドレーンが連結され、第 3 ノード N 3 にゲートが連結され、出力端子 O U T にソースが連結された第 1 N M O S トランジスタ N T 1 により構成される。

40

【 0 1 0 7 】

前記プルダウン部 1 4 4 は出力端子 O U T にドレーンが連結され、第 4 ノード N 4 にゲートが連結され、ソースが第 1 電源電圧端子 V S S に連結された第 2 N M O S トランジスタ N T 2 により構成される。

【 0 1 0 8 】

前記プルアップ駆動部 1 4 6 はキャパシタ C 、第 3 乃至第 5 N M O S トランジスタ (N T 3 ~ N T 5) により構成される。前記キャパシタ C は第 3 ノード N 3 と出力端子 O U T との間に連結される。前記第 3 N M O S トランジスタ N T 3 は第 2 電源電圧端子 V D D にドレーンが連結され、入力端子 I N にゲートが連結され、第 3 ノード N 3 にソースが連結される。前記第 4 N M O S トランジスタ N T 4 は第 3 ノード N 3 にドレーンが連結

50

され、制御端子CTにゲートが連結され、ソースが第1電源電圧端子VSSに連結される。前記第5NMOSトランジスタNT5は第3ノードN3にドレーンが連結され、第4ノードN4にゲートが連結され、ソースが第1電源電圧端子VSSに連結される。

【0109】

この時、前記第3NMOSトランジスタNT3のサイズは第5NMOSトランジスタNT5のサイズより約2倍程度大きく形成される。

【0110】

前記プルダウン駆動部148は第6及び第7NMOSトランジスタNT6、NT7により構成される。前記第6NMOSトランジスタNT6は第2電源電圧端子VDDにドレーンとゲートが共通に連結され、第4ノードN4にソースが連結される。前記第7NMOSトランジスタNT7は第4ノードN4にドレーン連結され、第3ノードN3にゲートが連結され、ソースが第1電源電圧端子VSSに連結される。

【0111】

この時、第6NMOSトランジスタNT6のサイズは第7NMOSトランジスタNT7のサイズより約10倍程度大きく形成される。

以上のように、シフトレジスタの各ステージは、一つのキャパシタCとNT3～NT7の5つのトランジスタで構成されているので、液晶表示装置のサイズを減少させ、収率を増大させることができる。

【0112】

図16に示したように、第1及び第2クロック信号(CK、CKB)と開示信号STが前記第1シフトレジスタ141に供給されると、第一のステージSRC1では、前記開示信号STのエッジにตอบสนองしてキャパシタCを充電してプルアップ手段142をターンオンし、前記第1クロック信号CKのハイレベル区間が出力端子OUTに第1出力信号OUT1に発生される。次のゲートラインの駆動信号のエッジにตอบสนองしてキャパシタCを放電し、プルアップ手段142をターンオフさせる。一方、第3ノードN3の電位が放出されることにより第7NMOSトランジスタNT7がターンオフされ、第4ノードN4の電位が上昇する。第4ノードN4の上昇により第5NMOSトランジスタNT5がターンオンされ、プルアップ手段142はターンオフされる。また、次のゲートラインの駆動信号のエッジにตอบสนองして前記プルダウン手段144をターンオンさせる。

以後、第二ステージSRC2では、前記第一のステージSRC1の第1出力信号OUT1にตอบสนองして、第2クロック信号CKBのハイレベル区間が出力端子OUTに第2出力信号OUT2に発生される。このように、各ステージの出力端子OUTには第1乃至第n出力信号(OUT1～OUTn)が順に発生される。

【0113】

図17は図5に示したゲート駆動回路を構成する本発明の第2実施形態による第2シフトレジスタの構成図である。

【0114】

図17に示すように、前記ゲート駆動回路140は複数のステージ(SRC1～SRCn)が従属連結された一つの第2シフトレジスタ142により構成される。即ち、各ステージの出力端子OUTが次のステージの入力端子INに連結され、また、前のステージの制御端子CTに連結されることにより、前記各ステージが従属的に連結される。

【0115】

前記第2シフトレジスタ142は前記ゲートライン(GL1～GLn)に対応するn個のステージ(SRC1～SRCn)と一つのダミーステージ(SRCn+1)により構成される。即ち、一つフレームの間に前記各ステージが順に駆動されることにより、前記n個のゲートラインGLを順にスキanningする。

【0116】

ここで、前記ダミーステージ(SRCn+1)は、前記N番目ステージSRCnの制御端子CTに制御信号を提供するために用意されたステージである。しかし、前記ダミーステージ(SRCn+1)はシフトレジスタの最後のステージとして、次のステージが存在

しないために、前記ダミーステージ ($SR C n + 1$) の制御端子 CT はフローティング状態になって、前記ダミーステージ ($SR C n + 1$) が不安定に動作する可能性がある。

【0117】

このような、ダミーステージ ($SR C n + 1$) の不安定動作を解消するために、図17に示したように、前記ダミーステージ ($SR C n + 1$) の制御端子 CT には第一のステージ $SR C 1$ に開示信号を提供するための開示信号入力端子が連結される。即ち、前記ダミーステージ ($SR C n + 1$) の制御端子 CT は前記開示信号を制御信号として供給される。

【0118】

動作時に、一つのフレームが終わって、次のフレームのために前記第一のステージ $SR C 1$ の開示信号入力端子にハイレベル区間を有する開示信号が入力されると、前のフレームで駆動された前記ダミーステージ ($SR C n + 1$) の制御端子 CT には前記開示信号のハイレベル区間が制御信号に提供される。

【0119】

このように、前記ダミーステージ ($SR C n + 1$) の制御端子 CT に開示信号が入力される前記第一のステージ $SR C 1$ の入力端子 IN と連結させることにより、前記ダミーステージ ($SR C n + 1$) の不安定動作を防止することができる。

【0120】

勿論、前記ダミーステージ ($SR C n + 1$) の不安定動作を解消するために、図18のように、すぐに前のステージから制御信号を受けることもできる。

【0121】

図18は図5に図示されたゲート駆動回路を構成する本発明の第3実施形態による第3シフトレジスタの構成図であり、図19は図18に図示された第3シフトレジスタを具体的に示した回路図である。

【0122】

図18に示すように、前記ゲート駆動回路140は複数のステージ ($SR C 1 \sim SR C n$) が従属連結された一つの第3シフトレジスタ143により構成される。即ち、各ステージの出力端子 OUT が次のステージの入力端子 IN に連結され、また、前のステージの制御端子 CT に連結されることにより、前記各ステージが従属的に連結される。

【0123】

前記第3シフトレジスタ143は前記ゲートライン ($GL 1 \sim GL n$) に対応する n 個のステージ ($SR C 1 \sim SR C n$) と一つのダミーステージ ($SR C n + 1$) により構成される。ここで、前記ダミーステージ ($SR C n + 1$) は前記 N 番目ステージ $SR C n$ の制御端子 CT に制御信号を提供するために用意されたステージである。しかし、前記ダミーステージ ($SR C n + 1$) は最後のステージとして、次のステージが存在しないために、前記ダミーステージ ($SR C n + 1$) の制御端子 CT には次のステージの出力端子が連結されない。

【0124】

従って、前記ダミーステージ ($SR C n + 1$) の制御端子 CT は、前記 N 番目ステージ $SR C n$ の第4ノード $N 4$ と連結される。

【0125】

そうすると、添付する図19を参照して前記第4ノード $N 4$ の電位について簡略に説明する。

【0126】

まず、前記 N 番目ステージ $SR C n$ で、前のステージの出力信号が入力端子 IN に提供され、第7 $NMOS$ トランジスタ $NT 7$ をターンオンさせる。従って、前記第4ノード $N 4$ の電位が第1電源電圧端子 VSS にダウンされる。

【0127】

以後、前記第7 $NMOS$ トランジスタ $NT 7$ がターンオンされても、第6 $NMOS$ トランジスタ $NT 6$ のサイズが前記第7 $NMOS$ トランジスタ $NT 7$ のサイズより約1

10

20

30

40

50

6 倍程度大きいために、第 4 ノード N 4 は第 1 電源電圧端子 V S S 状態に続けて維持される。この時、N 番目ステージ S R C n の制御端子 C T に提供される前記ダミーステージ (S R C n + 1) の出力信号がターンオン電圧に上昇すると、前記第 7 N M O S トランジスタ N T 7 がターンオフされるので、前記第 6 N M O S トランジスタ N T 6 を通じて前記第 4 ノード N 4 に第 2 電源電圧端子 V D D のみ供給される状態になる。従って、前記第 4 ノード N 4 の電位は第 1 電源電圧端子 V S S から第 2 電源電圧端子 V D D に上昇され始める。

【 0 1 2 8 】

続いて、前記制御端子 C T に印加されるダミーステージ (S R C n + 1) の出力信号がローレベルに下降され、第 4 N M O S トランジスタ N T 4 がターンオフされても、前記第 4 ノード N 4 は前記第 6 N M O S トランジスタ N T 6 を通じて第 2 電源電圧端子 V D D にバイアスされた状態を維持する。

10

【 0 1 2 9 】

ここで、前記第 4 ノード N 4 は前記ダミーステージ (S R C n + 1) の制御端子 C T に連結されるために、前記第 4 ノード N 4 の電位により前記ダミーステージ (S R C n + 1) の第 4 N M O S トランジスタ N T 4 がターンオンされることにより、前記ダミーステージ (S R C n + 1) の出力端子 O U T の出力信号をターンオフ電圧状態に遷移させる。これにより、前記ダミーステージ (S R C n + 1) は安定動作を実施することができる。

【 0 1 3 0 】

このように、前記ダミーステージ (S R C n + 1) の制御端子 C T を N 番目ステージ S R C n の第 4 ノード N 4 に連結させることにより、図 1 7 に図示された本発明の第 2 実施例による前記第 2 シフトレジスタ 1 4 2 でのように、前記第一のステージ S R C 1 の入力端子 I N と前記ダミーステージ (S R C n + 1) の制御端子 C T を連結するための別途の配線を必要としない。

20

【 0 1 3 1 】

図 2 0 は図 3 に図示された単一パターン層からなった可撓性印刷回路基板 F P C を図示した斜視図である。

【 0 1 3 2 】

図 2 0 に示すように、前記 F P C 1 9 0 は前記液晶表示パネル 1 1 0 の外部に配置される回路基板及び前記液晶表示パネル 1 1 0 を電氣的に連結させるための複数のパターン 1 9 1 a を備える。即ち、前記 F P C 1 9 0 は前記回路基板から発生された信号を前記統合駆動チップ 1 8 0 に提供する役割を有する。

30

【 0 1 3 3 】

この時、前記統合駆動チップ 1 8 0 には外部映像データ信号 1 8 1 a 及び外部制御信号 1 8 1 b が入力される。具体的に、前記外部制御信号 1 8 1 b は垂直及び水平同期信号 (V S Y N C 、 H S Y N C) 、メインクロック信号 (M C L K) を含む。

【 0 1 3 4 】

即ち、前記統合駆動チップ 1 8 0 を前記液晶表示パネル 1 0 0 内に装着することにより、前記 F P C 1 9 0 を通じて前記液晶表示パネル 1 0 0 に提供される信号の数が減少することにより、前記 F P C 1 9 0 に備えられるパターン 1 9 1 a の数もそれに応じて減少される。

40

【 0 1 3 5 】

一方、前記複数のパターン 1 9 1 a は前記 F P C 1 9 0 の第 1 フィルム 1 9 1 上に形成され、前記第 1 フィルム 1 9 1 と対向して備えられる第 2 フィルム 1 9 2 によりカバーされる。上述したように、前記パターン 1 9 1 a の数減少により、前記 F P C 1 9 0 は単一パターン層を備えることになる。

【 0 1 3 6 】

図 2 1 は、本発明のまた他の実施形態による液晶表示パネルを図示した平面図である。また、図 2 2 は図 2 1 に図示された液晶表示パネルを具体的に示したブロック図であり、図 2 3 は図 2 2 に図示されたシフトレジスタの出力波形図である。

50

【 0 1 3 7 】

図 2 1 に示すように、前記薄膜トランジスタ基板 1 2 0 はカラーフィルタ基板 1 3 0 と対応する第 1 領域及び対応しない第 2 領域に区分される。また、前記第 1 領域は表示領域と周辺領域を含み、前記表示領域にはロー方向に延びて複数のデータライン D L が形成され、コラム方向に延びて複数のゲートライン G L が形成される。

【 0 1 3 8 】

この時、前記表示領域の左右周辺領域には、各々第 1 及び第 2 ゲート駆動回路 1 6 0、1 7 0 が左右対称的に配置される。すなわち、前記表示領域の左側周辺領域には、前記複数のゲートライン G L のうちの奇数番目ラインと連結された第 1 ゲート駆動回路 1 6 0 が配置され、前記表示領域の右側周辺領域には前記複数のゲートラインのうちの偶数番目ラインと連結された第 2 ゲート駆動回路 1 7 0 が配置される。また、前記左側周辺領域及び右側周辺領域に隣接する上側周辺領域には、前記複数のデータラインと連結されたラインブロック選択回路 1 5 0 が配置される。

ラインブロック選択回路 1 5 0 は、ブロック単位のアナログ駆動信号を入力し、複数のデータライン D L の各ラインブロックを選択し、選択されたラインブロックのデータライン D L ブロック単位のアナログ駆動信号をスイッチングする。

【 0 1 3 9 】

この時、前記薄膜トランジスタ基板 1 2 0 の第 2 領域には前記液晶表示パネル 1 1 0 の全般的な駆動を制御する統合駆動チップ 1 8 0 が装着される。前記統合駆動チップ 1 8 0 には前記液晶表示パネル 1 1 0 の外部に配置された回路基板から外部映像データ信号 1 8 1 a 及び外部制御信号 1 8 1 b が入力される。また、前記統合駆動チップ 1 8 0 は前記第 1 及び第 2 ゲート駆動回路 1 6 0、1 7 0 の駆動を制御する第 1 及び第 2 駆動制御信号 (G C 1、G C 2) を出力し、ラインブロック選択回路 1 5 0 にラインブロック選択信号 T G を出力し、前記複数のデータライン D L の各々にアナログ画素データを出力する。

【 0 1 4 0 】

前記統合駆動チップ 1 8 0 の複数の出力端子のうちの第 1 及び第 2 駆動制御信号出力端子は、前記第 1 及び第 2 ゲート駆動回路 1 6 0、1 7 0 の入力端子と連結され、前記ラインブロック選択信号出力端子は、前記ラインブロック選択回路 1 5 0 の制御端子と連結される。一方、複数のチャンネル端子 C H は前記ラインブロック選択回路 1 5 0 の入力端子と連結される。前記ラインブロック選択回路 1 5 0 の出力端子は各々前記複数のデータライン D L に連結される。

【 0 1 4 1 】

具体的に、前記第 1 駆動制御信号 G C 1 は開示信号 S T、第 1 クロック信号 C K、第 1 電源電圧 V O F F 又は V S S 及び第 2 電源電圧 V O N 又は V D D を含み、前記第 2 駆動制御信号 G C 2 は第 2 クロック信号 C K B、第 1 電源電圧 V O F F 又は V S S 及び第 2 電源電圧 V O N 又は V D D を含む。

【 0 1 4 2 】

図 2 2 に示すように、前記第 1 ゲート駆動回路 1 6 0 は奇数番目ゲートライン (G L 1 ~ G L 2 n - 1) が延びた表示領域の右側周辺領域に配置され、各々の出力端子 (O U T 1 ~ O U T 2 n - 1) が前記奇数番目ゲートライン (G L 1 ~ G L 2 n - 1) に連結された第 1 シフトレジスタトランジスタ 1 6 1 により構成される。一方、前記第 2 ゲート駆動回路 1 7 0 は偶数番目ゲートライン (G L 2 ~ G L 2 n) が延びた表示領域の右側周辺領域に配置され、各々の出力端子 (O U T 2 ~ O U T 2 n) が前記偶数番目ゲートライン (G L 2 ~ G L 2 n) に連結された第 2 シフトレジスタトランジスタ 1 7 1 により構成される。

【 0 1 4 3 】

前記第 1 シフトレジスタ 1 6 1 の i 番目ステージ S R C i の出力は、i 番目ゲートライン G L i を通じて右側周辺領域に第 2 シフトレジスタ 1 7 1 の j 番目ステージ S R C j の入力端子 I N j に提供され、同時に j - i 番目ステージ (S R C j - i) の制御端子 C T j - 1 に制御信号に提供される。同様に、前記第 2 シフトレジスタ 1 7 1 の j 番目ステー

ジSRC_jの出力は第1シフトレジスタトランジスタ161のi+1番目ステージSRC_{i+1}の入力端子IN_{i+1}に提供され、同時に第1シフトレジスタ161のi番目ステージSRC_iの制御端子CT_iに制御信号に提供される。ここで、i, jは例えば、i = 2n - 1, j = 2nである。

【0144】

前記第1シフトレジスタ161の最後ステージSRC_{n+1}は、ダミーステージに前記第2シフトレジスタ171の最後ステージSRC_nの制御端子CT_nに制御信号を提供するために付加される。

【0145】

図23に示すように、奇数番目ゲートライン(GL₁ ~ GL_{2n-1})と偶数番目ゲートライン(GL₂ ~ GL_{2n})が開示信号STにより順にシフトされ、前記第1及び第2クロック信号CK、CKBに同期され互いに交互的にスキミングされることが分かる。

10

【0146】

一つの水平ラインをなす複数の画素のうちの奇数番目画素は対応される奇数番目ゲートライン(GL₁ ~ GL_{2n-1})により駆動され、偶数番目画素は対応される偶数番目ゲートライン(GL₂ ~ GL_{2n})により駆動される。

【0147】

だから、一つの水平ラインの全ての画素を駆動するためには、二つのゲートラインGL₁、GL₂が駆動される。従って、ゲートラインの数は2倍に増加され、垂直解像度が160水平ラインである場合には320ゲートラインが配置される。

20

【0148】

このようなゲート駆動方式により水平方向へ隣接する二つの薄膜トランジスタが一つのデータラインを共有し、二つの薄膜トランジスタは互いに分離されたゲートラインに連結される。従って、同一な水平ラインにある画素であっても奇数番目画素は第1ゲート駆動回路160によりまず充填され、偶数番目画素は第2ゲート駆動回路170により1クロック遅延され充填される。

【0149】

図24は本発明のまた他の実施形態による液晶表示パネルを具体的に示した平面図である。

30

【0150】

図24に示すように、前記薄膜トランジスタ基板120はカラーフィルタ基板130と対応する第1領域及び対応しない第2領域に区分される。また、前記第1領域は表示領域と周辺領域を含み、前記表示領域にはロー方向に延びて複数のデータラインDLが形成され、コラム方向に延びて複数のゲートラインが形成される。前記表示領域の上側周辺領域には前記複数のデータラインDLを選択的に駆動するためのラインブロック選択回路150が形成される。

【0151】

一方、前記第2領域には前記液晶表示パネル110の全般的な駆動を制御する統合駆動チップ200が備えられる。

40

【0152】

具体的に、前記統合駆動チップ200に前記液晶表示パネル110の外部に配置された回路基板から外部映像データ信号181a及び外部制御信号181bが入力されると、奇数番目ゲートライン(GL_{2n-1})を駆動するための第1ゲート駆動信号GD1及び偶数番目ゲートライン(GL_{2n})を駆動するための第2ゲート駆動信号GD2を出力する。また、前記統合駆動チップ200は前記複数のデータラインDL各々にアナログ画素データを出力する。

【0153】

前記統合駆動チップ200の第1ゲート駆動信号出力端子は、前記奇数番目ゲートライン(GL_{2n-1})と連結され、第2ゲート駆動信号出力端子は前記偶数番目ゲートライ

50

ン (GL2n) と連結される。また、統合駆動チップ200のチャンネル端子(CH)は前記ラインブロック選択回路150に連結され、前記統合駆動チップ200から出力された選択信号TGはラインブロック選択回路150に印加される。

【0154】

図25は図24に図示された統合駆動チップの内部構成を具体的に示したブロックである。図25を説明するにおいて、図7に図示された構成要素と同一な機能を実施する構成要素に対しては同じ参照番号を併記し、その駆動要素の説明は省略する。

【0155】

図25に示すように、前記統合駆動チップ200はインターフェース部181、メモリ部183、レベルシフト部184、ソース駆動部185、第1ゲート駆動部188、第2ゲート駆動部189及びコントローラ部182とを含む。

10

【0156】

前記コントローラ部182は前記レベルシフト部184に第1及び第2駆動制御信号GC1、GC2及びラインブロック選択信号TGを提供する。この時、前記第1及び第2駆動制御信号GC1、GC2は開示信号ST、第1クロック信号CK、第2クロック信号CKB、第1電源電圧端子VSS及び第2電源電圧端子VDDを含む。

【0157】

前記レベルシフト部184は前記コントローラ部182から提供された第1及び第2駆動制御信号GC1、GC2のレベルをシフティングして第1ゲート駆動部188及び第2ゲート駆動部189に各々提供する。

20

【0158】

前記第1ゲート駆動部188は前記第1駆動制御信号GC1により前記奇数番目ゲートライン(GL2n-1)を駆動するための第1ゲート駆動信号GD1を出力し、前記第2ゲート駆動部189は前記第2駆動制御信号GC2により、前記偶数番目ゲートライン(GL2n)を駆動するための第2ゲート駆動信号GD2を出力する。

【0159】

また、前記統合駆動チップ200は共通電圧Vcomを発生して前記液晶表示パネル110上に形成された共通電極ラインに提供するための共通電圧発生部186及び外部からDC電源187aの供給を受けて前記第1DC電源電圧187aのレベルをアップ又はダウンさせて、前記タイミングコントローラ部182、レベルシフト部184、ソース駆動部185及び共通電圧発生部186に提供するためのDC/DCコンバータ187をさらに含む。統合駆動チップ200内に、ゲートラインを2グループに分離して駆動するための第1ゲート駆動部188及び第2ゲート駆動部189を内蔵することで、液晶表示パネルに装着される駆動チップが一側面にのみ取り付けられることとなる。よって、液晶表示装置のサイズを減少させることができる。

30

【0160】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できるであろう。

【0161】

40

上述したオンガラスシングルチップ液晶表示装置によると、表示領域の周辺領域に液晶表示パネルを駆動する一つの統合駆動チップを装着することにより、チップを装着するに所要される工程時間及び不良率を減少させることができ、さらに全体的なサイズを減少させることができる。

【0162】

また、表示領域の周辺領域にデータラインが延びた表示領域の周辺領域にラインブロック選択回路を表示領域の薄膜トランジスタと同一工程により形成し、1ライン分の画素データをラインブロック選択回路を通じて時分割して駆動することにより、前記統合駆動チップのチャンネル端子と前記データラインとの互換性を確保することができる。

【0163】

50

また、ゲートラインが延びた表示領域の左右周辺領域にゲートライン駆動回路を表示領域の薄膜トランジスタと同一工程により、ジグザグに配置されるように形成することにより、表示領域の左右対称的配置が可能であり、基板上で高い垂直解像度を有した装置にも適用可能である。

【 0 1 6 4 】

また、液晶表示パネル上に複数のゲートラインを駆動するためのゲート駆動部及び複数のデータラインを駆動するためのソース駆動部を内蔵する統合駆動チップを装着することにより、液晶表示装置が左右対称形からなり、有効ディスプレイ面積を増加させることができる。

【 符号の説明 】

10

【 0 1 6 5 】

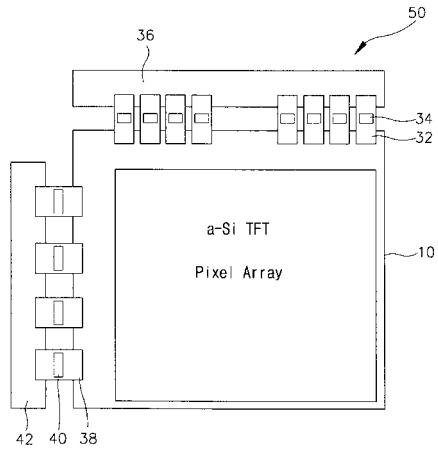
1 0 0	液晶表示パネルアセンブリ
1 1 0	液晶表示パネル
1 2 0	薄膜トランジスタ
1 3 0	カラーフィルタ基板
1 5 0	ラインブロック選択回路
1 6 0	第1ゲート駆動回路
1 6 1	第1シフトレジスタトランジスタ
1 7 1	第2シフトレジスタトランジスタ
1 7 0	第2ゲート駆動回路
1 8 0	統合駆動チップ
1 8 1	インターフェース部
1 8 1 a	外部映像データ信号
1 8 1 b	外部制御信号
1 8 2	コントローラ部
1 8 3	メモリ部
1 8 4	レベルシフト部
1 8 5	ソース駆動部
1 8 6	共通電圧発生部
1 9 0	F P C
1 9 1	第1フィルム
1 9 2	第2フィルム
2 0 0	統合駆動チップ
2 2 0	ランプアセンブリ
2 4 0	導光板
2 6 0	光学シート
2 8 0	反射板
2 9 0	モールドフレーム
3 0 0	シャーシ
4 0 0	カバー

20

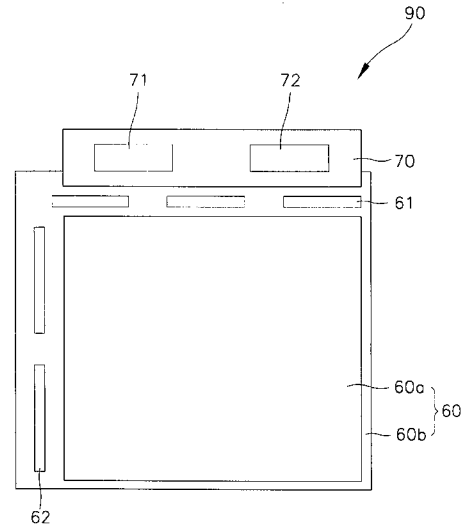
30

40

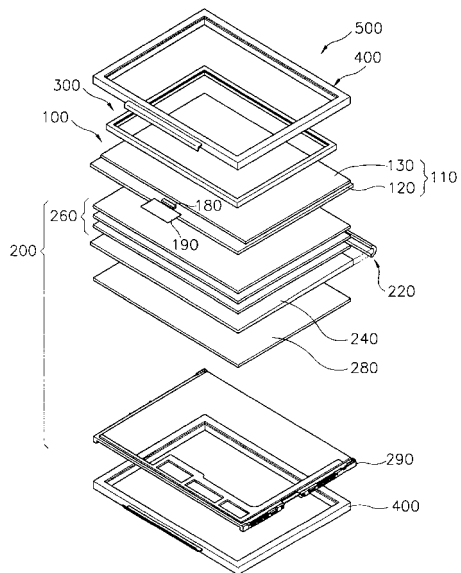
【図 1】



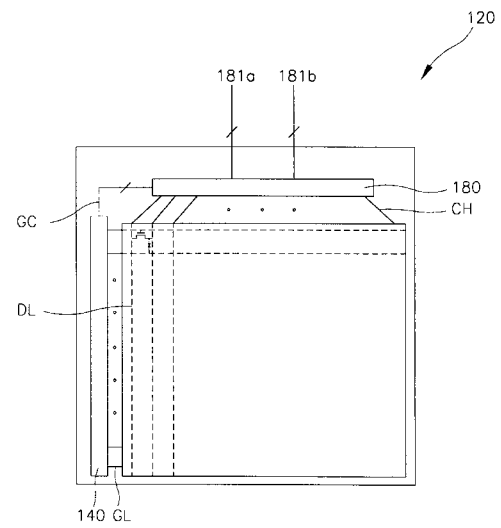
【図 2】



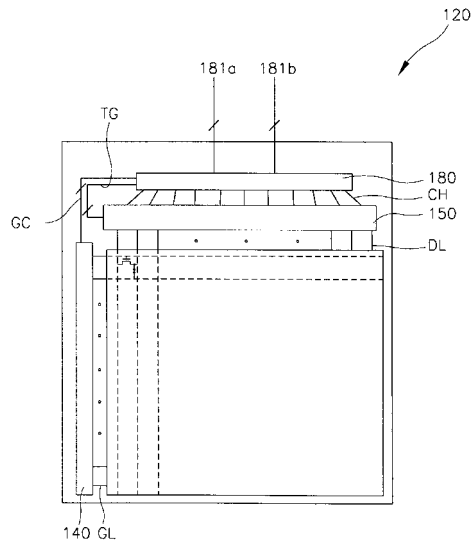
【図 3】



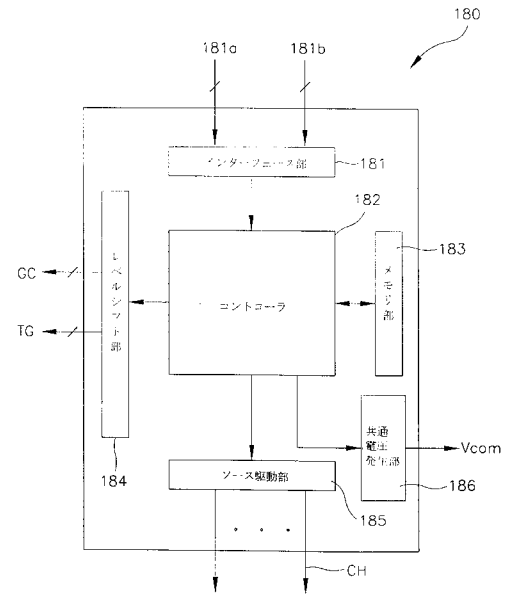
【図 4】



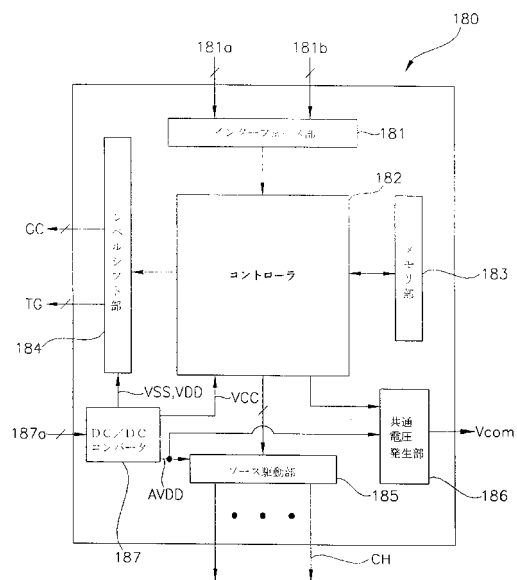
【図 5】



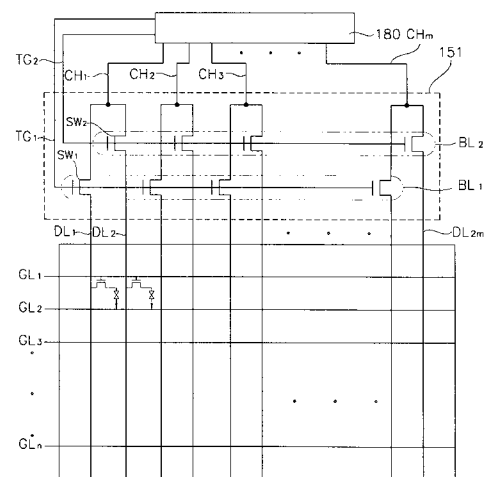
【図 6】



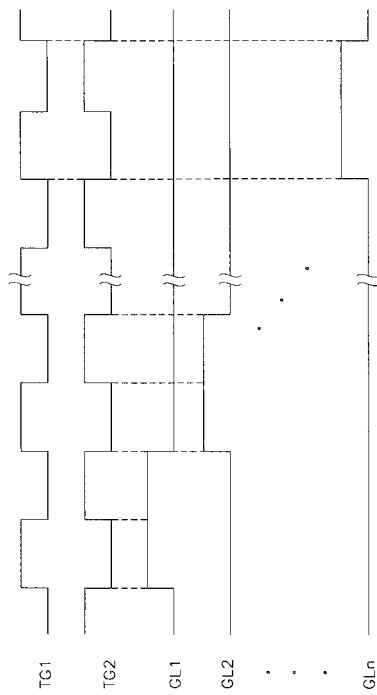
【図 7】



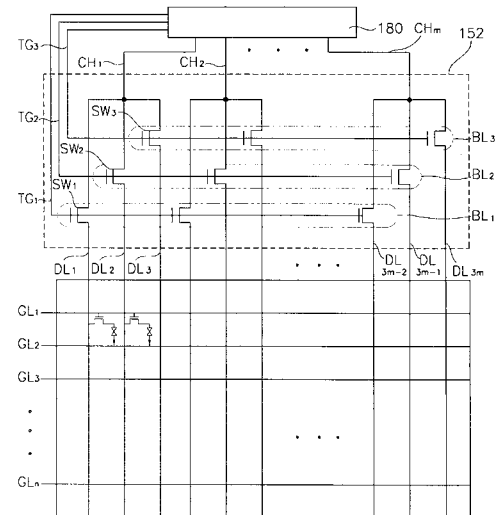
【図 8】



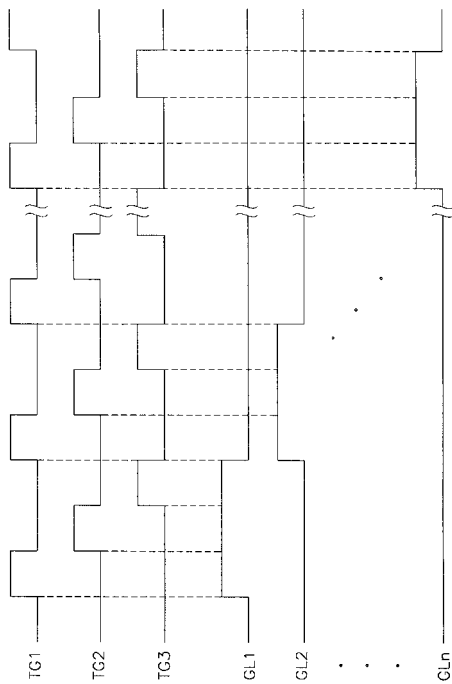
【図 9】



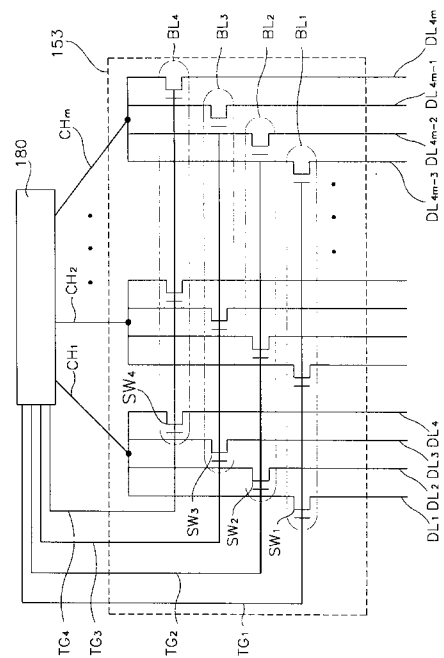
【図 10】



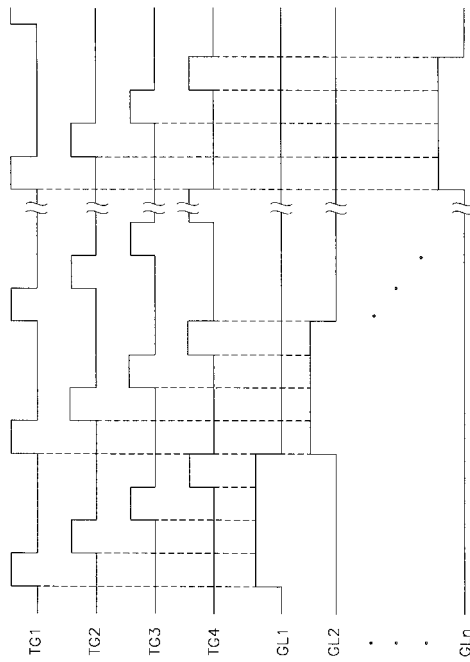
【図 11】



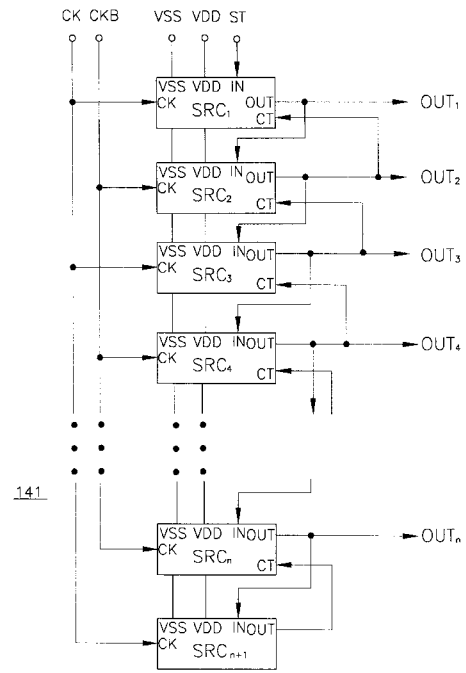
【図 12】



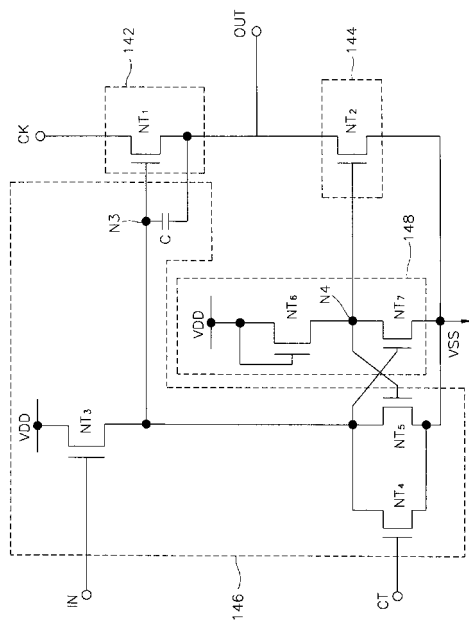
【図 13】



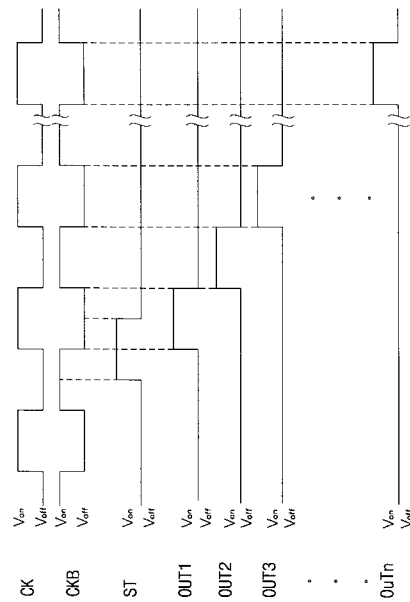
【図 14】



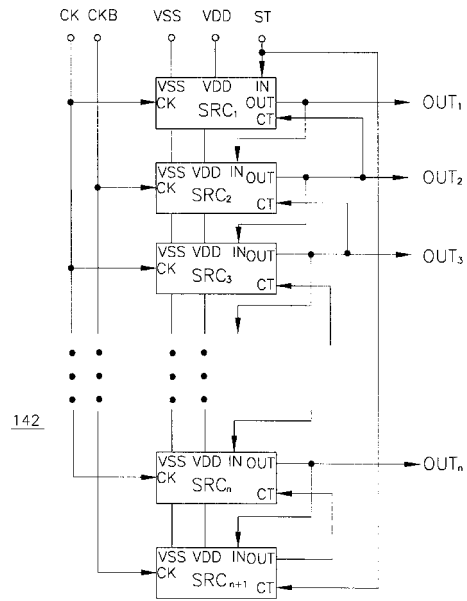
【図 15】



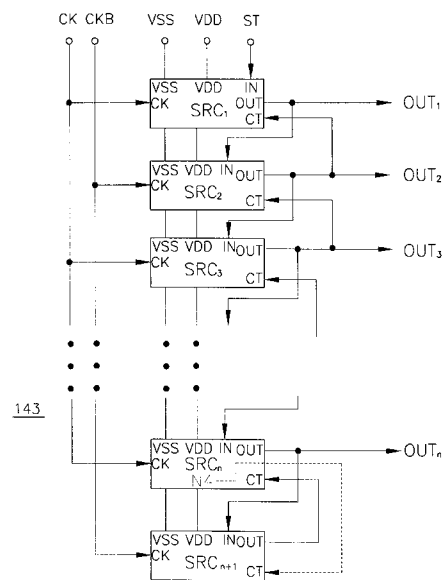
【図 16】



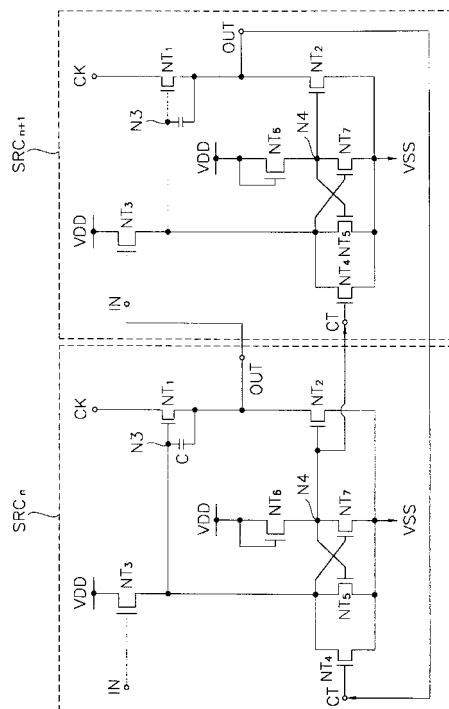
【図 17】



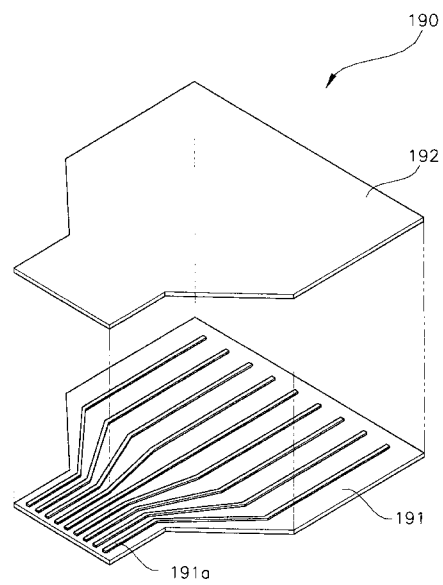
【図 18】



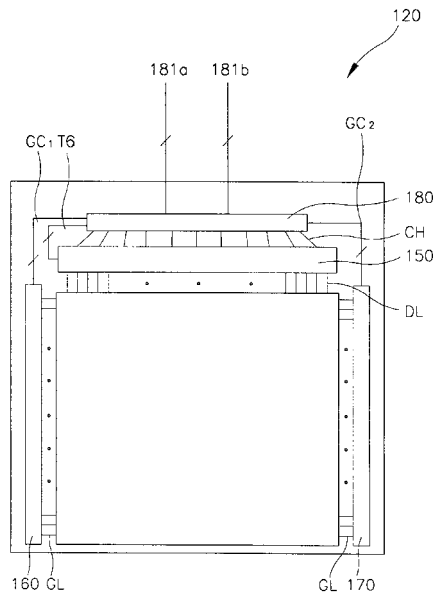
【図 19】



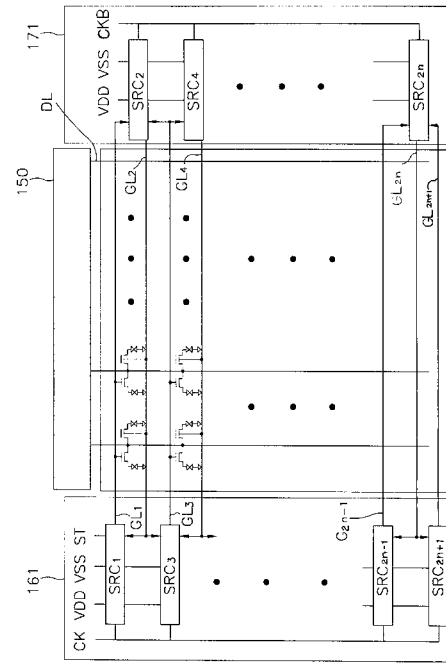
【図 20】



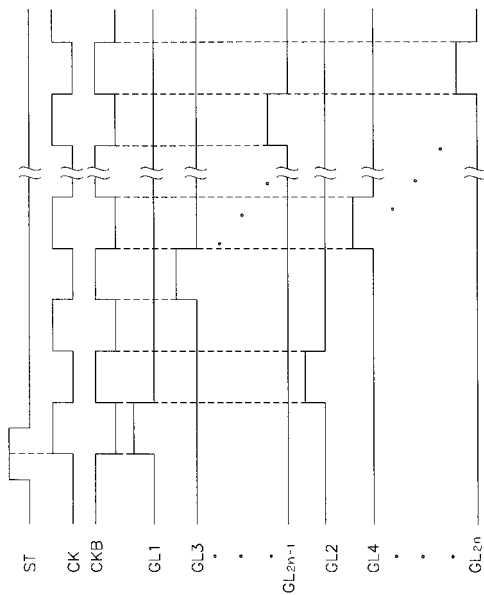
【図 2 1】



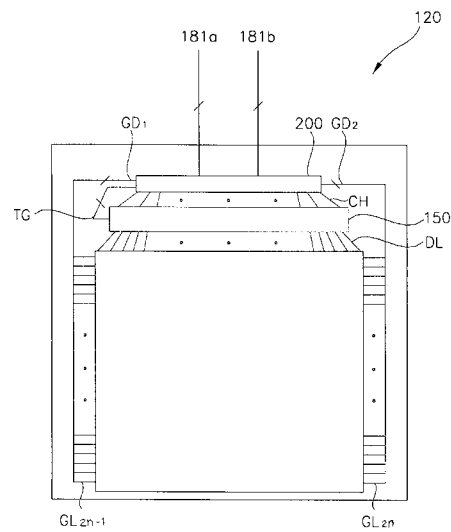
【図 2 2】



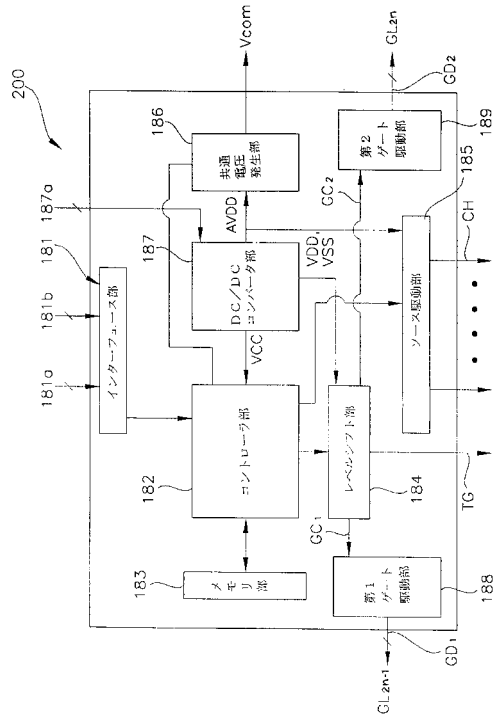
【図 2 3】



【図 2 4】



【図 25】



フロントページの続き

(72)発明者 金 炯 傑

大韓民国京畿道龍仁市樹脂邑三星レミアン5次アパート505棟206号

(72)発明者 馬 元 錫

大韓民国京畿道城南市盆唐区二梅洞124番地二梅韓信アパート209棟404号

(72)発明者 李 東 浩

大韓民国京畿道龍仁市器興邑韓城2次アパート203棟101号

審査官 藤田 都志行

(56)参考文献 特開2003-29715(JP,A)

特開2002-40483(JP,A)

特開2002-244580(JP,A)

特開2003-107520(JP,A)

特開2002-72984(JP,A)

特開2001-350421(JP,A)

特開2000-221534(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1345

G02F 1/1368

G02F 1/133

专利名称(译)	在玻璃单片液晶显示器件上		
公开(公告)号	JP5049400B2	公开(公告)日	2012-10-17
申请号	JP2011137005	申请日	2011-06-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金炯傑 馬元錫 李東浩		
发明人	金 炯 傑 馬 元 錫 李 東 浩		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/133		
FI分类号	G02F1/1345 G02F1/1368 G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/NA29 2H092/PA06 2H192/AA24 2H192/CC62 2H192/FA73 2H192/FB02 2H192/FB03 2H192/FB13 2H192/FB22 2H192/FB23 2H192/FB27 2H192/FB43 2H192/GD61 2H193/ZA04 2H193/ZC23 2H193/ZF24 2H193/ZF44		
代理人(译)	山下大沽嗣		
优先权	1020010071153 2001-11-15 KR 1020020001856 2002-01-12 KR		
其他公开文献	JP2011180622A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其减少了缺陷产品的比例和整体尺寸。解决方案：液晶显示装置包括用于显示视频的液晶显示面板110，其中用于驱动栅极线的栅极驱动电路140在行方向上延伸，以及用于驱动数据线的线性块选择电路150在其中延伸。形成块系统的列方向。单个集成驱动芯片180安装在液晶显示面板110上，该芯片包括控制器182，存储器183，电平移位器184，源极驱动器185，公共电压发生器186和DC / DC转换器187。集成驱动芯片180不仅驱动栅极驱动电路140和线块选择电路150，而且控制液晶显示面板110的整体驱动以显示视频。

【图 4】

