

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4881480号
(P4881480)

(45) 発行日 平成24年2月22日(2012.2.22)

(24) 登録日 平成23年12月9日(2011.12.9)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)

GO2F 1/1343 (2006.01)

GO2F 1/1368

GO2F 1/1343

請求項の数 4 (全 22 頁)

(21) 出願番号	特願2011-11926 (P2011-11926)	(73) 特許権者	000005049
(22) 出願日	平成23年1月24日 (2011.1.24)		シャープ株式会社
(62) 分割の表示	特願2005-157641 (P2005-157641)		大阪府大阪市阿倍野区長池町2番2号
	の分割	(74) 代理人	100091672
原出願日	平成17年5月30日 (2005.5.30)		弁理士 岡本 啓三
(65) 公開番号	特開2011-90337 (P2011-90337A)	(72) 発明者	小杉 俊太郎
(43) 公開日	平成23年5月6日 (2011.5.6)		神奈川県川崎市中原区上小田中4丁目1番
審査請求日	平成23年1月24日 (2011.1.24)		1号 富士通ディスプレイテクノロジーズ
		(72) 発明者	株式会社内
			藤川 徹也
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通ディスプレイテクノロジーズ
			株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

相互に対向して配置された第1の基板及び第2の基板と、前記第1の基板及び前記第2の基板の間に封入された液晶とにより構成され、マトリクス状に配列された複数の画素有する液晶表示装置において、

各画素に走査信号を供給する複数のゲートバスラインと、
各画素に表示信号を供給する複数のデータバスラインと、
各画素毎に形成された第1及び第2の副画素電極と、
各画素毎に形成されたバッファ容量と、

n番目(nは整数)のゲートバスラインの走査信号により駆動され、オンの期間にm番目(mは整数)のデータバスラインの表示信号をn行m列目の画素の前記第1の副画素電極に伝達する第1のトランジスタと、

前記n番目のゲートバスラインの走査信号により駆動され、オンの期間に前記m番目のデータバスラインの表示信号を前記n行m列目の画素の前記第2の副画素電極に伝達する第2のトランジスタと、

前記n行m列目の画素の前記第1の副画素電極と前記バッファ容量との間に接続され、n+1番目のゲートバスラインの走査信号により駆動される第3のトランジスタとを有し、

前記バッファ容量が、前記第3のトランジスタのドレインと一体的に形成された第1の容量電極と、絶縁膜を介して前記第1の容量電極に対向する位置に形成された第2の容量

10

20

電極とにより構成され、

前記第 2 の容量電極が、 $m + 1$ 番目のデータバスラインに接続されていることを特徴とする液晶表示装置。

【請求項 2】

前記第 2 の容量電極が、前記 $m + 1$ 番目のデータバスラインと容量結合を介して接続されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

相互に対向して配置された第 1 の基板及び第 2 の基板と、前記第 1 の基板及び前記第 2 の基板の間に封入された液晶とにより構成され、マトリクス状に配列された複数の画素を有する液晶表示装置において、

各画素に走査信号を供給する複数のゲートバスラインと、

各画素に表示信号を供給する複数のデータバスラインと、

各画素毎に形成された第 1 及び第 2 の副画素電極と、

各画素毎に形成されたバッファ容量と、

n 番目 (n は整数) のゲートバスラインの走査信号により駆動され、オンの期間に m 番目 (m は整数) のデータバスラインの表示信号を n 行 m 列目の画素の前記第 1 の副画素電極に伝達する第 1 のトランジスタと、

前記 n 番目のゲートバスラインの走査信号により駆動され、オンの期間に前記 m 番目のデータバスラインの表示信号を前記 n 行 m 列目の画素の前記第 2 の副画素電極に伝達する第 2 のトランジスタと、

前記 n 行 m 列目の画素の前記第 1 の副画素電極と前記バッファ容量との間に接続され、 $n + 1$ 番目のゲートバスラインの走査信号により駆動される第 3 のトランジスタとを有し、

前記バッファ容量が、前記第 3 のトランジスタのドレインと一体的に形成された第 1 の容量電極と、絶縁膜を介して前記第 1 の容量電極に対向する位置に形成された第 2 の容量電極とにより構成され、

前記第 2 の容量電極が、前記 m 番目のデータバスラインに接続されていることを特徴とする液晶表示装置。

【請求項 4】

前記第 2 の容量電極が、前記 m 番目のデータバスラインと容量結合を介して接続されていることを特徴とする請求項 3 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1 画素領域内に複数の副画素電極を有し、斜め方向から見たときに画面が白っぽくなる現象を抑制する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、CRT (Cathode Ray Tube) に比べて薄くて軽量であり、低電圧で駆動できて消費電力が小さいという利点がある。そのため、液晶表示装置は、テレビ受像機、ノート型 PC (パーソナルコンピュータ)、デスクトップ型 PC、PDA (携帯端末) 及び携帯電話など、種々の電子機器に使用されている。

【0003】

一般的に、液晶表示装置は、2 枚の基板と、これらの基板間に封入された液晶とにより構成されている。一方の基板には画素毎に画素電極及び薄膜トランジスタ (Thin Film Transistor: 以下、TFT という) 等が形成され、他方の基板にはカラーフィルタと、各画素共通のコモン (共通) 電極とが形成されている。以下、画素電極及び TFT が形成された基板を TFT 基板と呼び、TFT 基板に対向して配置される基板を対向基板と呼ぶ。また、TFT 基板と対向基板との間に液晶を封入してなる構造物を液晶パネルと呼ぶ。

【0004】

従来は、2枚の基板間に水平配向型液晶（誘電率異方性が正の液晶）を封入し、液晶分子をツイスト配向させるTN型（Twisted Nematic）型液晶表示装置が広く使用されていた。しかし、TN型液晶表示装置には視野角特性が悪く、画面を斜め方向から見たときにコントラストや色調が大きく変化するという欠点がある。このため、視野角特性が良好なMVA（Multi-domain Vertical Alignment）型液晶表示装置が開発され、実用化されている。

【0005】

ところで、従来のMVA型液晶表示装置では、画面を斜め方向から見たときに白っぽくなる現象が発生する。図1は、横軸に印加電圧（V）をとり、縦軸に透過率をとって、画面を正面から見たときのT-V（透過率-電圧）特性と、上60°の方向から見たときのT-V特性とを示す図である。この図1に示すように、しきい値電圧よりも若干高い電圧を画素電極に印加したとき（図中丸で囲んだ部分）には、斜め方向から見たときの透過率が正面から見たときの透過率よりも高くなる。また、印加電圧がある程度高くなると、斜め方向から見たときの透過率は、正面から見たときの透過率よりも低くなる。このため、斜め方向から見たときには赤色画素、緑色画素及び青色画素の輝度差が小さくなり、その結果前述したように画面が白っぽくなる現象が発生する。この現象は、白茶け（Wash out）と呼ばれている。白茶けは、MVA型液晶表示装置だけでなく、TN型液晶表示装置でも発生する。

【0006】

米国特許第4840460号の明細書には、1つの画素を複数の副画素に分割し、それらの副画素を容量結合したTN型液晶表示装置が提案されている。このような液晶表示装置では、各副画素の容量比によって電位が分割されるため、各副画素に相互に異なる電圧を印加することができる。従って、見かけ上、1つの画素にT-V特性のしきい値が異なる複数の領域が存在することになる。このように1つの画素にT-V特性のしきい値が異なる複数の領域が存在すると、それらの領域のT-V特性が平均化されて、正面から見たときの透過率よりも斜め方向から見たときの透過率が高くなる現象が抑制される。その結果、斜め方向から見たときに画面が白っぽくなる現象（白茶け）も抑制される。このように1つの画素をT-V特性が相互に異なる複数の領域に分割して表示特性を改善する方法は、HT（ハーフトングレースケール）法と呼ばれている。

【0007】

図2はHT法を実現する従来の液晶表示装置の一例を示す平面図、図3は図2のI-I線による断面図である。なお、図2は、液晶表示装置の1画素分の領域を示している。

【0008】

TFT基板のベースとなるガラス基板51の上には、水平方向（X方向）に伸びる複数のゲートバスライン52と、垂直方向（Y方向）に伸びる複数のデータバスライン55とが形成されている。これらのゲートバスライン52及びデータバスライン55により区画される矩形の領域がそれぞれ画素領域である。また、ガラス基板51の上には、ゲートバスライン52と平行に配置され、各画素領域の中央を横断する補助容量バスライン53が形成されている。

【0009】

ゲートバスライン52及び補助容量バスライン53とデータバスライン55との間には第1の絶縁膜54が形成されており、この第1の絶縁膜54によりゲートバスライン52及び補助容量バスライン53とデータバスライン55との間が電氣的に分離されている。

【0010】

各画素領域には、TFT56と、制御電極57と、補助容量電極58と、副画素電極61a、61bとが形成されている。この例では、図2に示すように、TFT56はゲートバスライン52の一部をゲート電極としている。また、図3に示すように、TFT56の活性層となる半導体膜56aはゲートバスライン52の上方に形成されており、この半導体膜56aの上にはチャネル保護膜56bが形成されている。

【0011】

図2に示すように、TFT56のドレイン電極56dはデータバスライン55に接続しており、ソース電極56sはゲートバスライン52を挟んでドレイン電極56dに対向する位置に配置されている。また、補助容量電極58は第1の絶縁膜54を挟んで補助容量バスライン53に対向する位置に形成されている。更に、制御電極57は、配線59を介してソース電極56sと補助容量電極58とに電氣的に接続されている。

【0012】

これらのデータバスライン55、TFT56、制御電極57、補助容量電極58及び配線59は第2の絶縁膜60に覆われており、副画素電極61a、61bは第2の絶縁膜60の上に形成されている。副画素電極61aは、第2の絶縁膜60を挟んで制御電極57（配線59のうち副画素電極61aの下方の部分を含む）と容量結合している。また、副画素電極61bは、第2の絶縁膜60に形成されたコンタクトホール60aを介して補助容量電極58と電氣的に接続している。副画素電極61a、61bの表面は配向膜62に覆われている。

10

【0013】

一方、図3に示すように、対向基板のベースとなるガラス基板71の一方の面側（図3では下側）にはカラーフィルタ72が形成されており、このカラーフィルタ72の上（図3では下側）にはコモン電極73が形成されている。このコモン電極73の表面は配向膜74により覆われている。

【0014】

これらのTFT基板及び対向基板はスペーサ（図示せず）を挟んで配置され、TFT基板と対向基板との間には液晶80が封入されて液晶パネルとなっている。この液晶パネルの厚さ方向の両側には偏光板が配置されており、駆動回路及びバックライト（いずれも図示せず）が取り付けられて液晶表示装置となっている。

20

【0015】

このように構成された液晶表示装置において、ゲートバスライン52に供給される走査信号がアクティブ（“1”）になるとTFT56がオンになり、データバスライン55に供給された表示信号が制御電極57及び副画素電極61bに伝達される。制御電極57に供給された表示信号は、容量結合を介して副画素電極61aに伝達される。この場合、副画素電極61aの電圧は、副画素電極61bの電圧よりも容量結合の分だけ低い値となる。従って、見かけ上、1つの画素領域にT-V特性が相互に異なる2つの領域が存在しており、斜め方向から見たときに画面が白っぽくなる現象が抑制される。

30

【先行技術文献】

【特許文献】

【0016】

【特許文献1】米国特許第4840460号の明細書

【特許文献2】特開2002-333870号公報

【発明の概要】

【発明が解決しようとする課題】

【0017】

しかしながら、図2に示す従来の液晶表示装置では、フォトリソグラフィ工程で制御電極57及び配線59のサイズのばらつきが発生すると、制御電極57（配線59のうち副画素電極61aの下方の部分を含む）と副画素電極61aとの間の容量値が変化するため表示むらが発生するという問題点がある。

40

【0018】

また、図2に示す従来の液晶表示装置では、焼き付きが発生するという問題点もある。例えば、画面全体に白黒のチェッカーパターンを一定時間連続して表示した後に中間階調表示を行うと、焼き付きによりチェッカーパターンが薄く見えてしまう。

【0019】

通常、液晶表示装置の焼き付きは、ゲートバスライン及びデータバスライン等に流れる信号に直流電圧成分が存在することと、白表示時と黒表示時とで液晶層のCR値（液晶容

50

量及び液晶抵抗の値)が変化することとが原因で発生する。以下に、図2, 図3に示すような液晶表示装置で焼き付きが発生する理由について説明する。

【0020】

図4はHT法を実現する液晶表示装置の1画素を示す平面図であり、図5(a)は図4のII-II線の位置における模式断面図、図5(b)は図4のIII-III線の位置における模式断面図、図5(c)は図4のIV-IV線の位置における模式断面図、図5(d)は図4のV-V線の位置における模式断面図である。

【0021】

図4に示す液晶表示装置においては、図5(a)に示すように、副画素電極61aとコモン電極73との間に、 C_{LC2} と R_{LC2} とが並列に接続されているとみなすことができる。ここで、 C_{LC2} は副画素電極61aとコモン電極73との間の容量であり、 R_{LC2} は副画素電極61aとコモン電極73との間の抵抗である。

10

【0022】

また、副画素電極61aとゲートバスライン52との間にも、 C_{gpx2} と R_{goff} とが並列に接続されているとみなすことができる。ここで、 C_{gpx2} は副画素電極61aとゲートバスライン52との間の容量であり、 R_{goff} は副画素電極61aとゲートバスライン52との間の抵抗である。

【0023】

一方、副画素電極61bとコモン電極73との間にも、図5(b)に示すように、 C_{LC1} と R_{LC1} とが並列に接続されているとみなすことができる。ここで、 C_{LC1} は副画素電極61bとコモン電極73との間の容量であり、 R_{LC1} は副画素電極61bとコモン電極73との間の抵抗である。

20

【0024】

また、副画素電極61bとゲートバスライン52との間には、 C_{gpx1} と R_{gpx1} とが並列に接続されているとみなすことができる。ここで、 C_{gpx1} は副画素電極61bとゲートバスライン52との間の容量であり、 R_{gpx1} は副画素電極61bとゲートバスライン52との間の抵抗である。

【0025】

ゲートバスライン52には、1垂直同期期間(1フィールド期間)の殆どの時間(走査信号が非アクティブの期間)、TF T 56をオフ状態に維持するために-5~-10V程度の直流電圧(V_{goff})が印加される。この直流電圧に応じた電荷が、容量 C_{gpx2} と抵抗 R_{goff} 、又は容量 C_{gpx1} と抵抗 R_{gpx1} とを介して副画素電極61a, 61bに蓄積される。

30

【0026】

通常、各ゲートバスライン52に供給される走査信号は、1垂直同期期間毎に1回づつ順番にアクティブになるので、このときTF T 56がオンになって副画素電極61bとデータバスライン55とが電氣的に接続される。このため、副画素電極61bでは、TF T 56がオフの期間に蓄積された電荷がデータバスライン55に流れ、直流電圧成分は残留しない。一方、副画素電極61aでは、TF T 56がオンになっても副画素電極61aに蓄積された電荷はそのまま保持される。このため、副画素電極61aには直流電圧成分が残留する。

40

【0027】

また、図5(c)に示すように、副画素電極61aとデータバスライン55との間には、 C_{dpx2} と R_{dpx2} とが並列に接続されているとみなすことができる。ここで、 C_{dpx2} は副画素電極61aとデータバスライン55との間の容量であり、 R_{dpx2} は副画素電極61aとデータバスライン55との間の抵抗である。

【0028】

更に、図5(d)に示すように、副画素電極61bとデータバスライン55との間にも、 C_{dpx1} と R_{dpx1} とが並列に接続されているとみなすことができる。ここで、 C_{dpx1} は副画素電極61bとデータバスライン55との間の容量であり、 R_{dpx1} は副画素電極61b

50

とデータバスライン 55 との間の抵抗である。

【0029】

データバスライン 55 には、フィールドスルー電圧を補償するために、コモン電極 73 の電位に対し 1 ~ 2 V 程度高い直流電圧を表示信号（交流信号）に重畳させている。この直流電圧に応じた電荷も、容量 $C_{dp \times 2}$ と抵抗 $R_{dp \times 2}$ 、又は容量 $C_{dp \times 1}$ と抵抗 $R_{dp \times 1}$ とを介して副画素電極 61a, 61b に蓄積される。

【0030】

前述したように、1 垂直同期期間毎に 1 回ずつ TFT 56 がオンになって、副画素電極 61b とデータバスライン 55 とが電氣的に接続される。このとき、副画素電極 61b に蓄積された電荷がデータバスライン 55 に流れ、副画素電極 61b には直流電圧成分が残留しない。一方、副画素電極 61a では、TFT 56 がオンになっても、副画素電極 61a に蓄積された電荷はそのまま保持される。このため、副画素電極 61a には直流電圧成分が残留する。

【0031】

このように、TFT 56 を介して一定の周期でデータバスライン 55 に電氣的に接続される副画素電極 61b では直流電圧成分の蓄積は殆どないのに対し、制御電極 57 と容量結合した副画素電極 61a では電荷が蓄積されて直流電圧成分が残留する。

【0032】

次に、副画素電極 61a に蓄積された電荷と焼き付きとの関係について説明する。

【0033】

副画素電極 61a の面積を S 、セル厚を d とすると、副画素電極 61a とコモン電極 73 との間の容量（液晶容量） C_{LC2} は、 $C_{LC2} = \epsilon (S / d)$ で表される。ここで、 ϵ は液晶の誘電率である。液晶分子が基板面に垂直に配向しているときの誘電率と水平に配向しているときの誘電率とは異なるため、チェッカーパターンの白部分を表示している画素と黒部分を表示している画素では液晶容量の値が異なり、その結果液晶層に印加される直流電圧成分の値も異なる。チェッカーパターンの表示から中間階調の表示に切り替えても液晶層に残留する直流電圧成分は直ぐには変化しないため、白を表示していた画素と黒を表示していた画素とでは液晶層に印加される電圧が異なる。このため、白を表示していた画素と黒を表示していた画素とでは光の透過率が異なり、焼き付きが発生する。なお、このような原因で発生した焼き付きは副画素電極と制御電極及びコモン電極との間の時定数に応じた時間で減少するが、表示品質を向上させるためには焼き付きをできるだけ少なくすることが必要である。

【0034】

以上から、本発明の目的は、白茶けが抑制されるとともに表示むらや焼き付きの発生を回避できて、表示品質が良好な液晶表示装置を提供することである。

【課題を解決するための手段】

【0035】

上記した課題は、相互に対向して配置された第 1 の基板及び第 2 の基板と、前記第 1 の基板及び前記第 2 の基板の間に封入された液晶とにより構成され、マトリクス状に配列された複数の画素を有する液晶表示装置において、各画素に走査信号を供給する複数のゲートバスラインと、各画素に表示信号を供給する複数のデータバスラインと、各画素毎に形成された第 1 及び第 2 の副画素電極と、各画素毎に形成されたバッファ容量と、 n 番目（ n は整数）のゲートバスラインの走査信号により駆動され、オンの期間に m 番目（ m は整数）のデータバスラインの表示信号を n 行 m 列目の画素の前記第 1 の副画素電極に伝達する第 1 のトランジスタと、前記 n 番目のゲートバスラインの走査信号により駆動され、オンの期間に前記 m 番目のデータバスラインの表示信号を前記 n 行 m 列目の画素の前記第 2 の副画素電極に伝達する第 2 のトランジスタと、前記 n 行 m 列目の画素の前記第 1 の副画素電極と前記バッファ容量との間に接続され、 $n + 1$ 番目のゲートバスラインの走査信号により駆動される第 3 のトランジスタとを有し、前記バッファ容量が、前記第 3 のトランジスタのドレインと一体的に形成された第 1 の容量電極と、絶縁膜を介して前記第 1 の容

量電極に対向する位置に形成された第2の容量電極とにより構成され、前記第2の容量電極が、 $m + 1$ 番目のデータバスラインに接続されていることを特徴とする液晶表示装置により解決する。

【0036】

また、上記した課題は、相互に対向して配置された第1の基板及び第2の基板と、前記第1の基板及び前記第2の基板の間に封入された液晶とにより構成され、マトリクス状に配列された複数の画素を有する液晶表示装置において、各画素に走査信号を供給する複数のゲートバスラインと、各画素に表示信号を供給する複数のデータバスラインと、各画素毎に形成された第1及び第2の副画素電極と、各画素毎に形成されたバッファ容量と、 n 番目(n は整数)のゲートバスラインの走査信号により駆動され、オンの期間に m 番目(m は整数)のデータバスラインの表示信号を n 行 m 列目の画素の前記第1の副画素電極に伝達する第1のトランジスタと、前記 n 番目のゲートバスラインの走査信号により駆動され、オンの期間に前記 m 番目のデータバスラインの表示信号を前記 n 行 m 列目の画素の前記第2の副画素電極に伝達する第2のトランジスタと、前記 n 行 m 列目の画素の前記第1の副画素電極と前記バッファ容量との間に接続され、 $n + 1$ 番目のゲートバスラインの走査信号により駆動される第3のトランジスタとを有し、前記バッファ容量が、前記第3のトランジスタのドレインと一体的に形成された第1の容量電極と、絶縁膜を介して前記第1の容量電極に対向する位置に形成された第2の容量電極とにより構成され、前記第2の容量電極が、前記 m 番目のデータバスラインに接続されていることを特徴とする液晶表示装置により解決する。

【0038】

本発明の液晶表示装置においては、画素毎に、第1の副画素電極と、第2の副画素電極と、バッファ容量と、第1～第3のトランジスタとを有している。第1の副画素電極は第1のトランジスタ及び第3のトランジスタに接続され、第2の副画素電極は第2のトランジスタに接続されている。また、バッファ容量は、第3のトランジスタと、例えば $n + 1$ 番目のゲートバスライン、 m 番目のデータバスライン、 $m + 1$ 番目のデータバスライン又はコモン電極との間に接続されている。ここでは、説明を簡単にするために、バッファ容量が第3のトランジスタと $n + 1$ 番目のゲートバスラインとの間に接続されているものとする。

【0039】

第1及び第2のトランジスタは、 n 番目のゲートバスラインに供給される走査信号がアクティブになるとオンになり、第1の副画素電極及び第2の副画素電極にそれぞれ表示信号が伝達される。その後、 n 番目のゲートバスラインに供給される走査信号が非アクティブになって第1及び第2のトランジスタはオフになるが、このとき第1の副画素電極及び第2の副画素電極には同じ電圧が保持される。

【0040】

次に、 $n + 1$ 番目のゲートバスラインに供給される走査信号がアクティブになって第3のトランジスタがオンになると、 $n + 1$ 番目のゲートバスラインからバッファ容量及び第3のトランジスタを介して第1の副画素電極に電荷が注入され、第1の副画素電極の電圧が若干変化する。これにより、第1の副画素電極と第2の副画素電極との電圧が異なり、前述のHT法と同様に、見かけ上1つの画素領域にT-V特性が相互に異なる2つの領域が存在していることになり、画面を斜め方向から見たときに白っぽくなる現象(白茶け)が抑制される。

【0041】

バッファ容量を n 番目のゲートバスラインに接続する替りに、 m 番目のデータバスライン、 $m + 1$ 番目のデータバスライン又はコモン電極に接続した場合も、 $n + 1$ 番目のゲートバスラインの走査信号がアクティブになると、第1の副画素電極の電圧が変化する。これにより、画面を斜め方向から見たときに白っぽくなる現象(白茶け)が抑制される。

【0042】

また、本発明においては、 n 番目のゲートバスラインに供給される走査信号がアクティブ

になると、第１の副画素電極及び第２の副画素電極がいずれもデータバスラインに接続されるため、第１及び第２のトランジスタがオフの期間にゲートバスライン及びデータバスラインに流れる信号に起因して第１の副画素電極及び第２の副画素電極に蓄積された直流電圧成分の電荷が、第１及び第２のトランジスタを介してデータバスラインに流れる。これにより、焼き付きの発生を防止することができる。

【００４３】

なお、特開２００２－３３３８７０号公報には、１画素内に複数の副画素電極と複数のトランジスタとを有する液晶表示装置が記載されている。しかし、この特開２００２－３３３８７０号公報に記載された液晶表示装置は、デジタル／アナログ変換回路を設けることなくデジタルの画像信号に基づいて階調表示を行うものであり、各副画素電極にはデジ

10

【図面の簡単な説明】

【００４４】

【図１】図１は、画面を正面から見たときのＴ－Ｖ（透過率－電圧）特性と、上６０°の方向から見たときのＴ－Ｖ特性とを示す図である。

【図２】図２は、ＨＴ法を実現する従来の液晶表示装置の一例を示す平面図である。

【図３】図３は、図２のⅠ－Ⅰ線による断面図である。

【図４】図４は、ＨＴ法を実現する液晶表示装置の１画素を示す平面図である。

20

【図５】図５（ａ）は図４のⅡ－Ⅱ線の位置における模式断面図、図５（ｂ）は図４のⅢ－Ⅲ線の位置における模式断面図、図５（ｃ）は図４のⅣ－Ⅳ線の位置における模式断面図、図５（ｄ）は図４のⅤ－Ⅴ線の位置における模式断面図である。

【図６】図６は、本発明の第１の実施の形態の液晶表示装置の全体構成を示すブロック図である。

【図７】図７は、第１の実施形態の液晶表示装置の１画素を示す平面図である。

【図８】図８は、図７のⅥ－Ⅵ線の位置における断面図である。

【図９】図９は、図７のⅦ－Ⅶ線の位置におけるＴＦＴ基板の断面図である。

【図１０】図１０は、第１の実施形態の液晶表示装置の製造方法を示す図（その１）である。

30

【図１１】図１１は、第１の実施形態の液晶表示装置の製造方法を示す図（その２）である。

【図１２】図１２は、本発明の第２の実施形態の液晶表示装置を示す平面図である。

【図１３】図１３は、図１２のⅧ－Ⅷ線の位置における断面図である。

【図１４】図１４（ａ）、（ｂ）は液晶表示装置の駆動方法（画素の極性）を示す模式図である。

【図１５】図１５は、第２の実施形態の変形例を示す平面図である。

【図１６】図１６は、図１５のⅨ－Ⅸ線の位置における断面図である。

【図１７】図１７は、本発明の第３の実施形態の液晶表示装置を示す平面図である。

【図１８】図１８は、図１７のⅨ－Ⅸ線の位置における断面図である。

40

【発明を実施するための形態】

【００４５】

以下、本発明について、更に詳細に説明する。

【００４６】

（第１の実施形態）

図６は、本発明の第１の実施の形態の液晶表示装置の全体構成を示すブロック図である。なお、本実施形態は、本発明をＭＶＡ（Multi-domain Vertical Alignment）型液晶表示装置に適用した例を示している。

【００４７】

本実施形態の液晶表示装置１００は、制御回路１０１、データドライバ１０２、ゲート

50

ドライバ１０３及び液晶パネル１０４により構成されている。この液晶表示装置１００には、コンピュータ等の外部装置（図示せず）からデジタル表示信号ＲＧＢ、水平同期信号Ｈsync及び垂直同期信号Ｖsync等の信号が供給される。

【００４８】

液晶パネル１０４には、複数の画素１０５がマトリクス状に配列されている。また、液晶パネル１０４には、垂直方向に伸びる複数のデータバスライン１１５と、水平方向に伸びる複数のゲートバスライン１１１とが設けられている。本実施形態の液晶表示装置においては、ゲートバスライン１１１及びデータバスライン１１５が各画素１０５の境界となっている。画素１０５の詳細については後述する。

【００４９】

制御回路１０１は、水平同期信号Ｈsync及び垂直同期信号Ｖsyncを入力し、１水平同期期間の開始時にアクティブになるデータスタート信号DSIと、１水平同期期間を一定の間隔に分割するデータクロックDCLKと、１垂直同期期間の開始時にアクティブになるゲートスタート信号GSIと、１垂直同期期間を一定の間隔に分割するゲートクロックGCLKとを出力する。

【００５０】

データドライバ１０２は、外部装置から入力したデジタル表示信号ＲＧＢをアナログ表示信号に変換し、制御回路１０１から入力したデータスタート信号DSI及びデータクロックDCLKに基づくタイミングで１水平同期期間毎に各データバスライン１１５にアナログ表示信号を供給する。このアナログ表示信号は、例えば１フレーム（１垂直同期期間）毎に極性が反転する交流信号である。

【００５１】

一方、ゲートドライバ１０３は、制御回路１０１から入力したゲートスタート信号GSI及びゲートクロックGCLKに基づいて、１垂直同期期間内に、各ゲートバスライン１１１に供給する走査信号を順番にアクティブにする。走査信号が非アクティブのときの電圧は－５～－１０Ｖ程度であり、アクティブのときの電圧は１５～３０Ｖ程度である。

【００５２】

図７は本実施形態の液晶表示装置の１画素を示す平面図、図８は図７のVI-VI線の位置における断面図、図９は図７のVII-VII線の位置におけるTFT基板の断面図である。なお、図９では配向膜の図示を省略している。

【００５３】

図８に示すように、液晶パネル１０４は、TFT基板１１０と、対向基板１３０と、それらの間に封入された誘電率異方性が負の液晶１４０とにより構成されている。液晶パネル１０４の裏面側（図８では下側）には第１の偏光板１４１aが配置され、前面側（図８では上側）には第２の偏光板１４１bが配置されている。これらの偏光板１４１a、１４１bは、吸収軸が相互に直交するように配置されている。また、液晶パネル１０４の裏面側には、バックライト（図示せず）が配置されている。

【００５４】

TFT基板１１０には、図７に示すように、水平方向に伸びる複数のゲートバスライン１１１と、垂直方向に伸びる複数のデータバスライン１１５とが形成されている。これらのゲートバスライン１１１及びデータバスライン１１５により区画される矩形の領域がそれぞれ画素領域である。また、TFT基板１１０には、ゲートバスライン１１１に平行に配置されて画素領域の中央を横断する補助容量バスライン１１２が形成されている。

【００５５】

ゲートバスライン１１１及び補助容量バスライン１１２はTFT基板１１０のベースとなるガラス基板１１０aの上に形成されている。これらのゲートバスライン１１１及び補助容量バスライン１１２の上には第１の絶縁膜１１３が形成されており、データバスライン１１５は第１の絶縁膜１１３の上に形成されている。

【００５６】

更に、TFT基板１１０には、各画素領域毎に、TFT１１６、１１７、１１８と、補

10

20

30

40

50

助容量電極 120 と、副画素電極 122a, 122b と、バッファ容量下部電極 111b と、バッファ容量上部電極 118c とが形成されている。本実施形態では、図 7 に示すように、TF T 116, 117 は n (n は整数) 番目のゲートバスライン 111 の一部をゲート電極としており、TF T 118 は $n+1$ 番目のゲートバスライン 111 から伸びる配線 111a をゲート電極としている。また、バッファ容量下部電極 111b は、 $n+1$ 番目のゲートバスライン 111 に接続している。

【0057】

ゲートバスライン 111 及び配線 111a の所定の領域の上方には TF T 116, 117, 118 の活性層となる半導体膜 (シリコン膜等) 114a が形成されており、それらの半導体膜 114a のチャネルとなる領域の上にはチャネル保護膜 114b, 114c が形成されている。TF T 116 のドレイン電極 116a 及びソース電極 116b はチャネル保護膜 114b を挟んで相互に対向する位置に配置されており、これと同様に TF T 117 のドレイン電極 117a 及びソース電極 117b もチャネル保護膜 114b を挟んで相互に対向する位置に配置されている。また、TF T 118 のドレイン電極 118a 及びソース電極 118b は、チャネル保護膜 114c を挟んで相互に対向する位置に配置されている。更に、TF T 116, 117 のドレイン電極 116a, 117a はいずれも m 番目 (m は整数) のデータバスライン 115 に接続されている。

【0058】

補助容量電極 120 は第 1 の絶縁膜 113 を挟んで補助容量バスライン 112 に対向する位置に配置されている。補助容量電極 120 と、補助容量バスライン 112 と、それらの間の第 1 の絶縁膜 113 とにより、補助容量を構成している。この補助容量電極 120 は、配線 119 を介して TF T 116 のソース電極 116b に接続されている。

【0059】

また、バッファ容量上部電極 118c は、第 1 の絶縁膜 113 を挟んでバッファ容量下部電極 111b に対向する位置に配置され、TF T 118 のドレイン電極 118a と接続されている。このバッファ容量上部電極 118c と、バッファ容量下部電極 111b と、それらの間の第 1 の絶縁膜 113 とによりバッファ容量 126 を構成している。

【0060】

データバスライン 115、TF T 116, 117, 118、配線 119、補助容量電極 120 及びバッファ容量上部電極 118c の上には第 2 の絶縁膜 121 が形成されており、この第 2 の絶縁膜 121 の上に副画素電極 122a, 122b が形成されている。副画素電極 122a, 122b は ITO (Indium-Tin Oxide) 等の透明導電体により形成されており、スリット 124 により相互に分離されている。スリット 124 はデータバスライン 115 に対し斜め方向に伸びる部分とデータバスライン 115 に平行に伸びる部分とを有し、且つゲートバスライン 111 に平行な画素の中心線を軸として上下対称に形成されている。このスリット 124 は、電圧印加時に液晶分子が倒れる方向を制御する配向制御用構造物として機能する。

【0061】

副画素電極 122a は第 2 の絶縁膜 121 に形成されたコンタクトホール 121a, 121c を介して TF T 117 のソース電極 117b 及び TF T 118 のソース電極 118b に電氣的に接続されている。また、副画素電極 122b は、第 2 の絶縁膜 121 に形成されたコンタクトホール 121b を介して補助容量電極 120 に電氣的に接続されている。これらの副画素電極 122a, 122b の上には、ポリイミド等からなる垂直配向膜 125 が形成されている。

【0062】

一方、対向基板 130 は、図 8 に示すように、ベースとなるガラス基板 130a と、ガラス基板 130a の一方の面側 (図 8 では下側) に形成されたブラックマトリクス (遮光膜) 131、カラーフィルタ 132、コモン電極 133 及び突起 134 とにより構成されている。ブラックマトリクス 131 は、TF T 基板 110 側のゲートバスライン 111、データバスライン 115 及び TF T 116, 117, 118 に対向する位置に配置されて

いる。ブラックマトリクス 1 3 1 の幅は、ゲートバスライン 1 1 1 及びデータバスライン 1 1 5 の幅よりも若干広く設定されている。

【 0 0 6 3 】

カラーフィルタ 1 3 2 には赤色 (R)、緑色 (G) 及び青色 (B) の 3 種類があり、各画素毎に赤色 (R)、緑色 (G) 及び青色 (B) のいずれか一色のカラーフィルタ 1 3 2 が配置されている。本実施形態では、水平方向に隣接する赤色画素、緑色画素及び青色画素の 3 つにより 1 つのピクセルを構成し、種々の色の表示を可能としている。

【 0 0 6 4 】

カラーフィルタ 1 3 2 の表面は、ITO 等の透明導電体からなるコモン電極 1 3 3 により覆われている。そして、図 8 に示すように、コモン電極 1 3 3 上 (図 8 では下側) には配向制御用構造物として土手状の突起 1 3 4 が形成されている。この突起 1 3 4 は例えばフォトレジスト等の誘電体材料により形成され、図 7 に二点鎖線で示すように、スリット 1 2 4 から離れた位置に、スリット 1 2 4 にほぼ平行に配置されている。コモン電極 1 3 3 及び突起 1 3 4 の表面は、ポリイミドからなる垂直配向膜 1 3 5 に覆われている。

【 0 0 6 5 】

以下、本実施形態の液晶表示装置の動作について説明する。但し、ここでは図 7 に示す n 行 m 列目の画素の動作について説明している。初期状態 (副画素電極 1 2 2 a , 1 2 2 b に電圧が印加されていない状態) では、液晶分子は配向膜 1 2 5 , 1 3 5 の表面に対し垂直な方向に配向している。

【 0 0 6 6 】

本実施形態の液晶表示装置において、n 番目のゲートバスライン 1 1 1 に供給される走査信号がアクティブになると、TF T 1 1 6 , 1 1 7 がオンになって、m 番目のデータバスライン 1 1 5 に供給された表示信号が補助容量電極 1 2 0 及び副画素電極 1 2 2 a , 1 2 2 b に伝達される。その後、走査信号が非アクティブになって TF T 1 1 6 , 1 1 7 がオフになると、副画素電極 1 2 2 a , 1 2 2 b には表示信号に応じた電圧が保持される。そして、液晶分子は、副画素電極 1 2 2 a , 1 2 2 b の電圧に応じた角度で傾斜し、液晶分子の傾斜角度に応じた量の光が画素を透過する。この場合、スリット 1 2 4 及び突起 1 3 4 の両側では液晶分子の倒れる方向が逆となり、いわゆる配向分割 (マルチドメイン) が達成されて、良好な視野角特性が得られる。

【 0 0 6 7 】

次に、n + 1 番目のゲートバスライン 1 1 1 に供給される走査信号がアクティブになると、TF T 1 1 8 がオンになり、副画素電極 1 2 2 a には n + 1 番目のゲートバスライン 1 1 1 からバッファ容量 1 2 6 及び TF T 1 1 8 を介して電荷が注入される。これにより、副画素電極 1 2 2 a の電圧が副画素電極 1 2 2 b の電圧よりも若干高くなる。その結果、前述の HT 法と同様に、1 画素内に T - V 特性が相互に異なる 2 つの領域 (副画素電極 1 2 2 a が配置された領域と副画素電極 1 2 2 b が配置された領域) が存在することになり、斜め方向から見たときに画面が白っぽくなる現象 (白茶け) が抑制される。なお、副画素電極 1 2 2 a の電圧上昇量は、表示信号の電圧とバッファ容量 1 2 6 の容量値とに依存する。

【 0 0 6 8 】

図 2 に示す従来の液晶表示装置では、制御電極 5 7 (配線 5 9 のうち副画素電極 6 1 a の下方の部分を含む) と副画素電極 6 1 a との間の容量を介して副画素電極 6 1 a に電圧を印加するため、制御電極 5 7 の大きさを比較的大きくすることが必要である。一方、本実施形態の液晶表示装置では、TF T 1 1 7 を介して副画素電極 1 2 2 a に表示信号 (表示電圧) を印加し、その後 TF T 1 1 8 及びバッファ容量 1 2 6 により副画素電極 1 2 2 a の電圧を若干変化させるだけであるので、図 2 に示す液晶表示装置の制御電極 5 7 (配線 5 9 のうち副画素電極 6 1 a の下方の部分を含む) に比べてバッファ容量の電極 (下部電極 1 1 1 b 及び上部電極 1 1 8 c) のサイズが小さくてよい。従って、図 2 に示す従来の液晶表示装置に比べて開口率が大きくなり、明るい表示が可能になるという利点もある。また、本実施形態の液晶表示装置は、バッファ容量 1 2 6 の容量値のばらつきによる副

10

20

30

40

50

画素電極 1 2 2 a の電圧の変化が比較的小さいので、図 2 に示す従来の液晶表示装置に比べてフォトリソグラフィ工程に起因する表示むらの発生が抑制されるという利点もある。

【 0 0 6 9 】

ところで、本実施形態においても、T F T 1 1 6 , 1 1 7 がオフの間に、ゲートバスライン 1 1 1 及びデータバスライン 1 1 5 に供給される信号により、副画素電極 1 2 2 a 、 1 2 2 b には直流電圧成分の電荷が蓄積される。しかし、本実施形態においては、1 フレーム (1 垂直同期期間) 毎に T F T 1 1 6 , 1 1 7 がオンになって副画素電極 1 2 2 a 、 1 2 2 b がいずれもデータバスライン 1 1 5 に電氣的に接続されるため、副画素電極 1 2 2 a , 1 2 2 b に蓄積された直流電圧成分の電荷がデータバスライン 1 1 5 に流れ、焼き付きが回避される。これにより、良好な表示品質が得られるという効果を奏する。

10

【 0 0 7 0 】

以下、本実施形態の液晶表示装置の製造方法について説明する。

【 0 0 7 1 】

まず、図 7 及び図 1 0 , 図 1 1 を参照して T F T 基板 1 1 0 の製造方法について説明する。なお、図 1 0 , 図 1 1 は図 7 の VII - VII 線の位置における断面を示している。

【 0 0 7 2 】

まず、T F T 基板 1 1 0 のベースとなるガラス基板 1 1 0 a の上に、スパッタ法により、例えば A l (アルミニウム) - M o N (窒化モリブデン) - M o (モリブデン) の積層構造を有する第 1 の金属膜を形成する。そして、この第 1 の金属膜をフォトリソグラフィ法によりパターニングして、図 7 及び図 1 0 (a) に示すように、ゲートバスライン 1 1 1 、配線 1 1 1 a 、バッファ容量下部電極 1 1 1 b 及び補助容量バスライン 1 1 2 を形成する。

20

【 0 0 7 3 】

次に、図 1 0 (b) に示すように、C V D (Chemical Vapor Deposition) 法により、ガラス基板 1 1 0 a の上側全面に例えば S i O₂ からなる第 1 の絶縁膜 (ゲート絶縁膜) 1 1 3 を形成する。そして、この第 1 の絶縁膜 1 1 3 の所定の領域上に、T F T 1 1 6 , 1 1 7 , 1 1 8 の活性層となる半導体膜 1 1 4 a を形成する。その後、ガラス基板 1 1 0 a の上側全面に例えば S i N 膜を形成し、この S i N 膜をフォトリソグラフィ法によりパターニングして、半導体膜 1 1 4 a のチャネルとなる領域の上にチャネル保護膜 1 1 4 b , 1 1 4 c を形成する。

30

【 0 0 7 4 】

次に、ガラス基板 1 1 0 a の上側全面に例えば T i (チタン) - A l - T i の積層構造を有する第 2 の金属膜を形成し、この第 2 の金属膜をフォトリソグラフィ法によりパターニングして、図 7 及び図 1 0 (c) に示すように、データバスライン 1 1 5 と、ドレイン電極 1 1 6 a , 1 1 7 a , 1 1 8 a と、ソース電極 1 1 6 b , 1 1 7 b , 1 1 8 b と、バッファ容量上部電極 1 1 8 c と、配線 1 1 9 と、補助容量電極 1 2 0 とを形成する。

【 0 0 7 5 】

次に、図 1 1 (a) に示すように、ガラス基板 1 1 0 a の上側全面に例えば S i O₂ 、 S i N 又は樹脂等からなる第 2 の絶縁膜 1 2 1 を形成する。そして、フォトリソグラフィ法により第 2 の絶縁膜 1 2 1 に、T F T 1 1 7 のソース電極 1 1 7 b に通じるコンタクトホール 1 2 1 a と、補助容量電極 1 2 0 に通じるコンタクトホール 1 2 1 b と、T F T 1 1 8 のソース電極 1 1 8 b に通じるコンタクトホール 1 2 1 c とを形成する。

40

【 0 0 7 6 】

次に、スパッタ法により、ガラス基板 1 1 0 a の上側全面に I T O 膜 (又はその他の導電体膜) を形成する。その後、この I T O 膜をフォトリソグラフィ法によりパターニングして、図 7 及び図 1 1 (b) に示すように、副画素電極 1 2 2 a , 1 2 2 b を形成する。副画素電極 1 2 2 a は、コンタクトホール 1 2 1 a , 1 2 1 c を介して T F T 1 1 7 のソース電極 1 1 7 b 及び T F T 1 1 8 のソース電極 1 1 8 b に電氣的に接続される。また、副画素電極 1 2 2 b は、コンタクトホール 1 2 1 b を介して補助容量電極 1 2 0 に電氣的に接続される。

50

【0077】

次いで、ガラス基板110aの上側全面に例えばポリイミドを塗布して、副画素電極122a, 122bの表面を覆う垂直配向膜125を形成する。これにより、TFT基板110が完成する。

【0078】

次に、対向基板130の製造方法について、図8を参照して説明する。まず、対向基板130のベースとなるガラス基板130aの上(図8では下側)に、Cr等の金属又は黒色樹脂によりブラックマトリクス131を形成する。このブラックマトリクス131は、TFT基板110側のゲートバスライン111、データバスライン115及びTFT116, 117, 118に対向する位置に、ゲートバスライン111及びデータバスライン115の幅よりも若干太く形成する。

10

【0079】

次に、赤色感光性樹脂、緑色感光性樹脂及び青色感光性樹脂を使用して、ガラス基板130aの上にカラーフィルタ132を形成する。各画素領域には、赤色、緑色及び青色のいずれか1色のカラーフィルタ132を配置する。

【0080】

次に、スパッタ法により、カラーフィルタ132の上(図8では下側)にITO等の導電体からなるコモン電極133を形成する。その後、コモン電極133の上にフォトレジストを塗布してフォトレジスト膜を形成し、このフォトレジスト膜を所定の露光マスクを介して露光し、その後現像処理を施して突起134を形成する。

20

【0081】

次いで、ガラス基板130aの上側全面に例えばポリイミドを塗布して、コモン電極133及び突起134の表面を覆う垂直配向膜135を形成する。これにより、対向基板130が完成する。

【0082】

このようにして製造されたTFT基板110と対向基板130とをスペーサ(図示せず)を挟んで相互に対向させて配置し、両者の間に誘電率異方性が負の液晶140を封入して液晶パネル104とする。次いで、液晶パネル104の両側に偏光板141a, 141bを接合し、更に駆動回路及びバックライト(図示せず)を取り付ける。このようにして、本実施形態の液晶表示装置が完成する。

30

【0083】

(第2の実施形態)

図12は本発明の第2の実施形態の液晶表示装置を示す平面図、図13は図12のVIII-VIII線の位置における断面図である。なお、本実施形態が第1の実施形態と異なる点はバッファ容量の構造が異なることにあり、その他の構成は基本的に第1の実施形態と同様であるので、図12, 図13において図7, 図9と同一物には同一符号を付して、その詳しい説明は省略する。

【0084】

本実施形態においては、バッファ容量210が、TFT118のドレイン電極118aと一体的に形成されたバッファ容量下部電極211と、副画素電極122a, 122bと同時に形成されたITO等の透明導電体からなるバッファ容量上部電極212と、それらの間に介在する第2の絶縁膜121とにより構成されている。バッファ容量上部電極212は、第2の絶縁膜121に形成されたコンタクトホール213を介してm+1番目のデータバスライン115に接続されている。

40

【0085】

以下、本実施形態の液晶表示装置の動作について説明する。なお、液晶表示装置を駆動する場合に、例えば図14(a)に示すように水平方向に並んだ画素には同極性の表示信号を供給し、垂直方向に隣接する画素には逆極性の表示信号を供給する方法や、図14(b)に示すように、水平方向及び垂直方向に隣接する画素に逆極性の表示信号を供給する方法など、種々の駆動方法がある。また、通常は、図14(a), (b)に示すように、

50

1 フレーム毎に各画素に供給する表示信号の極性を反転させている。本実施形態では、図 14 (a) に示すように、水平方向に並んだ画素には同極性の表示信号を供給し、垂直方向に隣接する画素には逆極性の表示信号を供給するものとする。

【0086】

本実施形態の液晶表示装置において、n 番目のゲートバスライン 111 に供給される走査信号がアクティブになると、第 1 の実施形態と同様に、TF T 116, 117 がオンになって、m 番目のデータバスライン 115 に供給された表示信号が補助容量電極 120 及び副画素電極 122a, 122b に伝達される。ここでは、m 番目のデータバスライン 115 には正極性の表示信号が供給されているものとする。

【0087】

その後、走査信号が非アクティブになって TF T 116, 117 がオフになると、副画素電極 122a, 122b には表示信号に応じた正極性の電圧が保持される。

【0088】

次に、n + 1 番目のゲートバスライン 111 に供給される走査信号がアクティブになると、TF T 118 がオンになる。このとき、m + 1 番目のデータバスライン 115 には負極性の表示信号が供給されている。このため、副画素電極 122a に蓄積された電荷が TF T 118 及びバッファ容量 210 を介してデータバスライン 115 に流れ、副画素電極 122a の電圧が若干低下する。その結果、前述した HT 法と同様に、1 画素内に T - V 特性が相互に異なる 2 つの領域が存在することになり、斜め方向から見たときに白っぽくなる現象（白茶け）が抑制される。

【0089】

なお、副画素電極 122a の電圧低下量はバッファ容量 210 の容量値と m + 1 番目のデータバスライン 115 の供給される表示信号の電圧とに依存する。

【0090】

本実施形態においても、第 1 の実施形態と同様に 1 フレーム毎に TF T 116, 117 がオンになって副画素電極 122a, 122b がいずれもデータバスライン 115 に電氣的に接続される。このため、TF T 116, 117 がオフの期間にゲートバスライン 111 及びデータバスライン 115 に供給される信号により副画素電極 122a, 122b に蓄積された直流電圧成分の電荷が、TF T 116, 117 を介してデータバスライン 115 に流れて、焼き付きが回避される。また、本実施形態の液晶表示装置においても、第 1 の実施形態と同様に、図 2 に示す従来の液晶表示装置に比べてフォトリソグラフィ工程に起因する表示むらの発生が抑制されるとともに、開口率が大きくなって明るい表示が可能になるという利点もある。

【0091】

なお、本実施の形態ではバッファ容量上部電極 212 と m + 1 番目のゲートバスライン 115 とがコンタクトホール 213 を介して直接電氣的に接続されている場合について説明したが、バッファ容量上部電極 212 と m + 1 番目のゲートバスライン 115 とが容量結合していてもよい。

【0092】

また、図 14 (b) に示すように、垂直方向及び水平方向に隣接する画素に逆極性の表示信号を供給する場合は、バッファ容量上部電極 212 を m 番目のデータバスライン 115 に接続すればよい。

【0093】

更に、図 15 に平面図、図 16 に図 15 の IX - IX 線の位置における断面図を示すように、バッファ容量 220 の下部電極 221 をゲートバスライン 111 及び配線 111a と同時に形成し、上部電極 222 を TF T 118 のドレイン電極 118b と一体的に形成してもよい。この場合、バッファ容量 220 は、下部電極 221 と、上部電極 222 と、それらの間の第 1 の絶縁膜 113 とにより構成される。図 15, 図 16 ではバッファ容量下部電極 221 と m + 1 番目のデータバスライン 115 とが容量結合している場合を示しているが、バッファ容量下部電極 221 と m + 1 番目のデータバスライン 115 とをコンタク

10

20

30

40

50

トホールを介して直接電氣的に接続してもよい。

【 0 0 9 4 】

(第 3 の実施形態)

図 1 7 は本発明の第 3 の実施形態の液晶表示装置を示す平面図、図 1 8 は図 1 7 の IX - IX 線の位置における断面図である。なお、本実施形態が第 1 の実施形態と異なる点はバッファ容量の構造が異なることにあり、その他の構成は基本的に第 1 の実施形態と同様であるので、図 1 7 , 図 1 8 において図 7 , 図 9 と同一物には同一符号を付してその詳しい説明は省略する。また、図 1 8 では、ブラックマトリクス、カラーフィルタ及び配向膜等の図示を省略している。

【 0 0 9 5 】

本実施形態においては、TFT 1 1 8 のソース電極 1 1 8 a 及びドレイン電極 1 1 8 b が、n + 1 番目のゲートバスライン 1 1 1 を挟んで相互に対向する位置に配置されている。また、TFT 1 1 8 のソース電極 1 1 8 a は、第 2 の絶縁膜 1 2 1 に形成されたコンタクトホール 2 3 2 を介して、n + 1 行目の画素領域内に配置されたバッファ容量電極 2 3 1 に電氣的に接続されている。このバッファ容量電極 2 3 1 はITO等の透明導電体により副画素電極 1 1 2 a , 1 1 2 b と同時に形成される。本実施形態においては、図 1 8 に示すように、バッファ容量電極 2 3 1 と、コモン電極 1 3 3 と、それらの間の液晶 1 3 0 とによりバッファ容量 2 3 0 を構成している。

【 0 0 9 6 】

以下、本実施形態の液晶表示装置の動作について説明する。

【 0 0 9 7 】

本実施形態の液晶表示装置においても、n 番目のゲートバスライン 1 1 1 に供給される走査信号がアクティブになると、TFT 1 1 6 , 1 1 7 がオンになって、m 番目のデータバスライン 1 1 5 に供給された表示信号が補助容量電極 1 2 0 及び副画素電極 1 2 2 a , 1 2 2 b に伝達される。

【 0 0 9 8 】

その後、走査信号が非アクティブになってTFT 1 1 6 , 1 1 7 がオフになると、副画素電極 1 2 2 a , 1 2 2 b には表示信号に応じた電圧が保持される。液晶分子は、副画素電極 1 2 2 a , 1 2 2 b の電圧に応じた角度で傾斜し、液晶分子の傾斜角度に応じた量の光が画素を透過する。

【 0 0 9 9 】

次に、n + 1 番目のゲートバスライン 1 1 1 に供給される走査信号がアクティブになると、TFT 1 1 8 がオンになり、副画素電極 1 2 2 a に蓄積された電荷がTFT 1 1 8 及びバッファ容量 2 3 0 を介してコモン電極 1 3 3 に流れ、副画素電極 1 2 2 a の電圧が若干低下する。その結果、前述したHT法と同様に、斜め方向から見たときに白っぽくなる現象（白茶け）が抑制される。なお、副画素電極 1 2 2 a の電圧低下量は表示信号の電圧とバッファ容量 2 3 0 の容量値に依存する。

【 0 1 0 0 】

本実施形態においても、第 1 の実施形態と同様に 1 フレーム毎にTFT 1 1 6 , 1 1 7 がオンになって副画素電極 1 2 2 a , 1 2 2 b がいずれもデータバスライン 1 1 5 に電氣的に接続される。このため、TFT 1 1 6 , 1 1 7 がオフの期間にゲートバスライン 1 1 1 及びデータバスライン 1 1 5 に供給される信号により副画素電極 1 2 2 a , 1 2 2 b に蓄積された直流電圧成分の電荷が、TFT 1 1 6 , 1 1 7 を介してデータバスライン 1 1 5 に流れて、焼き付きが回避される。また、本実施形態の液晶表示装置においても、第 1 の実施形態と同様にフトリソグラフィ工程に起因する表示むらの発生が抑制されるとともに、開口率が大きくなって明るい表示が可能になるという利点もある。

【 符号の説明 】

【 0 1 0 1 】

5 1 , 7 1 , 1 1 0 a , 1 3 0 a ... ガラ基板、
5 2 , 1 1 1 ... ゲートバスライン、

10

20

30

40

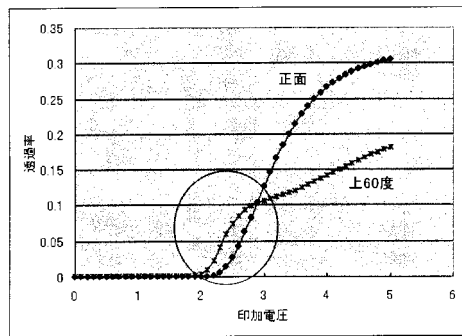
50

5 3 ... 補助容量バスライン、
5 4 , 6 0 , 1 1 3 , 1 2 1 ... 絶縁膜、
5 5 , 1 1 5 ... データバスライン、
5 6 , 1 1 6 , 1 1 7 , 1 1 8 ... T F T (薄膜トランジスタ)、
5 7 ... 制御電極、
5 8 , 1 2 0 ... 補助容量電極
6 1 a , 6 1 b , 1 2 2 a , 1 2 2 b ... 副画素電極、
6 2 , 7 4 , 1 2 5 , 1 3 5 ... 配向膜、
7 2 , 1 3 2 ... カラーフィルタ、
7 3 , 1 3 3 ... コモン電極、
8 0 , 1 4 0 ... 液晶、
1 0 0 ... 液晶表示装置、
1 0 1 ... 制御回路、
1 0 2 ... データドライバ、
1 0 3 ... ゲートドライバ、
1 0 4 ... 液晶パネル、
1 0 5 ... 画素、
1 1 0 ... T F T 基板、
1 1 1 b , 2 1 1 , 2 2 1 ... バッファ容量下部電極、
1 1 2 ... 補助容量バスライン、
1 1 8 c , 2 1 2 , 2 2 2 ... バッファ容量上部電極、
1 2 0 , 2 1 0 , 2 2 0 ... バッファ容量、
1 3 0 ... 対向基板、
1 3 1 ... ブラックマトリクス、
1 3 4 ... 突起 (配向制御用構造物)、
1 4 1 a , 1 4 1 b ... 偏光板、
2 3 1 ... バッファ容量電極。

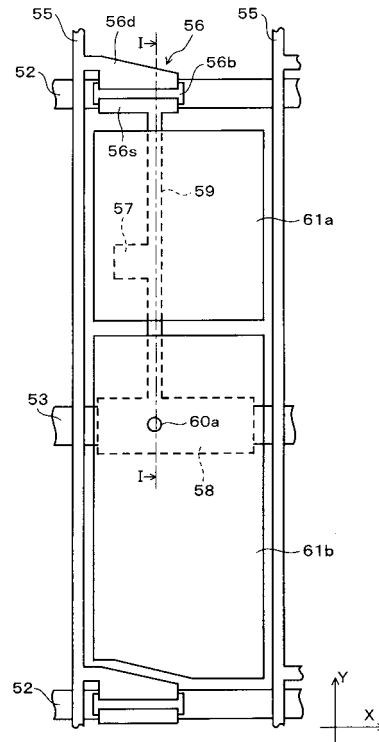
10

20

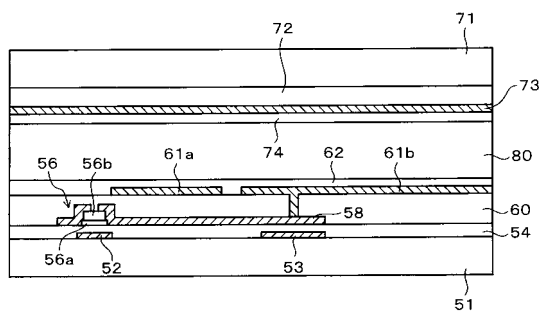
【図 1】



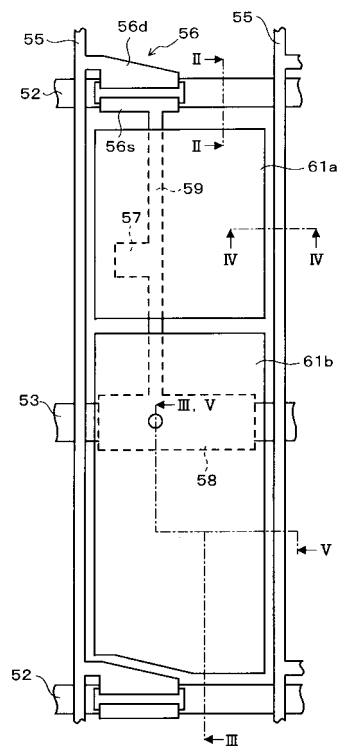
【図 2】



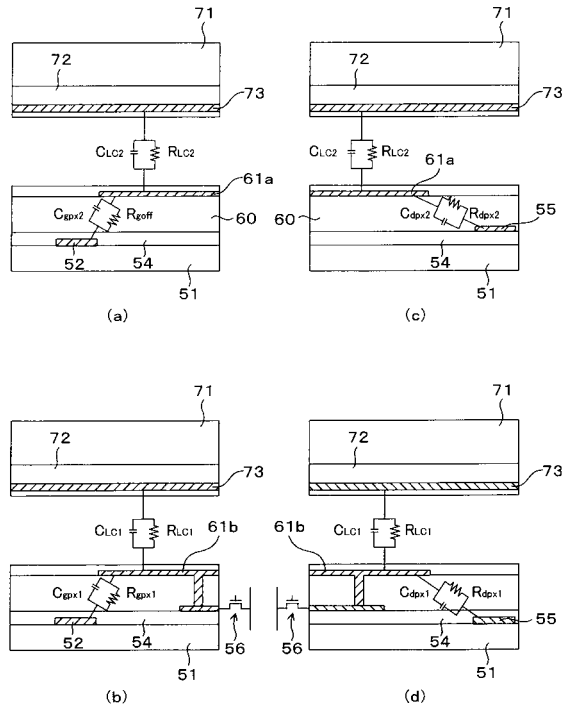
【図 3】



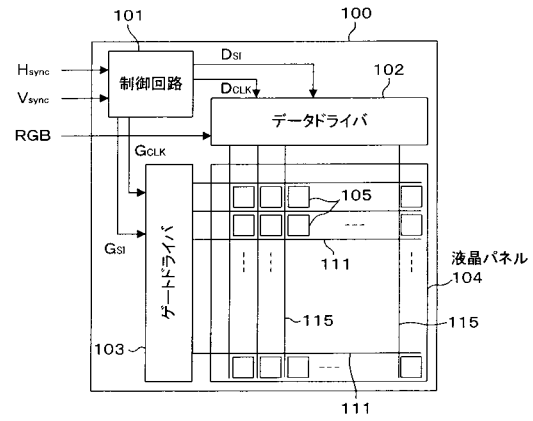
【図 4】



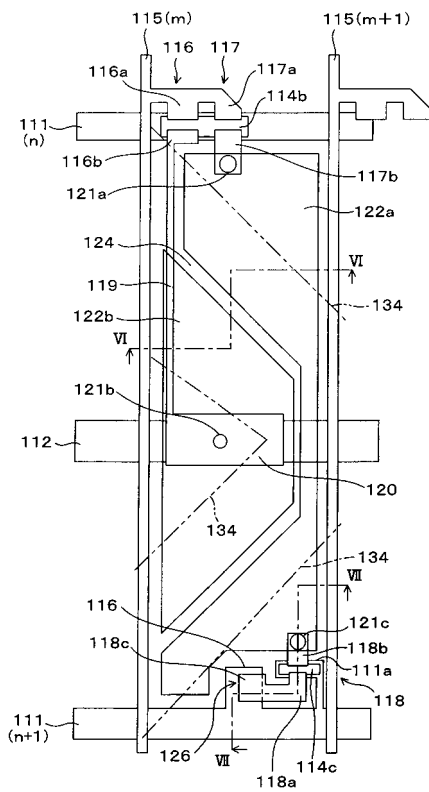
【図 5】



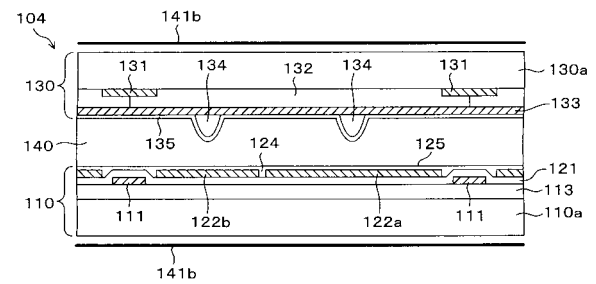
【図 6】



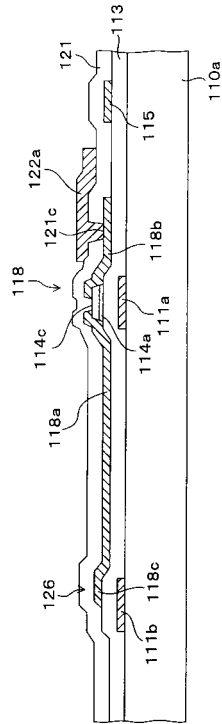
【図 7】



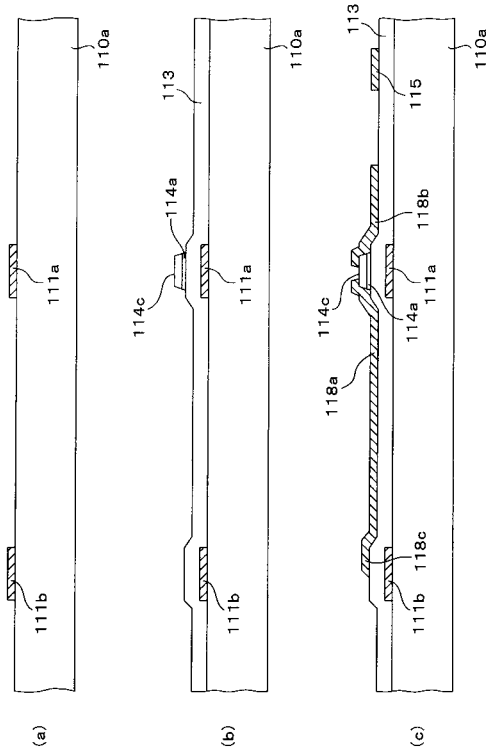
【図 8】



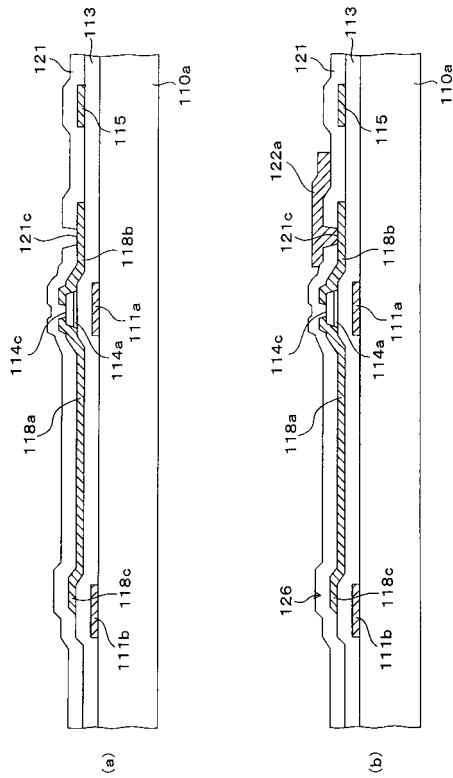
【図 9】



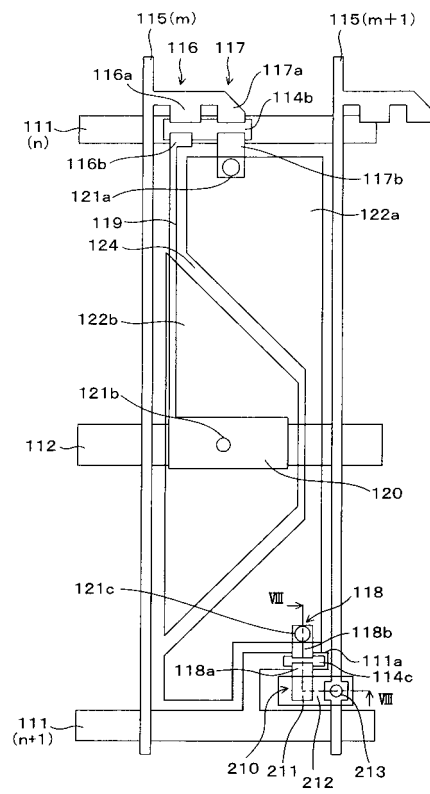
【図 10】



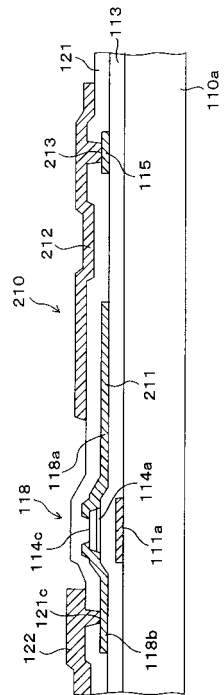
【図 11】



【図 12】



【図 13】



【図 14】

(a)

奇数フレーム

	1	2	3	4	...	m	
1	+	+	+	+	...	+	...
2	-	-	-	-	...	-	...
3	+	+	+	+	...	+	...
4	-	-	-	-	...	-	...
...	⋮	⋮	⋮	⋮	⋮	⋮	⋮
n	+	+	+	+	...	+	...
...	⋮	⋮	⋮	⋮	⋮	⋮	⋮

偶数フレーム

	1	2	3	4	...	m	
1	-	-	-	-	...	-	...
2	+	+	+	+	...	+	...
3	-	-	-	-	...	-	...
4	+	+	+	+	...	+	...
...	⋮	⋮	⋮	⋮	⋮	⋮	⋮
n	-	-	-	-	...	-	...
...	⋮	⋮	⋮	⋮	⋮	⋮	⋮

(b)

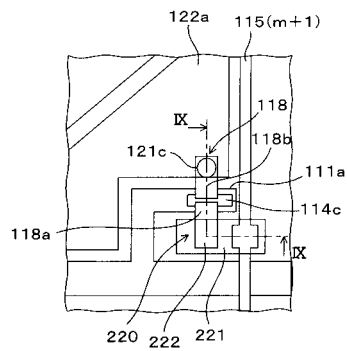
奇数フレーム

	1	2	3	4	...	m	...
1	+	-	+	-	...	+	...
2	-	+	-	+	...	-	...
3	+	-	+	-	...	+	...
4	-	+	-	+	...	-	...
	⋮	⋮	⋮	⋮	⋮	⋮	⋮
n	+	-	+	-	...	+	...
	⋮	⋮	⋮	⋮	⋮	⋮	⋮

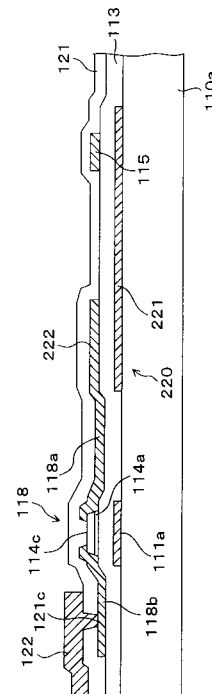
偶数フレーム

	1	2	3	4	...	m	...
1	-	+	-	+	...	-	...
2	+	-	+	-	...	+	...
3	-	+	-	+	...	-	...
4	+	-	+	-	...	+	...
	⋮	⋮	⋮	⋮	⋮	⋮	⋮
n	-	+	-	+	...	-	...
	⋮	⋮	⋮	⋮	⋮	⋮	⋮

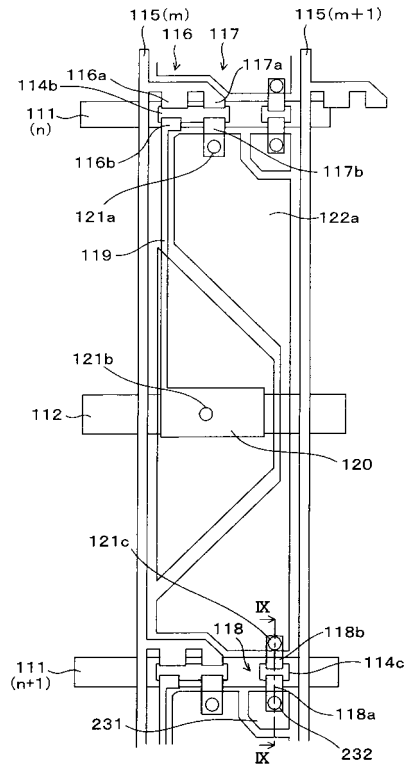
【図 15】



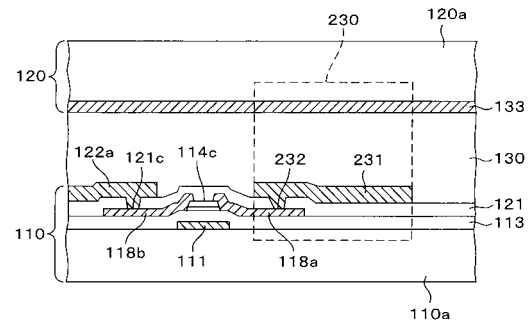
【図 16】



【図 17】



【図 18】



フロントページの続き

(72)発明者 鎌田 豪

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 藤田 都志行

(56)参考文献 特開平08-179370(JP,A)

特開平08-179278(JP,A)

特開2005-062882(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1343

专利名称(译)	液晶表示装置		
公开(公告)号	JP4881480B2	公开(公告)日	2012-02-22
申请号	JP2011011926	申请日	2011-01-24
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	小杉俊太郎 藤川徹也 鎌田豪		
发明人	小杉 俊太郎 藤川 徹也 鎌田 豪		
IPC分类号	G02F1/1368 G02F1/1343		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/JA26 2H092/JB43 2H092/JB46 2H092/JB63 2H092/JB64 2H092/JB68 2H092/JB69 2H092/NA01 2H092/NA25 2H192/AA24 2H192/BA23 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CB12 2H192/CB71 2H192/CC04 2H192/CC32 2H192/CC72 2H192/DA02 2H192/DA12 2H192/DA43 2H192/DA52 2H192/DA65 2H192/EA22 2H192/EA43 2H192/JA13		
代理人(译)	冈本圭造		
其他公开文献	JP2011090337A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制褪色并且避免出现显示不均匀和图像持久性并且显示出良好显示质量的液晶显示装置。解决方案：在显示装置中，子像素电极122a，122b，缓冲器容量210和TFT 116,117,118形成在每个像素中。TFT 116,117由提供给第n栅极总线111的信号驱动，而TFT 118由提供给第(n+1)栅极总线111的信号驱动。子像素电极122a为连接到TFT 116,118，同时子像素电极122b连接到TFT 117.另外，TFT 118的漏电极118a连接到缓冲电容210的下电极211.上电极212连接到TFT 116。缓冲器容量210连接到第(m+1)数据总线115。

【 図 2 】

