

(19) **日本国特許庁(JP)**

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2018-106074

(P2018-106074A)

(43) 公開日 平成30年7月5日(2018.7.5)

(51) Int.Cl.

G02F 1/1368 (2006.01)

G02F 1/13363 (2006.01)

F I

G02F 1/1368

G O 2 F 1/13363

テーマコード (参考)

2H192

2H291

審査請求 未請求 請求項の数 8 O L (全 22 頁)

(21) 出願番号 特願2016-254269 (P2016-254269)

(22) 出願日 平成28年12月27日 (2016.12.27)

(71) 出願人 510208918

株式会社 オルタステクノロジー
東京都日野市旭が丘2丁目8番7号

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100103034

弁理士 野河 信久

(74) 代理人 100153051

弁理士 河野 直樹

(74) 代理人 100179062

弁理士 井上 正

(74) 代理人 100189913

弁理士 鵜飼 健

(74) 代理人 100199565

弁理士 飯野 茂

[最終頁に続く](#)

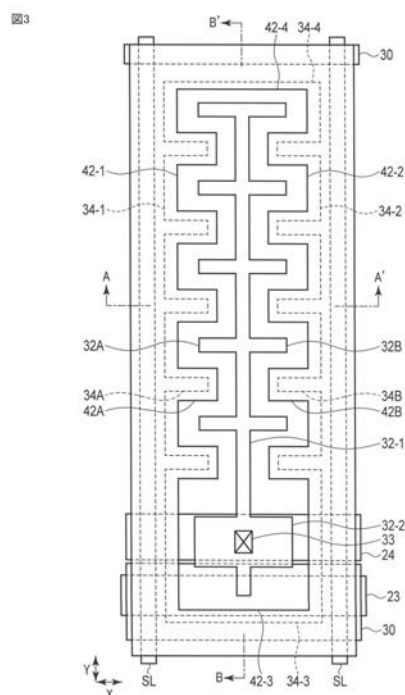
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 応答速度、及び表示特性を向上させる。

【解決手段】 液晶表示装置は、基板 20、21 と、基板 20、21 間に充填された液晶層 22 と、基板 20 に設けられたスイッチング素子 19 と、基板 20 に設けられ、スイッチング素子 19 に電気的に接続された画素電極 32 と、基板 20 に設けられ、画素電極 32 を囲む共通電極 34 と、基板 21 に設けられ、平面視において共通電極 34 を覆う共通電極 42 とを含む。画素電極 32 は、第 1 方向に延びる第 1 電極と、複数の第 1 突起部とを含む。共通電極 42 は、第 1 方向に延びる第 2 電極と、複数の第 2 突起部とを含む。複数の第 1 突起部と、複数の第 2 突起部とは、第 1 方向に沿って交互に配置される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 基板と、
前記第 1 及び第 2 基板間に充填された液晶層と、
前記第 1 基板に設けられたスイッチング素子と、
前記第 1 基板に設けられ、前記スイッチング素子に電氣的に接続された画素電極と、
前記第 1 基板に設けられ、前記画素電極を囲む第 1 共通電極と、
前記第 2 基板に設けられ、平面視において前記第 1 共通電極を覆う第 2 共通電極と
を具備し、

前記画素電極は、第 1 方向に延びる第 1 電極と、前記第 1 電極から前記第 1 方向に交差
する第 2 方向に延びる第 1 及び第 2 突起部と、前記第 1 電極から前記第 2 方向と反対の第
3 方向に延びる第 3 及び第 4 突起部とを含み、

前記第 2 共通電極は、前記第 1 方向に延びる第 2 及び第 3 電極と、前記第 2 電極から前
記第 3 方向に延びる第 5 及び第 6 突起部と、前記第 3 電極から前記第 2 方向に延びる第 7
及び第 8 突起部とを含み、

前記第 1 及び第 2 突起部と、前記第 5 及び第 6 突起部とは、前記第 1 方向に沿って交互
に配置され、

前記第 3 及び第 4 突起部と、前記第 7 及び第 8 突起部とは、前記第 1 方向に沿って交互
に配置される

液晶表示装置。

【請求項 2】

平面視において、前記画素電極と前記第 2 共通電極との隙間は、ジグザグ形状である
請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 共通電極は、前記第 1 方向に延びる第 4 及び第 5 電極と、前記第 4 電極から前
記第 3 方向に延びる第 9 及び第 10 突起部と、前記第 5 電極から前記第 2 方向に延びる第
11 及び第 12 突起部とを含み、

平面視において、前記第 5 乃至 8 突起部はそれぞれ、前記第 9 乃至第 12 突起部を覆う
請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

平面視において、前記画素電極と前記第 1 共通電極との隙間は、ジグザグ形状である
請求項 3 に記載の液晶表示装置。

【請求項 5】

前記液晶層は、P 型の液晶材料からなり、電界を印加しない状態で垂直配向をとる
請求項 1 乃至 4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記第 1 及び第 2 共通電極には、同じ電圧が印加される
請求項 1 乃至 5 のいずれかに記載の液晶表示装置。

【請求項 7】

前記第 1 及び第 2 基板を挟むように配置された第 1 及び第 2 円偏光板をさらに具備する
請求項 1 乃至 6 のいずれかに記載の液晶表示装置。

【請求項 8】

前記スイッチング素子を覆うようにして、前記第 1 基板に設けられた反射膜をさらに具
備する

請求項 1 乃至 7 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【 0 0 0 2 】

液晶表示パネルにおいては、T N (Twisted Nematic) モード、V A (Vertical Alignment) モード、及び I P S (In-Plane Switching) / F F S (Fringe Field Switching) モードなどが用いられている。また、広視野角、高コントラスト比の要求から、V A モード、及び I P S / F F S モードなどが主として用いられている。しかし、V A モード、及び I P S / F F S モードは応答性が十分ではなく、動画表示には問題がある。また、応答性を改善して動画表示に対応できる O C B (Optically Compensated Bend) モード、及び T B A (Transverse Bend Alignment) モードなども提案されている。

【 0 0 0 3 】

O C B モードは、高速な応答性を示す一方で、電源投入時に、初期配向であるスプレイ配向から駆動（例えば電圧 1 0 V 以上を印加）時のベンド配向への転移操作が必要となり、例えば、通常の駆動回路の他に初期転移用駆動回路などが必要になる。このため、O C B モードは、コストアップにつながるとともに、電源に制約があるモバイル機器には適さない可能性がある。

【 0 0 0 4 】

また、T B A モードは、カラーフィルタ基板側の共通電極上に誘電体膜が設けられるため、この誘電体膜に起因した D C アンバランスにより焼き付きが発生しやすい。また、通常の駆動電圧（例えば 5 V 程度）では斜め電界が弱いいため、透過率が低くなってしまう。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 1 0 - 2 1 7 8 5 3 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明は、応答速度、及び表示特性を向上させることが可能な液晶表示装置を提供する。

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明の一態様に係る液晶表示装置は、第 1 及び第 2 基板と、前記第 1 及び第 2 基板間に充填された液晶層と、前記第 1 基板に設けられたスイッチング素子と、前記第 1 基板に設けられ、前記スイッチング素子に電気的に接続された画素電極と、前記第 1 基板に設けられ、前記画素電極を囲む第 1 共通電極と、前記第 2 基板に設けられ、平面視において前記第 1 共通電極を覆う第 2 共通電極とを具備する。前記画素電極は、第 1 方向に延びる第 1 電極と、前記第 1 電極から前記第 1 方向に交差する第 2 方向に延びる第 1 及び第 2 突起部と、前記第 1 電極から前記第 2 方向と反対の第 3 方向に延びる第 3 及び第 4 突起部とを含む。前記第 2 共通電極は、前記第 1 方向に延びる第 2 及び第 3 電極と、前記第 2 電極から前記第 3 方向に延びる第 5 及び第 6 突起部と、前記第 3 電極から前記第 2 方向に延びる第 7 及び第 8 突起部とを含む。前記第 1 及び第 2 突起部と、前記第 5 及び第 6 突起部とは、前記第 1 方向に沿って交互に配置される。前記第 3 及び第 4 突起部と、前記第 7 及び第 8 突起部とは、前記第 1 方向に沿って交互に配置される。

【 発明の効果 】

【 0 0 0 8 】

本発明によれば、応答速度、及び表示特性を向上させることが可能な液晶表示装置を提供することができる。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 第 1 実施形態に係る液晶表示装置のブロック図。

【 図 2 】 図 1 に示した表示パネルの回路図。

【 図 3 】 第 1 実施形態に係る表示パネルの平面図。

10

20

30

40

50

【図４】第１実施形態に係るＴＦＴ基板側の電極構造を主として示した表示パネルの平面図。

【図５】第１実施形態に係るＣＦ基板側の電極構造を主として示した表示パネルの平面図。

【図６】図３のＡ－Ａ′線に沿った表示パネルの断面図。

【図７】図３のＢ－Ｂ′線に沿った表示パネルの断面図。

【図８】オフ状態における表示パネルの動作を説明する図。

【図９】図８のＡ－Ａ′線に沿った表示パネルの断面図。

【図１０】オン状態における表示パネルの動作を説明する図。

【図１１】図１０のＡ－Ａ′線に沿った表示パネルの断面図。

【図１２】変形例に係る表示パネルの動作を説明する図。

【図１３】図１２のＡ－Ａ′線に沿った表示パネルの断面図。

【図１４】変形例に係る表示パネルの動作を説明する図。

【図１５】図１４のＡ－Ａ′線に沿った表示パネルの断面図。

【図１６】第１比較例に係る表示パネルの平面図。

【図１７】図１６のＡ－Ａ′線に沿った表示パネルの断面図。

【図１８】第２比較例に係る表示パネルの平面図。

【図１９】図１８のＡ－Ａ′線に沿った表示パネルの断面図。

【図２０】第２実施形態に係る表示パネルの平面図。

【図２１】第２実施形態に係るＴＦＴ基板側の電極構造を主として示した表示パネルの平面図。

【図２２】図２０のＡ－Ａ′線に沿った表示パネルの断面図。

【発明を実施するための形態】

【００１０】

以下、実施形態について図面を参照して説明する。ただし、図面は模式的または概念的なものであり、各図面の寸法および比率等は必ずしも現実のものとは限らない。また、図面の相互間で同じ部分を表す場合においても、互いの寸法の関係や比率が異なって表される場合もある。特に、以下に示す幾つかの実施形態は、本発明の技術思想を具体化するための装置および方法を例示したものであって、構成部品の形状、構造、配置等によって、本発明の技術思想が特定されるものではない。なお、以下の説明において、同一の機能及び構成を有する要素については同一符号を付し、重複説明は必要な場合にのみ行う。

【００１１】

[第１実施形態]

[１] 液晶表示装置の全体構成

図１は、本発明の第１実施形態に係る液晶表示装置１０のブロック図である。液晶表示装置１０は、表示パネル１１、バックライト（照明装置）１２、走査ドライバ（走査線駆動回路）１３、信号ドライバ（信号線駆動回路）１４、共通電極ドライバ（共通電極駆動回路）１５、電圧発生回路１６、及び制御回路１７を備える。

【００１２】

表示パネル１１は、複数の画素がマトリクス状に配列された画素アレイを備える。表示パネル１１には、それぞれが ROW 方向（X 方向）に延びる複数の走査線 GL と、それぞれが COLUMN 方向（Y 方向）に延びる複数の信号線 SL とが配設される。走査線 GL と信号線 SL との交差領域には、画素が配置される。

【００１３】

バックライト１２は、表示パネル１１の背面に光を照射する面光源である。バックライト１２としては、例えば、直下型又はサイドライト型（エッジライト型）の LED バックライトが用いられる。

【００１４】

走査ドライバ１３は、複数の走査線 GL に接続される。走査ドライバ１３は、制御回路

10

20

30

40

50

１７から送られる垂直制御信号に基づいて、画素に含まれるスイッチング素子をオン／オフするための走査信号を表示パネル１１に送る。

【００１５】

信号ドライバ１４は、複数の信号線ＳＬに接続される。信号ドライバ１４は、制御回路１７から水平制御信号、及び表示データを受ける。信号ドライバ１４は、水平制御信号に基づいて、表示データに対応する階調信号（駆動電圧）を表示パネル１１に送る。

【００１６】

共通電極ドライバ１５は、共通電圧 V_{com} を生成し、これを表示パネル１１内の共通電極に供給する。電圧発生回路１６は、液晶表示装置１０の動作に必要な各種電圧を生成して各回路に供給する。

【００１７】

制御回路１７は、外部から画像データを受ける。制御回路１７は、画像データに基づいて、各種制御信号を前述した各回路に送る。

【００１８】

〔２〕画素の回路構成

次に、表示パネル１１に含まれる画素の回路構成について説明する。図２は、表示パネル１１の回路図である。図２では、４つの画素を抽出して示している。

【００１９】

画素１８は、スイッチング素子（アクティブ素子）１９、液晶容量（液晶素子） C_{lc} 、及び蓄積容量 C_s を備える。スイッチング素子１９としては、例えばＴＦＴ（Thin Film Transistor）が用いられ、またｎチャネルＴＦＴが用いられる。

【００２０】

ＴＦＴ１９のソースは、信号線ＳＬに電氣的に接続され、そのゲートは、走査線ＧＬに電氣的に接続され、そのドレインは、液晶容量 C_{lc} に電氣的に接続される。液晶素子としての液晶容量 C_{lc} は、画素電極と、共通電極と、これらに挟まれた液晶層とにより構成される。

【００２１】

蓄積容量 C_s は、液晶容量 C_{lc} に並列接続される。蓄積容量 C_s は、画素電極に生じる電位変動を抑制するとともに、画素電極に印加された駆動電圧を次の信号に対応する駆動電圧が印加されるまでの間保持する機能を有する。蓄積容量 C_s は、画素電極と、蓄積電極（蓄積容量線）と、これらに挟まれた絶縁膜とにより構成される。共通電極及び蓄積電極には、共通電極ドライバ１５により共通電圧 V_{com} が印加される。

【００２２】

〔３〕表示パネル１１の構成

次に、表示パネル１１の構成について説明する。本実施形態では、半透過型表示パネルを例に挙げて説明する。半透過型表示パネルは、外光を反射することによって画像を表示する反射領域と、バックライト光を透過することによって画像を表示する透過領域とを１画素内に有する。

【００２３】

図３は、第１実施形態に係る表示パネル１１の平面図である。図４は、ＴＦＴ基板２０側の電極構造を主として示した表示パネル１１の平面図である。図５は、ＣＦ基板２１側の電極構造を主として示した表示パネル１１の平面図である。図４及び図５を重ね合わせることで、図３が得られる。図６は、図３のＡ－Ａ'線に沿った表示パネル１１の断面図である。図７は、図３のＢ－Ｂ'線に沿った表示パネル１１の断面図である。なお、図３には、１つの画素１８を抽出して示しており、実際には、図３の画素１８がＸ方向及びＹ方向にマトリクス状に複数個配置される。

【００２４】

表示パネル１１は、スイッチング素子（ＴＦＴ）及び画素電極等が形成されるＴＦＴ基板２０と、カラーフィルタ等が形成されかつＴＦＴ基板２０に対向配置されるカラーフィルタ基板（ＣＦ基板）２１とを備える。ＴＦＴ基板２０及びＣＦ基板２１の各々は、透明

10

20

30

40

50

基板（例えば、ガラス基板、又はプラスチック基板）から構成される。ＴＦＴ基板２０は、バックライト１２に対向配置され、バックライト１２からの照明光は、ＴＦＴ基板２０側から表示パネル１１に入射する。

【００２５】

液晶層２２は、ＴＦＴ基板２０及びＣＦ基板２１間に充填される。具体的には、液晶層２２は、ＴＦＴ基板２０及びＣＦ基板２１と、シール材（図示せず）とによって包囲された表示領域内に封入される。シール材は、例えば、紫外線硬化樹脂、熱硬化樹脂、又は紫外線・熱併用型硬化樹脂等からなり、製造プロセスにおいてＴＦＴ基板２０又はＣＦ基板２１に塗布された後、紫外線照射、又は加熱等により硬化させられる。

【００２６】

液晶層２２を構成する液晶材料は、ＴＦＴ基板２０及びＣＦ基板２１間に印加された電界に応じて液晶分子の配向が操作されて光学特性が変化する。本実施形態では、液晶層２２としては、正の誘電率異方性を有するポジ型（Ｐ型）のネマティック液晶が用いられる。液晶分子は、無電圧（無電界）時には基板面に対してほぼ垂直に配向する。すなわち、無電圧（無電界）時に液晶分子の長軸（ダイレクタ）が垂直に配向し、電圧印加（電界印加）時に液晶分子のダイレクタが電界方向に向かって傾く。

【００２７】

ＴＦＴ基板２０の液晶層２２側には、複数の画素１８に対応するようにして、複数のＴＦＴ１９が設けられる。後述するように、ＴＦＴ１９は、走査線に電氣的に接続されるゲート電極と、ゲート電極上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられた半導体層と、半導体層上に互いに離間して設けられたソース電極及びドレイン電極とを備える。ソース電極は、信号線ＳＬに電氣的に接続される。

【００２８】

ＴＦＴ基板２０上には、それぞれがＸ方向に延びる複数のゲート電極２３が設けられる。Ｘ方向に並んだ１行分の複数の画素１８は、１本のゲート電極２３を共有する。ゲート電極２３は、走査線ＧＬとして機能する。また、ＴＦＴ基板２０上には、それぞれがＸ方向に延びる複数の蓄積電極２４が設けられる。蓄積電極２４は、例えば、ゲート電極２３に隣接して配置される。蓄積電極２４には、後述する共通電極に印加される共通電圧と同じ電圧が印加される。ゲート電極２３及び蓄積電極２４上かつＴＦＴ基板２０上には、ゲート絶縁膜２５が設けられる。

【００２９】

ゲート絶縁膜２５上には、複数の画素１８に対応した数の複数の半導体層２６が設けられる。半導体層２６としては、例えばアモルファスシリコン層が用いられる。

【００３０】

１つの半導体層２６上及びゲート絶縁膜２５上には、Ｙ方向において互いに離間したソース電極２７Ａ及びドレイン電極２８Ａが設けられる。具体的には、ソース電極２７Ａは、半導体層２６の一部に重なるようにして、Ｙ方向に延びるように形成される。ドレイン電極２８Ａは、半導体層２６の一部に重なるようにして、ソース電極２７Ａと反対方向に延びるように形成される。図４に示すように、例えば、ソース電極２７Ａは、Ｙ方向に延びる延在部に比べて半導体層２６と重なる端部の幅が太いＴ字形状を有し、同様に、ドレイン電極２８Ａは、逆Ｔ字形状を有する。

【００３１】

ゲート絶縁膜２５上には、それぞれがＹ方向に延びる複数の信号線ＳＬが設けられる。信号線ＳＬは、Ｘ方向に隣接する画素１８の境界部分に配置される。Ｙ方向に並んだ１行分の複数の画素１８は、１本の信号線ＳＬに共通接続される。接続電極２７Ｂは、Ｘ方向に延びるようにしてゲート絶縁膜２５上に設けられ、ソース電極２７Ａと信号線ＳＬとを電氣的に接続する。

【００３２】

ゲート絶縁膜２５上には、ドレイン電極２８Ａの端部に電氣的に接続された接続電極２８Ｂが設けられる。接続電極２８ＢのＸ方向の長さは、ドレイン電極２８ＡのＸ方向の長

10

20

30

40

50

さより長い。接続電極 28B は、例えば製造工程における合わせズレが発生した場合でも、画素電極 32 との電氣的接続が確実に補償するために、その面積が大きくなっている。ソース電極 27A、接続電極 27B、信号線 SL、ドレイン電極 28A、及び接続電極 28B 上、かつゲート絶縁膜 25 上には、絶縁膜 29 が設けられる。

【0033】

絶縁膜 29 上には、それぞれが X 方向に延びる複数の反射膜 30 が設けられる。画素のうち反射膜 30 が設けられた領域が反射領域となり、それ以外の領域が透過領域となる。反射膜 30 は、液晶層 22 側から入射する光を反射する。反射膜 30 は、TF T 19 を覆うように配置される。これにより、TF T 19 は、反射膜 30 によって遮光されるため、TF T 19 が誤動作するのを抑制できる。反射膜 30 には、共通電極に印加される共通電圧と同じ電圧が印加される。反射膜 30 及び絶縁膜 29 上には、絶縁膜 31 が設けられる。

10

【0034】

絶縁膜 31 上には、Y 方向に延びる画素電極 32 が設けられる。画素電極 32 (部材 32-1、32-2、32A、及び 32B からなる)の具体的な構成は、後述する。画素電極 32 は、コンタクトプラグ 33 を介して、接続電極 28B に電氣的に接続される。

【0035】

絶縁膜 31 上には、共通電極 34 が設けられる。共通電極 34 は、画素電極 32 を囲むように構成される。共通電極 34 (部材 34-1 ~ 34-4、34A、及び 34B からなる)の具体的な構成は、後述する。

20

【0036】

画素電極 32、共通電極 34、及び絶縁膜 31 上には、液晶層 22 の配向を制御する配向膜 35 が設けられる。配向膜 35 は、液晶層 22 の初期状態において、液晶分子を垂直に配向させる材料で構成される。

【0037】

次に、CF 基板 21 側の構成について説明する。CF 基板 21 の液晶層 22 側には、遮光用のブラックマトリクス (ブラックマスク、遮光膜ともいう) 40 が設けられる。ブラックマトリクス 40 は、画素 18 の境界部に配置され、網目状に形成される。ブラックマトリクス 40 は、TF T 19 を遮光する機能と、色の異なるカラーフィルタ間の不要な光を遮蔽することで、コントラストを向上させる機能とを有する。

30

【0038】

CF 基板 21 上及びブラックマトリクス 40 上には、複数のカラーフィルタ 41 が設けられる。複数のカラーフィルタ (カラー部材) 41 は、複数の赤フィルタ 41-R、複数の緑フィルタ 41-G、及び複数の青フィルタ 41-B を備える。一般的なカラーフィルタは光の三原色である赤 (R)、緑 (G)、青 (B) で構成される。隣接した R、G、B の三色のセットが表示の単位 (画素) となっており、1つの画素中の R、G、B のいずれが単色の部分はサブピクセル (サブ画素) と呼ばれる最小駆動単位である。TF T 19 及び画素電極 32 は、サブピクセルごとに設けられる。本明細書の説明では、画素とサブ画素との区別が特に必要な場合を除き、サブ画素を画素と呼ぶものとする。カラーフィルタの配列としては、ストライプ配列、モザイク配列、及びデルタ配列を含む任意の配列を適用可能である。

40

【0039】

カラーフィルタ 41 及びブラックマトリクス 40 上には、共通電極 42 が設けられる。すなわち、共通電極 42 は、共通電極 34 と対向するように、すなわち、平面視において、共通電極 34 を覆うように構成される。共通電極 42 (部材 42-1 ~ 42-4、42A、及び 42B からなる)の具体的な構成は、後述する。共通電極 42 には、共通電極ドライバ 15 から共通電圧 Vcom が印加される。なお、カラーフィルタ 41 及びブラックマトリクス 40 上には、平坦性を向上させるために、透明な絶縁材料からなるオーバーコート膜 (平坦化膜) が設けられていてもよい。

【0040】

50

カラーフィルタ 4 1、及び共通電極 4 2 上には、液晶層 2 2 の配向を制御する配向膜 4 3 が設けられる。配向膜 4 3 は、液晶層 2 2 の初期状態において、液晶分子を垂直に配向させる材料で構成される。

【0041】

TFT 基板 2 0 の液晶層 2 2 と反対側には、位相差板 4 4、及び偏光板 4 6 が順に積層される。CF 基板 2 1 の液晶層 2 2 と反対側には、位相差板 4 5、拡散部材 4 8、及び偏光板 4 7 が順に積層される。位相差板 4 4 及び偏光板 4 6 は、円偏光板を構成し、位相差板 4 5 及び偏光板 4 7 は、円偏光板を構成する。

【0042】

偏光板（直線偏光子）4 6、4 7 の各々は、光の進行方向に直交する平面内において、互いに直交する透過軸及び吸収軸を有する。偏光板 4 6、4 7 の各々は、ランダムな方向の振動面を有する光のうち、透過軸に平行な振動面を有する直線偏光（直線偏光した光成分）を透過し、吸収軸に平行な振動面を有する直線偏光（直線偏光した光成分）を吸収する。偏光板 4 6、4 7 は、互いの透過軸が直交するように、すなわち直交ニコル状態で配置される。

【0043】

位相差板 4 4、4 5 の各々は、屈折率異方性を有しており、光の進行方向に直交する平面内において、互いに直交する遅相軸及び進相軸を有する。位相差板 4 4、4 5 の各々は、遅相軸と進相軸とをそれぞれ透過する所定波長の光の間に所定のリタデーション（を透過する光の波長としたとき、 $\pi/4$ の位相差）を与える機能を有する。すなわち、位相差板 4 4、4 5 は、 $1/4$ 波長板（ $\pi/4$ 板）から構成される。位相差板 4 4 の遅相軸は、偏光板 4 6 の透過軸に対して概略 45° の角度をなすように設定される。位相差板 4 5 の遅相軸は、偏光板 4 7 の透過軸に対して概略 45° の角度をなすように設定される。

【0044】

なお、前述した偏光板及び位相差板を規定する角度は、所望の動作を実現可能な誤差、及び製造工程に起因する誤差を含むものとする。例えば、前述した概略 45° は、 $45^\circ \pm 5^\circ$ の範囲を含むものとする。例えば、前述した直交は、 $90^\circ \pm 5^\circ$ の範囲を含むものとする。

【0045】

拡散部材 4 8 は、透過光をランダムな方向に拡散（散乱）することで、透過光を均一化する機能を有する。拡散部材 4 8 は、拡散粘着材、拡散フィルム、又は拡散板などから構成される。拡散部材 4 8 として拡散粘着材を用いた場合、拡散粘着材は、入射光を拡散する機能に加えて、この両側の部材を接着する機能を有する。なお、拡散部材 4 8 と位相差板 4 5 との積層順序は逆でもよい。拡散部材 4 8 は、特に、反射膜 3 0 で反射された反射光を拡散し、この拡散された反射光が観察者に観察される。拡散部材 4 8 を用いることで、反射領域における反射表示に関して、視野角を向上させることができる。

【0046】

なお、偏光板 4 6 のバックライト側には、拡散部材、及び輝度向上フィルムが順に積層されていてもよい。輝度向上フィルムは、バックライト 1 2 からの光の利用効率を向上させ、液晶表示装置 1 0 の輝度を向上させる機能を有する。輝度向上フィルムは、反射型偏光フィルム、又はプリズムシートなどから構成される。

【0047】

（材料の例示）

ゲート電極 2 3、蓄積電極 2 4、ソース電極 2 7 A、接続電極 2 7 B、信号線 S L、ドレイン電極 2 8 A、及び接続電極 2 8 B としては、例えば、アルミニウム（Al）、モリブデン（Mo）、クロム（Cr）、タングステン（W）のいずれか、又はこれらの 1 種類以上を含む合金等が用いられる。反射膜 3 0 としては、例えばアルミニウム（Al）が用いられる。画素電極 3 2、コンタクトプラグ 3 3、及び共通電極 3 4、4 2 は、透明電極から構成され、例えば ITO（インジウム錫酸化物）が用いられる。ゲート絶縁膜 2 5、絶縁膜 2 9、及び絶縁膜 3 1 は、透明な絶縁材料から構成され、例えばシリコン窒化物（

10

20

30

40

50

S i N) が用いられる。

【 0 0 4 8 】

[3 - 1] 画素電極 3 2 の詳細

次に、画素電極 3 2 の具体的な構成について説明する。図 4 に示すように、画素電極 3 2 は、電極 3 2 - 1、電極 3 2 - 2、複数の突起部 3 2 A、及び複数の突起部 3 2 B を備える。

【 0 0 4 9 】

電極 3 2 - 1 は、Y 方向に延びる。複数の突起部 3 2 A はそれぞれ、電極 3 2 - 1 から X 方向に延びる。複数の突起部 3 2 A は、Y 方向において例えば等間隔に配置される。複数の突起部 3 2 B はそれぞれ、電極 3 2 - 1 から X 方向（突起部 3 2 A と反対方向）に延びる。複数の突起部 3 2 B は、Y 方向において例えば等間隔に配置される。

10

【 0 0 5 0 】

1 つの突起部 3 2 A と 1 つの突起部 3 2 B とは、直線状、すなわち、Y 方向における同じ位置に配置される。換言すると、電極 3 2 - 1、突起部 3 2 A、及び突起部 3 2 B は、T 字形、又は十字形を構成する。なお、突起部 3 2 A と突起部 3 2 B とが直線状に配置される構成例に限定されず、突起部 3 2 A と突起部 3 2 B とが Y 方向において異なる位置に配置されていてもよい。

【 0 0 5 1 】

図 4 の構成例では、5 個の突起部 3 2 A を有する構成例を示しているが、突起部 3 2 A の数は、5 個に限定されない。突起部 3 2 A は、2 個であってもよいし、5 個以外で 3 個以上の数であってもよい。同様に、突起部 3 2 B は、2 個であってもよいし、5 個以外で 3 個以上の数であってもよい。

20

【 0 0 5 2 】

電極 3 2 - 2 は、画素電極 3 2 とコンタクトプラグ 3 3 との接続をより確実に行う機能と、蓄積電極 2 4 との間で蓄積容量をより大きくする機能とを有する。電極 3 2 - 2 の幅（X 方向の長さ）は、電極 3 2 - 1 の幅より太い。電極 3 2 - 2 は、平面視において、蓄積電極 2 4 と重なるように配置される。電極 3 2 - 2 は、蓄積電極 2 4 との間で蓄積容量を構成する。蓄積容量を大きくするためには、電極 3 2 - 2 の面積は、より大きいことが望ましい。

【 0 0 5 3 】

30

[3 - 2] 共通電極 3 4 の詳細

次に、T F T 基板 2 0 側に設けられた共通電極 3 4 の具体的な構成について説明する。図 4 に示すように、共通電極 3 4 は、電極 3 4 - 1 ~ 3 4 - 4、複数の突起部 3 4 A、及び複数の突起部 3 4 B を備える。

【 0 0 5 4 】

電極 3 4 - 1 ~ 3 4 - 4 は、画素電極 3 2 を囲むように構成される。電極 3 4 - 1、3 4 - 2 は、Y 方向に延びる。電極 3 4 - 3、3 4 - 4 は、X 方向に延び、電極 3 4 - 1、3 4 - 2 を電氣的に接続する。電極 3 4 - 1 ~ 3 4 - 4 は、画素の境界部分に配置される。電極 3 4 - 1 ~ 3 4 - 4 はそれぞれ、X 方向及び Y 方向に隣接する 4 つの画素に共有される。

40

【 0 0 5 5 】

複数の突起部 3 4 A はそれぞれ、電極 3 4 - 1 から X 方向に延びる。複数の突起部 3 4 A は、Y 方向において例えば等間隔に配置される。1 つの突起部 3 4 A は、隣接する 2 つの突起部 3 2 A の間に配置される。すなわち、複数の突起部 3 2 A と複数の突起部 3 4 A とは、交互に配置される。換言すると、平面視において、画素電極 3 2 と共通電極 3 4 との隙間（スペース）は、ジグザグ形状である。突起部 3 4 A の端は、X 方向において、突起部 3 2 A の端と同じか、突起部 3 2 A の端より電極 3 2 - 1 側に配置される。突起部 3 4 A の数は、例えば、突起部 3 2 A の数と同じに設定される。

【 0 0 5 6 】

複数の突起部 3 4 B はそれぞれ、電極 3 4 - 2 から X 方向（突起部 3 4 B と反対方向）

50

に延びる。複数の突起部 3 4 B は、Y 方向において例えば等間隔に配置される。1 つの突起部 3 4 B は、隣接する 2 つの突起部 3 2 B の間に配置される。すなわち、複数の突起部 3 2 B と複数の突起部 3 4 B とは、交互に配置される。突起部 3 4 B の端は、X 方向において、突起部 3 2 B の端と同じか、突起部 3 2 B の端より電極 3 2 - 1 側に配置される。突起部 3 4 B の数は、例えば、突起部 3 2 B の数と同じに設定される。

【 0 0 5 7 】

[3 - 3] 共通電極 4 2 の詳細

次に、C F 基板 2 1 側に設けられた共通電極 4 2 の具体的な構成について説明する。図 5 に示すように、共通電極 4 2 は、電極 4 2 - 1 ~ 4 2 - 4、複数の突起部 4 2 A、及び複数の突起部 4 2 B を備える。大まかには、C F 基板 2 1 側に設けられた共通電極 4 2 は、T F T 基板 2 0 側に設けられた共通電極 3 4 と同じ形状を有する。共通電極 4 2 は、平面視において、共通電極 3 4 を覆うように構成される。

10

【 0 0 5 8 】

電極 4 2 - 1 ~ 4 2 - 4 は、画素電極 3 2 を囲むように構成される。電極 4 2 - 1、4 2 - 2 は、Y 方向に延びる。電極 4 2 - 3、4 2 - 4 は、X 方向に延び、電極 4 2 - 1、4 2 - 2 を電氣的に接続する。電極 4 2 - 1 ~ 4 2 - 4 は、画素の境界部分に配置される。電極 4 2 - 1 ~ 4 2 - 4 はそれぞれ、X 方向及び Y 方向に隣接する 4 つの画素に共有される。

【 0 0 5 9 】

電極 4 2 - 1 ~ 4 2 - 4 は、平面視において、電極 3 4 - 1 ~ 3 4 - 4 を覆うように構成される。電極 4 2 - 1 の端は、電極 3 4 - 1 の端と同じか、電極 3 4 - 1 の端より画素電極 3 2 側に配置される。電極 4 2 - 2 の端は、電極 3 4 - 2 の端と同じか、電極 3 4 - 2 の端より画素電極 3 2 側に配置される。電極 4 2 - 3 の端は、電極 3 4 - 3 の端と同じか、電極 3 4 - 3 の端より画素電極 3 2 側に配置される。電極 4 2 - 4 の端は、電極 3 4 - 4 の端と同じか、電極 3 4 - 4 の端より画素電極 3 2 側に配置される。

20

【 0 0 6 0 】

複数の突起部 4 2 A はそれぞれ、電極 4 2 - 1 から X 方向に延びる。複数の突起部 4 2 A は、Y 方向において例えば等間隔に配置される。図 3 に示すように、1 つの突起部 4 2 A は、隣接する 2 つの突起部 3 2 A の間に配置される。すなわち、複数の突起部 3 2 A と複数の突起部 4 2 A とは、交互に配置される。換言すると、平面視において、画素電極 3 2 と共通電極 4 2 との隙間は、ジグザグ形状である。突起部 4 2 A の端は、X 方向において、突起部 3 4 A の端と同じか、突起部 3 4 A の端より電極 3 2 - 1 側に配置される。突起部 4 2 A の数は、突起部 3 4 A の数と同じに設定される。突起部 4 2 A は、平面視において、突起部 3 4 A を覆うように構成される。突起部 4 2 A の幅 (Y 方向の長さ) は、突起部 3 4 A の幅と同じかそれ以上に設定される。

30

【 0 0 6 1 】

複数の突起部 4 2 B はそれぞれ、電極 4 2 - 2 から X 方向に延びる。複数の突起部 4 2 B は、Y 方向において例えば等間隔に配置される。図 3 に示すように、1 つの突起部 4 2 B は、隣接する 2 つの突起部 3 2 B の間に配置される。すなわち、複数の突起部 3 2 B と複数の突起部 4 2 B とは、交互に配置される。突起部 4 2 B の端は、X 方向において、突起部 3 4 B の端と同じか、突起部 3 4 B の端より電極 3 2 - 1 側に配置される。突起部 4 2 B の数は、突起部 3 4 B の数と同じに設定される。突起部 4 2 B は、平面視において、突起部 3 4 B を覆うように構成される。突起部 4 2 B の幅 (Y 方向の長さ) は、突起部 3 4 B の幅と同じかそれ以上に設定される。

40

【 0 0 6 2 】

[4] 動作

次に、上記のように構成された液晶表示装置 1 0 の動作について説明する。

【 0 0 6 3 】

まず、オフ状態における液晶表示装置 1 0 の動作について説明する。オフ状態では、画素電極 3 2 と共通電極 3 4、4 2 とに同じ電圧 (例えば 0 V) が印加され、液晶層 2 2 に

50

電界が印加されていない。

【0064】

図8は、オフ状態における表示パネル11の動作を説明する図である。図9は、図8のA-A'線に沿った表示パネル11の断面図である。図9では、偏光板及び位相差板の図示を省略している。図8及び図9には、液晶分子22Aを模式的に示している。

【0065】

オフ状態では、液晶層22に電界が印加されず、液晶層22は、初期配向を維持する。すなわち、液晶層22は、全体的に垂直配向となり、液晶分子22Aの長軸は、基板に対して垂直方向を向く。このオフ状態において、バックライト12からの照明光は、偏光板46を透過した後、リタレーションがほぼゼロの状態の液晶層22を透過し、さらに、液晶層22を透過した光は、偏光板47に吸収される。これにより、液晶表示装置10は、黒表示となる。

【0066】

次に、オン状態における液晶表示装置10の動作について説明する。オン状態では、画素電極32と共通電極34、42とに異なる電圧が印加され、液晶層22に電界が印加される。すなわち、オン状態では、画素電極32に正電圧が印加され、共通電極34、42に0V (= 共通電圧Vcom) が印加される。なお、画素電極32と共通電極34、42とに印加される電圧は、周期的に極性が反転されることが望ましい。すなわち、画素電極32と共通電極34、42とには、0Vと正電圧とが所定周期ごとに交互に印加されることが望ましい。

【0067】

図10は、オン状態における表示パネル11の動作を説明する図である。図11は、図10のA-A'線に沿った表示パネル11の断面図である。

【0068】

オン状態では、液晶層22には、画素電極32と共通電極34との間に生じる横電界と、画素電極32と共通電極42との間に生じる斜め電界とが印加される。これにより、液晶層22は、ハーフベンド配向(ベンド配向の片側半分)をとり、液晶分子は、画素電極32を通る垂線に対して共通電極34、42の方向に向かって傾く。具体的には、画素電極32及び共通電極34に近いほど液晶分子の傾きが大きくなり、画素電極32から共通電極42に近づくにつれて液晶分子の傾きが小さくなる。また、共通電極42を画素電極32から斜め方向に配置したことで、液晶層22に斜め電界をより大きく印加できる。これにより、画素電極32の上方の液晶分子も傾けることができるため、透過率を向上させることができる。

【0069】

また、図10に示すように、複数の液晶分子を全方位に傾けることができる。これにより、透過率が不均一になるのを抑制できる。

【0070】

このオン状態において、バックライト12からの照明光は、偏光板46を透過した後、液晶層22を透過して所定のリタレーションが付与され、さらに液晶層22を透過した光は、偏光板47を透過する。これにより、液晶表示装置10は、白表示(実際には、カラーフィルタに対応したカラー表示)となる。

【0071】

本実施形態の開口率は、図10において、1つの画素領域のうち、画素電極32、共通電極34(又は共通電極42)、及び蓄積電極24で囲まれた領域(表示に有効な領域)の面積比率として定義される。

【0072】

[5] 変形例

次に、第1実施形態の変形例について説明する。

【0073】

図12は、変形例に係る表示パネル11の動作を説明する図である。図12は、オフ状

10

20

30

40

50

態の動作を示している。図 13 は、図 12 の A - A' 線に沿った表示パネル 11 の断面図である。

【0074】

変形例では、製造工程において、TF T 基板 20 と CF 基板 21 との合わせズレが発生している。一例として、図 12 及び図 13 では、TF T 基板 20 に対して CF 基板 21 が、ずれ量 だけ右側にずれている。この合わせズレに起因して、共通電極 42 の突起部 42A が画素電極 32 により近づき、共通電極 42 の突起部 42B が画素電極 32 からより離れている。

【0075】

図 14 は、変形例に係る表示パネル 11 の動作を説明する図である。図 14 は、オン状態の動作を示している。図 15 は、図 14 の A - A' 線に沿った表示パネル 11 の断面図である。

10

【0076】

オン状態においても、所望のハーフベンド配向が維持され、複数の液晶分子は、全方位に傾いている。これにより、透過率が不均一になるのを抑制できる。

【0077】

[6] 比較例

次に、比較例に係る表示パネルについて説明する。図 16 は、第 1 比較例に係る表示パネルの平面図である。図 17 は、図 16 の A - A' 線に沿った表示パネルの断面図である。

20

【0078】

画素電極 32 は、Y 方向に延びる電極 32-1 と、電極 32-1 より幅の太い電極 32-2 とを備える。すなわち、比較例の画素電極 32 は、突起部を有していない。

【0079】

共通電極 34 は、長方形の枠から構成される。すなわち、共通電極 34 は、Y 方向に延びる第 1 及び第 2 電極と、これら第 1 及び第 2 電極の両端を接続しかつ X 方向に延びる第 3 及び第 4 電極とから構成される。同様に、共通電極 42 は、長方形の枠から構成される。すなわち、比較例の共通電極 34、42 は、突起部を有していない。共通電極 34、42 はそれぞれ、画素電極 32 を囲むように構成される。その他の構成は、第 1 実施形態と同じである。

30

【0080】

図 18 は、第 2 比較例に係る表示パネルの平面図である。図 19 は、図 18 の A - A' 線に沿った表示パネルの断面図である。第 2 比較例では、TF T 基板 20 と CF 基板 21 との合わせズレが発生している。一例として、図 18 及び図 19 では、TF T 基板 20 に対して CF 基板 21 が、ずれ量 だけ右側にずれている。この合わせズレに起因して、画素電極 32 (電極 32-1) と共通電極 42 との距離が、左右で異なっている。

【0081】

また、図 18 及び図 19 は、オン状態の動作も示している。比較例では、画素のうち画素電極 32 より左側の領域 (概略画素の半分の領域) では、複数の液晶分子は、概略同じ方向に傾く。同様に、画素のうち画素電極 32 より右側の領域 (概略画素の他の半分の領域) では、複数の液晶分子は、概略同じ方向に傾く。

40

【0082】

ここで、合わせズレが発生していない状態 (図 16 及び図 17) において、CF 基板 21 側の共通電極 42 と TF T 基板 20 側の画素電極 32 との最短の水平距離を t 、TF T 基板 20 の共通電極 34 と画素電極 32 との最短距離を L 、共通電極 34 と共通電極 42 との垂直方向の間隔 (セルギャップ) を d 、共通電極 34 (及び共通電極 42) と画素電極 32 との電圧差を V とする。斜め電界 E_a 、及び横電界 E_b はそれぞれ、以下の式 (1)、(2) で表される。

$$E_a = V / (t^2 + d^2)^{1/2} \quad \dots (1)$$

50

$$E_b = V / L \quad \dots (2)$$

【0083】

図19に示すように、TFT基板20とCF基板21とが水平方向にずれ量だけ合わせずれが発生したものとすると、画素電極32-1より左側の斜め電界Ea1及び横電界Eb1と、画素電極32より右側の斜め電界Ea2及び横電界Eb2とは、以下の式(3)～(5)で表される。

$$E_{a1} = V / \{ (t -)^2 + d^2 \}^{1/2} \quad \dots (3)$$

$$E_{a2} = V / \{ (t +)^2 + d^2 \}^{1/2} \quad \dots (4)$$

$$E_{b1} = E_{b2} = V / L \quad \dots (5)$$

10

【0084】

このように、画素電極32の右側の斜め電界Ea2が左側の斜め電界Ea1より低くなり、画素電極32の左右で電界のアンバランスが発生してしまう。これにより、画素内の透過率が画素電極32の左右で不均一になってしまい、表示ムラが発生してしまう。表示ムラ(輝度ムラ及びノ又は色ムラ)とは、領域に応じて色や輝度が異なることを意味する。また、透過率が左右不均一になることで、視角依存性が大きくなってしまう。視角依存性とは、視角(画面を見る角度)によって見え方(コントラスト比及びノ又は色)が異なる性質である。

【0085】

一方、本実施形態では、液晶分子が全方位に傾くので、透過率が不均一な領域を低減できる。特に、本実施形態では、前述した合わせズレが発生した場合でも、表示ムラを低減できるとともに、視角依存性を低減できる。

20

【0086】

[7]第1実施形態の効果

以上詳述したように第1実施形態では、液晶表示装置10は、TFT基板20と、CF基板21と、TFT基板20及びCF基板21間に充填され、電界を印加しない状態で垂直配向をとる液晶層22とを備える。また、液晶表示装置10は、TFT基板20に設けられ、スイッチング素子19に電気的に接続された画素電極32と、TFT基板20に設けられ、画素電極32を囲む共通電極34と、CF基板21に設けられ、平面視において共通電極34を覆う共通電極42とを備える。画素電極32は、第1方向に延びる電極32-1と、電極32-1から第1方向に交差する第2方向に延びる複数の突起部32Aと、電極32-1から第2方向と反対の第3方向に延びる複数の突起部32Bとを含む。共通電極34は、第1方向に延びる電極34-1、34-2と、電極34-1から第3方向に延びる複数の突起部34Aと、電極34-2から第2方向に延びる複数の突起部34Bとを含む。共通電極42は、第1方向に延びる電極42-1、42-2と、電極42-1から第3方向に延びる複数の突起部42Aと、電極42-2から第2方向に延びる複数の突起部42Bとを含む。複数の突起部32Aと、複数の突起部42Aとは、第1方向に沿って交互に配置される。複数の突起部32Bと、複数の突起部42Bとは、第1方向に沿って交互に配置される。平面視において、突起部42Aは突起部34Aを覆い、突起部42Bは突起部34Bを覆う。

30

40

【0087】

従って第1実施形態によれば、複数の液晶分子を全方位に傾けることができる。これにより、画素内における透過率が不均一になるのを抑制できる。この結果、表示ムラを低減することができる。また、画面を見る角度によって表示が不均一になるのを抑制するため、視角依存性を低減できる。結果として、液晶表示装置10の表示特性を向上させることができる。

【0088】

また、表示に有効な領域(画素電極32と共通電極42との隙間)がジグザグ形状となるので、この領域の行路長を長くできる。これにより、画素の透過率を向上させることができる。開口率を向上させることができる。

50

【 0 0 8 9 】

また、液晶層 2 2 に電界を印加した場合、液晶分子がベンド配向（具体的には、ハーフベンド配向）をとるようになるため、V A（Vertical Alignment）モード、及び I P S（In-Plane Switching）/ F F S（Fringe Field Switching）モードなどに比べて、表示パネル 1 1 の応答速度を向上させることができる。

【 0 0 9 0 】

また、C F 基板 2 1 側の共通電極 4 2 上に、従来の T B A（Transverse Bend Alignment）モードで必要とされる、液晶層に印加される電界を調整するための誘電体膜を形成する必要がない。これにより、D C（direct current）アンバランスに起因して発生していた残像（いわゆる、焼き付き）を抑制できる。

10

【 0 0 9 1 】

また、C F 基板 2 1 側の共通電極 4 2 を、T F T 基板 2 0 側の共通電極 3 4 と平面投影において重なるように配置したことにより、T F T 基板 2 0 側の画素電極 3 2 と C F 基板 2 1 側の共通電極 4 2 との間で斜め電界がより強くなる。これにより、所望のハーフベンド配向になるように液晶分子を傾けることができるため、透過率を向上させることができる。

【 0 0 9 2 】

また、T B A モードでは透過率が低いために、セルギャップを小さくすることが困難であった。しかし、本実施形態の構造を採用することで、セルギャップをより小さくすることが可能となり、さらなる応答速度の高速化が可能となる。

20

【 0 0 9 3 】

また、セルギャップを小さくすることが可能であるため、視野角を劣化させることなく、円偏光板を使用することができる。また、円偏光板を表示パネル 1 1 に配置することで、直線偏光板では取り出せなかった偏光板の軸方向に倒れている液晶分子が存在する領域の光も取り出すことができ、透過率のさらなる向上が可能となる。さらに、反射表示の光学設計の最適化が可能となるため、半透過型表示パネルに対応できるようになる。

【 0 0 9 4 】

[第 2 実施形態]

第 2 実施形態は、T F T 基板 2 0 側の共通電極 3 4 に突起部を設けず、共通電極 3 4 を長方形の枠で構成する。そして、C F 基板 2 1 側の共通電極 4 2 のみ、複数の突起部 4 2 A、4 2 B を設けるようにしている。

30

【 0 0 9 5 】

図 2 0 は、本発明の第 2 実施形態に係る表示パネル 1 1 の平面図である。図 2 1 は、T F T 基板 2 0 側の電極構造を主として示した表示パネル 1 1 の平面図である。図 2 2 は、図 2 0 の A - A' 線に沿った表示パネル 1 1 の断面図である。なお、共通電極 4 2 の平面図は、第 1 実施形態で示した図 5 と同じである。図 2 0 の B - B' 線に沿った断面図は、第 1 実施形態で示した図 7 と同じである。図 2 1 及び図 5 を重ね合わせることで、図 2 0 が得られる。

【 0 0 9 6 】

共通電極 3 4 は、長方形の枠から構成され、画素電極 3 2 を囲むように構成される。すなわち、共通電極 3 4 は、Y 方向に延びる第 1 及び第 2 電極 3 4 - 1、3 4 - 2 と、これら第 1 及び第 2 電極 3 4 - 1、3 4 - 2 の両端を接続しかつ X 方向に延びる第 3 及び第 4 電極 3 4 - 3、3 4 - 4 とを備える。電極 3 4 - 1 ~ 3 4 - 4 は、画素の境界部分に配置される。電極 3 4 - 1 ~ 3 4 - 4 はそれぞれ、X 方向及び Y 方向に隣接する 4 つの画素に共有される。

40

【 0 0 9 7 】

電極 4 2 - 1 の端は、電極 3 4 - 1 の端と同じか、電極 3 4 - 1 の端より画素電極 3 2 側に配置される。電極 4 2 - 2 の端は、電極 3 4 - 2 の端と同じか、電極 3 4 - 2 の端より画素電極 3 2 側に配置される。電極 4 2 - 3 の端は、電極 3 4 - 3 の端と同じか、電極 3 4 - 3 の端より画素電極 3 2 側に配置される。電極 4 2 - 4 の端は、電極 3 4 - 4 の端

50

と同じか、電極 3 4 - 4 の端より画素電極 3 2 側に配置される。その他の構成は、第 1 実施形態と同じである。

【 0 0 9 8 】

第 2 実施形態においても、第 1 実施形態と同じ動作を実現できる。第 2 実施形態の効果は、第 1 実施形態と同じである。

【 0 0 9 9 】

なお、上記各実施形態では、反射領域と透過領域とを含む半透過型表示パネルの構成例を示している。しかし、反射領域を含まない透過型表示パネルに本実施形態を適用することも可能である。透過型表示パネルは、半透過型表示パネルの構成から反射膜を除いて構成される。

10

【 0 1 0 0 】

本明細書において、板やフィルムは、その部材を例示した表現であり、その構成に限定されるものではない。例えば、位相差板は、板状の部材に限定されるものではなく、明細書で記載した機能を有するフィルムやその他の部材であってもよい。偏光板は、板状の部材に限定されるものではなく、明細書で記載した機能を有するフィルムやその他の部材であってもよい。

【 0 1 0 1 】

本発明は、上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲内で、構成要素を変形して具体化することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、1つの実施形態に開示される複数の構成要素の適宜な組み合わせ、若しくは異なる実施形態に開示される構成要素の適宜な組み合わせにより種々の発明を構成することができる。例えば、実施形態に開示される全構成要素から幾つかの構成要素が削除されても、発明が解決しようとする課題が解決でき、発明の効果が得られる場合には、これらの構成要素が削除された実施形態が発明として抽出されうる。

20

【 符号の説明 】

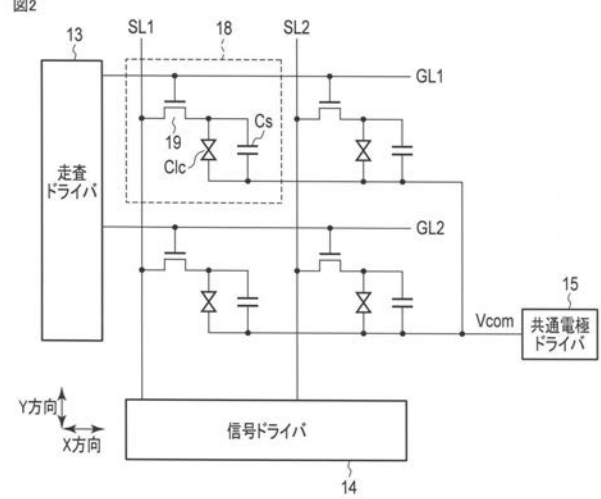
【 0 1 0 2 】

... 1 0 ... 液晶表示装置、1 1 ... 表示パネル、1 2 ... バックライト、1 3 ... 走査ドライバ、1 4 ... 信号ドライバ、1 5 ... 共通電極ドライバ、1 6 ... 電圧発生回路、1 7 ... 制御回路、1 8 ... 画素、1 9 ... スイッチング素子、2 0 ... T F T 基板、2 1 ... C F 基板、2 2 ... 液晶層、2 3 ... ゲート電極、2 4 ... 蓄積電極、2 5 ... ゲート絶縁膜、2 6 ... 半導体層、2 7 A ... ソース電極、2 7 B , 2 8 B ... 接続電極、2 8 A ... ドレイン電極、2 9 , 3 1 ... 絶縁膜、3 0 ... 反射膜、3 2 ... 画素電極、3 3 ... コンタクトプラグ、3 4 ... 共通電極、3 5 , 4 3 ... 配向膜、4 0 ... ブラックマトリクス、4 1 ... カラーフィルタ、4 2 ... 共通電極、4 4 , 4 5 ... 位相差板、4 6 , 4 7 ... 偏光板。

30

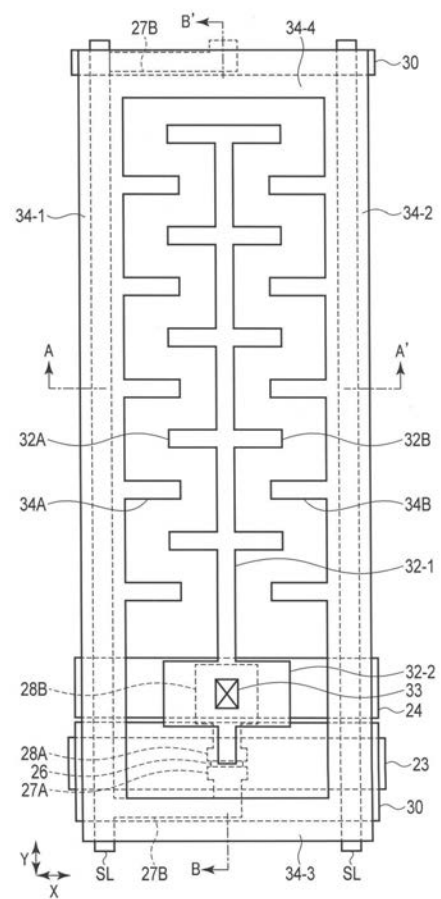
【 図 2 】

圖2



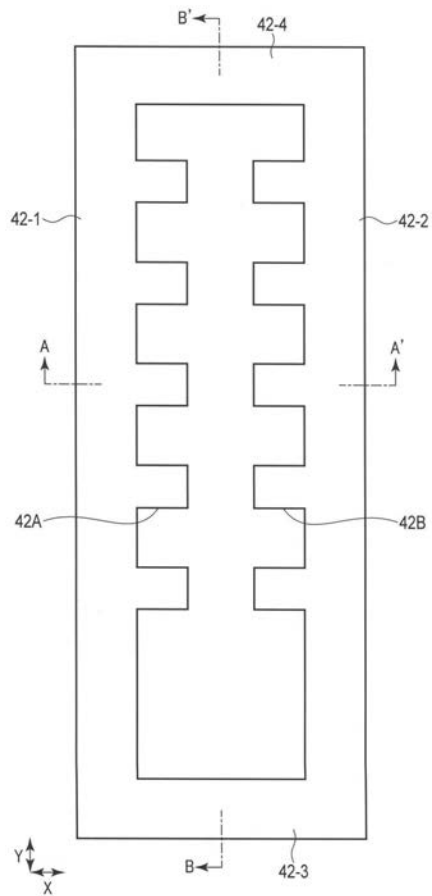
【圖 4】

图4



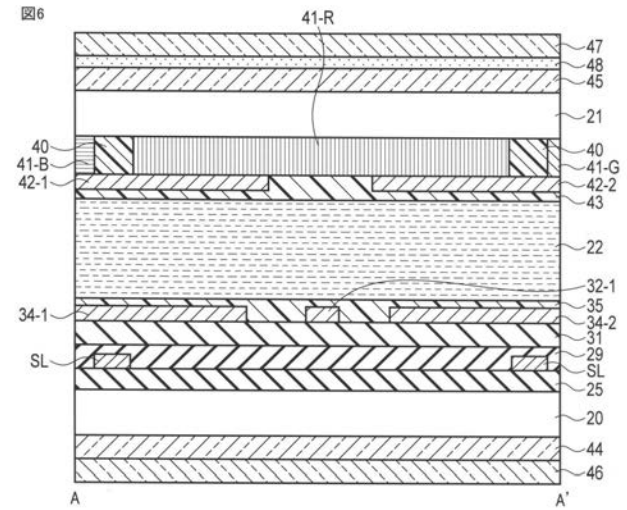
【図 5】

図5



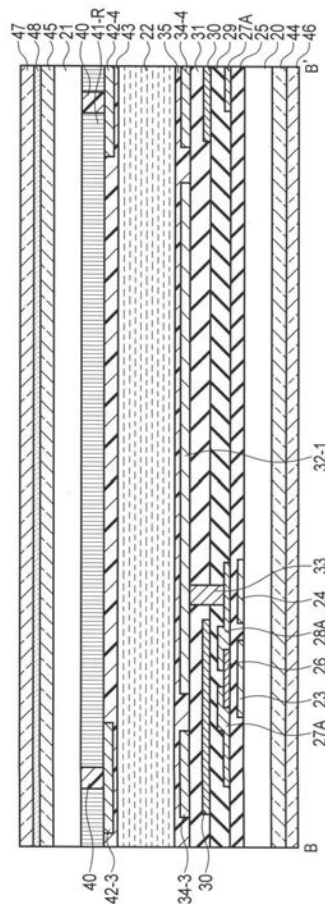
【図 6】

図6



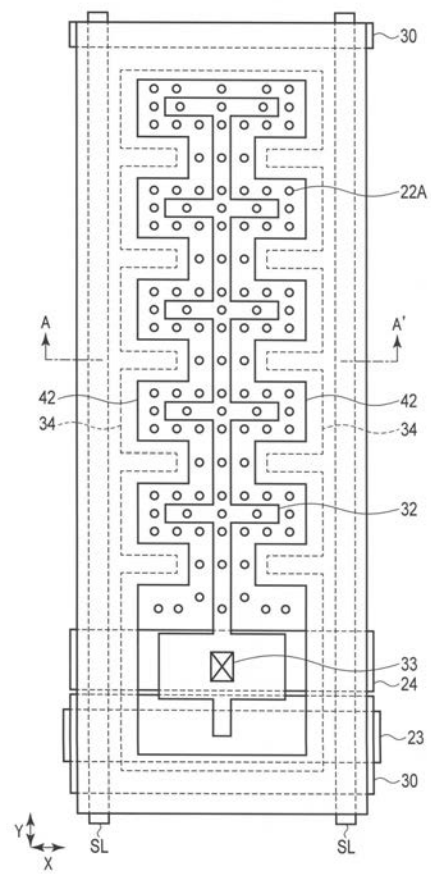
【図 7】

図7



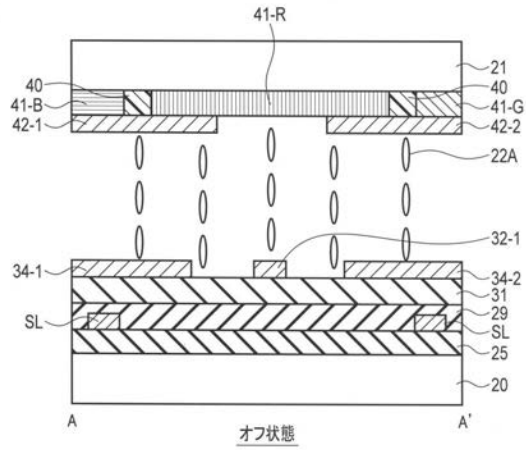
【図 8】

図8



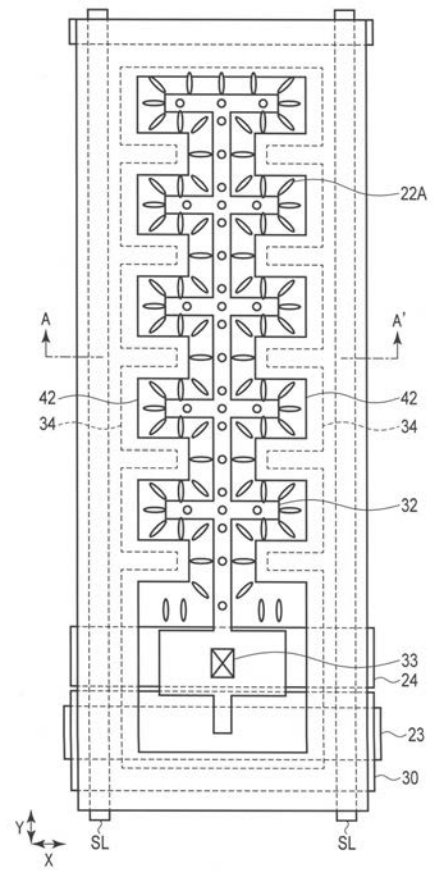
【図 9】

図9



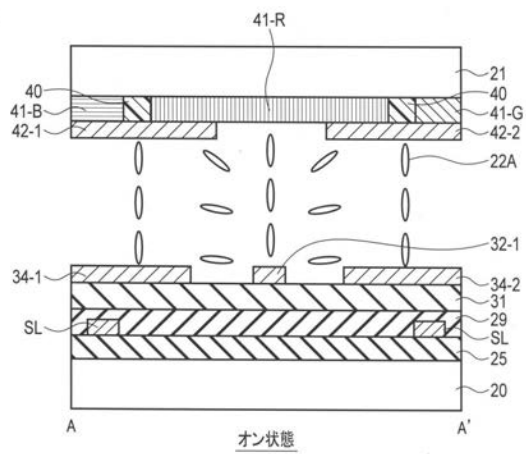
【図 10】

図10



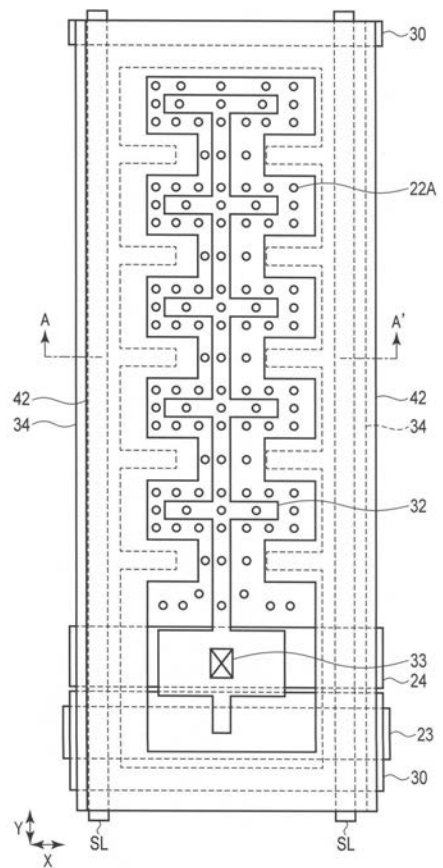
【図 11】

図11

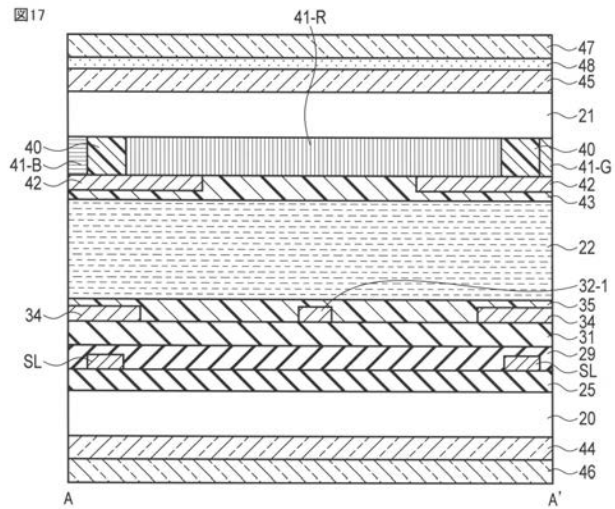


【図 12】

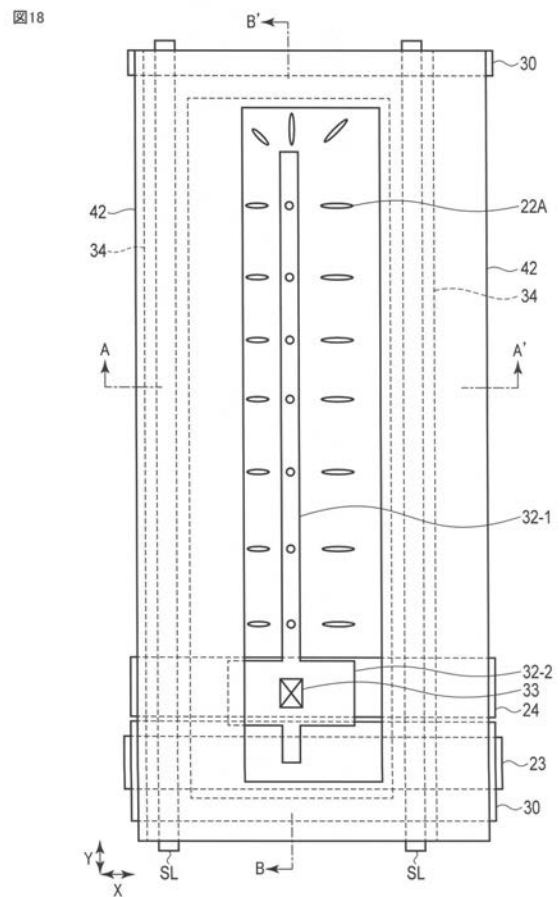
図12



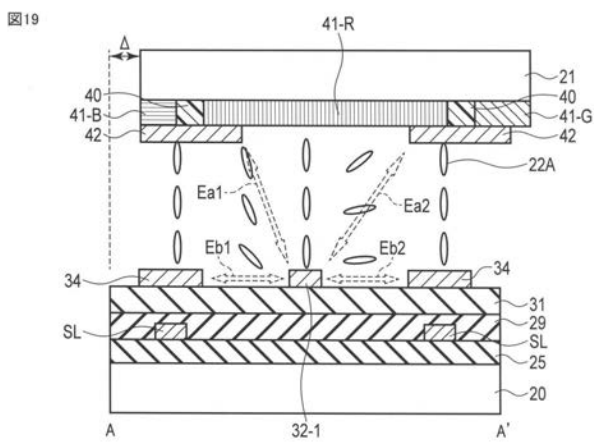
【図 17】



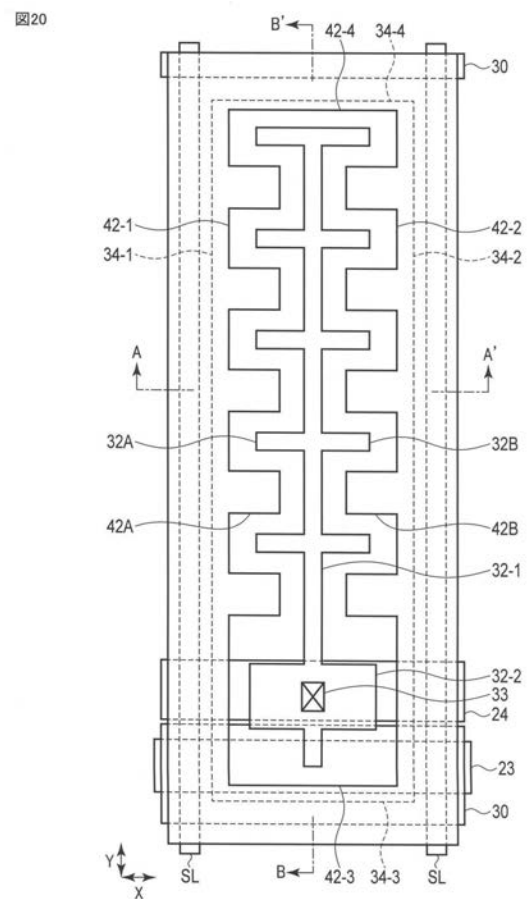
【図 18】



【図 19】

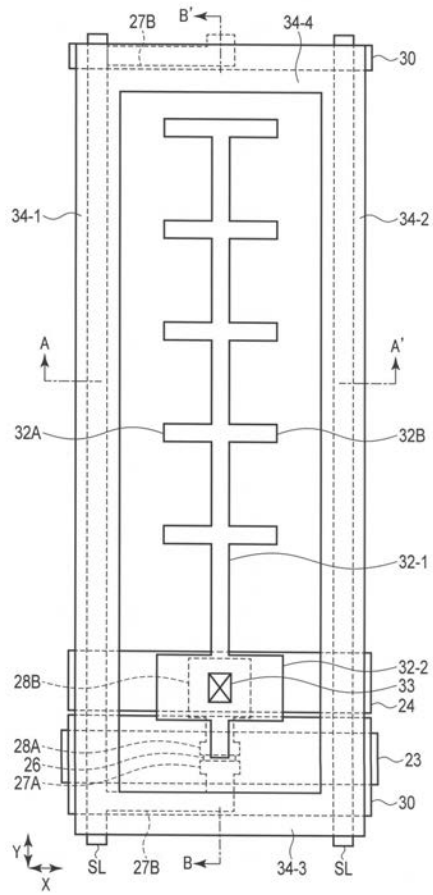


【図 20】



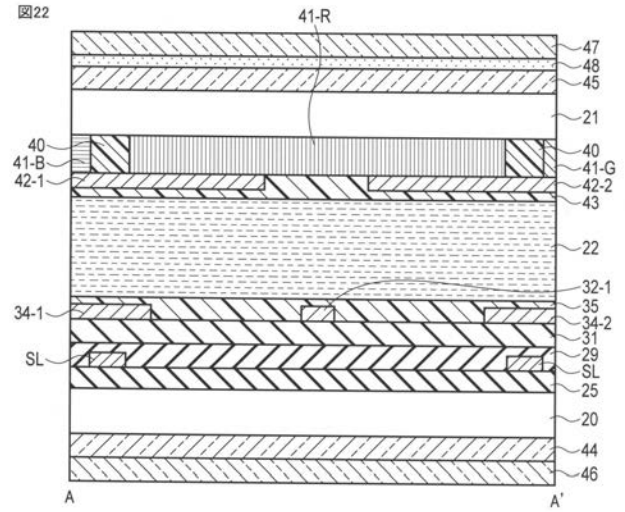
【図 2 1】

図21



【図 2 2】

図22



フロントページの続き

(72)発明者 小林 君平

東京都日野市旭が丘 2 - 8 - 7 株式会社オルタステクノロジー内

(72)発明者 荒井 則博

東京都日野市旭が丘 2 - 8 - 7 株式会社オルタステクノロジー内

F ターム(参考) 2H192 AA24 BA32 BB03 BB33 BB52 BC63 BC74 CB05 CC04 CC42

EA22 EA43 JA13

2H291 FA22X FA22Z FA30X FA30Z LA40 NA09 PA44

专利名称(译)	液晶表示装置		
公开(公告)号	JP2018106074A	公开(公告)日	2018-07-05
申请号	JP2016254269	申请日	2016-12-27
申请(专利权)人(译)	奥尔塔有限公司扫描技术		
[标]发明人	小林君平 荒井則博		
发明人	小林 君平 荒井 則博		
IPC分类号	G02F1/1368 G02F1/13363		
FI分类号	G02F1/1368 G02F1/13363		
F-TERM分类号	2H192/AA24 2H192/BA32 2H192/BB03 2H192/BB33 2H192/BB52 2H192/BC63 2H192/BC74 2H192/CB05 2H192/CC04 2H192/CC42 2H192/EA22 2H192/EA43 2H192/JA13 2H291/FA22X 2H291/FA22Z 2H291/FA30X 2H291/FA30Z 2H291/LA40 2H291/NA09 2H291/PA44		
代理人(译)	河野直树 井上 正 肯·鹤饲 饭野滋		
外部链接	Espacenet		

摘要(译)

要解决的问题：提高响应速度和显示特性。 解决方案：液晶显示装置设置在基板20和21上，液晶层22填充在基板20和21之间，开关元件19设置在基板20上，以及基板20。它包括电连接的像素电极32，设置在基板20上并围绕像素电极32的公共电极34，以及设置在基板21上并在平面图中覆盖公共电极34的公共电极42。像素电极32包括沿第一方向延伸的第一电极和多个第一突起。公共电极42包括沿第一方向延伸的第二电极和多个第二突起。多个第一突起和多个第二突起沿第一方向交替布置。 [选中图]图3

图3

