

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-18102
(P2018-18102A)

(43) 公開日 平成30年2月1日(2018.2.1)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 618B	5F110
HO1L 21/336 (2006.01)	HO1L 29/78 617T	
	HO1L 29/78 617U	
	HO1L 29/78 619	

審査請求 有 請求項の数 2 O L (全 30 頁)

(21) 出願番号 特願2017-205720 (P2017-205720)
 (22) 出願日 平成29年10月25日 (2017.10.25)
 (62) 分割の表示 特願2016-123144 (P2016-123144) の分割
 原出願日 平成23年2月22日 (2011.2.22)
 (31) 優先権主張番号 特願2010-42584 (P2010-42584)
 (32) 優先日 平成22年2月26日 (2010.2.26)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 今藤 敏和
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H192 AA24 BC24 BC31 CB02 CB05
 CB06 CB37 CB46 CB71 DA72
 EA72 HA44 JA13

最終頁に続く

(54) 【発明の名称】 液晶表示装置

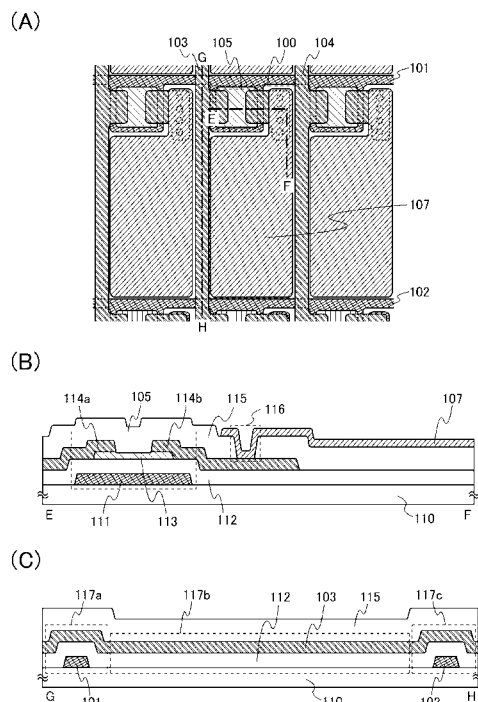
(57) 【要約】

【課題】 液晶表示装置が有する信号線の寄生容量を低減すること。

【解決手段】 各画素に設けられるトランジスタとして、酸化物半導体層を具備するトランジスタを適用する。なお、当該酸化物半導体層は、電子供与体(ドナー)となる不純物(水素又は水など)を徹底的に除去することにより高純度化された酸化物半導体層である。

これにより、トランジスタがオフ状態のときのリーク電流(オフ電流)を少なくすることができる。そのため、各画素において容量素子を設けずとも液晶素子に印加される電圧を保持することが可能になる。また、これに付随して、液晶表示装置の画素部に延在する容量配線を削除することが可能になる。そのため、信号線と容量配線が立体交差する領域における寄生容量を削除することが可能になる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の走査線としての機能を有する第 1 の導電層と、
 第 2 の走査線としての機能を有する第 2 の導電層と、
 前記第 1 の導電層上方、かつ前記第 2 の導電層上方の第 1 の絶縁層と、
 前記第 1 の絶縁層上方の酸化物半導体層と、
 前記酸化物半導体層上方の第 3 の導電層と、
 前記第 3 の導電層上方の第 2 の絶縁層と、を有し、
 前記第 1 の絶縁層は、第 1 の層と、前記第 1 の層上の第 2 の層と、を有し、
 前記第 2 の絶縁層は、第 3 の層と、前記第 3 の層上の第 4 の層と、を有し、
 前記第 1 の層は、窒化シリコンを含み、
 前記第 2 の層は、酸化シリコンを含み、
 前記第 3 の層は、酸化シリコンを含み、
 前記第 4 の層は、窒化シリコンを含み、
 前記第 2 の層は、前記酸化物半導体層と接する領域を有し、
 前記第 3 の層は、前記酸化物半導体層のチャンネル形成領域と接する領域を有し、
 前記第 3 の導電層は、信号線としての機能を有し、
 前記第 1 の導電層は、第 1 の領域において前記第 3 の導電層と交差しており、
 前記第 2 の導電層は、第 2 の領域において前記第 3 の導電層と交差しており、
 前記第 3 の導電層の上面は、前記第 1 の領域と前記第 2 の領域との間の領域において平
 面形状を有し、
 前記第 3 の導電層は、前記第 1 の領域と前記第 2 の領域との間の領域において前記酸化
 物半導体層と重なり、
 前記第 3 の導電層は、前記第 1 の領域において前記酸化物半導体層及び前記第 1 の絶縁
 層を介して前記第 1 の導電層と重なり、
 前記第 3 の導電層は、前記第 2 の領域において前記酸化物半導体層及び前記第 1 の絶縁
 層を介して前記第 2 の導電層と重なる液晶表示装置。

【請求項 2】

第 1 の走査線としての機能を有する第 1 の導電層と、
 第 2 の走査線としての機能を有する第 2 の導電層と、
 前記第 1 の導電層上方、かつ前記第 2 の導電層上方の第 1 の絶縁層と、
 前記第 1 の絶縁層上方の酸化物半導体層と、
 前記酸化物半導体層上方の第 3 の導電層と、
 前記酸化物半導体層上方の第 4 の導電層と、
 前記第 3 の導電層上方の第 2 の絶縁層と、
 前記第 2 の絶縁層上方の画素電極と、を有し、
 前記第 1 の絶縁層は、第 1 の層と、前記第 1 の層上の第 2 の層と、を有し、
 前記第 2 の絶縁層は、第 3 の層と、前記第 3 の層上の第 4 の層と、を有し、
 前記第 1 の層は、窒化シリコンを含み、
 前記第 2 の層は、酸化シリコンを含み、
 前記第 3 の層は、酸化シリコンを含み、
 前記第 4 の層は、窒化シリコンを含み、
 前記第 2 の層は、前記酸化物半導体層と接する領域を有し、
 前記第 3 の層は、前記酸化物半導体層のチャンネル形成領域と接する領域を有し、
 前記第 3 の導電層は、信号線としての機能を有し、
 前記第 4 の導電層は、前記画素電極に電氣的に接続されており、
 前記第 1 の導電層は、第 1 の領域において前記第 3 の導電層と交差しており、
 前記第 2 の導電層は、第 2 の領域において前記第 3 の導電層と交差しており、
 前記第 3 の導電層の上面は、前記第 1 の領域と前記第 2 の領域との間の領域において平
 面形状を有し、

前記第 3 の導電層は、前記第 1 の領域と前記第 2 の領域との間の領域において前記酸化物半導体層と重なり、

前記第 3 の導電層は、前記第 1 の領域において前記酸化物半導体層及び前記第 1 の絶縁層を介して前記第 1 の導電層と重なり、

前記第 3 の導電層は、前記第 2 の領域において前記酸化物半導体層及び前記第 1 の絶縁層を介して前記第 2 の導電層と重なる液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

10

【背景技術】

【0002】

マトリクス状に配列された複数の画素を有するアクティブマトリクス型の液晶表示装置が普及している。一般的には、当該画素は、ゲートが走査線に電氣的に接続され、ソース及びドレインの一方が信号線に電氣的に接続されたトランジスタと、一方の端子が当該トランジスタのソース及びドレインの他方に電氣的に接続され、他方の端子が共通電位を供給する配線（以下、容量配線ともいう）に電氣的に接続された容量素子と、一方の端子（画素電極）が当該トランジスタのソース及びドレインの他方並びに容量素子の一方の端子に電氣的に接続され、他方の端子（対向電極）が対向電位を供給する配線に電氣的に接続された液晶素子とを有する。

20

【0003】

上述した画素の構造例を図 13 に示す。図 13（A）は、画素の上面図である。なお、図 13 においては、液晶素子の一部（液晶層、対向電極など）を割愛した図を示している（いわゆる、アクティブマトリクス基板を示している）。図 13（A）に示す画素 1000 は、平行又は略平行に配列された走査線 1001、1002 及び走査線 1001、1002 に直交又は略直交に配列された信号線 1003、1004 に囲まれた領域に設けられている。また、画素 1000 には、トランジスタ 1005 と、容量素子 1006 と、画素電極層 1007 とが設けられている。なお、容量素子 1006 の一方の電極層となる導電層（容量配線 1008）は、走査線 1001、1002 と平行又は略平行に配列し、且つ複数の画素を横断するように設けられている。

30

【0004】

図 13（B）は、図 13（A）に示す A - B 線における断面を示す図である。トランジスタ 1005 は、基板 1010 上に設けられたゲート層 1011 と、ゲート層 1011 上に設けられたゲート絶縁層 1012 と、ゲート絶縁層 1012 上に設けられた半導体層 1013 と、半導体層 1013 の一端上に設けられたソース層及びドレイン層の一方 1014 a と、半導体層 1013 の他端上に設けられたソース層及びドレイン層の他方 1014 b とによって構成される。容量素子 1006 は、容量配線 1008 の一部と、容量配線 1008 上に設けられた絶縁層（ゲート絶縁層 1012）と、当該絶縁層上に設けられたソース層及びドレイン層の他方 1014 b とによって構成される。加えて、ソース層及びドレイン層の他方 1014 b は、トランジスタ 1005 及び容量素子 1006 上に設けられた絶縁層 1015 に形成されたコンタクトホール 1016 において、画素電極層 1007 に電氣的に接続されている。

40

【0005】

図 13（C）は、図 13（A）に示す C - D 線における断面を示す図である。信号線 1003 は、領域 1017 a において走査線 1001 と、領域 1017 b において容量配線 1008 と、領域 1017 c において走査線 1002 と、ゲート絶縁層 1012 を介して立体交差している。そのため、信号線 1003 は、領域 1017 a、1017 b、1017 c において上面が凸面形状を有する。なお、自明ではあるが、信号線 1004 も信号線 1003 と同様の上面形状を有することを付記する。

【0006】

50

なお、図13に示す画素1000を有する液晶表示装置は、走査線1001、1002及び容量配線1008を同じ導電膜を元に形成し、トランジスタ1005におけるゲート絶縁層1012を容量素子1006における誘電体としても適用している。すなわち、当該液晶表示装置は、製造プロセスが低減された液晶表示装置であるといえる。

【0007】

図13に示した画素1000において、トランジスタ1005は、液晶素子に印加される電圧（画素電極層1007に与えられる電位）を決めるデータ信号の入力を制御する機能を有し、容量素子1006は、液晶素子に印加される電圧（画素電極層1007に与えられる電位）を保持する機能を有する。

【0008】

例えば、容量素子1006の誘電体を厚さ0.1 μm の酸化シリコン膜で構成した場合、容量値0.4pFの容量素子1006の面積は、約1160 μm^2 となる。ここで、画素の大きさが42 μm ×126 μm （4インチVGAの画素）の場合、画素の面積に対して容量素子1006の占める割合は約22%となり、開口率が低下するという問題がある。なお、上記画素構成において容量素子1006を削除することもできる。液晶素子自体の保持容量があるため、作為的に容量素子1006を設けなくともある程度の電荷の保持は可能である。しかし、液晶の比誘電率は低い場合3程度で且つセルギャップが3~4 μm あるので、厚さ0.1 μm の酸化シリコン膜を誘電体とした容量素子1006を使用した場合に比べて、静電容量が1/50くらいになるため、液晶素子の面積は58000 μm^2 位が必要になる。すなわち、この大きさは140 μm ×420 μm の画素に匹敵するため、解像度は60ppi程度になってしまい、それ以下の解像度の液晶表示装置であれば電荷の保持が可能である。逆にいうと、60ppi以上の解像度で、画素を構成した場合は容量素子1006を必要とする。

【0009】

液晶表示装置においては、走査線1001の電位を制御することによってトランジスタ1005をオン状態とすると共に、信号線1003の電位を画素1000に対するデータ信号となるように制御する。これにより、画素1000が有する液晶素子に所望の電圧を印加することができる。また、当該電圧を容量素子1006が一定期間保持することで、各画素において所望の表示を一定期間に渡って行うことができる。当該液晶表示装置は、このような操作を各画素に対して順次行うことで、画素部において画像（静止画）を形成している。さらに、当該液晶表示装置は、当該画像を順次変化させる（例えば、1秒間に60回（フレーム周波数が60Hz））ことによって動画の表示を行っている。

【0010】

上述したように、当該動画は、多数の静止画によって構成される。つまり、当該動画は、厳密な意味では連続しない。そのため、動きの速い動画を表示する場合は、表示に残像などが生じる蓋然性が高くなる。特に、液晶表示装置は、各画素にデータ信号が入力されてから次のデータ信号が入力されるまで各画素が表示を維持する。そのため、残像が顕在化しやすい。特許文献1では、残像を低減する技術（一般に「倍速駆動」と呼ばれる技術）が開示されている。具体的には、特許文献1では、続けて表示される2つの画像を補間する画像を作成し、当該画像を、続けて表示される2つの画像の間に挿入することによって残像を低減する技術が開示されている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開平4-302289号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

上述した技術は、各画素に対して単位時間あたりに入力されるデータ信号数を増加させる技術であるといえる。そのため、当該技術を液晶表示装置に適用するためには、各画素

10

20

30

40

50

へのデータ信号の供給を担う信号線を高速駆動させることが必要になる。しかしながら、画素部に延在する信号線には、画素部に延在する他の配線との間に寄生容量が発生し、当該寄生容量が信号線の高速駆動に対する障害となる可能性がある。

【0013】

そこで、本発明の一態様は、液晶表示装置が有する信号線の寄生容量を低減することを課題の一とする。

【課題を解決するための手段】

【0014】

本発明の一態様の液晶表示装置においては、各画素に設けられるトランジスタとして、酸化半導体層を具備するトランジスタを適用する。なお、当該酸化半導体層は、電子供与体（ドナー）となる不純物（水素又は水など）を徹底的に除去することにより高純度化された酸化半導体層である。高純度化された酸化半導体層中には水素や酸素欠損等に由来するキャリアが極めて少なく（ゼロに近い）、キャリア密度は $1 \times 10^{12} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。すなわち、酸化半導体層の水素や酸素欠損等に由来するキャリア密度を限りなくゼロに近くする。酸化半導体層中に水素や酸素欠損等に由来するキャリアが極めて少ないため、オフ状態のときのトランジスタのリーク電流（オフ電流）を少なくすることができる。

10

【0015】

これにより、各画素において容量素子を設けずとも液晶素子に印加される電圧を保持することが可能になる。また、これに付随して、液晶表示装置の画素部に延在する容量配線を削除することが可能になる。そのため、従来の液晶表示装置においては、信号線と走査線が立体交差する領域及び信号線と容量配線が立体交差する領域において寄生容量が発生していたのに対し、本発明の一態様の液晶表示装置においては後者に起因する寄生容量が存在しない。すなわち、信号線の寄生容量を低減することが可能になる。

20

【0016】

すなわち、本発明の一態様の液晶表示装置は、平行又は略平行に配列された第1の走査線及び第2の走査線と、第1の走査線及び第2の走査線に直交又は略直交に配列された第1の信号線及び第2の信号線と、ゲートが第1の走査線に電氣的に接続され、ソース及びドレインの一方が第1の信号線に電氣的に接続され、ソース及びドレインの他方が画素電極層に電氣的に接続された、酸化半導体層を具備するトランジスタと、を有している。なお、画素電極層は、第1の走査線、第2の走査線、第1の信号線、及び第2の信号線に囲まれた領域に設けられている。さらに、第1の信号線及び第2の信号線は、第1の走査線及び第2の走査線上に設けられた絶縁層を介して、第1の走査線及び第2の走査線と立体交差しており、第1の信号線は、第1の走査線と立体交差する第1の領域及び第2の走査線と立体交差する第2の領域において上面が凸面形状を有している。そしてさらに、第1の領域及び第2の領域の間の領域において上面が平面形状又は略平面形状を有している。すなわち、第1の信号線の上面は、第1の領域と第2の領域の間の全領域において、同一平面上又は略同一平面上に存在する。

30

【発明の効果】

【0017】

本発明の一態様の液晶表示装置は、各画素に設けられるトランジスタとして、酸化半導体層を具備するトランジスタを適用する。これにより、各画素に設けられる容量素子を削除することが可能になる。具体的には、当該液晶表示装置が60ppi以上の解像度を有する液晶表示装置であっても、各画素に容量素子を設けずとも液晶素子に印加される電圧を保持することが可能である。これにより、各画素における開口率を向上させることが可能である。また、これに付随して、液晶表示装置の画素部に延在する容量配線を削除することが可能になる。すなわち、当該液晶表示装置では、信号線の寄生容量が低減された液晶表示装置である。そのため、本発明の一態様の液晶表示装置においては、従来の液晶表示装置よりも信号線の駆動周波数を向上させることが可能になる。すなわち、本発明の一態様の液晶表示装置は、倍速駆動以上の駆動を行う液晶表示装置として好適である。

40

50

【図面の簡単な説明】

【0018】

【図1】液晶表示装置の画素の構造の一例を示す(A)上面図、(B)、(C)断面図。

【図2】トランジスタの特性を示す図。

【図3】トランジスタの特性評価用回路図。

【図4】トランジスタの特性評価用タイミングチャート。

【図5】トランジスタの特性を示す図。

【図6】トランジスタの特性を示す図。

【図7】トランジスタの特性を示す図。

【図8】液晶表示装置の画素の構造の一例を示す断面図。

10

【図9】液晶表示装置の画素の構造の一例を示す断面図。

【図10】(A)、(B)液晶表示装置の画素の構造の一例を示す断面図。

【図11】(A)~(D)トランジスタの製造工程の一例を示す断面図。

【図12】(A)~(F)電子機器の一例を示す図。

【図13】液晶表示装置の画素の構造の一例を示す(A)上面図、(B)、(C)断面図。

【発明を実施するための形態】

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0020】

(画素の構造例について)

はじめに、本発明の一態様の液晶表示装置が有する画素の構造例について図1を参照して説明する。具体的には、画素電極が設けられた一方の基板及び対向電極が設けられた他方の基板によって液晶材料を挟持する構成を有する液晶表示装置(液晶材料に縦電界を加える液晶表示装置)の画素の構造例について図1を参照して説明する。

【0021】

図1(A)は、画素の上面図である。なお、図1(A)においては、液晶素子の一部(液晶層、対向電極など)を割愛した図を示している(いわゆる、アクティブマトリクス基板を示している)。図1(A)に示す画素100は、平行又は略平行に配列された走査線101、102及び走査線101、102に直交又は略直交に配列された信号線103、104に囲まれた領域に設けられている。また、画素100には、トランジスタ105と、画素電極層107とが設けられている。別言すると、図1(A)に示す画素100は、図13(A)に示した画素1000から容量素子1006に関する構成要素を削除した構成を有する。

30

【0022】

図1(B)は、図1(A)に示すE-F線における断面を示す図である。トランジスタ105は、基板110上に設けられたゲート層111と、ゲート層111上に設けられたゲート絶縁層112と、ゲート絶縁層112上に設けられた酸化物半導体層113と、酸化物半導体層113の一端上に設けられたソース層及びドレイン層の一方114aと、酸化物半導体層113の他端上に設けられたソース層及びドレイン層の他方114bとを有する。なお、図1(A)、(B)に示したトランジスタ105は、ゲートとして走査線101の突出部を利用し、ソース及びドレインの一方として信号線103の突出部を利用している。そのため、図1(A)、(B)に示したトランジスタ105は、ゲートが走査線101の一部であり、ソース及びドレインの一方が信号線103の一部であると表現することもできる。加えて、ソース層及びドレイン層の他方114bは、トランジスタ105上に設けられた絶縁層115に形成されたコンタクトホール116において、画素電極層107に電氣的に接続されている。

40

50

【0023】

図1(C)は、図1(A)に示すG-H線における断面を示す図である。信号線103は、領域117aにおいて走査線101と、領域117cにおいて走査線102と、絶縁層(ゲート絶縁層112)を介して立体交差している。そのため、信号線103は、領域117a、117cにおいて上面が凸面形状を有する。さらに、信号線103は、領域117aと領域117cの間の領域117bにおいて上面が平面形状又は略平面形状を有する。すなわち、信号線103の上面は、領域117aと117cの間の全領域117bにおいて、同一平面上又は略同一平面上に存在する。これは、画素100を有する液晶表示装置に容量配線が設けられていないことに起因する。なお、自明ではあるが、信号線104も信号線103と同様の上面形状を有することを付記する。

10

【0024】

図1に示すトランジスタ105は、上記の通り、半導体層として酸化物半導体層113を具備する。酸化物半導体層113に用いる酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系、または単元系金属酸化物であるIn-O系、Sn-O系、Zn-O系などを用いることができる。また、上記酸化物半導体にSiO₂を含んでもよい。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、少なくともInとGaとZnを含む酸化物であり、その組成比に特に制限はない。また、InとGaとZn以外の元素を含んでもよい。

20

【0025】

また、酸化物半導体層113は、化学式InMO₃(ZnO)_m(m>0)で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどを選択することができる。

【0026】

上述した酸化物半導体は、電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化物(水素化合物ともいう)などの不純物を意図的に排除することで高純度化し、電氣的にI型(真性)化された酸化物半導体である。

30

【0027】

よって酸化物半導体中の水素は少なければ少ないほどよい。また、高純度化された酸化物半導体層中には水素や酸素欠損等に由来するキャリアが極めて少なく(ゼロに近い)、キャリア密度は $1 \times 10^{12} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。即ち、酸化物半導体層の水素や酸素欠損等に由来するキャリア密度を限りなくゼロに近くする。酸化物半導体層中に水素や酸素欠損等に由来するキャリアが極めて少ないため、トランジスタがオフ状態のときのリーク電流(オフ電流)を少なくすることができる。オフ電流は少なければ少ないほど好ましい。上記酸化物半導体を半導体層として用いたトランジスタは、チャンネル幅(w)1 μm あたりの電流値が100zA/ μm (zeptoアンペア)以下、好ましくは10zA/ μm 以下、又は1zA/ μm 以下である。さらに、pn接合がなく、ホットキャリア劣化がないため、トランジスタの電気的特性がこれら要因の影響を受けない。

40

【0028】

このように酸化物半導体層に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体をチャンネル形成領域に用いたトランジスタは、オフ電流を極めて小さくすることができる。つまり、トランジスタの非導通状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。一方で、酸化物半導体層は、トランジスタの導通状態においては、非晶質シリコンで形成される半導体層よりも高い電流供給能力を見込むことができる。

50

【0029】

基板110としては、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0030】

トランジスタ105において、下地膜となる絶縁膜を基板110とゲート層111の間に設けてもよい。下地膜は、基板110からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0031】

ゲート層111の材料は、アルミニウム(A1)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

10

【0032】

ゲート絶縁層112は、プラズマCVD法又はスパッタリング法等を用いて形成される。酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層などの絶縁体を適用することができる。また、これらの絶縁体からなる積層構造を適用してもよい。例えば、第1のゲート絶縁層としてプラズマCVD法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層することができる。

20

【0033】

ソース層及びドレイン層の一方114a、ソース層及びドレイン層の他方114bの材料は、アルミニウム(A1)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。また、アルミニウム(A1)、銅(Cu)などの金属層の下側又は上側の一方または双方にチタン(Ti)、モリブデン(Mo)、タングステン(W)などの高融点金属層を積層させた構成としても良い。また、アルミニウム(A1)膜に生ずるヒロックやウイスキーの発生を防止する元素(Si、Nd、Scなど)が添加されているアルミニウム合金を用いることで耐熱性を向上させることが可能となる。

30

【0034】

なお、上述した液晶表示装置においては、ソース層及びドレイン層の一方114aは、信号線103の一部である。そのため、信号線103の高速駆動という観点では、ソース層及びドレイン層は、信号の遅延が生じないように低抵抗導電性材料によって構成することが好ましい。例えば、銅(Cu)又は銅を主構成元素とする合金などの低抵抗導電性材料によって構成することが好ましい。また、銅(Cu)又は銅を主構成元素とする合金からなる層を含む積層構造とすることも可能である。

40

【0035】

また、上述した液晶表示装置においては、画素100において容量素子が設けられない。そのため、画素100におけるデータ信号の保持という観点では、酸化物半導体層へのキャリアの流入を抑制するため金属窒化物をソース層及びドレイン層に適用することが好ましい。例えば、窒化チタン、窒化タングステンなどの窒化物を適用することが好ましい。また、酸化物半導体層と接する層を窒化チタン及び窒化タングステンなどの窒化物とし、その上層に他の導電層を形成する積層構造とすることも可能である。例えば、窒化タングステンと銅(Cu)の積層構造とすることも可能である。

【0036】

50

また、ソース層及びドレイン層の一方 114 a、ソース層及びドレイン層の他方 114 b（これらと同じ層で形成される配線層を含む）となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ In_2O_3 SnO_2 、ITOと略記する）、酸化インジウム酸化亜鉛合金（ In_2O_3 ZnO ）またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0037】

絶縁層 115 としては、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【0038】

また、絶縁層 115 上に、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を形成することができる。

【0039】

さらに、絶縁層 115 上にトランジスタ 105 起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0040】

（トランジスタ 105 のオフ電流について）

次いで、高純度化された酸化物半導体層を具備するトランジスタのオフ電流を求めた結果について説明する。

【0041】

まず、高純度化された酸化物半導体層を具備するトランジスタのオフ電流が十分に小さいことを考慮して、チャンネル幅 W が $1\ \mu\text{m}$ と十分に大きいトランジスタを用意してオフ電流の測定を行った。チャンネル幅 W が $1\ \mu\text{m}$ のトランジスタのオフ電流を測定した結果を図 2 に示す。図 2 において、横軸はゲート電圧 V_G 、縦軸はドレイン電流 I_D である。ドレイン電圧 V_D が $+1\ \text{V}$ または $+10\ \text{V}$ の場合、ゲート電圧 V_G が $-5\ \text{V}$ から $-20\ \text{V}$ の範囲では、トランジスタのオフ電流は、検出限界である $1 \times 10^{-12}\ \text{A}$ 以下であることがわかった。また、トランジスタのオフ電流密度（ここでは、単位チャンネル幅（ $1\ \mu\text{m}$ ）あたりの値）は $1\ \text{aA}/\mu\text{m}$ （ $1 \times 10^{-18}\ \text{A}/\mu\text{m}$ ）以下となることがわかった。

【0042】

次に、高純度化された酸化物半導体層を具備するトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体層を具備するトランジスタのオフ電流は、測定器の検出限界である $1 \times 10^{-12}\ \text{A}$ 以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値（上記測定における測定器の検出限界以下の値）を求めた結果について説明する。

【0043】

はじめに、電流測定方法に用いた特性評価用素子について、図 3 を参照して説明する。

【0044】

図 3 に示す特性評価用素子は、測定系 800 が 3 つ並列に接続されている。測定系 800 は、容量素子 802、トランジスタ 804、トランジスタ 805、トランジスタ 806、トランジスタ 808 を有する。トランジスタ 804、トランジスタ 808 には、高純度化された酸化物半導体層を具備するトランジスタを適用した。

【0045】

測定系 800 において、トランジスタ 804 のソース及びドレインの一方と、容量素子 802 の一方の端子と、トランジスタ 805 のソース及びドレインの一方は、電源（ V_2 を与える電源）に接続されている。また、トランジスタ 804 のソース及びドレインの他方と、トランジスタ 808 のソース及びドレインの一方と、容量素子 802 の他方の端子と、トランジスタ 805 のゲートとは、電氣的に接続されている。また、トランジスタ 8

10

20

30

40

50

08のソース及びドレインの他方と、トランジスタ806のソース及びドレインの一方と、トランジスタ806のゲートとは、電源（V1を与える電源）に電氣的に接続されている。また、トランジスタ805のソース及びドレインの他方と、トランジスタ806のソース及びドレインの他方とは、出力端子に電氣的に接続されている。

【0046】

なお、トランジスタ804のゲートには、トランジスタ804のオン状態と、オフ状態を制御する電位Vext_b2が供給され、トランジスタ808のゲートには、トランジスタ808のオン状態と、オフ状態を制御する電位Vext_b1が供給される。また、出力端子からは電位Voutが出力される。

【0047】

次に、上記の特性評価用素子を用いた電流測定方法について説明する。

【0048】

まず、オフ電流を測定するために電位差を付与する初期期間の概略について説明する。初期期間においては、トランジスタ808のゲートに、トランジスタ808をオン状態とする電位Vext_b1を入力して、トランジスタ804のソース及びドレインの他方と電氣的に接続されるノード（つまり、トランジスタ808のソース及びドレインの一方、容量素子802の他方の端子、及びトランジスタ805のゲートに電氣的に接続されるノード）であるノードAに電位V1を与える。ここで、電位V1は、例えば高電位とする。また、トランジスタ804はオフ状態としておく。

【0049】

その後、トランジスタ808のゲートに、トランジスタ808をオフ状態とする電位Vext_b1を入力して、トランジスタ808をオフ状態とする。トランジスタ808をオフ状態とした後に、電位V1を低電位とする。ここでも、トランジスタ804はオフ状態としておく。また、電位V2は電位V1と同じ電位とする。以上により、初期期間が終了する。初期期間が終了した状態では、ノードAとトランジスタ804のソース及びドレインの一方との間に電位差が生じ、また、ノードAとトランジスタ808のソース及びドレインの他方との間に電位差が生じることになるため、トランジスタ804及びトランジスタ808には僅かに電荷が流れる。つまり、オフ電流が発生する。

【0050】

次に、オフ電流の測定期間の概略について説明する。測定期間においては、トランジスタ804のソース及びドレインの一方の電位（V2）、並びにトランジスタ808のソース及びドレインの他方の電位（V1）は低電位に固定しておく。一方で、測定期間中は、上記ノードAの電位は固定しない（フローティング状態とする）。これにより、トランジスタ804、トランジスタ808に電荷が流れ、時間の経過と共にノードAに保持される電荷量の変動する。そして、ノードAに保持される電荷量の変動に伴って、ノードAの電位が変動する。つまり、出力端子の出力電位Voutも変動する。

【0051】

上記電位差を付与する初期期間、および、その後の測定期間における各電位の関係の詳細（タイミングチャート）を図4に示す。

【0052】

初期期間において、まず、電位Vext_b2を、トランジスタ804がオン状態となるような電位（高電位）とする。これによって、ノードAの電位はV2すなわち低電位（VSS）となる。なお、ノードAに低電位（VSS）を与えるのは必須ではない。その後、電位Vext_b2を、トランジスタ804がオフ状態となるような電位（低電位）として、トランジスタ804をオフ状態とする。そして、次に、電位Vext_b1を、トランジスタ808がオン状態となるような電位（高電位）とする。これによって、ノードAの電位はV1、すなわち高電位（VDD）となる。その後、Vext_b1を、トランジスタ808がオフ状態となるような電位とする。これによって、ノードAがフローティング状態となり、初期期間が終了する。

【0053】

10

20

30

40

50

その後の測定期間においては、電位 V_1 及び電位 V_2 を、ノード A に電荷が流れ込む、またはノード A から電荷が流れ出すような電位とする。ここでは、電位 V_1 及び電位 V_2 を低電位 (V_{SS}) とする。ただし、出力電位 V_{out} を測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的に V_1 を高電位 (V_{DD}) とすることがある。なお、 V_1 を高電位 (V_{DD}) とする期間は、測定に影響を与えない程度の短期間とする。

【0054】

上述のようにして電位差を与え、測定期間が開始されると、時間の経過と共にノード A に保持される電荷量の変動し、これに従ってノード A の電位が変動する。これは、トランジスタ 805 のゲートの電位が変動することを意味するから、時間の経過と共に、出力端子の出力電位 V_{out} の電位も変化することとなる。

10

【0055】

得られた出力電位 V_{out} から、オフ電流を算出する方法について、以下に説明する。

【0056】

オフ電流の算出に先だって、ノード A の電位 V_A と、出力電位 V_{out} との関係を求めておく。これにより、出力電位 V_{out} からノード A の電位 V_A を求めることができる。上述の関係から、ノード A の電位 V_A は、出力電位 V_{out} の関数として次式のように表すことができる。

【0057】

【数1】

$$V_A = F(V_{out})$$

20

【0058】

また、ノード A の電荷 Q_A は、ノード A の電位 V_A 、ノード A に接続される容量 C_A 、定数 ($const$) を用いて、次式のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 802 の容量と他の容量の和である。

【0059】

【数2】

$$Q_A = C_A V_A + const$$

30

【0060】

ノード A の電流 I_A は、ノード A に流れ込む電荷 (またはノード A から流れ出す電荷) の時間微分であるから、ノード A の電流 I_A は次式のように表される。

【0061】

【数3】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

【0062】

このように、ノード A に接続される容量 C_A と、出力端子の出力電位 V_{out} から、ノード A の電流 I_A を求めることができる。

40

【0063】

以上に示す方法により、オフ状態においてトランジスタのソースとドレイン間を流れるリーク電流 (オフ電流) を測定することができる。

【0064】

ここでは、チャンネル長 $L = 10 \mu\text{m}$ 、チャンネル幅 $W = 50 \mu\text{m}$ の、高純度化された酸化物半導体層を具備するトランジスタ 804、808 を作製した。また、並列された各測定系 800 において、容量素子 802 の各容量値を、 100 fF 、 1 pF 、 3 pF とした。

【0065】

なお、上述した測定では、 $V_{DD} = 5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ とした。また、測定期間におい

50

ては、電位 V_1 を原則として V_{SS} とし、 $10 \sim 300 \text{ sec}$ ごとに、 100 msec の期間だけ V_{DD} として V_{out} を測定した。また、素子に流れる電流 I の算出に用いられる t は、約 30000 sec とした。

【0066】

図5に、上記電流測定に係る経過時間 $Time$ と、出力電位 V_{out} との関係を示す。図5より、時間の経過にしたがって、電位が変化している様子が確認できる。

【0067】

図6には、上記電流測定によって算出された室温 (25) におけるオフ電流を示す。なお、図6は、トランジスタ804又はトランジスタ808のソース-ドレイン電圧 V と、オフ電流 I との関係を表すものである。図6から、ソース-ドレイン電圧が 4 V の条件において、オフ電流は約 $40 \text{ z A} / \mu\text{m}$ であることが分かった。また、ソース-ドレイン電圧が 3.1 V の条件において、オフ電流は $10 \text{ z A} / \mu\text{m}$ 以下であることが分かった。なお、 1 z A は 10^{-21} A を表す。

10

【0068】

さらに、上記電流測定によって算出された 85 の温度環境下におけるオフ電流について図7に示す。図7は、 85 の温度環境下におけるトランジスタ804又はトランジスタ808のソース-ドレイン電圧 V と、オフ電流 I との関係を表すものである。図7から、ソース-ドレイン電圧が 3.1 V の条件において、オフ電流は $100 \text{ z A} / \mu\text{m}$ 以下であることが分かった。

【0069】

以上により、高純度化された酸化物半導体層を具備するトランジスタでは、オフ電流が十分に小さくなることが確認された。

20

【0070】

(画素100を有する液晶表示装置について)

本明細書で開示される液晶表示装置は、酸化物半導体層を具備するトランジスタ105を各画素に設けられるトランジスタとして適用する。当該酸化物半導体層を具備するトランジスタ105はオフ電流が小さいため、当該液晶表示装置において、各画素に容量素子を設けずとも液晶素子に印加される電圧を保持することが可能となる。そのため、各画素において開口率を向上させることが可能になる。また、液晶表示装置の画素部に延在する容量配線を削除することが可能になる。そのため、本明細書で開示される液晶表示装置においては、容量配線に起因する寄生容量が存在しない。具体的には、信号線と容量配線が絶縁層を介して立体交差する領域における寄生容量などが存在しない。その結果、本明細書で開示される液晶表示装置においては、信号線の駆動周波数を向上させることが可能になる。すなわち、本明細書で開示される液晶表示装置は、倍速駆動以上の駆動を行う液晶表示装置として好適である。

30

【0071】

加えて、倍速駆動以上の駆動を行う場合、各画素におけるデータ信号の書き換え周波数が増加することになる。すなわち、各画素において液晶素子に印加される電圧を保持する期間が短くなる。そのため、液晶素子に印加される電圧の変動(各画素における表示の劣化(変化))をさらに低減することが可能になる。また、同様の効果は、本明細書で開示される液晶表示装置がフィールドシーケンシャル方式によって駆動される場合にも得られる。すなわち、本明細書で開示される液晶表示装置に対してフィールドシーケンシャル方式による駆動を行うことは好ましい。

40

【0072】

特に、本明細書で開示される液晶表示装置は、大型の液晶表示装置(例えば、40インチ以上)として利用する際の効果が大きい。液晶表示装置の大型化に付随して、配線抵抗などによりデータ信号の遅延などが顕在化する蓋然性が高くなる。これに対し、本明細書で開示される液晶表示装置は、信号線に生じる寄生容量を低減することで、データ信号の遅延などを低減することが可能である。また、小型の液晶表示装置と大型の液晶表示装置において画素数が等しい場合、大型の液晶表示装置が有する各画素のサイズが大きくなる

50

。これは、液晶素子自体が有する容量値が大きくなることを意味する。したがって、酸化物半導体層を具備するトランジスタ105を各画素に設けることに加えて液晶素子自体の容量値が大きくなることで、液晶素子に印加される電圧の変動をさらに低減することが可能になる。

【0073】

また、本明細書で開示される液晶表示装置は、高精細な（画素数の多い）液晶表示装置（例えば、フルハイビジョン（FHD）、2K4K以上）として利用する際の効果が大きい。液晶表示装置の高精細化（画素数の増加）に付随して、画素部に設けられる配線数が増加することで、信号線に生じる寄生容量が大きくなる蓋然性が高くなる。これに対し、本明細書で開示される液晶表示装置では、容量配線が設けられないため、寄生容量の増大を低減することが可能である。また、画素数が多い液晶表示装置と画素数が少ない液晶表示装置において当該液晶表示装置のサイズが等しい場合、前者の画素部における配線密度が高くなる。これは、各画素の開口率が低下することを意味する。これに対し、本明細書で開示される液晶表示装置では、各画素において容量素子が設けられないため、開口率の低下を抑制することが可能である。

10

【0074】

なお、従来の液晶表示装置においては、各画素におけるデータ信号の保持特性は、主として各画素に設けられるトランジスタの特性（オフ電流の値）によって決められていたが、高純度化された酸化物半導体層を具備するトランジスタ105を各画素に設けられるトランジスタとして適用することで、主として、液晶素子の特性（液晶素子に流れる電流）によって決められる。すなわち、本明細書で開示される液晶表示装置においては、トランジスタ105を介した電荷のリーク以上に液晶素子を介した電荷のリークの影響が大きくなる。そのため、液晶素子が有する液晶材料として固有抵抗率の高い物質を適用することが好ましい。具体的には、本明細書で開示される液晶表示装置においては、液晶材料の固有抵抗率は、 1×10^{12} ・ cm以上であり、好ましくは 1×10^{13} ・ cmを超えていることであり、さらに好ましくは 1×10^{14} ・ cmを超えていることが好ましい条件となる。なお、当該液晶材料を用いて液晶素子を構成した場合の液晶素子の抵抗率は、配向膜及びシール材からの不純物が混入する可能性を考慮すると、 1×10^{11} ・ cm以上であり、より好ましくは 1×10^{12} ・ cmを超えていることが好ましい条件となる。また、本明細書における固有抵抗の値は、20 で測定した値とする。

20

30

【0075】

（画素の構造の変形例について）

上述した構成を有する液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0076】

例えば、上述した液晶表示装置においては、信号線103と走査線101、102の間にゲート絶縁層112のみが設けられる構成（図1（C）参照）について示したが、信号線103とゲート絶縁層112の間に酸化物半導体層201を設ける構成（図8（A）参照）とすることも可能である。すなわち、トランジスタ105が有する酸化物半導体層113を形成する工程（フォトリソグラフィ工程及びエッチング工程）において、後に信号線103が形成される領域においても酸化物半導体層をエッチングすることなく残存させることが可能である。このように、信号線103とゲート絶縁層112の間に酸化物半導体層201を設けることによって、信号線103と走査線101、102の間の寄生容量をさらに低減することができる。

40

【0077】

また、信号線103とゲート絶縁層112の間に選択的に酸化物半導体層を設ける構成とすることも可能である。例えば、信号線103と走査線101、102が立体交差する領域117a、117cにおいて選択的に酸化物半導体層202a、202bを設ける構成（図8（B）参照）とすることが可能である。また、領域117a、117cに加えて、領域117bの一部において選択的に酸化物半導体層202a、202bを設ける構成

50

(図8(C)参照)とすることも可能である。なお、この場合、信号線103とゲート絶縁層112の間の酸化物半導体層によって、領域117bにおいて、信号線103の上面に段差が生じるが、本明細書においては、当該上面形状は、略平面形状に含まれる形状であるとする。換言すると、走査線101、102、及び酸化物半導体層202a、202bの一部に起因する段差に挟まれた領域全体において、信号線103とゲート絶縁層112は直接接しており、且つ、その領域全体において信号線103の上面は全て同一平面上又は略同一平面上に存在する。

【0078】

また、上述した液晶表示装置においては、各画素に設けられるトランジスタとしてボトムゲート構造のトランジスタの1種であるチャンネルエッチ型のトランジスタ105を適用する構成(図1(B)参照)について示したが、その他の構造を有するトランジスタを適用することも可能である。例えば、ボトムゲート構造のトランジスタの1種であるチャンネルストップ型のトランジスタ210(図9(A)参照)、又はボトムゲート構造のトランジスタの1種であるボトムコンタクト型のトランジスタ220(図9(B)参照)を適用することが可能である。

10

【0079】

具体的には、図9(A)に示すチャンネルストップ型のトランジスタ210は、基板110上に設けられたゲート層111と、ゲート層111上に設けられたゲート絶縁層112と、ゲート絶縁層112上に設けられた酸化物半導体層113と、酸化物半導体層113の中央部に設けられたチャンネル保護層として機能する絶縁層211と、酸化物半導体層113の一端及び絶縁層211の一端上に設けられたソース層及びドレイン層の一方114aと、酸化物半導体層113の他端及び絶縁層211の他端上に設けられたソース層及びドレイン層の他方114bとを有する。なお、絶縁層211は、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いて形成することができる。

20

【0080】

また、図9(B)に示すボトムコンタクト型のトランジスタ220は、基板110上に設けられたゲート層111と、ゲート層111上に設けられたゲート絶縁層112と、ゲート絶縁層112上に設けられたソース層及びドレイン層の一方114a、並びにソース層及びドレイン層の他方114bと、ソース層及びドレイン層の一方114aの一端上、ソース層及びドレイン層の他方114bの一端上、並びにゲート絶縁層112上に設けられた酸化物半導体層113とを有する。

30

【0081】

さらに、各画素に設けられるトランジスタがチャンネルストップ型のトランジスタ210である場合、信号線103とゲート絶縁層112の間に、絶縁層212を設ける構成(図9(C)参照)とすることも可能である。なお、絶縁層212は、トランジスタ210が有するチャンネル保護層として機能する絶縁層211と同じ材料を元に形成される絶縁層である。また、ゲート絶縁層112と絶縁層212の間に酸化物半導体層を設ける構成(図示しない)とすることも可能である。なお、当該酸化物半導体層は、トランジスタ210が有する酸化物半導体層113と同じ材料を元に形成される酸化物半導体層である。さらに、走査線101と走査線102の上だけに、当該酸化物半導体層及び当該絶縁層を選択的に設ける構成(図示しない)とすることも可能である。

40

【0082】

また、トランジスタ105としてトップゲート型のトランジスタ230(図10(A)参照)を適用することも可能である。具体的には、図10(A)に示すトップゲート型のトランジスタ230は、基板110上に設けられた下地絶縁層231と、下地絶縁層231上に設けられた酸化物半導体層113と、酸化物半導体層113上に設けられたゲート絶縁層112と、ゲート絶縁層112上に設けられたゲート層111と、酸化物半導体層113及びゲート層111上に設けられた絶縁層232に形成されたコンタクトホール233aにおいて酸化物半導体層113と接するソース層及びドレイン層の一方114aと

50

、酸化物半導体層 1 1 3 及びゲート層 1 1 1 上に設けられた絶縁層 2 3 2 に形成されたコンタクトホール 2 3 3 b において酸化物半導体層 1 1 3 と接するソース層及びドレイン層の他方 1 1 4 b とを有する。加えて、ソース層及びドレイン層の他方 1 1 4 b は、トランジスタ 2 3 0 上に設けられた絶縁層 2 3 4 に形成されたコンタクトホール 2 3 5 において、画素電極層 1 0 7 に電氣的に接続されている。この場合、信号線 1 0 3 は、領域 1 1 7 a、1 1 7 c において、絶縁層 2 3 2 を介して走査線 1 0 1、1 0 2 と立体交差することになる（図 1 0 (B) 参照）。なお、下地絶縁層 2 3 1 は、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。また、絶縁層 2 3 2 は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、又は酸化ハフニウム膜などの無機絶縁体から選ばれた一又は複数の膜による積層構造により形成することができる。なお、絶縁層 2 3 4 は、絶縁層 2 3 2 と同様の無機絶縁体膜を用いて形成すること、又はポリイミド、アクリル樹脂、若しくはベンゾシクロブテン系樹脂などの有機材料を用いて形成することができる。

10

20

30

40

50

【 0 0 8 3 】

また、上述した液晶表示装置においては、各画素に設けられるトランジスタが 1 つである構成について示したが、各画素に 2 つ以上のトランジスタが設けられる構成とすることも可能である。例えば、VA (Vertical Alignment) 方式の液晶表示装置の視野角に関する問題の対策のために各画素に 2 つのトランジスタが設けられる場合において、当該 2 つのトランジスタとして酸化物半導体層を具備するトランジスタを適用することが可能である。ここで、当該液晶表示装置は、各画素にトランジスタを介したリーク経路を 2 つ有する液晶表示装置であると表現することができる。そのため、従来の液晶表示装置においては、各画素において 2 つの容量素子を設けるなど、容量素子の面積を大きくして液晶素子に印加される電圧の保持を行っていた。すなわち、開口率を犠牲にして液晶素子に印加される電圧の保持を行っていた。これに対し、本明細書で開示される液晶表示装置では、酸化物半導体層を具備するトランジスタを介した電荷のリークを大きく低減することで容量素子自体を削除することが可能である。すなわち、本明細書で開示される液晶表示装置は、各画素に複数のトランジスタが設けられる場合であっても、高い開口率を維持することができる液晶表示装置であると言える。

【 0 0 8 4 】

(トランジスタの製造方法の具体例について)

以下では、本明細書で開示される液晶表示装置の各画素に設けられるトランジスタの一例として、ボトムゲート構造の 1 種であるチャンネルエッチ型のトランジスタ 4 1 0 の作製工程について図 1 1 を参照して説明する。なお、ここではシングルゲート構造のトランジスタを示すが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造のトランジスタとすることができる。

【 0 0 8 5 】

以下、図 1 1 (A) ~ (D) を参照して、基板 4 0 0 上にトランジスタ 4 1 0 を作製する工程について説明する。

【 0 0 8 6 】

まず、絶縁表面を有する基板 4 0 0 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート層 4 1 1 を形成する。なお、当該工程において用いられるレジストマスクは、インクジェット法によって形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減することができる。

【 0 0 8 7 】

絶縁表面を有する基板 4 0 0 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 7 3

0 以上のものを用いると良い。

【0088】

下地層となる絶縁層を基板400とゲート層411の間に設けてもよい。下地層は、基板400からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0089】

また、ゲート層411の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属又はこれらを主成分とする合金を用いて、単層で又は積層して形成することができる。

10

【0090】

例えば、ゲート層411の2層の積層構造としては、アルミニウム層上にモリブデン層を積層した2層構造、銅層上にモリブデン層を積層した2層構造、銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層を積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した3層構造とすることが好ましい。

【0091】

次いで、ゲート層411上にゲート絶縁層402を形成する。

【0092】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、若しくは酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、シラン(SiH_4)、酸素及び窒素を用いてプラズマCVD法により酸化窒化シリコン層を形成すればよい。また、ゲート絶縁層402として酸化ハフニウム(HfO_x)、酸化タンタル(TaO_x)等のHigh-k材料を用いることもできる。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層とを積層して形成する。

20

【0093】

ここでは、ゲート絶縁層402としてプラズマCVD法により酸化窒化シリコン層を形成する。

30

【0094】

また、ゲート絶縁層402として、高密度プラズマ装置を用い、酸化窒化シリコン層の形成を行ってもよい。ここで高密度プラズマ装置とは、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3kW~6kWのマイクロ波電力を印加してプラズマを発生させて、絶縁層の成膜を行う。

【0095】

チャンバーに材料ガスとしてシラン(SiH_4)、亜酸化窒素(N_2O)、及び希ガスを導入し、10Pa~30Paの圧力下で高密度プラズマを発生させてガラス等の絶縁表面を有する基板の上に絶縁層を形成する。その後、シラン(SiH_4)の供給を停止し、絶縁層を大気に曝すことなく亜酸化窒素(N_2O)と希ガスを導入して絶縁層表面にプラズマ処理を行ってもよい。上記プロセス順序を経た絶縁層は、膜厚が薄くてもトランジスタの信頼性を確保することができる絶縁層である。

40

【0096】

ゲート絶縁層402の形成の際、チャンバーに導入するシラン(SiH_4)と亜酸化窒素(N_2O)の流量比は、1:10から1:200の範囲とする。また、チャンバーに導入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

【0097】

50

また、高密度プラズマ装置により得られた絶縁層は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁層は、薄い膜の厚みを精密に制御することができる。

【0098】

上記プロセス順序を経た絶縁層は、従来の平行平板型のPCVD装置で得られる絶縁層とは大きく異なっており、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型のPCVD装置で得られる絶縁膜の10%以上または20%以上遅く、高密度プラズマ装置で得られる絶縁層は緻密な膜と言える。

【0099】

なお、後の工程でI型化又は実質的にI型化される酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。従って μ 波（2.45GHz）を用いた高密度プラズマCVD装置は、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層が密接することにより、界面準位密度を低減して界面特性を良好なものとすることができるからである。ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できることが重要である。

【0100】

次いで、ゲート絶縁層402上に、膜厚2nm以上200nm以下の酸化物半導体膜430を形成する。なお、酸化物半導体膜430をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着している粉状物質（パーティクル、ゴミともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0101】

酸化物半導体膜430は、In-Ga-Zn-O系、In-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。ここでは、酸化物半導体膜430として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図11(A)に相当する。また、酸化物半導体膜430は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素の混合雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜430に結晶化を阻害するSiO_x（ $x > 0$ ）を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することもできる。

【0102】

ここでは、In、Ga、及びZnを含む金属酸化物ターゲット（In₂O₃：Ga₂O₃：ZnO = 1：1：1 [mol]、In：Ga：Zn = 1：1：0.5 [atom]）を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流（DC）電源0.5kW、アルゴン及び酸素（アルゴン：酸素 = 30sccm：20sccm、酸素流量比率40%）雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系膜の膜厚は、2nm以上200nm以下とする。ここでは、酸化物半導体膜として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により膜厚20nmのIn-Ga-Zn-O系膜を成膜する。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、In：Ga：Zn = 1：1：1 [atom]、又はIn：Ga

10

20

30

40

50

: Zn = 1 : 1 : 2 [a t o m] の組成比を有する金属酸化物ターゲットを用いることもできる。

【 0 1 0 3 】

スパッタ法にはスパッタ用電源に高周波電源を用いる R F スパッタ法と D C スパッタ法があり、さらにパルス的にバイアスを与えるパルス D C スパッタ法もある。 R F スパッタ法は主に絶縁膜を成膜する場合に用いられ、 D C スパッタ法は主に金属膜を成膜する場合に用いられる。

【 0 1 0 4 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【 0 1 0 5 】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる E C R スパッタ法を用いるスパッタ装置がある。

【 0 1 0 6 】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガスとを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【 0 1 0 7 】

次いで、酸化物半導体膜 4 3 0 を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、当該工程において用いられるレジストマスクは、インクジェット法によって形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 1 0 8 】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第 1 の加熱処理の温度は、 4 0 0 以上 7 5 0 以下、好ましくは 4 0 0 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 4 5 0 において 1 時間の加熱処理を行った後、酸化物半導体層への水や水素の再混入を防ぐため、大気に触れさせることなく冷却して酸化物半導体層 4 3 1 を得る (図 1 1 (B) 参照) 。

【 0 1 0 9 】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、 G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、 L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等の R T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。 L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。 G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【 0 1 1 0 】

例えば、第 1 の加熱処理として、 6 5 0 ~ 7 0 0 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す G R T A を行ってもよい。 G R T A を用いると短時間での高温加熱処理が可能となる。

【 0 1 1 1 】

なお、第 1 の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素

10

20

30

40

50

、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0112】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に対して行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、第2のフォトリソグラフィ工程を行う。

【0113】

酸化物半導体層に対する脱水化または脱水素化の加熱処理は、酸化物半導体層の形成後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上に保護絶縁膜を形成した後、のいずれで行っても良い。

10

【0114】

また、ゲート絶縁層402に開口部を形成する場合、その工程は酸化物半導体膜430に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

【0115】

なお、ここでの酸化物半導体膜430のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0116】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、三塩化硼素(BCl_3)、四塩化シリコン($SiCl_4$)、四塩化炭素(CCl_4)など)が好ましい。

20

【0117】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0118】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

30

【0119】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0120】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

40

【0121】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0122】

次いで、ゲート絶縁層402、及び酸化物半導体層431上に、金属導電膜を形成する。金属導電膜はスパッタ法や真空蒸着法で形成すればよい。金属導電膜の材料としては、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、上述した元素を成分とする合金、又は上述した元素を組み合わせた合金等が挙げられる。また、マンガン(Mn

50

)、マグネシウム (Mg)、ジルコニウム (Zr)、ベリリウム (Be)、イットリウム (Y) のいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、銅又は銅を主成分とする膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、窒化タンタル膜又は窒化銅膜上に銅膜を積層する2層構造、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する3層構造などが挙げられる。また、アルミニウム (Al) に、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素を単数、又は複数組み合わせ合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

10

【0123】

金属導電膜形成後に加熱処理を行う場合には、この加熱処理に耐えうる耐熱性を金属導電膜に持たせることが好ましい。

【0124】

第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース層415a、ドレイン層415bを形成した後、レジストマスクを除去する(図11(C)参照)。また、当該工程において用いるレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0125】

なお、金属導電膜のエッチングの際に、酸化物半導体層431は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0126】

ここでは、金属導電膜としてチタン膜を用いて、酸化物半導体層431にはIn-Ga-Zn-O系酸化物を用いて、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0127】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層431は一部がエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0128】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減ことができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

30

【0129】

次いで、亜酸化窒素(N₂O)、窒素(N₂)、またはアルゴン(Ar)などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

40

【0130】

プラズマ処理を行った後、酸化物半導体層を大気に触れさせることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層416を形成する。

【0131】

酸化物絶縁層416は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層416に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層416に水素が含まれると、その水素が酸化物半導体層へ侵入して酸化物

50

半導体層 4 3 1 のバックチャネルが低抵抗化（N型化）してしまい、寄生チャネルが形成される恐れがある。よって、酸化物絶縁層 4 1 6 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0132】

ここでは、酸化物絶縁層 4 1 6 として膜厚 2 0 0 nm の酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 3 0 0 以下とすればよく、ここでは 1 0 0 とする。酸化シリコン膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。

10

【0133】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 2 0 0 以上 4 0 0 以下、例えば 2 5 0 以上 3 5 0 以下）を行う。例えば、窒素雰囲気下で 2 5 0 、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）は酸化物絶縁層 4 1 6 と接した状態で加熱される。これにより、酸化物半導体層の一部（チャネル形成領域）に酸素が供給される。また、この加熱処理によって、酸化物半導体層から酸化物絶縁層 4 1 6 中に水素をとりこむことができる。

【0134】

以上の工程を経ることによって、酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行った後、酸化物半導体層の一部（チャネル形成領域）を選択的に酸素過剰な状態とする。その結果、ゲート層 4 1 1 と重なるチャネル形成領域 4 1 3 は I 型となり、ソース層 4 1 5 a に重なるソース領域 4 1 4 a と、ドレイン層 4 1 5 b に重なるドレイン領域 4 1 4 b とが自己整合的に形成される。以上の工程でトランジスタ 4 1 0 が形成される。

20

【0135】

例えば、ゲートバイアス・熱ストレス試験（BT 試験）のような高温、高電界に長時間さらされる条件下（例えば、8 5 、 2×10^6 V / c m、1 2 時間）においては、不純物（水素等）が酸化物半導体に存在していると、不純物と酸化物半導体の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のドリフトを誘発することとなる。これに対して、酸化物半導体の不純物、特に水素や水等を極力除去し、上述の高密度プラズマ CVD 装置を用いて緻密で絶縁耐圧の高い高品質な絶縁膜を形成し、酸化物半導体との界面特性を良好にすることにより、過酷な外部環境に対しても安定なトランジスタを得ることができる。

30

【0136】

さらに大気中、1 0 0 以上 2 0 0 以下、1 時間以上 3 0 時間以下での加熱処理を行ってもよい。ここでは 1 5 0 で 1 0 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、1 0 0 以上 2 0 0 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層 4 1 6 の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

40

【0137】

なお、ドレイン層 4 1 5 b と重畳した酸化物半導体層においてドレイン領域 4 1 4 b を形成することにより、トランジスタの信頼性の向上を図ることができる。具体的には、ドレイン領域 4 1 4 b を形成することで、ドレイン層 4 1 5 b からドレイン領域 4 1 4 b、チャネル形成領域 4 1 3 にかけて、導電性を段階的に変化させようような構造とすることができる。

【0138】

また、酸化物半導体層におけるソース領域又はドレイン領域は、酸化物半導体層の膜厚

50

が15nm以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が30nm以上50nm以下とより厚い場合は、酸化物半導体層の一部、ソース層又はドレイン層と接する領域及びその近傍が低抵抗化しソース領域又はドレイン領域が形成され、酸化物半導体層においてゲート絶縁層に近い領域はI型とすることもできる。

【0139】

酸化物絶縁層416上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化シリコン膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、酸化窒化アルミニウム膜などを用いる。ここでは、保護絶縁層として保護絶縁層403を、窒化シリコン膜を用いて形成する(図11(D)参照)。

10

【0140】

(液晶表示装置を搭載した各種電子機器について)

以下では、本明細書で開示される液晶表示装置を搭載した電子機器の例について図12を参照して説明する。

【0141】

図12(A)は、ノート型のパーソナルコンピュータを示す図であり、本体2201、筐体2202、表示部2203、キーボード2204などによって構成されている。

【0142】

図12(B)は、携帯情報端末(PDA)を示す図であり、本体2211には表示部2213と、外部インターフェイス2215と、操作ボタン2214等が設けられている。また、操作用の付属品としてスタイラス2212がある。

20

【0143】

図12(C)は、電子ペーパーの一例として、電子書籍2220を示す図である。電子書籍2220は、筐体2221および筐体2223の2つの筐体で構成されている。筐体2221および筐体2223は、軸部2237により一体とされており、該軸部2237を軸として開閉動作を行うことができる。このような構成により、電子書籍2220は、紙の書籍のように用いることが可能である。

【0144】

筐体2221には表示部2225が組み込まれ、筐体2223には表示部2227が組み込まれている。表示部2225および表示部2227は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図12(C)では表示部2225)に文章を表示し、左側の表示部(図12(C)では表示部2227)に画像を表示することができる。

30

【0145】

また、図12(C)では、筐体2221に操作部などを備えた例を示している。例えば、筐体2221は、電源スイッチ2231、操作キー2233、スピーカー2235などを備えている。操作キー2233により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2220は、電子辞書としての機能を持たせた構成としてもよい。

40

【0146】

また、電子書籍2220は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0147】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可

50

能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【0148】

図12(D)は、携帯電話機を示す図である。当該携帯電話機は、筐体2240および筐体2241の二つの筐体で構成されている。筐体2241は、表示パネル2242、スピーカー2243、マイクロフォン2244、ポインティングデバイス2246、カメラ用レンズ2247、外部接続端子2248などを備えている。また、筐体2240は、当該携帯電話機の充電を行う太陽電池セル2249、外部メモリスロット2250などを備えている。また、アンテナは筐体2241内部に内蔵されている。

【0149】

表示パネル2242はタッチパネル機能を備えており、図12(D)には映像表示されている複数の操作キー2245を点線で示している。なお、当該携帯電話は、太陽電池セル2249から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵した構成とすることもできる。

【0150】

表示パネル2242は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル2242と同一面上にカメラ用レンズ2247を備えているため、テレビ電話が可能である。スピーカー2243およびマイクロフォン2244は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体2240と筐体2241はスライドし、図12(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0151】

外部接続端子2248はACアダプタやUSBケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット2250に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0152】

図12(E)は、デジタルカメラを示す図である。当該デジタルカメラは、本体2261、表示部(A)2267、接眼部2263、操作スイッチ2264、表示部(B)2265、バッテリー2266などによって構成されている。

【0153】

図12(F)は、テレビジョン装置を示す図である。テレビジョン装置2270では、筐体2271に表示部2273が組み込まれている。表示部2273により、映像を表示することが可能である。なお、ここでは、スタンド2275により筐体2271を支持した構成を示している。

【0154】

テレビジョン装置2270の操作は、筐体2271が備える操作スイッチや、別体のリモコン操作機2280により行うことができる。リモコン操作機2280が備える操作キー2279により、チャンネルや音量の操作を行うことができ、表示部2273に表示される映像を操作することができる。また、リモコン操作機2280に、当該リモコン操作機2280から出力する情報を表示する表示部2277を設ける構成としてもよい。

【0155】

なお、テレビジョン装置2270は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことが可能である。

【符号の説明】

【0156】

10

20

30

40

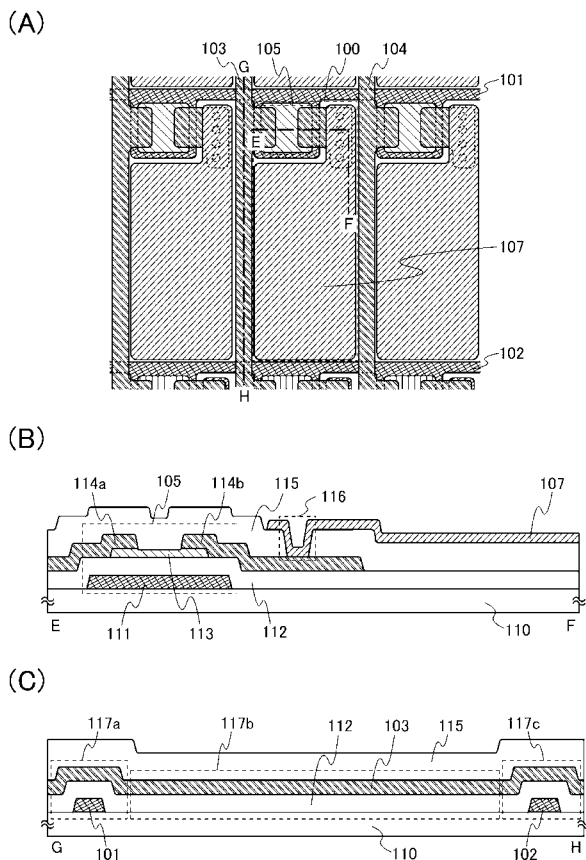
50

1 0 0	画素	
1 0 1	走査線	
1 0 2	走査線	
1 0 3	信号線	
1 0 4	信号線	
1 0 5	トランジスタ	
1 0 7	画素電極層	
1 1 0	基板	
1 1 1	ゲート層	
1 1 2	ゲート絶縁層	10
1 1 3	酸化物半導体層	
1 1 4 a	ソース層及びドレイン層の一方	
1 1 4 b	ソース層及びドレイン層の他方	
1 1 5	絶縁層	
1 1 6	コンタクトホール	
1 1 7 a	領域	
1 1 7 b	領域	
1 1 7 c	領域	
2 0 1	酸化物半導体層	
2 0 2 a	酸化物半導体層	20
2 0 2 b	酸化物半導体層	
2 1 0	トランジスタ	
2 1 1	絶縁層	
2 1 2	絶縁層	
2 2 0	トランジスタ	
2 3 0	トランジスタ	
2 3 1	下地絶縁層	
2 3 2	絶縁層	
2 3 3 a	コンタクトホール	
2 3 3 b	コンタクトホール	30
2 3 4	絶縁層	
2 3 5	コンタクトホール	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 1 0	トランジスタ	
4 1 1	ゲート層	
4 1 3	チャネル形成領域	
4 1 4 a	ソース領域	
4 1 4 b	ドレイン領域	40
4 1 5 a	ソース層	
4 1 5 b	ドレイン層	
4 1 6	酸化物絶縁層	
4 3 0	酸化物半導体膜	
4 3 1	酸化物半導体層	
8 0 0	測定系	
8 0 2	容量素子	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	50

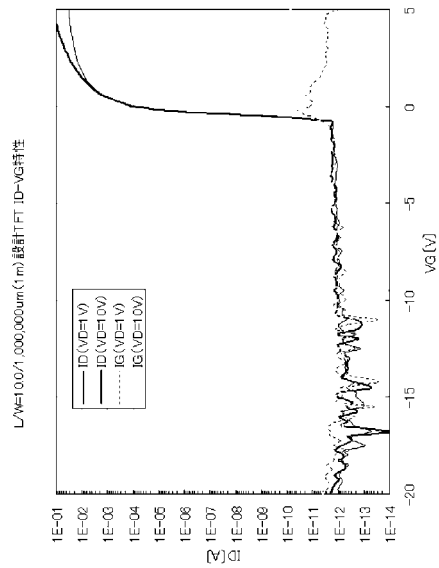
8 0 8	トランジスタ	
1 0 0 0	画素	
1 0 0 1	走査線	
1 0 0 2	走査線	
1 0 0 3	信号線	
1 0 0 4	信号線	
1 0 0 5	トランジスタ	
1 0 0 6	容量素子	
1 0 0 7	画素電極層	
1 0 0 8	容量配線	10
1 0 1 0	基板	
1 0 1 1	ゲート層	
1 0 1 2	ゲート絶縁層	
1 0 1 3	半導体層	
1 0 1 4 a	ソース層及びドレイン層の一方	
1 0 1 4 b	ソース層及びドレイン層の他方	
1 0 1 5	絶縁層	
1 0 1 6	コンタクトホール	
1 0 1 7 a	領域	
1 0 1 7 b	領域	20
1 0 1 7 c	領域	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	30
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	40
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	50

- 2 2 6 1 本体
- 2 2 6 3 接眼部
- 2 2 6 4 操作スイッチ
- 2 2 6 5 表示部 (B)
- 2 2 6 6 バッテリー
- 2 2 6 7 表示部 (A)
- 2 2 7 0 テレビジョン装置
- 2 2 7 1 筐体
- 2 2 7 3 表示部
- 2 2 7 5 スタンド
- 2 2 7 7 表示部
- 2 2 7 9 操作キー
- 2 2 8 0 リモコン操作機

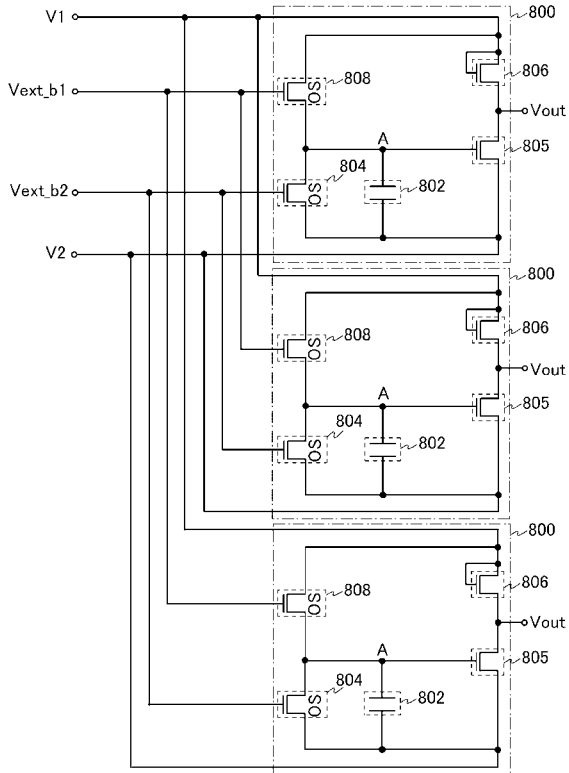
【 図 1 】



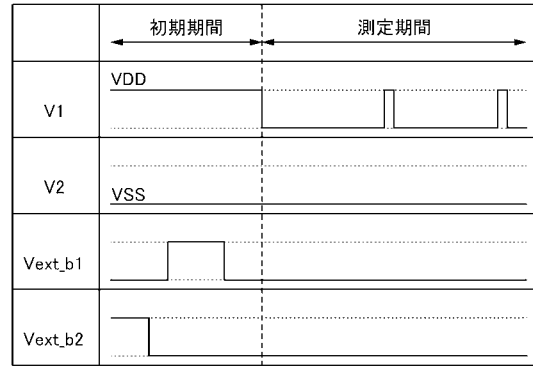
【 図 2 】



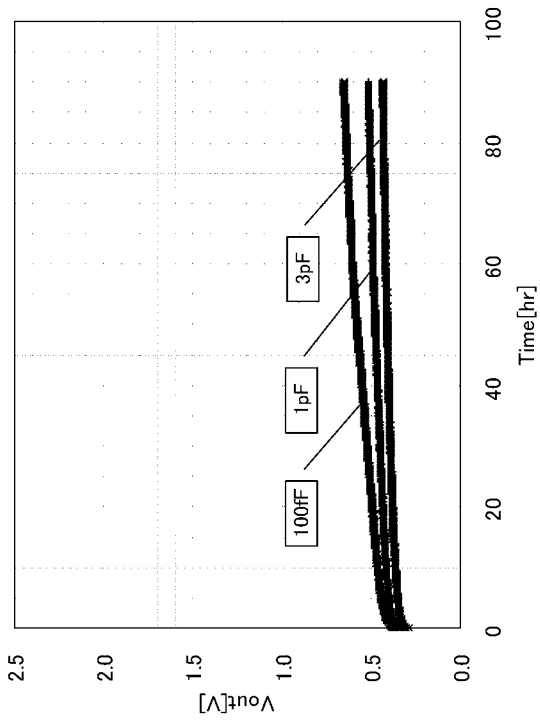
【 図 3 】



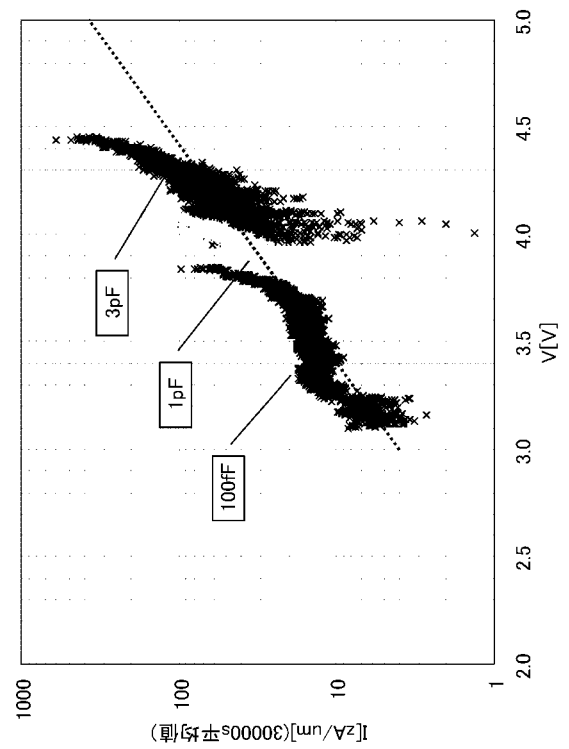
【 図 4 】



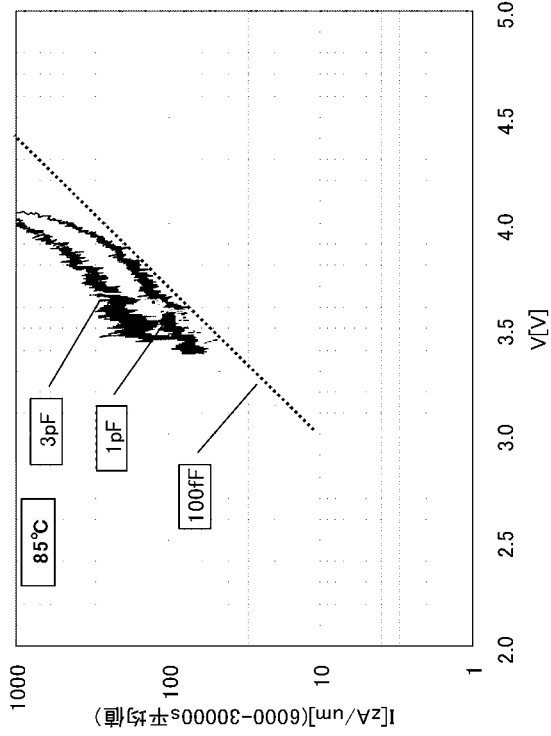
【 図 5 】



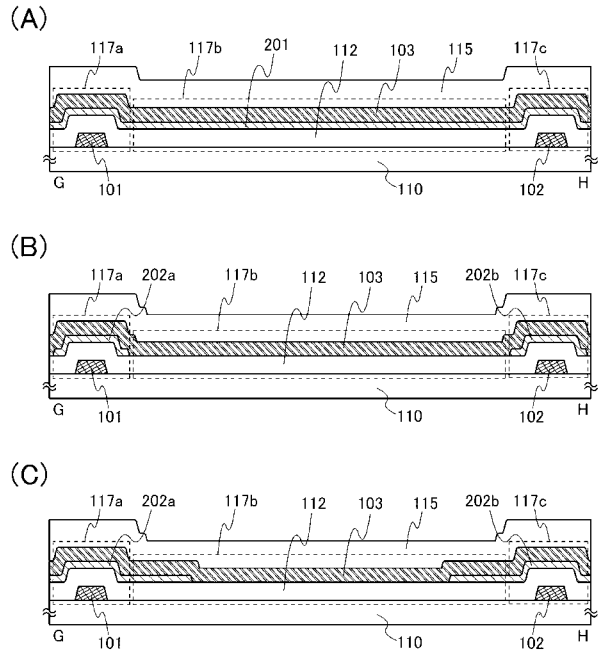
【 図 6 】



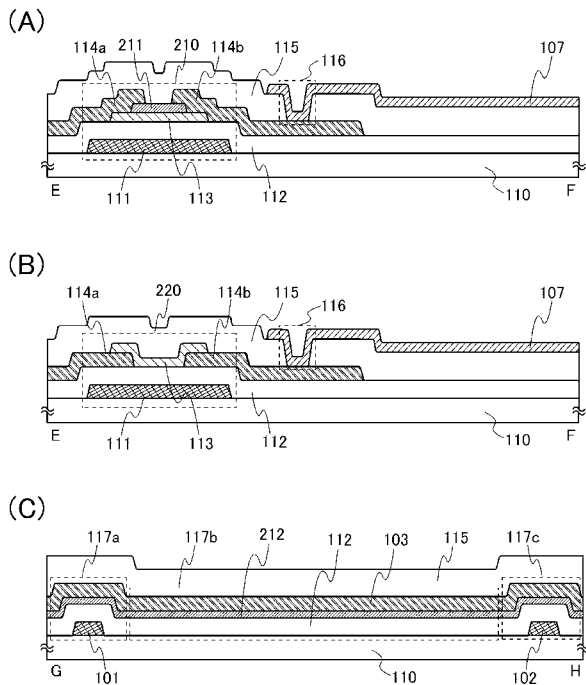
【 図 7 】



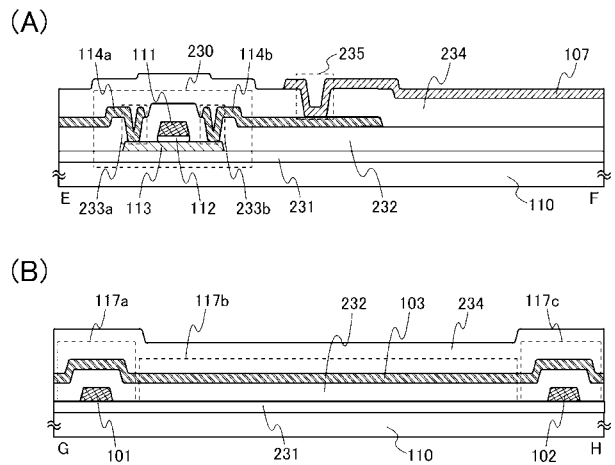
【 図 8 】



【 図 9 】

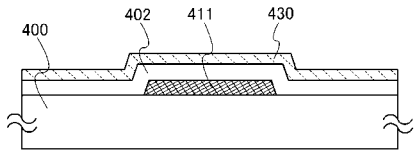


【 図 10 】

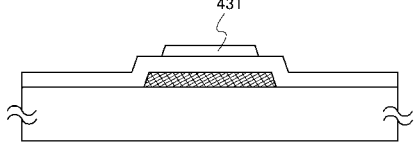


【図 1 1】

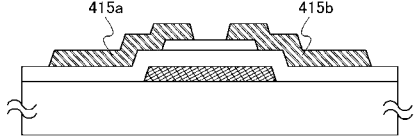
(A)



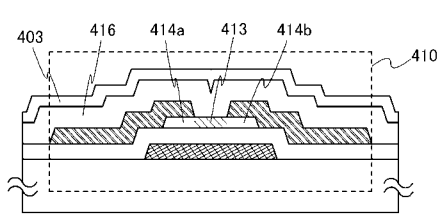
(B)



(C)

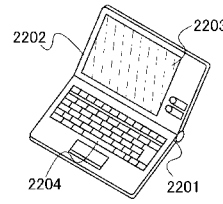


(D)

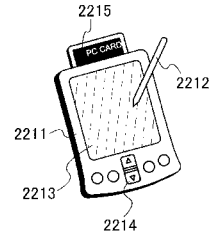


【図 1 2】

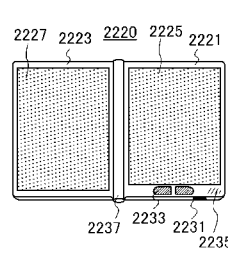
(A)



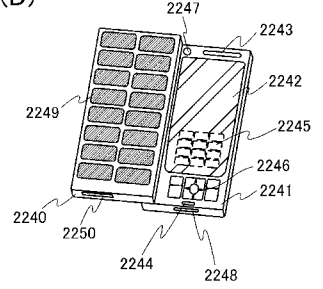
(B)



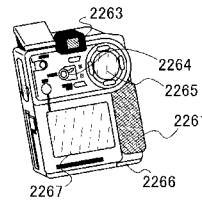
(C)



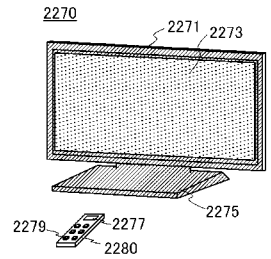
(D)



(E)

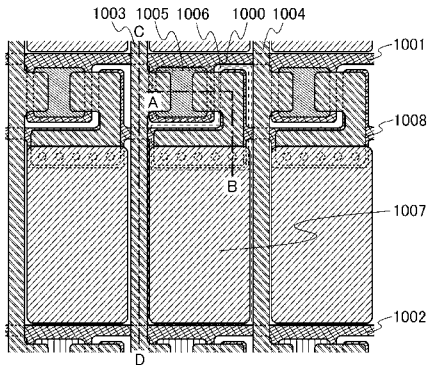


(F)

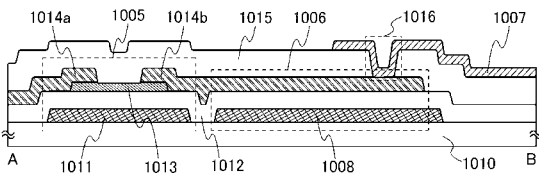


【図 1 3】

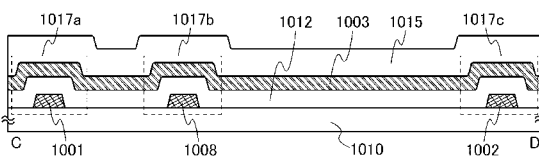
(A)



(B)



(C)



フロントページの続き

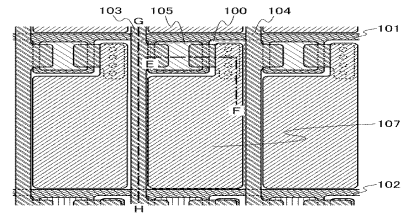
Fターム(参考) 5F110 AA06 AA08 AA14 BB01 CC01 CC03 CC07 DD02 DD07 DD13
DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE06 EE14 EE15
FF01 FF02 FF03 FF04 FF09 FF28 FF30 GG01 GG06 GG22
GG25 GG33 GG34 GG35 GG43 GG57 GG58 HK01 HK02 HK03
HK04 HK06 HK07 HK21 HK22 HL01 HL02 HL03 HL04 HL06
HL07 HL11 HL12 NN02 NN03 NN04 NN05 NN12 NN22 NN23
NN24 NN27 NN34 NN40 NN72 PP01 PP02 PP10 PP13 PP29
PP35 QQ01 QQ02 QQ19

专利名称(译)	液晶表示装置		
公开(公告)号	JP2018018102A	公开(公告)日	2018-02-01
申请号	JP2017205720	申请日	2017-10-25
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	今藤敏和 小山潤 山崎舜平		
发明人	今藤 敏和 小山 潤 山崎 舜平		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336		
CPC分类号	G02F1/133345 G02F1/136286 G02F2001/136295 H01L29/786 G02F2001/13606 H01L27/1225 H01L27/1244 H01L29/45 H01L29/7869 G02F1/136227 H01L27/124 G02F1/13624 G02F1/1368 G02F2202/10 G09G3/3622 G09G2300/0426		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.617.T H01L29/78.617.U H01L29/78.619		
F-TERM分类号	2H192/AA24 2H192/BC24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB06 2H192/CB37 2H192/CB46 2H192/CB71 2H192/DA72 2H192/EA72 2H192/HA44 2H192/JA13 5F110/AA06 5F110/AA08 5F110/AA14 5F110/BB01 5F110/CC01 5F110/CC03 5F110/CC07 5F110/DD02 5F110/DD07 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE15 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG06 5F110/GG22 5F110/GG25 5F110/GG33 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/HL01 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL11 5F110/HL12 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN05 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN34 5F110/NN40 5F110/NN72 5F110/PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/PP29 5F110/PP35 5F110/QQ01 5F110/QQ02 5F110/QQ19		
优先权	2010042584 2010-02-26 JP		
其他公开文献	JP6542326B2		
外部链接	Espacenet		

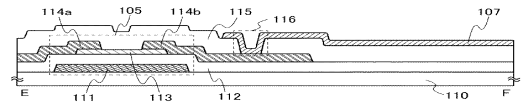
摘要(译)

要解决的问题：降低液晶显示装置中包含的信号线的寄生电容。 解决方案：作为在每个像素中提供的晶体管，包括氧化物半导体层的晶体管 应用jista。注意，氧化物半导体层包含用作电子供体（供体）的杂质（从氧化物半导体层中彻底除去氢，水等。这使得可以在晶体管关闭时减小漏电流（关断电流）你可以做到。因此，即使在每个像素中没有提供电容元件，施加到液晶元件的电压也是如此 它可以举行。除此之外，还延伸到像素部分的液晶显示装置 可以删除数量布线。因此，在信号线和电容器线彼此交叉的区域中 可以删除寄生电容。

(A)



(B)



(C)

