

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-102485

(P2017-102485A)

(43) 公開日 平成29年6月8日(2017.6.8)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H192

審査請求 有 請求項の数 1 O L (全 14 頁)

(21) 出願番号	特願2017-39795 (P2017-39795)	(71) 出願人	502356528
(22) 出願日	平成29年3月2日 (2017.3.2)		株式会社ジャパンディスプレイ
(62) 分割の表示	特願2013-260579 (P2013-260579)		東京都港区西新橋三丁目7番1号
	の分割	(74) 代理人	110002147
原出願日	平成25年12月17日 (2013.12.17)		特許業務法人酒井国際特許事務所
		(72) 発明者	杉山 裕紀
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	稲村 弘
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		Fターム(参考)	2H092 GA14 GA59 JA26 JA46 JB05
			JB53 JB54 KA05 KA07 NA24
			QA06

最終頁に続く

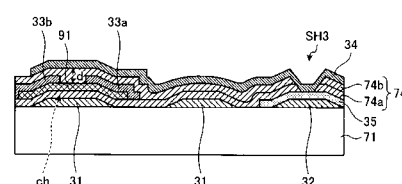
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】額縁領域に形成された周辺回路のトランジスタの誤動作を低減する液晶表示装置を提供する。

【解決手段】表示装置1は、第1基板と、第2基板と、第1基板と第2基板との間に配置される液晶層と、を備える。額縁領域は、表示エリア部21の画素を駆動する周辺回路を含み、周辺回路のトランジスタTr2には、第1基板の表面に垂直な方向においてトランジスタTr2に積層された無機絶縁層74bを介して導電層34が設けられる。そして、導電層34には、走査パルスの下位電位が印加されている。

【選択図】 図8



【特許請求の範囲】**【請求項 1】**

第 1 基板と、前記第 1 基板に対向配置された第 2 基板と、前記第 1 基板と前記第 2 基板との間に配置される液晶層と、を備える液晶表示装置であって、

前記第 1 基板は、

走査線と信号線とに接続された画素トランジスタと、前記画素トランジスタに接続された画素電極と、コモン電極と、を有する画素と、

前記走査線に対して走査パルスを出力する周辺回路と、を含み、

前記周辺回路は、

第 1 基板の表面に形成された周辺回路トランジスタと、

前記第 1 基板の表面に垂直な方向において前記周辺回路トランジスタに積層された無機絶縁層と、

前記無機絶縁層上に設けられ、かつ、前記周辺回路トランジスタのチャネル領域を覆う、導電層と、

前記走査パルスの下位電位を給電する下位電位配線と、を備え、

前記周辺回路トランジスタは、ゲートと、第 1 絶縁膜と、アモルファスシリコンで形成された半導体層と、ドレイン電極及びソース電極とを有し、

前記導電層は前記下位電位配線に接続し、前記導電層には前記下位電位が供給されている、液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に関する。

【背景技術】**【0002】**

近年、液晶表示装置は、カーナビゲーションの表示装置や、携帯電話や電子ペーパーなどのモバイル機器向けの表示装置の需要が高くなっている。

【0003】

特許文献 1 には、TFT（トランジスタ）への光リークを防止するとともに、TFT の特性のズレを補正し、表示ムラの発生を抑制する技術が記載されている。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2008 - 197359 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

特許文献 1 では、アレイ基板上に導電性の遮光層が形成され、その上層に絶縁膜を介して TFT が形成されている。このような態様によって、遮光層に負の電位を印加したときは、TFT の特性が補正され、閾値電圧が高くなるので、TFT オフ時のリークによる表示ムラを改善することができるとされる。しかしながら、このような作用があるのは、表示エリア部の TFT についてであり、表示エリア部の TFT を駆動する額縁領域に形成された周辺回路のトランジスタについて考慮されていない。

【0006】

額縁領域に形成された周辺回路のトランジスタは、表示エリア部のトランジスタよりも長時間動作の場合、誤動作を低減することが求められている。

【0007】

本発明はかかる問題点に鑑みてなされたもので、額縁領域に形成された周辺回路のトランジスタの誤動作を低減する液晶表示装置を提供することにある。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 8 】

本発明の一態様に係る液晶表示装置は、第 1 基板と、前記第 1 基板に対向配置された第 2 基板と、前記第 1 基板と前記第 2 基板との間に配置される液晶層と、を備える液晶表示装置であって、前記第 1 基板は、走査線と信号線とに接続された画素トランジスタと、前記画素トランジスタに接続された画素電極と、コモン電極と、を有する画素と、前記走査線に対して走査パルスを出力する周辺回路と、を含み、前記周辺回路は、第 1 基板の表面に形成された周辺回路トランジスタと、前記第 1 基板の表面に垂直な方向において前記周辺回路トランジスタに積層された無機絶縁層と、前記無機絶縁層上に設けられ、かつ、前記周辺回路トランジスタのチャネル領域を覆う、導電層と、前記走査パルスの下位電位を給電する下位電位配線と、を備え、前記周辺回路トランジスタは、ゲートと、第 1 絶縁膜と、アモルファスシリコンで形成された半導体層と、ドレイン電極及びソース電極とを有し、前記導電層は前記下位電位配線に接続し、前記導電層には前記下位電位が供給されている。

10

【 0 0 0 9 】

本発明の一態様に係る電子機器は、上記液晶表示装置と、前記液晶表示装置に映像信号を供給し、液晶表示装置の動作を制御する制御装置とを備えてもよい。

【 図面の簡単な説明 】

【 0 0 1 0 】

【 図 1 】 図 1 は、本実施形態に係る液晶表示装置の一例を表す説明図である。

【 図 2 】 図 2 は、図 1 の液晶表示装置のシステム例を表すブロック図である。

20

【 図 3 】 図 3 は、画素を駆動する駆動回路の一例を示す回路図である。

【 図 4 】 図 4 は、液晶表示部の一例を示す断面図である。

【 図 5 】 図 5 は、本実施形態に係る液晶表示装置の画素を模式的に示す平面図である。

【 図 6 】 図 6 は、本実施形態に係る液晶表示装置の画素をスイッチングするトランジスタの一例を模式的に示す断面図である。

【 図 7 】 図 7 は、本実施形態に係る液晶表示装置の周辺回路を模式的に示す平面図である。

【 図 8 】 図 8 は、本実施形態に係る液晶表示装置の周辺回路の一例を模式的に示す断面図である。

【 図 9 】 図 9 は、トランジスタの特性を説明するための説明図である。

30

【 図 1 0 】 図 1 0 は、トランジスタの特性を説明するための説明図である。

【 図 1 1 】 図 1 1 は、本実施形態に係る液晶表示装置を適用する電子機器の一例を示す図である。

【 発明を実施するための形態 】

【 0 0 1 1 】

本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

40

【 0 0 1 2 】

図 1 は、本実施形態に係る液晶表示装置の一例を表す説明図である。図 2 は、図 1 の液晶表示装置のシステム例を表すブロック図である。図 1 は模式的に表したものであり、実際の寸法、形状と同一とは限らない。なお、表示装置 1 が本発明の「液晶表示装置」の一具体例に相当する。

50

【0013】

表示装置1は、液晶表示部2と、ドライバIC3と、バックライト6と、を備えている。表示装置1は、透過型、又は半透過型の表示装置であってもよく、バックライト6を備えない、反射型の表示装置であってもよい。図示しないフレキシブルプリント基板(FPC(Flexible Printed Circuits))は、ドライバIC3への外部信号又はドライバIC3を駆動する駆動電力を伝送する。液晶表示部2は、透光性絶縁基板、例えばガラス基板11と、ガラス基板11の表面にあり、液晶セルを含む画素がマトリクス状(行列状)に多数配置されてなる表示エリア部21と、水平ドライバ(水平駆動回路)23と、垂直ドライバ(垂直駆動回路)22A、22Bと、を備えている。垂直ドライバ(垂直駆動回路)22A、22Bは、第1垂直ドライバ22A、第2垂直ドライバ22Bとして、表示エリア部21を挟むように配置されている。ガラス基板11は、能動素子(例えば、トランジスタ)を含む多数の画素回路がマトリクス状に配置形成される第1基板と、この第1の基板と所定の間隙をもって対向して配置される第2基板とを含む。そして、ガラス基板11は、第1基板、第2基板の間に液晶が封入される液晶層を有する。水平ドライバ(水平駆動回路)23と、垂直ドライバ(垂直駆動回路)22A、22Bとは、第1基板に形成されるので、周辺回路ともよばれる。

10

【0014】

液晶表示部2の額縁領域11gr、11glは、ガラス基板11の表面にあり、液晶セルを含む画素がマトリクス状(行列状)に多数配置されてなる表示エリア部21の外側にある、非表示領域である。垂直ドライバ22A、22Bは、額縁領域11gr、11glに配置されている。

20

【0015】

バックライト6は、液晶表示部2の裏面側(画像を表示する面とは反対側の面)に配置されている。バックライト6は、液晶表示部2に向けて光を照射し、表示エリア部21の全面に光を入射させる。バックライト6は、例えば光源と、光源から出力された光を導いて、液晶表示部2の裏面に向けて出射させる導光板と、を含む。

【0016】

液晶表示部2は、ガラス基板11上に、表示エリア部21と、インターフェース(I/F)及びタイミングジェネレータの機能を備えるドライバIC3と、第1垂直ドライバ22A、第2垂直ドライバ22B及び水平ドライバ23とを備えている。

30

【0017】

表示エリア部21は、液晶層を含む画素Vpixが、表示上の1画素を構成するユニットがm行×n列に配置されたマトリクス(行列状)構造を有している。なお、この明細書において、行とは、一方向に配列されるn個の画素Vpixを有する画素行をいう。また、列とは、行が配列される方向と直交する方向に配列されるm個の画素Vpixを有する画素列をいう。そして、mとnとの値は、垂直方向の表示解像度と水平方向の表示解像度に応じて定まる。表示エリア部21は、画素Vpixのm行n列の配列に対して行毎に走査線24₁、24₂、24₃・・・24_mが配線され、列毎に信号線25₁、25₂、25₃・・・25_nが配線されている。以後、本実施形態においては、走査線24₁、24₂、24₃・・・24_mを代表して走査線24又は走査線24_mのように表記し、信号線25₁、25₂、25₃・・・25_nを代表して信号線25又は信号線25_nのように表記することがある。また、本実施形態においては、走査線24₁、24₂、24₃・・・24_mを代表して走査線24_{m+1}、24_{m+2}、24_{m+3}・・・のように表記し、信号線25₁、25₂、25₃・・・25_nを代表して信号線25_{n+1}、25_{n+2}、25_{n+3}・・・のように表記することもある。表示エリア部21は、正面に直交する方向から見た場合、走査線24と信号線25がカラーフィルタのブラックマトリクスと重なる領域に配置されている。また、表示エリア部21は、ブラックマトリクスが配置されていない領域が開口部となる。

40

【0018】

液晶表示部2には、外部から外部信号である、マスタークロック、水平同期信号及び垂

50

直同期信号が入力され、ドライバIC3に与えられる。ドライバIC3は、外部電源の電圧振幅のマスタークロック、水平同期信号及び垂直同期信号を、液晶の駆動に必要な内部電源の電圧振幅にレベル変換（昇圧）し、マスタークロック、水平同期信号及び垂直同期信号を生成する。ドライバIC3は、生成したマスタークロック、水平同期信号及び垂直同期信号をそれぞれ第1垂直ドライバ22A、第2垂直ドライバ22B及び水平ドライバ23に与える。ドライバIC3は、画素Vpix毎の画素電極に対して各画素共通に与えるコモン電位（対向電極電位）Vcomを生成して表示エリア部21に与える。

【0019】

第1垂直ドライバ22A、第2垂直ドライバ22Bは、シフトレジスタを含み、さらにラッチ回路等を含む。第1垂直ドライバ22A、第2垂直ドライバ22Bは、ラッチ回路が、垂直クロックパルスに同期してドライバIC3から出力される表示データを1水平期間で順次サンプリングしラッチする。第1垂直ドライバ22A、第2垂直ドライバ22Bは、ラッチ回路においてラッチされた1ライン分のデジタルデータを垂直走査パルスとして順に出力し、表示エリア部21の走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} ・・・に与えることによって画素Vpixを行単位で順次選択する。第1垂直ドライバ22A、第2垂直ドライバ22Bは、走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} ・・・の延在方向に走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} ・・・を挟むように配置されている。第1垂直ドライバ22A、第2垂直ドライバ22Bは、例えば、走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} ・・・の表示エリア部21の上寄り、垂直走査上方向から、表示エリア部21の下寄り、垂直走査下方向へ順にデジタルデータを出力する。また、第1垂直ドライバ22A、第2垂直ドライバ22Bは、走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} ・・・の表示エリア部21の下寄り、垂直走査下方向から、表示エリア部21の上寄り、垂直走査上方向へ順にデジタルデータを出力することもできる。

【0020】

水平ドライバ23には、例えば6ビットのR（赤）、G（緑）、B（青）のデジタル映像データVsigが与えられる。水平ドライバ23は、第1垂直ドライバ22A、第2垂直ドライバ22Bによる垂直走査によって選択された行の各画素Vpixに対して、画素毎に、もしくは複数画素毎に、あるいは全画素一斉に、信号線25を介して表示データを書き込む。

【0021】

図3は、画素を駆動する駆動回路の一例を示す回路図である。表示エリア部21には、図3に示す各画素Vpixの薄膜トランジスタ（TFT；Thin Film Transistor）Trに表示データとして画素信号を供給する信号線 25_{n+1} 、 25_{n+2} 、 25_{n+3} 、各薄膜トランジスタTrを駆動する走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} 等の配線が形成されている。このように、信号線 25_{n+1} 、 25_{n+2} 、 25_{n+3} は、上述したガラス基板11の表面と平行な平面に延在し、画素Vpixに画像を表示するための画素信号を供給する。画素Vpixは、薄膜トランジスタTr及び液晶素子LCを備えている。薄膜トランジスタTrは、この例では、nチャネルのMOS（Metal Oxide Semiconductor）型のTFTで構成されている。薄膜トランジスタTrのソース及びドレインのうち一方は信号線 25_{n+1} 、 25_{n+2} 、 25_{n+3} に接続され、ゲートは走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} に接続され、ソース及びドレインのうち他方は液晶素子LCの一端に接続されている。液晶素子LCは、一端が薄膜トランジスタTrに接続され、他端が共通電極comのコモン電位Vcomに接続されている。

【0022】

画素Vpixは、走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} により、表示エリア部21の同じ行に属する他の画素Vpixと互いに接続されている。走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} のうち奇数の走査線 24_{m+1} 、 24_{m+3} は、第1垂直ドライバ22Aと接続され、第1垂直ドライバ22Aから後述する走査信号の垂直走査パルスが供給される。走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} のうち偶数の走査線 24_{m+2} 、 24_{m+4} は、第2垂直ドライバ22Bと接続され、第2垂直ドライバ22Bから、後述す

る走査信号の垂直走査パルスが供給される。このように、第1垂直ドライバ22A、第2垂直ドライバ22Bは、走査方向の走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} に交互に垂直走査パルスを印加する。また、画素Vpixは、信号線 25_{n+1} 、 25_{n+2} 、 25_{n+3} により、表示エリア部21の同じ列に属する他の画素Vpixと互いに接続されている。信号線 25_{n+1} 、 25_{n+2} 、 25_{n+3} は、水平ドライバ23と接続され、水平ドライバ23より画素信号が供給される。共通電極comのコモン電位Vcomは、不図示の駆動電極ドライバと接続され、駆動電極ドライバより電圧が供給される。さらに、画素Vpixは、共通電極comのコモン電位Vcomにより、表示エリア部21の同じ列に属する他の画素Vpixと互いに接続されている。

【0023】

10

図1及び図2に示す第1垂直ドライバ22A、第2垂直ドライバ22Bは、垂直走査パルスを、図3に示す走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} を介して、画素Vpixの薄膜トランジスタTrのゲートに印加することにより、表示エリア部21にマトリクス状に形成されている画素Vpixのうちの1行(1水平ライン)を表示駆動の対象として順次選択する。図1及び図2に示す水平ドライバ23は、画素信号を、図3に示す信号線 25_{n+1} 、 25_{n+2} 、 25_{n+3} を介して、第1垂直ドライバ22A、第2垂直ドライバ22Bにより順次選択される1水平ラインを含む各画素Vpixにそれぞれ供給する。そして、これらの画素Vpixでは、供給される画素信号に応じて、1水平ラインの表示が行われるようになっている。

【0024】

20

上述したように、表示装置1は、第1垂直ドライバ22A、第2垂直ドライバ22Bが走査線 24_{m+1} 、 24_{m+2} 、 24_{m+3} を順次走査するように駆動することにより、1水平ラインが順次選択される。また、表示装置1は、1水平ラインに属する画素Vpixに対して、水平ドライバ23が画素信号を供給することにより、1水平ラインずつ表示が行われる。この表示動作を行う際、駆動電極ドライバは、その1水平ラインに対応する共通電極comのコモン電位Vcomを印加するようになっている。

【0025】

表示装置1は、液晶素子LCに同極性の直流電圧が印加され続けることによって液晶の比抵抗(物質固有の抵抗値)等が劣化する可能性がある。表示装置1は、液晶の比抵抗(物質固有の抵抗値)等の劣化を防ぐため、駆動信号のコモン電位Vcomを基準として映像信号の極性を所定の周期で反転させる駆動方式が採られる。

30

【0026】

この液晶表示装置の駆動方式として、カラム反転、ライン反転、ドット反転、フレーム反転などの駆動方式が知られている。カラム反転は、1カラム(1画素列)に相当する1V(Vは垂直期間)の時間周期で映像信号の極性を反転させる駆動方式である。ライン反転は、1ライン(1画素行)に相当する1H(Hは水平期間)の時間周期で映像信号の極性を反転させる駆動方式である。ドット反転は、互いに隣接する上下左右の画素毎に映像信号の極性を交互に反転させる駆動方式である。フレーム反転は、1画面に相当する1フレーム毎に全画素に書き込む映像信号を一度に同じ極性で反転させる駆動方式である。

【0027】

40

次に、表示エリア部21の構成を詳細に説明する。図4は、液晶表示部の一例を示す断面図である。液晶表示部2は、図4に示すように、第1基板(上側基板)50と、この第1基板50の表面に垂直な方向に対向して配置された第2基板(下側基板)52と、第1基板50と第2基板52との間に挿設された液晶層54とを備えている。なお、第1基板50は、液晶層54とは反対側の面に、バックライト6が配置されている。

【0028】

液晶層54は、電界の状態に応じてそこを通過する光を変調するものであり、FFS(フリンジフィールドスイッチング)又はIPS(インプレーンスイッチング)等の横電界モードの液晶54を用いた液晶表示デバイスが用いられる。液晶54は、液晶層54に多数分散されている。

50

【 0 0 2 9 】

第 1 基板 5 0 は、ガラスなどの透光性基板である画素基板 6 0 と、画素基板 6 0 の液晶層 5 4 側に積層された第 1 配向膜 6 2 と、画素基板 6 0 の液晶層 5 4 とは反対側に積層された第 1 偏光板 6 3 と、を有する。画素基板 6 0 については後述する。第 1 配向膜 6 2 は、液晶層 5 4 内の液晶分子を所定の方向に配向させるものであり、液晶層 5 4 と直接に接している。第 1 配向膜 6 2 は、例えば、ポリイミドなどの高分子材料からなり、例えば、塗布したポリイミド等に対してラビング処理を施すことにより形成されたものである。第 1 偏光板 6 3 は、バックライト 6 側から入射してきた光を直線偏光に変換する機能を有している。

【 0 0 3 0 】

第 2 基板 5 2 は、ガラスなどの透光性基板である対向基板 6 4 と、この対向基板 6 4 の液晶層 5 4 側に形成されたカラーフィルタ 6 6 と、カラーフィルタ 6 6 の液晶層 5 4 側に形成された第 2 配向膜 6 7 と、対向基板 6 4 の液晶層 5 4 側とは反対側に形成された位相差板 6 8 と、位相差板 6 8 の対向基板 6 4 側とは反対側に形成された第 2 偏光板 6 9 と、を含む。カラーフィルタ 6 6 は、例えば、赤 (R)、緑 (G)、青 (B) の 3 色に着色された色領域を含む。カラーフィルタ 6 6 は、開口部 7 6 b に例えば赤 (R)、緑 (G)、青 (B) の 3 色に着色された色領域を周期的に配列して、図 3 に示す各画素 V p i x に R、G、B の 3 色の色領域が 1 組として画素 P i x として対応付けられている。カラーフィルタ 6 6 は、画素基板 6 0 と垂直な方向において、液晶層 5 4 と対向する。なお、カラーフィルタ 6 6 は、異なる色に着色されていれば、他の色の組み合わせであってもよい。一般に、カラーフィルタ 6 6 は、緑 (G) の色領域の輝度が、赤 (R) の色領域及び青 (B) の色領域の輝度よりも高い。なお、カラーフィルタ 6 6 は、ブラックマトリクス 7 6 a が図 3 に示す画素 V p i x の外周を覆うように形成されていてもよい。このブラックマトリクス 7 6 a は、二次元配置された画素 V p i x と画素 V p i x との境界に配置されることで、格子形状となる。そして、ブラックマトリクス 7 6 a は、光の吸収率が高い材料で形成される。

【 0 0 3 1 】

第 2 配向膜 6 7 は、第 1 配向膜 6 2 と同様に、液晶層 5 4 内の液晶分子を所定の方向に配向させるものであり、液晶層 5 4 と直接に接している。第 2 配向膜 6 7 は、例えば、ポリイミドなどの高分子材料からなり、例えば、塗布したポリイミド等に対してラビング処理を施すことにより形成されたものである。位相差板 6 8 は、第 1 偏光板 6 3 及び第 2 偏光板 6 9 に生じる偏光板起因の視野角を補償する機能を有する。第 2 偏光板 6 9 は、偏光板吸収軸と平行な直線偏光成分を吸収し、直交する偏光成分を透過する機能を有している。第 2 偏光板 6 9 は、液晶の O N / O F F 状態に依存して光を透過 / 遮断する機能を有している。

【 0 0 3 2 】

次に、図 5 及び図 6 を用いて、画素基板 6 0 について説明する。図 5 は、本実施形態に係る液晶表示装置の画素を模式的に示す平面図である。図 6 は、本実施形態に係る液晶表示装置の画素をスイッチングするトランジスタの一例を模式的に示す断面図である。画素基板 6 0 は、透光性基板 7 1 に各種回路が形成された T F T 基板であり、この画素基板 6 0 上にマトリクス状に配設された複数の画素電極 7 2 と、共通電極 c o m と、を含む。図 6 に示すように、画素電極 7 2 と共通電極 c o m とは、絶縁層 7 4 で絶縁され、画素基板 6 0 の表面に垂直な方向において、対向している。画素電極 7 2 及び共通電極 c o m は、I T O (Indium Tin Oxide) 等の透光性導電材料 (透光性導電酸化物) で形成される透光性電極である。

【 0 0 3 3 】

上述した各画素 V p i x のスイッチング素子である薄膜トランジスタ T R をトランジスタ T r 1 とする場合、画素基板 6 0 は、透光性基板 7 1 に、上述した各画素 V p i x のスイッチング素子であるトランジスタ T r 1 が形成された半導体層 9 0、各画素電極 7 2 に画素信号を供給する信号線 2 5、トランジスタ T r 1 を駆動する走査線 2 4 等の配線が絶

10

20

30

40

50

縁層 7 4 を介して積層されている。本実施形態において、共通電位補助配線 C O M L は、共通電極 c o m へコモン電位 V c o m を給電する配線である。

【 0 0 3 4 】

絶縁層 7 4 は、走査線 2 4 と半導体層 9 0 との間の絶縁層（第 1 絶縁膜）7 4 a と、画素電極 7 2 と共通電極 c o m との間の絶縁層（第 2 絶縁膜）7 4 b と、が積層されている。より具体的には、絶縁層 7 4 a は、各部が透光性基板 7 1 または走査線 2 4 と接する位置（層）に積層されている。絶縁層 7 4 b は、各部が信号線 2 5、半導体層 9 0 または絶縁膜 7 4 a の表面に接する位置（層）に積層されている。本実施形態の絶縁膜 7 4 a 及び絶縁膜 7 4 b は、S i N x（窒化シリコン）又は酸化シリコンの無機絶縁層である。また、絶縁膜 7 4 b は、ポリイミド樹脂などの有機系絶縁材料で形成されている。なお、絶縁膜 7 4 a、7 4 b の各層を形成する材料はこれに限定されない。また、絶縁膜 7 4 a、7 4 b は、同じ絶縁材料であってもよく、いずれかが異なる絶縁材料であってもよい。

10

【 0 0 3 5 】

図 5 及び図 6 に示すように、走査線 2 4 は、半導体層 9 0 の一部と立体交差して、トランジスタ T r 1 のゲートとして作用する。走査線 2 4 と半導体層 9 0 の一部とが立体交差した箇所は 1 カ所であり、トランジスタ T r 1 は、n チャネルであるチャネル領域 c h を備えるシングルゲートトランジスタである。半導体層 9 0 は、例えば、アモルファスシリコンで形成されている。信号線 2 5 は、透光性基板 7 1 の表面と平行な平面に延在し、画素に画像を表示するための画素信号を供給する。半導体層 9 0 は、一部が信号線 2 5 のソース線 2 5 a と接し、他の一部が信号線 2 5 と同一の層に形成されたドレイン線 2 5 b と電氣的に接続している。本実施形態のドレイン線 2 5 b は、スルーホール S H 1 において、画素電極 7 2 と電氣的に接続している。本実施形態において、走査線 2 4 は、モリブデン（M o）、アルミニウム（A l）等の金属の配線であり、信号線 2 5 は、アルミニウム等の金属の配線である。共通電位補助配線 C O M L は、アルミニウム等の金属の配線である。本実施形態の画素基板 6 0 は、透光性基板 7 1 上に、共通電位補助配線 C O M L、走査線 2 4 及び共通電極 c o m、絶縁膜 7 4 a、信号線 2 5 及び半導体層 9 0、絶縁膜 7 4 b、画素電極 7 2 の順で積層されている。

20

【 0 0 3 6 】

画素基板 6 0 は、各画素 V p i x に対応して画素電極 7 2 に開口 S L が形成されており、共通電極 c o m と画素電極 7 2 との間に形成される電界のうち、画素電極 7 2 の開口 S L からもれた電界（フリンジ電界）で液晶 5 4 を駆動させる。

30

【 0 0 3 7 】

共通電位補助配線 C O M L は、共通電極 c o m へコモン電位 V c o m を給電する配線であり、共通電極 c o m とスルーホール S H 2 で電氣的に接続することでコモン電位 V c o m を給電している。

【 0 0 3 8 】

図 7 は、本実施形態に係る液晶表示装置の周辺回路を模式的に示す平面図である。図 8 は、本実施形態に係る液晶表示装置の周辺回路の一例を模式的に示す断面図である。図 8 は、図 7 の A 1 - A 2 断面を示している。図 7 に示す薄膜トランジスタであるトランジスタ T r 2 は、第 1 垂直ドライバ 2 2 A 又は第 2 垂直ドライバ 2 2 B のシフトレジスタの一部である。

40

【 0 0 3 9 】

シフトレジスタは、コンデンサを介して接続されたトランジスタ T r 2 が多段に接続されている。例えば、単位回路ごとに、トランジスタ T r 2 が走査線の電位を所定時間内にローレベル（下位電位）に立ち下げ、走査パルスを生成する。このため、シフトレジスタには、ローレベル（下位電位）の電位を給電する下位電位配線 3 2 と、トランジスタ T r 2 を動作させる周辺回路用ゲート線 3 1 が入力されている。トランジスタ T r 2 は、前段のトランジスタ T r 2 に接続されたコンデンサと接続する周辺回路用ソース電極 3 3 b と、後段のトランジスタ T r 2 にコンデンサを介して接続する周辺回路用ドレイン電極 3 3 a と、半導体層 9 1 と、を備えている。図 8 に示すように、周辺回路用ゲート線 3 1 は、

50

半導体層 9 1 の一部と立体交差して、トランジスタ $T r 2$ のゲートとして作用する。周辺回路用ゲート線 3 1 と半導体層 9 1 の一部とが立体交差した箇所は 1 カ所であり、トランジスタ $T r 2$ は、 n チャネルであるチャネル領域 $c h$ を備えるシングルゲートトランジスタである。半導体層 9 1 は、例えば、アモルファスシリコンで形成されている。また、図 7 に示すトランジスタ $T r 2$ は、図 6 に示す画素内の薄膜トランジスタ $T r 1$ を形成するための製造プロセスを用いて、透光性基板 7 1 上で一体成形できる。これにより、製造プロセスを短縮でき、液晶表示部 2 を小型にすることができる。

【0040】

半導体層 9 1 は、ゲートのチャネル領域 $c h$ に電圧を繰り返し印加すると閾値電圧が変動する閾値電圧シフトと呼ばれる特性を有する。特に、半導体層 9 1 がアモルファスシリコンである場合、0 V 電位時の電流が大きいと消費電力が大きくなり、回路が動作しない可能性がある。図 9 は、トランジスタの特性を説明するための説明図である。図 9 に示すように、長時間動作した薄膜トランジスタは、 $I - V$ 特性曲線 $C s t$ が $I - V$ 曲線 $C d p$ に閾値電圧シフト（矢印 $S F$ 方向にシフト）し、0 V 電位の電流が増加する可能性がある。これにより、シフトレジスタが誤動作し、表示装置 1 は、ある画素へ走査する垂直走査パルスが適切でなくなり、画面の表示が乱れる可能性がある。

10

【0041】

本実施形態のトランジスタ $T r 2$ は、画素基板 6 0 の表面に垂直な方向においてトランジスタ $T r 2$ に積層された無機絶縁層 7 4 b を介して設けられ、チャネル領域 $c h$ を覆う、導電層 3 4 を備える。導電層 3 4 は、画素電極 7 2 又は共通電極 $c o m$ と同時にパターンニングされ、形成された $I T O$ であることが、プロセス工数を削減するために好ましい。導電層 3 4 は、下位電位配線 3 2 とスルーホール $S H 3$ で電氣的に接続されている。これにより、図 8 に示す導電層 3 4 と半導体層 9 1 とが絶縁層 7 4 b を介して対向し、導電層 3 4 に給電された負の電位が薄膜トランジスタ $T r$ のチャネル領域 $c h$ の動作へ影響を及ぼすことができる。絶縁層 7 4 b は、画素基板 6 0 の表面に垂直な方向においてチャネル領域 $c h$ とオーバーラップし、厚み d は 5 0 n m 以上 1 0 0 0 n m 以下であることが好ましい。絶縁層 7 4 b の厚み d は 5 0 n m 以上とすることで、導電層 3 4 とソース線 2 5 a との絶縁性を確保できる。絶縁層 7 4 b の厚み d は 1 0 0 0 n m 以下とすることで、導電層 3 4 に給電された電位が薄膜トランジスタ $T r$ のチャネル領域 $c h$ の動作へ影響を高めることができる。なお、図 8 に示すスルーホール $S H 3$ において、トランジスタ $T r 1$ と同じプロセスで形成するため、共通電極 $c o m$ を形成するための $I T O$ を利用した、かさ上げ導電層 3 5 を形成してもよい。

20

30

【0042】

図 1 0 は、トランジスタの特性を説明するための説明図である。図 1 0 に示すように、スイッチング素子であるトランジスタ $T r 2$ は、所定の電流 - 電圧特性（ $I - V$ 特性）を有しており、画素基板 6 0 の表面に垂直な方向において薄膜トランジスタ $T r$ に積層された無機絶縁層 7 4 b を介して設けられ、チャネル領域 $c h$ を覆う、導電層 3 4 を備え、導電層 3 4 には、負の電位が印加されていれば、導電層 3 4 に電位が印加されていない $I - V$ 特性曲線 $C s t$ よりも、予め閾値電圧を下げるようにシフトした $I - V$ 特性曲線 $C s f$ とすることができる。これにより、ゲートのチャネル領域 $c h$ に電圧を繰り返し印加して生じる閾値電圧シフトが発生しても、0 V 電流の増加を抑制できる。

40

【0043】

このように、本実施形態に係る表示装置 1 は、第 1 基板である画素基板 6 0 と、画素電極 6 0 に対向配置された第 2 基板である対向基板 6 4 と、画素基板 6 0 と対向基板 6 4 との間に配置される液晶層 5 4 と、を備える。画素基板 6 0 は、マトリクス状に配置された複数の画素が配置された表示エリア部 2 1 と、表示エリア部 2 1 の外側に位置する額縁領域 1 1 g l、1 1 g r と、を備える。額縁領域 1 1 g l、1 1 g r には、表示エリア部 2 1 の画素を駆動する周辺回路である垂直ドライバ（垂直駆動回路）2 2 A、2 2 B を含み、垂直ドライバ（垂直駆動回路）2 2 A、2 2 B のトランジスタ $T r 2$ には、画素基板 6 0 の表面に垂直な方向においてトランジスタ $T r 2$ に積層された無機絶縁層 7 4 b を介し

50

て導電層 3 4 が設けられる。そして、導電層 3 4 には、負の電位が印加されている。このトランジスタ $T r 2$ は、長時間動作などにより、ゲートのチャネル領域 $c h$ に電圧を繰り返し印加して生じる閾値電圧シフトが発生しても、0 V 電流の増加を抑制できる。その結果、長時間動作に起因する周辺回路の誤動作が低減し、液晶層 5 4 の表示ムラが抑制され、表示装置 1 は、表示品質が向上する。表示装置 1 を利用した電子機器は、表示品質が向上するので、操作性が向上する。

【0044】

導電層 3 4 には、負の電位が印加されていれば、導電層 3 4 への給電用の専用配線を備えてもよい。上述したように、本実施形態の下位電位配線 3 2 を利用することにより、導電層 3 4 への給電用の専用配線を削減できるので、表示に寄与しない額縁領域を低減できる。

10

【0045】

なお、本実施形態の画素電極 7 2 は、共通電極 $c o m$ よりも液晶層 5 4 側にあるがこの態様に限られず、共通電極 $c o m$ を画素電極 7 2 よりも液晶層 5 4 側にあるようにしてもよい。この別態様の場合、画素基板 6 0 は、各画素 $V p i x$ に対応して共通電極 $c o m$ に開口 $S L$ が形成されており、共通電極 $c o m$ と画素電極 7 2 との間に形成される電界のうち、共通電極 $c o m$ の開口 $S L$ からもれた電界（フリンジ電界）で液晶 5 4 を駆動させる。このような構造にすることにより、本実施形態で配置した共通電位補助配線 $C O M L$ を備えなくてもよい。その結果、開口効率を向上させることができる。

20

【0046】

（適用例）

次に、図 1 1 を参照して、実施形態で説明した表示装置 1 の適用例について説明する。図 1 1 は、本実施形態に係る液晶表示装置を適用する電子機器の一例を示す図である。本実施形態に係る表示装置 1 は、カーナビゲーションシステム、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなどのあらゆる分野の電子機器に適用することが可能である。言い換えると、本実施形態に係る表示装置 1 は、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。電子機器は、液晶表示装置に映像信号を供給し、液晶表示装置の動作を制御する制御装置を備える。

30

【0047】

図 1 1 に示す電子機器は、本実施形態に係る表示装置 1 が適用されるカーナビゲーション装置である。表示装置 1 は、自動車の車内のダッシュボード 3 0 0 に設置される。具体的にはダッシュボード 3 0 0 の運転席 3 1 1 と助手席 3 1 2 の間に設置される。カーナビゲーション装置の表示装置 1 は、ナビゲーション表示、音楽操作画面の表示、又は、映画再生表示等に利用される。

【0048】

また、上述した内容により実施形態が限定されるものではない。また、上述した実施形態の構成要素には、当業者が容易に想到できるもの、実質的に同一のもの、いわゆる均等の範囲のものが含まれる。さらに、上述の実施形態の要旨を逸脱しない範囲で構成要素の種々の省略、置換及び変更を行うことができる。

40

【符号の説明】

【0049】

- 1 表示装置
- 2 液晶表示部
- 6 バックライト
- 1 1 ガラス基板
- 1 1 g r、1 1 g l 額縁領域
- 2 1 表示エリア部
- 2 2 A 第 1 垂直ドライバ

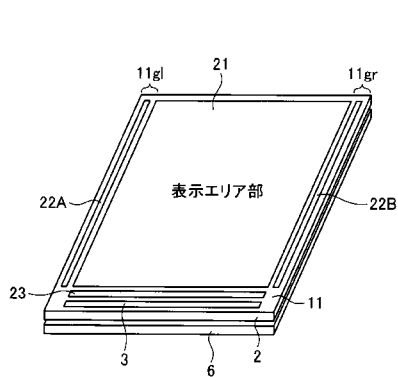
50

2 2 B 第 2 垂直ドライバ
 2 4 走査線
 2 5 信号線
 3 1 周辺回路用ゲート線
 3 2 下位電位配線
 3 4 導電層
 6 4 対向基板
 6 6 カラーフィルタ
 7 1 透光性基板
 7 2 画素電極
 7 4 b 無機絶縁層
 9 0、9 1 半導体層
 L C 液晶素子
 T r、T r 1、T r 2 トランジスタ
 S H 1 スルーホール
 S H 2 スルーホール
 S H 3 スルーホール
 c o m 共通電極
 c h チャネル領域
 V p i x 画素

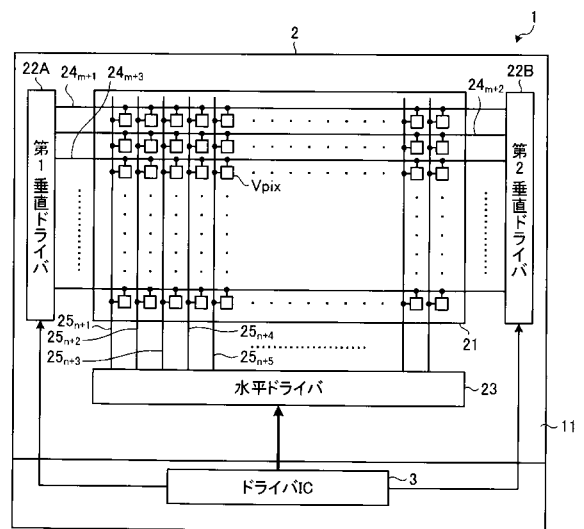
10

20

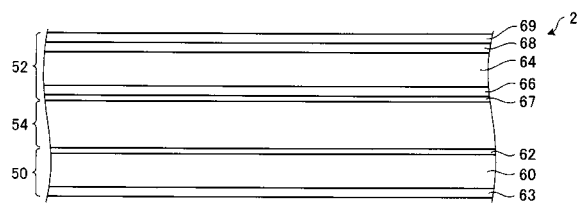
【図 1】



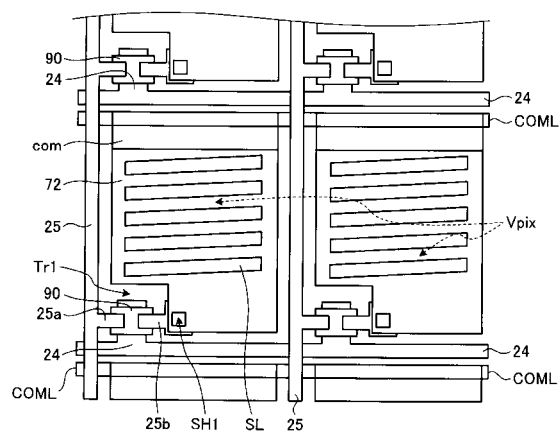
【図 2】



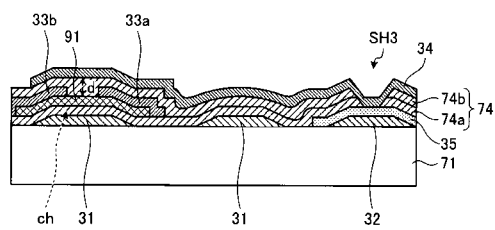
【圖 4】



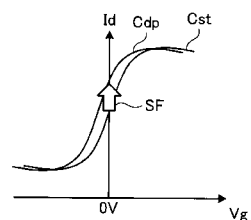
【 図 5 】



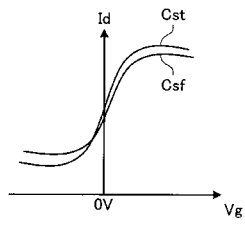
【 图 8 】



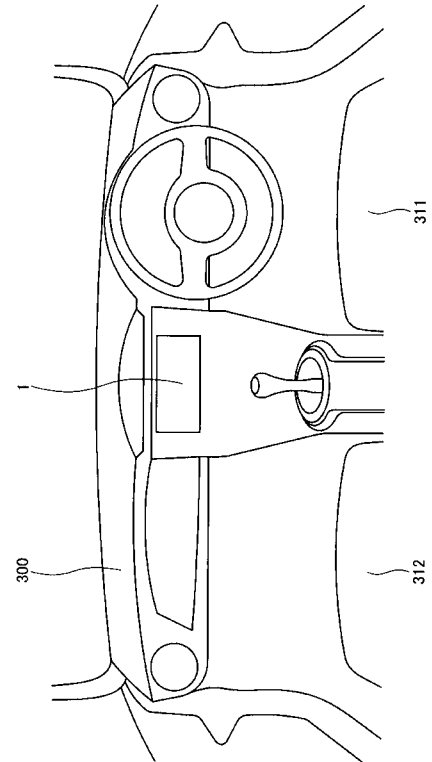
【 図 9 】



【図 10】



【図 11】



フロントページの続き

F ターム(参考) 2H192 AA24 BB13 BB73 BC31 CB05 CB35 EA04 EA13 FB02 GA04
JA32

专利名称(译)	液晶表示装置		
公开(公告)号	JP2017102485A	公开(公告)日	2017-06-08
申请号	JP2017039795	申请日	2017-03-02
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	杉山裕紀 稻村弘		
发明人	杉山 裕紀 稻村 弘		
IPC分类号	G02F1/1368 G02F1/1343		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G02F1/1345 G09G3/20.621.B G09G3/20.621.L G09G3/20.621.M G09G3/20.622.E G09G3/36		
F-TERM分类号	2H092/GA14 2H092/GA59 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB53 2H092/JB54 2H092/KA05 2H092/KA07 2H092/NA24 2H092/QA06 2H192/AA24 2H192/BB13 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CB35 2H192/EA04 2H192/EA13 2H192/FB02 2H192/GA04 2H192/JA32 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD09 5C080/DD23 5C080/DD28 5C080/FF03 5C080/FF11 5C080/FF12 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK20 5C080/KK23 5C080/KK43 5C080/KK47		
其他公开文献	JP6326518B2 JP2017102485A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其减少在图像帧区域中形成的外围电路的晶体管的故障。显示装置1包括第一基板，第二基板和设置在第一基板和第二基板之间的液晶层。框架区域包括用于驱动显示区域部分21的像素的外围电路。外围电路的晶体管Tr2通过在垂直于第一基板的表面的方向上堆叠在晶体管Tr2上的电绝缘层74b的导电迹线电连接到晶体管Tr2。提供层34。扫描脉冲的较低电位施加到导电层34。点域8

