

【特許請求の範囲】

【請求項 1】

複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

映像信号の各フレームを前記映像信号の 1 フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、前記列データ線を介してサンプリングする第 1 のスイッチング手段と、

前記第 1 のスイッチング手段と共にスタティック・ランダム・アクセス・メモリを構成しており、前記第 1 のスイッチング手段によりサンプリングされた前記サブフレームデータが供給され、供給された前記サブフレームデータと同一極性の正転サブフレームデータと供給された前記サブフレームデータと反対極性の反転サブフレームデータとしてそれぞれ記憶する第 1 の信号保持手段と、

オンに制御された期間、前記第 1 の信号保持手段に記憶された前記反転サブフレームデータを出力させる第 2 のスイッチング手段と、

オンに制御された期間、前記第 1 の信号保持手段に記憶された前記正転サブフレームデータを出力させる第 3 のスイッチング手段と、

前記第 2 及び第 3 のスイッチング手段と共にダイナミック・ランダム・アクセス・メモリを構成しており、前記第 2 のスイッチング手段を通して供給される前記反転サブフレームデータ及び前記第 3 のスイッチング手段を通して供給される前記正転サブフレームデータで記憶内容が交互に書き換えられ、かつ、記憶した前記反転サブフレームデータ又は前記正転サブフレームデータを前記画素電極に印加する第 2 の信号保持手段と、

を備え、

前記第 2 の信号保持手段から前記画素電極に同じビットの前記反転サブフレームデータが印加される第 1 の期間と前記正転サブフレームデータが印加される第 2 の期間とで、電圧値がそれぞれの規定値に切り替わる共通電圧を前記共通電極に印加する共通電圧印加手段と、

画像表示部を構成する前記複数の画素のうち、前記列データ線を介して供給される前記サブフレームデータを前記第 1 のスイッチング手段によりサンプリングして前記第 1 の信号保持手段に書き込むことを繰り返して前記複数の画素の全てに書き込んだ後、前記第 2 及び第 3 のスイッチング手段の一方をサブフレーム表示期間の前半期間においてオンに制御し、前記第 2 及び第 3 のスイッチング手段の他方を前記サブフレーム表示期間の後半期間においてオンに制御して、前記第 1 の信号保持手段から前記反転サブフレームデータと前記正転サブフレームデータとを交互に読み出して前記画素電極に印加する動作をサブフレーム毎に行う画素制御手段と

を有することを特徴とする液晶表示装置。

【請求項 2】

前記列データ線を介して第 1 のビットのサブフレームデータに続いて第 2 のビットのサブフレームデータが供給されるとき、前記第 1 のビットのサブフレームデータが前記第 1 のビットのサブフレームデータの 1 サブフレーム表示期間の前半期間の前に前記第 1 のスイッチング手段でサンプリングされて前記第 1 の信号保持手段に供給され、前記第 2 のビットのサブフレームデータが前記第 2 のビットのサブフレームデータの 1 サブフレーム表示期間の前半期間の前に前記第 1 のスイッチング手段でサンプリングされて前記第 1 の信号保持手段に供給され、

前記第 1 の信号保持手段は、前記第 1 のスイッチング手段によりサンプリングされて供給された前記第 1 及び第 2 のビットのサブフレームデータをそれぞれ 1 サブフレーム表示期間ずつ記憶することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記共通電圧印加手段は、前記第 1 の期間において第 1 の電圧値に設定され、前記第 2 の期間において第 2 の電圧値に設定された前記共通電圧を前記画素電極に印加する手段で

あり、前記第 1 及び第 2 の電圧値は、前記反転サブフレームデータの電圧値と前記第 1 の電圧値との第 1 の差電圧と、前記正転サブフレームデータの電圧値と前記第 2 の電圧値との第 2 の差電圧とが、互いに逆極性で、かつ、絶対値が同一である値に設定されていることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 の信号保持手段は、互いの出力端子が他方の入力端子に接続された第 1 及び第 2 のインバータから構成されており、前記第 1 のインバータの出力端子が前記第 2 のスイッチング手段を介して前記第 2 の信号保持手段に接続され、前記第 2 のインバータの出力端子が前記第 3 のスイッチング手段を介して前記第 2 の信号保持手段に接続されていることを特徴とする請求項 1 に記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、複数のサブフレームによって階調表示を行う液晶表示装置に関する。

【背景技術】

【0002】

サブフレーム駆動方式の液晶表示装置において、各画素が、マスターラッチ及びスレーブラッチと、液晶表示素子と、第 1～第 3 の計 3 つのスイッチングトランジスタとから構成されるものが知られている（例えば、特許文献 1 参照）。

20

【0003】

サブフレーム駆動方式の液晶表示装置においては、1 フレーム期間内の全てのサブフレームは、その表示期間が同一又は異なる所定の期間に予め割り当てられており、各画素において最大階調表示時は全てのサブフレームにおいて表示を行い、最小階調表示時は全てのサブフレームにおいて非表示とし、それ以外の階調の場合は表示する階調に応じて表示するサブフレームを選択する。この液晶表示装置は、入力されるデータが階調を示すデジタルデータであり、2 段ラッチ構成のデジタル駆動方式でもある。

【0004】

しかしながら、上記の液晶表示装置では、各画素内の 2 つのラッチはそれぞれ、スタティック・ランダム・アクセス・メモリ（SRAM）で構成されるため、トランジスタ数が多くなり、画素小型化が困難である。

30

【0005】

そこで、各画素を、1 つの SRAM と 1 つのダイナミック・ランダム・アクセス・メモリ（DRAM）とを有する構成とすることで、画素内に 2 つの SRAM を用いた画素に比べて画素小型化を可能にした液晶表示装置を開示した（特許文献 2 参照）。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特表 2001-523847 号公報

【特許文献 2】特開 2013-092714 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献 2 に記載の液晶表示装置では、或るサブフレーム期間において正転サブフレームデータで液晶表示素子を駆動した後、続くサブフレーム期間において前記正転サブフレームデータと逆論理値の関係にある反転サブフレームデータで液晶表示素子を駆動することを交互に繰り返すことで液晶素子を高周波数で交流駆動する構成とされている。

【0008】

しかしながら、特許文献 2 に記載の液晶表示装置では、2 サブフレーム期間単位で同じ階調を表示するようにしているため、1 フレーム期間全体における液晶印加電圧の時間的分

50

解能が低下し、階調性能を上げることが困難である。また、特定の液晶印加電圧を生成するためには、1サブフレーム期間毎に正転サブフレームデータと反転サブフレームデータとを交互に転送する必要があるため、転送レートが高くなり、消費電力が増大するという問題もある。

【0009】

本発明は以上の点に鑑みなされたもので、各画素の液晶印加電圧の時間的分解能を向上し得る液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は上記の目的を達成するため、複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、映像信号の各フレームを映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、列データ線を介してサンプリングする第1のスイッチング手段と、第1のスイッチング手段と共にスタティック・ランダム・アクセス・メモリを構成しており、第1のスイッチング手段によりサンプリングされたサブフレームデータが供給され、供給されたサブフレームデータと同一極性の正転サブフレームデータと供給されたサブフレームデータと反対極性の反転サブフレームデータとしてそれぞれ記憶する第1の信号保持手段と、オンに制御された期間、第1の信号保持手段に記憶された反転サブフレームデータを出力させる第2のスイッチング手段と、オンに制御された期間、第1の信号保持手段に記憶された正転サブフレームデータを出力させる第3のスイッチング手段と、第2及び第3のスイッチング手段と共にダイナミック・ランダム・アクセス・メモリを構成しており、第2のスイッチング手段を通して供給される反転サブフレームデータ及び第3のスイッチング手段を通して供給される正転サブフレームデータで記憶内容が交互に書き換えられ、かつ、記憶した反転サブフレームデータ又は正転サブフレームデータを画素電極に印加する第2の信号保持手段と、を備え、

第2の信号保持手段から画素電極に同じビットの反転サブフレームデータが印加される第1の期間と正転サブフレームデータが印加される第2の期間とで、論理値が異なる所定値の共通電圧を共通電極に印加する共通電圧印加手段と、画像表示部を構成する複数の画素のうち、列データ線を介して供給されるサブフレームデータを第1のスイッチング手段によりサンプリングして第1の信号保持手段に書き込むことを繰り返して複数の画素の全てに書き込んだ後、第2及び第3のスイッチング手段の一方をサブフレーム表示期間の前半期間においてオンに制御し、第2及び第3のスイッチング手段の他方をサブフレーム表示期間の後半期間においてオンに制御して、第1の信号保持手段から反転サブフレームデータと正転サブフレームデータとを交互に読み出して画素電極に印加する動作をサブフレーム毎に行う画素制御手段とを有することを特徴とする。

【発明の効果】

【0011】

本発明によれば、各画素の液晶印加電圧の時間的分解能を向上できる。

【図面の簡単な説明】

【0012】

【図1】本発明の液晶表示装置の一実施の形態のブロック図である。

【図2】本発明の液晶表示装置における画素の一実施の形態の回路図である。

【図3】本発明の液晶表示装置の画素の基本的動作の一例を示すタイミングチャートである。

【図4】本発明の液晶表示装置の画素の第1の実施形態の動作説明用タイミングチャートである。

【図5】液晶の印加電圧（RMS電圧）と液晶のグレースケール値との関係を示す図である。

【図6】本発明の液晶表示装置の画素の第2の実施形態の動作説明用タイミングチャート

10

20

30

40

50

である。

【発明を実施するための形態】

【0013】

最初に、液晶表示装置における中間調表示方式の1つであるサブフレーム駆動方式について説明する。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画の場合には1画像の表示単位である1フレーム）を複数のサブフレームに分割し、表示すべき階調に応じたサブフレームの組み合わせで画素を駆動する。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフレームの組み合わせによって特定される。詳細は後述するが、列データ線を介して供給されるサブフレームデータを各画素内のSRAMがサンプリングして記憶することを行単位の画素毎に行うことを繰り返して全画素にサブフレームデータを書き込んだ後、全画素のSRAMに記憶されているサブフレームデータを同時に読み出して、各画素内のDRAMの記憶内容を書き換える動作をサブフレーム毎に行う。

10

【0014】

図1は、液晶表示装置の一実施の形態のブロック図を示す。同図において、本実施の形態の液晶表示装置10は、複数の画素12が規則的に配置された画像表示部11と、タイミングジェネレータ13と、垂直シフトレジスタ14と、データラッチ回路15と、水平ドライバ16とから構成される。更に、水平ドライバ16は、水平シフトレジスタ161と、ラッチ回路162と、レベルシフタ／画素ドライバ163とから構成される。

【0015】

20

画像表示部11は、垂直シフトレジスタ14に一端が接続されて行方向（X方向）に延在するm本（mは2以上の自然数）の行走査線g1～gmと、レベルシフタ／画素ドライバ163に一端が接続されて列方向（Y方向）に延在するn本（nは2以上の自然数）の列データ線d1～dnとが交差する各交差部に設けられ、二次元マトリクス状に配置された、全部でm×n個の画素12を有する。本発明は画素12の回路構成に特徴があり、その各実施の形態については後述する。画像表示部11内の全ての画素12は、一端がタイミングジェネレータ13に接続されたトリガ線trigに共通接続されている。

【0016】

また、図1では図示の便宜上、トリガ線trigは1本で示したが、実際は後述するように、2本の正転トリガパルス用トリガ線trig1及びtrig2と2本の反転トリガパルス用トリガ線trig1b及びtrig2bの計4本のトリガ線からなる。なお、正転トリガパルス用トリガ線が伝送する正転トリガパルスと、反転トリガパルス用トリガ線が伝送する反転トリガパルスとは、常に逆論理値の関係（相補的な関係）にある。

30

【0017】

タイミングジェネレータ13は、上位装置20から垂直同期信号Vst、水平同期信号Hst、基本クロックCLKといった外部信号を入力信号として受け、これらの外部信号に基づいて、交流化信号FR、VスタートパルスVST、HスタートパルスHST、クロック信号VCK及びHCK、ラッチパルスLT、トリガパルスTRIなどの各種の内部信号を生成する。

【0018】

40

上記の内部信号のうち、交流化信号FRは、1サブフレーム毎に極性反転する信号であり、画像表示部11を構成する画素12内の液晶表示素子の共通電極に、後述する共通電極電圧Vcomとして供給される。スタートパルスVSTは、後述する各サブフレームの開始タイミングに出力されるパルス信号であり、このスタートパルスVSTによって、サブフレームの切替わりが制御される。スタートパルスHSTは、水平シフトレジスタ161に入力する開始タイミングに出力されるパルス信号である。クロック信号VCKは、垂直シフトレジスタ14における1水平走査期間（1H）を規定するシフトクロックであり、VCKのタイミングで垂直シフトレジスタ14がシフト動作を行う。クロック信号HCKは、水平シフトレジスタ161におけるシフトクロックであり、例えば32ビット幅でデータをシフトしていくための信号である。

50

【0019】

ラッチパルスLTは、水平シフトレジスタ161が水平方向の1行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。トリガパルスTRIは、トリガ線trigを通して画像表示部11内の全画素12に供給されるパルス信号である。このトリガパルスTRIは、サブフレーム期間内で画像表示部11内の全ての画素12の第1の信号保持手段にデータを書き込み終わった直後に出力され、そのサブフレーム期間内で画像表示部11内の全画素12の第1の信号保持手段のデータを同じ画素内の第2の信号保持手段に一度に転送する。

【0020】

垂直シフトレジスタ14は、それぞれのサブフレームの最初に供給されるVスタートパルスVSTを、クロック信号VCKに従って転送し、行走査線g1～gmに対して行走査信号を1サブフレーム単位で順次排他的に供給する。これにより、画像表示部11において最も上にある行走査線g1から最も下にある行走査線gmに向って、行走査線が1本ずつ順次選択されていく。

【0021】

データラッチ回路15は、図示しない外部回路から供給される1サブフレーム毎に分割された32ビット幅のデータを、上位装置20からの基本信号CLKに基づいてラッチした後、基本信号CLKに同期して水平シフトレジスタ161へ出力する。ここで、映像信号の各フレームを、その映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームに分割してサブフレームの組み合わせによって階調表示を行う本実施の形態では、上記の外部回路は映像信号の各画素毎の階調を示す階調データを、上記複数のサブフレーム全体で各画素の階調を表示するための各サブフレーム単位の1ビットのサブフレームデータに変換する。そして、上記外部回路は、更に同じサブフレームにおける例えば32画素分の上記サブフレームデータをまとめて上記32ビット幅のデータとしてデータラッチ回路15に供給している。

【0022】

水平シフトレジスタ161は、1ビットシリアルデータの処理系でみた場合、タイミングジェネレータ13から1Hの最初に供給されるHスタートパルスHSTによりシフトを開始し、データラッチ回路15から供給される32ビット幅のデータをクロック信号HCKに同期して並直列変換しつつシフトする。ラッチ回路162は、水平シフトレジスタ161が画像表示部11の1行分の画素数nと同じnビット分(32ビットの複数倍)のデータをシフトし終わった時点でタイミングジェネレータ13から供給されるラッチパルスLTに従って、水平シフトレジスタ161から並列に供給されるnビット分のデータ(すなわち、同じ行のn画素分のサブフレームデータ)をラッチし、レベルシフタ/画素ドライバ163のレベルシフタへ出力する。ラッチ回路162へのデータ転送が終了すると、タイミングジェネレータ13からHスタートパルスHSTが再び出力され、水平シフトレジスタ161はクロック信号HCKに従ってデータラッチ回路15からの32ビット幅のデータのシフトを再開する。

【0023】

レベルシフタ/画素ドライバ163のレベルシフタは、ラッチ回路162によりラッチされて供給される1行のn画素に対応したn個のサブフレームデータの信号レベルを液晶駆動電圧までレベルシフトする。レベルシフタ/画素ドライバ163の画素ドライバは、レベルシフト後の1行のn画素に対応したn個のサブフレームデータをn本のデータ線d1～dnに並列に出力する。

【0024】

水平ドライバ16を構成する水平シフトレジスタ161、ラッチ回路162及びレベルシフタ/画素ドライバ163は、1H内において今回データを書き込む画素行に対するデータの出力と、次の1H内でデータを書き込む画素行に関するデータのシフトとを並行して行う。1サブフレーム期間内において、ラッチされた1行分のn個のサブフレームデータが、データ信号としてそれぞれn本のデータ線d1～dnに並列に、かつ、一斉に出力さ

れる。

【0025】

画像表示部11を構成する複数の画素12のうち、垂直シフトレジスタ14からの行走査信号により選択された1行のn個の画素12は、レベルシフタ／画素ドライバ163から一斉に出力された1行分のn個のサブフレームデータをn本のデータ線d1～dnを介してサンプリングして各画素12内の後述する第1の信号保持手段に書き込む。また、後述するように第1の信号保持手段は、書き込んだサブフレームデータと同一極性の正転サブフレームデータと逆極性の反転サブフレームデータとを、1サブフレーム期間毎に交互に出力して第2の信号保持手段に書き込む。

【0026】

次に、本発明の液晶表示装置の要部を構成する画素12の一実施の形態について詳細に説明する。

【0027】

図2は、本発明の液晶表示装置における画素の一実施の形態の回路図を示す。同図において、本実施の形態の画素12は、図1中の任意の1本の列データ線dと任意の1本の行走査線gとの交差部に設けられた一つの画素で、第1のスイッチング手段を構成するスイッチSW11と第1の信号保持手段(SM)121とから構成されるスタティック・ランダム・アクセス・メモリ(SRAM)201と、第2のスイッチング手段を構成するスイッチSW12及び第3のスイッチング手段を構成するスイッチSW13と第2の信号保持手段(DM)122とから構成されるダイナミック・ランダム・アクセス・メモリ(DRAM)202と、液晶表示素子LCとより構成されている。液晶表示素子LCは、離間対向配置された反射電極(画素電極)PEと共通電極CEとの間の空間に、液晶LCMが充填封入された公知の構造である。

【0028】

スイッチSW11は、ゲートが行走査線gに接続され、ドレインが列データ線dに接続され、ソースがSM121の入力端子に接続されているNチャネルMOS型トランジスタ(以下、NMOSトランジスタという)により構成されている。SM121は、一方の出力端子が他方の入力端子に接続された2つのインバータINV11及びINV12からなる自己保持型メモリである。インバータINV11は、その入力端子がインバータINV12の出力端子とSW11を構成するNMOSトランジスタのソースとスイッチSW13とに接続されている。インバータINV12は、その入力端子がスイッチSW12とインバータINV11の出力端子とに接続されている。

【0029】

スイッチSW12及びスイッチSW13は、それぞれ互いのドレイン同士が接続され、かつ、互いのソース同士が接続されたNMOSトランジスタTr11、Tr21と、PチャネルMOS型トランジスタ(以下、PMOSトランジスタという)Tr12、Tr22とからなる公知のトランスミッションゲートの構成とされている。スイッチSW12のNMOSトランジスタTr11のゲートは正転トリガパルス用トリガ線trig1に、スイッチSW13のNMOSトランジスタTr21のゲートは正転トリガパルス用トリガ線trig2にそれぞれ接続され、スイッチSW12のPMOSトランジスタTr12のゲートは反転トリガパルス用トリガ線trig1bに、スイッチSW13のPMOSトランジスタTr22のゲートは反転トリガパルス用トリガ線trig2bにそれぞれ接続されている。

【0030】

また、スイッチSW12は一方の端子(すなわち、Tr11及びTr12の共通ドレイン接続端子又は共通ソース接続端子)がSM121のインバータINV11の出力端子に接続され、他方の端子(すなわち、Tr11及びTr12の共通ソース接続端子又は共通ドレイン接続端子)がDM122と液晶表示素子LCの反射電極PEとにそれぞれ接続されている。更に、スイッチSW13は一方の端子(すなわち、Tr21及びTr22の共通ドレイン接続端子又は共通ソース接続端子)がSM121のインバータINV12の出力端子に接続され、他方の端子(すなわち、Tr21及びTr22の共通ソース接続端子又は共通ドレイン接続端子

）がDM122と液晶表示素子LCの反射電極PEとにそれぞれ接続されている。

【0031】

スイッチSW12はトリガ線trig1を介して供給される正転トリガパルスが“H”レベル（このときは、トリガ線trig1bを介して供給される反転トリガパルスは“L”レベル）のときはオンとされ、SM121の記憶データsigAを読み出してDM122及び反射電極PEへ転送する。また、スイッチSW12はトリガ線trig1を介して供給される正転トリガパルスが“L”レベル（このときは、トリガ線trig1bを介して供給される反転トリガパルスは“H”レベル）のときはオフとされ、SM121の記憶データの読み出しは行わない。

【0032】

一方、スイッチSW13はトリガ線trig2を介して供給される正転トリガパルスが“H”レベル（このときは、トリガ線trig2bを介して供給される反転トリガパルスは“L”レベル）のときはオンとされ、SM121の記憶データsigBを読み出してDM122及び反射電極PEへ転送する。また、スイッチSW13はトリガ線trig2を介して供給される正転トリガパルスが“L”レベル（このときは、トリガ線trig2bを介して供給される反転トリガパルスは“H”レベル）のときはオフとされ、SM121の記憶データの読み出しは行わない。

【0033】

なお、SM121の記憶データsigA及びsigBは、SM121が各々の出力を反転させた状態を保持する構成であることから、例えばsigAが“L”レベルのときはsigBが“H”レベル、sigAが“H”レベルのときはsigBが“L”レベルというように、互いに逆論理値の関係にある。

【0034】

図2に示した本実施形態の画素12は、第1の信号保持手段（SM）121から第2の信号保持手段（DM）122へ互いに逆論理値の関係にある2つのサブフレームデータ（sigA、sigB）を伝達する経路上に2つのスイッチ（SW12、SW13）を設け、それら2つのスイッチの各々が常に逆論理値の関係にある2つのサブフレームデータ（sigA、sigB）を別々に独立して出力する構成である。本実施形態によれば、2つのスイッチ（SW12、SW13）のオンタイミングを制御することで、列データ線dを介して第1の信号保持手段（SM）121に対して反転サブフレームデータを供給することなく、画素12で自的に反転駆動することが可能となる。

【0035】

次に、本発明の液晶表示装置の画素の基本的動作について説明する。図3は、本発明の液晶表示装置の画素12の基本的動作の一例を示すタイミングチャートである。このタイミングチャートは、図3（A）に示すサブフレームデータsdが、図2の列データ線dに与えられたときに、図2の行走査線gからの行走査信号によって画素12に取り込まれたときの画素12の要部の信号状態を示している。

【0036】

図3（A）に示すサブフレームデータsdは、列データ線dを介して入力されて行走査信号が“H”レベルの期間サンプリングされて、第1の信号保持手段（SM）121に記憶される。図3（B）は、トリガ線trig1を介して供給される図3（D）に示す正転トリガパルスが“H”レベルのとき（時刻T1、T3、T5）にオンとされるスイッチSW12を通してSM121から読み出されて第2の信号保持手段（DM）122へ転送される記憶データsigAを示す。また、図3（C）は、トリガ線trig2を介して供給される図3（E）に示す反転トリガパルスが“H”レベルのとき（時刻T2、T4）にオンとされるスイッチSW13を通してSM121から読み出されて第2の信号保持手段（DM）122へ転送される記憶データsigBを示す。

【0037】

ここで、図3（B）に示す読み出しデータsigAは、書き込まれたサブフレームデータsdがSM121内のインバータINV11から極性反転されて出力されたサブフレーム

10

20

30

40

50

データであるため、同図（A）に示した入力サブフレームデータ s_d と逆論理値のサブフレームデータ（以下、このデータを反転サブフレームデータという）である。一方、図3（C）に示す読み出しデータ $sigB$ は、書き込まれたサブフレームデータ s_d が $SM12$ 1 内で2回極性反転されてインバータ $INV12$ から出力されたサブフレームデータであるため、同図（A）に示した入力サブフレームデータ s_d と同一論理値のサブフレームデータ（以下、このデータを正転サブフレームデータという）である。また、図3（D）に示す正転トリガパルスと図3（E）に示す反転トリガパルスとは、 $1/2$ サブフレーム期間 $SF1/2$ 毎に交互に入力される。

【0038】

図3（F）は、第2の信号保持手段（DM）122を構成する容量 $C1$ に保持された読み出しデータを示す。図3（G）は、図2に示した液晶表示素子 LC の共通電極 CE に印加される共通電圧 V_{com} を示す。この共通電圧 V_{com} は、正転トリガパルス及び反転トリガパルスが入力される毎に同期して、 $1/2$ サブフレーム期間 $SF1/2$ 毎に反転する矩形波である。また、共通電圧 V_{com} は、反転サブフレームデータが容量 $C1$ に保持され、かつ、液晶表示素子 LC の反射電極 PE に印加される $1/2$ サブフレーム期間（ $T1-T2$ 、 $T3-T4$ ）では“H”レベルとされ、正転サブフレームデータが容量 $C1$ に保持され、かつ、液晶表示素子 LC の反射電極 PE に印加される $1/2$ サブフレーム期間（ $T2-T3$ 、 $T4-T5$ ）では“L”レベルとされる。図3（H）は、液晶表示素子 LC の反射電極 PE に印加されたサブフレームデータと共通電極 CE に印加された共通電圧 V_{com} との電位差である液晶 LCM の印加電圧 V_{LC} を示す。

【0039】

次に、本発明の液晶表示装置の画素の動作の各実施形態について説明する。

【0040】

まず、画素の第1の実施の形態の動作について説明する。図4は、本発明の液晶表示装置の画素12の第1の実施形態の動作説明用タイミングチャートを示す。図4（A）は、水平ドライバ16から列データ線 d （ $d1 \sim dn$ ）に出力される1ビットのサブフレームデータの書き込み期間及び読み出し期間を模式的に示す。すなわち、図4（A）において、右下がりの斜線の水平期間が各々1ビットであるビット $B0$ 、 $B1$ 、 $B2$ 、 $B3$ のサブフレームデータの書き込み期間を模式的に示しており、前述したようにこの書き込み期間では1ビットのサブフレームデータが画像表示部11を構成する全画素12に1行の画素群単位で順次書き込まれて、各画素の図2の $SM121$ に記憶される。

【0041】

ビット $B0$ のサブフレームデータが画像表示部11を構成する全画素に書き込まれた直後の時刻 $T1$ で図4（B）に示すようにトリガ線 $trig1$ を介して全画素12に供給される正転トリガパルスが短期間“H”レベルとなる。これにより、前述したように各画素12のスイッチ $SW12$ がオンとなり、各画素の $SM121$ に記憶されていたビット $B0$ のサブフレームデータの反転サブフレームデータ $B0b$ が $SM121$ から読み出されてスイッチ $SW12$ を通して容量 $C1$ に一斉に転送されて保持される。また、これと同時に反転サブフレームデータ $B0b$ は反射電極 PE に印加される。

【0042】

続いて、時刻 $T1$ の $1/2$ サブフレーム期間後の時刻 $T2$ で図4（C）に示すようにトリガ線 $trig2$ を介して全画素12に供給される正転トリガパルスが短期間“H”レベルとなる。これにより、前述したように各画素12のスイッチ $SW13$ がオンとなり、各画素の $SM121$ に記憶されていたビット $B0$ のサブフレームデータの正転サブフレームデータ $B0a$ が $SM121$ から読み出されてスイッチ $SW13$ を通して容量 $C1$ に一斉に転送されて容量 $C1$ に上書き保持される。また、これと同時に正転サブフレームデータ $B0a$ は反射電極 PE に印加される。図4（D）は、反射電極 PE に印加されるサブフレームデータを模式的に示す。

【0043】

ここで、図4（D）に模式的に示すサブフレームデータのビット値が「1」、すなわち

“H”レベルのときには反射電極PEには電源電圧（ここでは3.3V）が印加され、ビット値が「0」、すなわち“L”レベルのときには反射電極PEには0Vが印加される。一方、液晶表示素子LCの共通電極CEには、上記時刻T1、T2などの“H”レベルの正転トリガパルス及び反転トリガパルスの入力時刻に同期して1/2サブフレーム毎に値が規定値に切り替わる矩形波の共通電圧Vcomが印加される。ここでは、共通電圧Vcomは、反転サブフレームデータが反射電極PEに印加される1/2サブフレーム期間は、図4（E）に示すように3.3Vよりも液晶LCMの閾値電圧Vttだけ高い電圧に設定され、正転サブフレームデータが反射電極PEに印加される1/2サブフレーム期間は、同図（E）に示すように0Vよりも液晶LCMの閾値電圧Vttだけ低い電圧に設定される。

【0044】

液晶表示素子LCは、反射電極PEの印加電圧と共通電圧Vcomとの差電圧である液晶LCMの印加電圧に応じた階調表示を行う。従って、ビットB0の反転サブフレームデータB0bが反射電極PEに印加される時刻T1～T2の1/2サブフレーム期間では、液晶LCMの印加電圧は、反転サブフレームデータB0bのビット値が「1」のときは $-V_{tt}$ （ $= 3.3V - (3.3V + V_{tt})$ ）となり、ビット値が「0」のときは $-3.3V - V_{tt}$ （ $= 0V - (3.3V + V_{tt})$ ）となる。

【0045】

一方、ビットB0の正転サブフレームデータB0aが反射電極PEに印加される時刻T2～T3の1/2サブフレーム期間では、液晶LCMの印加電圧は、正転サブフレームデータB0aのビット値が「1」のときは $3.3V + V_{tt}$ （ $= 3.3V - (-V_{tt})$ ）となり、ビット値が「0」のときは $+V_{tt}$ （ $= 0V - (-V_{tt})$ ）となる。なお、上記時刻T3は図4（B）に示すように正転トリガパルスが時刻T2の1/2サブフレーム期間後に“H”レベルとなる時刻を示す。

【0046】

図5は、液晶の印加電圧（RMS電圧）と液晶のグレースケール値との関係を示す。図5に示すように、グレースケール値曲線は黒のグレースケール値が液晶の閾値電圧VttのRMS電圧に対応し、白のグレースケール値が液晶の飽和電圧Vsat（ $= 3.3V + V_{tt}$ ）のRMS電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。従って、液晶表示素子LCは液晶LCMの印加電圧の絶対値が $|3.3V + V_{tt}|$ のときは白を表示し、 $+V_{tt}$ のときは黒を表示する。

【0047】

ここで、ビットB0のサブフレームデータのビット値が「1」であるときは、反転サブフレームデータB0bのビット値が「0」であり、続いて1/2サブフレーム後に入力される正転サブフレームデータB0aのビット値が「1」であるため、液晶LCMの印加電圧は、「0」の反転サブフレームデータB0b読み出しの1/2サブフレーム期間は（ $-3.3V - V_{tt}$ ）で、続く「1」の正転サブフレームデータB0aの読み出しの1/2サブフレーム期間では（ $3.3V + V_{tt}$ ）となる。従って、液晶LCMの印加電圧の電位方向は1/2サブフレーム期間毎に反転するが、両サブフレーム期間において液晶に印加される電圧値の絶対値は $|3.3V + V_{tt}|$ で同一であるので、画素12はビットB0のサブフレームデータのビット値が「1」であるときの白を1サブフレーム期間継続して表示する。

【0048】

一方、ビットB0のサブフレームデータのビット値が「0」であるときは、反転サブフレームデータB0bのビット値が「1」であり、続いて1/2サブフレーム後に入力される正転サブフレームデータB0aのビット値が「0」であるため、液晶LCMの印加電圧は、1/2サブフレーム期間は $-V_{tt}$ で、続く1/2サブフレーム期間では $+V_{tt}$ となる。従って、この場合も液晶LCMの印加電圧の電位方向は1/2サブフレーム期間毎に反転するが、両サブフレーム期間において液晶に印加される電圧値の絶対値は $|V_{tt}|$ で同一であるので画素12はビットB0のサブフレームデータのビット値が「0」であるときの黒を1サブフレーム期間継続して表示する。

10

20

30

40

50

【0049】

従って、画素12は図4（F）に模式的に示すように、時刻T1～T3までのビットB0のサブフレームデータに割り当てられた1サブフレーム期間で、反転サブフレームデータB0b及び正転サブフレームデータB0aにより同じ階調を表示すると共に、液晶LCMの印加電圧の電位方向が1/2サブフレーム毎に反転する交流駆動が行われるため、液晶LCMの焼き付きを防止することができる。

【0050】

続いて、上記のビットB0のサブフレームデータを正転サブフレームデータB0aにより表示しているサブフレーム期間内において、図4（A）にB1の右下がりの斜線で模式的に示すように、ビットB1のサブフレームデータの各画素12のSM121への書き込みが順番に開始される。そして、画像表示部11の全部の画素12のSM121のビットB1のサブフレームデータが書き込まれ、その書き込み終了後の時刻T3で図4（B）に示すように“H”レベルの正転トリガパルスが画像表示部11を構成する全ての画素12に同時に供給される。時刻T3は時刻T1の1サブフレーム後の時刻である。

【0051】

これにより、全ての画素12のスイッチSW12がオンとされるため、SM121に記憶されているビットB1の反転サブフレームデータB1bが図4（D）に模式的に示すようにスイッチSW12を通してDM122を構成する容量C1に転送されて上書き保持されると共に、反射電極PEに印加される。この容量C1によるビットB1の反転サブフレームデータB1bの保持期間は、時刻T3から次に図4（C）に示すように“H”レベルの反転トリガパルスが画素12に入力される時刻T4までの1/2サブフレーム期間である。

【0052】

一方、共通電圧Vcomは、反転サブフレームデータが反射電極PEに印加される1/2サブフレーム期間は、図4（E）に示すように3.3Vよりも液晶の閾値電圧Vttだけ高い電圧に設定される。従って、ビットB1の反転サブフレームデータB1bが反射電極PEに印加される時刻T3～T4の1/2サブフレーム期間では、液晶LCMの印加電圧は反転サブフレームデータB1bのビット値が「1」のときは $-V_{tt}$ （ $=3.3V - (3.3V + V_{tt})$ ）となり、ビット値が「0」のときは $-3.3V - V_{tt}$ （ $=0V - (3.3V + V_{tt})$ ）となる。

【0053】

続いて、時刻T3の1/2サブフレーム後の時刻T4に図4（D）に示すように“H”レベルの反転トリガパルスが画素12に入力され、画像表示部11を構成する全ての画素12に同時に供給される。これにより、全ての画素12のスイッチSW13がオンとされるため、SM121に記憶されているビットB1の正転サブフレームデータB1aが図4（D）に模式的に示すようにスイッチSW13を通してDM122を構成する容量C1に転送されて上書き保持されると共に、反射電極PEに印加される。この容量C1によるビットB1の正転サブフレームデータB1aの保持期間は、時刻T4から次に図4（B）に示すように“H”レベルの正転トリガパルスが画素12に入力される時刻T5までの1/2サブフレーム期間である。

【0054】

一方、共通電圧Vcomは、正転サブフレームデータが反射電極PEに印加される1/2サブフレーム期間は、図4（E）に示すように0Vよりも液晶の閾値電圧Vttだけ低い電圧に設定される。従って、ビットB1の正転サブフレームデータB1aが反射電極PEに印加される時刻T4～T5の1/2サブフレーム期間では、液晶LCMの印加電圧はビット値が「1」のときは $3.3V + V_{tt}$ （ $=3.3V - (-V_{tt})$ ）となり、ビット値が「0」のときは $+V_{tt}$ （ $=0V - (-V_{tt})$ ）となる。

【0055】

これにより、画素12は図4（F）に模式的に示すように、時刻T3～時刻T5のビットB1のサブフレームデータに割り当てられた1サブフレーム期間では反転サブフレーム

10

20

30

40

50

データ B 1 b と正転サブフレームデータ B 1 a とでビット B 1 のサブフレームデータと同じ階調を表示する。また、このときは液晶 L C M の印加電圧の電位方向が 1 / 2 サブフレーム期間毎に反転する交流駆動が行われるため、液晶 L C M の焼き付きを防止することができる。以下、上記と同様の動作が繰り返され、本実施形態の画素 1 2 を有する液晶表示装置 1 0 により、複数のサブフレームの組み合わせによって階調表示を行うことができる。

【0056】

このように、本実施形態によれば、列データ線 d を介して供給されるサブフレームデータは 1 サブフレーム表示期間中は次に表示されるサブフレームのサブフレームデータを書き込めない転送レートに設定されており、サブフレームデータを画素 1 2 の S M 1 2 1 に書き込んだ後、次のビットのサブフレームデータを S M 1 2 1 に書き込むまでは S M 1 2 1 から反転サブフレームデータと正転サブフレームデータとを交互に読み出す構成にできる。このため、本実施形態によれば、特許文献 2 記載の液晶表示装置のように反転サブフレームデータを画素 1 2 へ転送して S M 1 2 1 へ書き込む動作を不要にできる。よって、本実施形態の液晶表示装置 1 0 によれば、列データ線 d におけるサブフレームデータの転送帯域を特許文献 2 記載の液晶表示装置に比べて低くすることができ、消費電力を低減することができる。

【0057】

なお、図 4 に示した実施形態では、入力サブフレームデータの同じビットの正転サブフレームデータ表示期間と反転サブフレームデータ表示期間とは同一であるが、入力サブフレームデータの異なるビットではそのサブフレーム表示期間が異なるように設定されている例を示している。すなわち、図 4 の例ではビット B 0、B 1、B 2、B 3 の順でサブフレーム表示期間が長くなるように設定されている。

【0058】

次に、本発明の液晶表示装置の画素の第 2 の実施の形態の動作について説明する。図 6 は、本発明の液晶表示装置の画素 1 2 の第 2 の実施形態の動作説明用タイミングチャートを示す。本実施形態は、図 6 (A) に模式的に示すように、列データ線 d を介して画素 1 2 に供給されるサブフレームデータ s d が、図 4 (A) に模式的に示した第 1 の実施形態において画素 1 2 に供給されるサブフレームデータ s d の転送レートの約 2 倍の転送レートで画素 1 2 に供給される点に特徴がある。また、第 2 の特許文献記載の液晶表示装置と比較すると、第 2 の特許文献記載の液晶表示装置ではサブフレームデータが正転サブフレームデータと反転サブフレームデータとが交互に画素に供給されていたのに対し、本実施形態の画素 1 2 に供給されるサブフレームデータ s d は、反転サブフレームデータの供給期間の代わりに正転サブフレームデータを供給するものである。

【0059】

図 6 (A) は、水平ドライバ 1 6 から列データ線 d (d 1 ~ d n) に出力される 1 ビットのサブフレームデータの書き込み期間及び読み出し期間を模式的に示す。すなわち、図 6 (A) において、右下がりの斜線の水平期間が各々 1 ビットであるビット B 0、B 1、B 2、B 3、B 4、B 5、B 6 のサブフレームデータの書き込み期間を模式的に示している。前述したように、サブフレームデータの 1 サブフレーム表示期間の前半期間の直前である書き込み期間では、1 ビットのサブフレームデータが画像表示部 1 1 を構成する全画素 1 2 に 1 行の画素群単位で順次書き込まれて、各画素の図 2 の S M 1 2 1 に記憶される。

【0060】

ビット B 0 のサブフレームデータが画像表示部 1 1 を構成する全ての画素 1 2 の S M 1 2 1 に書き込まれた直後の図 6 (A) に示す時刻 T 11 で図 6 (B) に示すようにトリガ線 trig1 を介して全画素 1 2 に同時に供給される正転トリガパルスが短期間 “H” レベルとなる。これにより、前述したように各画素 1 2 のスイッチ S W 1 2 がオンとなり、各画素の S M 1 2 1 に記憶されていたビット B 0 のサブフレームデータの反転サブフレームデータ B 0 b が S M 1 2 1 から読み出されてスイッチ S W 1 2 を通して各画素の容量 C 1 に一

齊に転送されて保持される。また、これと同時に反転サブフレームデータ B 0 b は反射電極 P E に印加される。

【0061】

続いて、時刻 T 11 の 1 / 2 サブフレーム期間後の時刻 T 12 で図 6 (C) に示すようにトリガ線 trig2 を介して全画素 1 2 に供給される正転トリガパルスが短期間 “ H ” レベルとなる。これにより、前述したように各画素 1 2 のスイッチ S W 1 3 がオンとなり、各画素の S M 1 2 1 に記憶されていたビット B 0 のサブフレームデータの正転サブフレームデータ B 0 a が S M 1 2 1 から読み出されてスイッチ S W 1 3 を通して各画素の容量 C 1 に一斉に転送されて容量 C 1 に上書き保持される。また、これと同時に正転サブフレームデータ B 0 a は反射電極 P E に印加される。図 6 (D) は、反射電極 P E に印加されるサブフレームデータを模式的に示す。

10

【0062】

以上の動作は第 1 の実施形態と同様であるが、本実施形態では、第 1 の実施形態と異なり、ビット B 0 のサブフレームデータの 1 サブフレーム表示期間の後半部分（時刻 T 13 の前）で、次のビット B 1 のサブフレームデータが第 1 のスイッチング手段 S W 1 でサンプリングされて S M 1 2 1 に供給されて書き込まれる。すなわち、S M 1 2 1 から正転サブフレームデータ B 0 a を読み出した直後（T 12 の直後）から図 6 (A) に B 1 の右下がりの斜線で模式的に示すように、列データ線 d を介してビット B 1 のサブフレームデータが供給され、そのビット B 1 のサブフレームデータの各画素 1 2 の S M 1 2 1 への書き込みが順番に開始される。

20

【0063】

そして、画像表示部 1 1 の全ての画素 1 2 の S M 1 2 1 のビット B 1 のサブフレームデータが書き込まれ、その書き込み終了後の時刻 T 13 で図 6 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素 1 2 に同時に供給される。時刻 T 13 は時刻 T 11 の 1 サブフレーム後の時刻である。

【0064】

これにより、全ての画素 1 2 のスイッチ S W 1 2 がオンとされるため、S M 1 2 1 に記憶されているビット B 1 の反転サブフレームデータ B 1 b が図 6 (D) に模式的に示すようにスイッチ S W 1 2 を通して D M 1 2 2 を構成する各画素の容量 C 1 に一斉に転送されて上書き保持されると共に、反射電極 P E に印加される。この容量 C 1 によるビット B 1 の反転サブフレームデータ B 1 b の保持期間は、時刻 T 13 から次に図 6 (C) に示すように “ H ” レベルの正転（11 ページで trig1、trig2 を正転トリガパルス、trig1b、trig2b を反転トリガパルスと定義しているので、これは正転では？）トリガパルスが画素 1 2 に入力される時刻 T 14 までの 1 / 2 サブフレーム期間である。以下、上記と同様の動作が繰り返される。また、共通電圧 V com は、図 6 (E) に示すように、反転サブフレームデータが反射電極 P E に印加される 1 / 2 サブフレーム期間は 3 . 3 V よりも液晶の閾値電圧 V t t だけ高い電圧に設定され、正転サブフレームデータが反射電極 P E に印加される 1 / 2 サブフレーム期間は 0 V よりも液晶の閾値電圧 V t t だけ低い電圧に設定される。

30

【0065】

これにより、画素 1 2 は図 6 (F) に模式的に示すように、1 / 2 サブフレーム期間毎に反射電極 P E に交互に印加される反転サブフレームデータと正転サブフレームデータとで、そのビットに割り当てられた 1 サブフレーム表示期間において入力されたサブフレームデータの階調を表示する。また、このときは液晶 L C M の印加電圧の電位方向が 1 / 2 サブフレーム期間毎に反転する交流駆動が行われるため、液晶 L C M の焼き付きを防止することができる。

40

【0066】

本実施形態によれば、図 6 (A) に模式的に示した列データ線 d を介して画素 1 2 に供給されるサブフレームデータ s d の転送レートが、第 1 の実施形態の約 2 倍の転送レートであるため、図 6 に示す各サブフレーム表示期間は第 1 の実施形態の対応するサブフレームビットのサブフレーム表示期間の約 1 / 2 である。例えば、図 6 に示す時刻 T 11 ~ 時刻

50

T13の1サブフレーム期間は図4に示した時刻T1～時刻T3の1サブフレーム期間の約1/2の期間である。

【0067】

従って、本実施形態によれば、1フレーム期間を第1の実施形態や特許文献2記載の液晶表示装置の約2倍のサブフレーム数に分割して、各サブフレームの表示を行えるため、第1の実施形態や特許文献2記載の液晶表示装置に比べて液晶表示素子LCに対する電圧印加を細かく制御可能となり、液晶の安定性や信頼性を向上できるとともに、より一層の高階調を実現することができる。すなわち、本実施形態によれば、1つのSRAM201と1つのDRAM202とを有する各画素12の液晶印加電圧の時間的分解能を向上することができる。

10

【0068】

なお、図6に示した実施形態においても、入力サブフレームデータの同じビットの正転サブフレームデータ表示期間と反転サブフレームデータ表示期間とは同一であるが、入力サブフレームデータの異なるビットではそのサブフレーム表示期間は異なっている。すなわち、図6の例ではビットB0、B1、B2、B3の順でサブフレーム表示期間が長くなるように設定されている。ただし、本発明はこのような設定に限定されるものではない。

【0069】

なお、本発明は以上の実施形態に限定されるものではなく、例えば画素電極は反射電極PEとして説明したが、透過電極であってもよい。また、SM121からは正転サブフレームデータに続いて反転サブフレームデータを読み出すように構成してもよいことは勿論である。

20

【符号の説明】

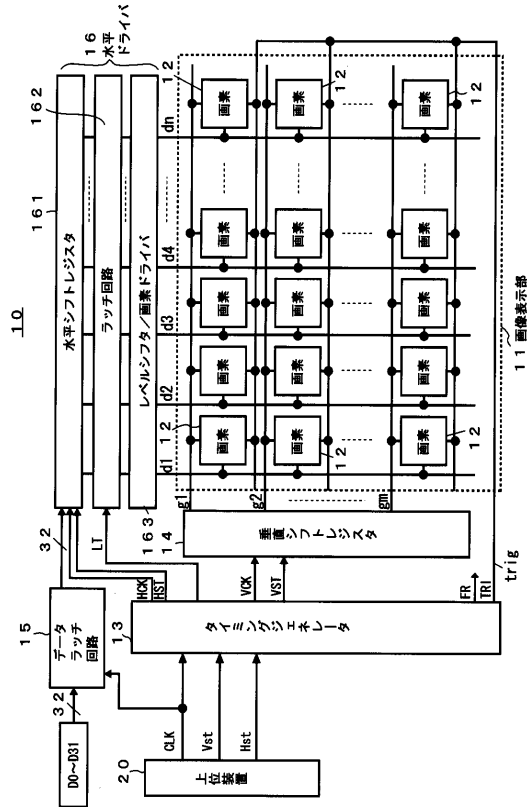
【0070】

10 液晶表示装置
 11 画像表示部
 12 画素
 13 タイミングジェネレータ
 14 垂直シフトレジスタ
 15 データラッチ回路
 16 水平ドライバ
 121 第1の信号保持手段(SM)
 122 第2の信号保持手段(DM)
 201 スタティック・ランダム・アクセス・メモリ(SRAM)
 202 ダイナミック・ランダム・アクセス・メモリ(DRAM)
 SW11、SW12、SW13 スイッチ
 C1 容量
 LC 液晶表示素子
 PE 反射電極
 CE 共通電極
 LCM 液晶
 INV11、INV12 インバータ
 d、d1～dn 列データ線
 g、g1～gm 行走査線
 Trig1、Trig2 正転トリガパルス用トリガ線
 Trig1b、Trig2b 反転トリガパルス用トリガ線

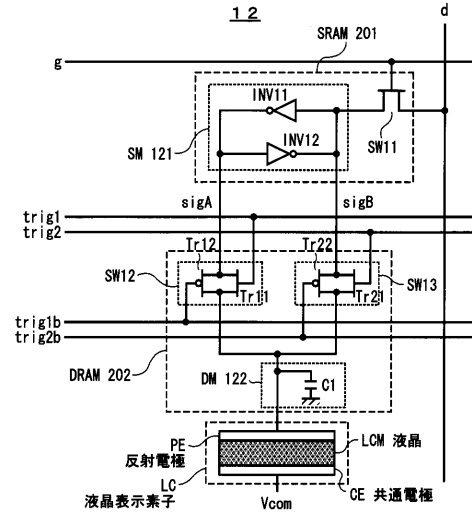
30

40

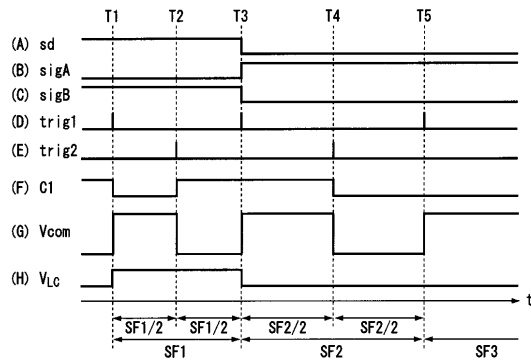
【 図 1 】



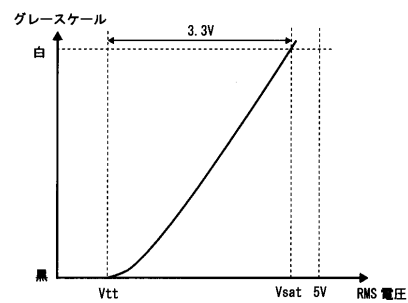
【図 2】



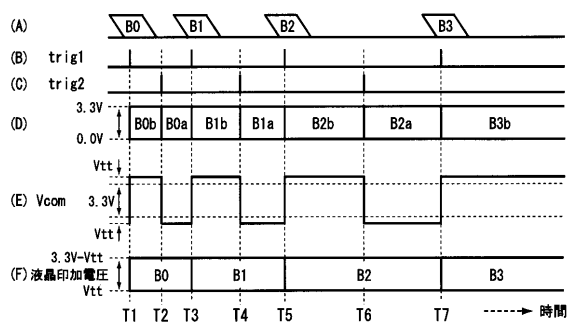
【図 3】



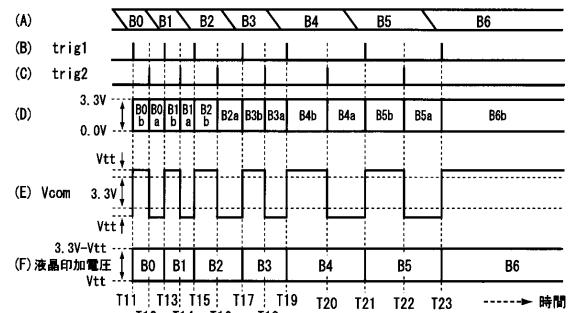
【図 5】



【図 4】



【図 6】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 1 B	
	G 0 2 F 1/133 5 0 5	

F ターム(参考)	5C006	AA14	AC25	AC28	BB16	BC03	BC06	BC11	BF01	BF03	BF04
		BF27	BF34	BF46	FA34	FA47	FA56				
	5C080	AA10	BB05	DD26	EE29	FF09	FF11	JJ02	JJ03	JJ04	JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015145919A	公开(公告)日	2015-08-13
申请号	JP2014017847	申请日	2014-01-31
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	伊藤博友 井澤俊輔		
发明人	伊藤 博友 井澤 俊輔		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.641.E G09G3/20.624.B G09G3/20.624.D G09G3/20.611.A G09G3/20.621.B G02F1/133.505 G09G3/20.631.B		
F-TERM分类号	2H193/ZA04 2H193/ZA20 2H193/ZB07 2H193/ZB13 2H193/ZC15 2H193/ZC25 2H193/ZC39 2H193/ZD25 2H193/ZD26 2H193/ZF31 5C006/AA14 5C006/AC25 5C006/AC28 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BF01 5C006/BF03 5C006/BF04 5C006/BF27 5C006/BF34 5C006/BF46 5C006/FA34 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF09 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
其他公开文献	JP6256059B2		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 (22) 出願日	特願2014-17847 (P2014-17847) 平成26年1月31日 (2014.1.31)	(71) 出願人 308036402 株式会社 JVCケンウッド 神奈川県横浜市神奈川区守屋町3丁目12番地 (74) 代理人 100085235 弁理士 松浦 兼行 (72) 発明者 伊藤 博友 神奈川県横浜市神奈川区守屋町3丁目12番地 (72) 発明者 井澤 俊輔 神奈川県横浜市神奈川区守屋町3丁目12番地 Fターム(参考) 2H193 ZA04 ZA20 ZB07 ZB13 ZC15 ZC25 ZC39 ZD25 ZD26 ZF31
要解决的问题：提高液晶向每个像素施加电压的时间分辨率。像素12将具有反逻辑值的两个子帧数据 (sigA , sigB) 从第一信号保持装置 (SM) 121传输到第二信号保持装置 (DM) 122。在要输出的路径上设置有两个开关 (SW12 , SW13) ，并且这两个开关中的每一个输出始终彼此独立地处于逆逻辑关系的两个子帧数据 (sigA , sigB) 。有。通过控制两个开关 (SW12 , SW13) 的接通定时，可以通过自反转来驱动像素12，而无需经由列数据线d将反转的子帧数据提供给SM121。成为 [选择图]图2			