

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2013-205558
(P2013-205558A)

(43) 公開日 平成25年10月7日(2013.10.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 641E	5C006
G02F 1/133 (2006.01)	G09G 3/20 641H	5C080
	G09G 3/20 631D	
	G09G 3/20 631V	
審査請求 未請求 請求項の数 4 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2012-73388 (P2012-73388)	(71) 出願人	308036402
(22) 出願日	平成24年3月28日 (2012. 3. 28)		株式会社 J V C ケンウッド
			神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(72) 発明者	佐藤 昭浩
			神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
		F ターム (参考)	2H193 ZA04 ZB50 ZD22 ZF13 ZF17 ZF21 ZF31 ZQ16 ZR02
		最終頁に続く	

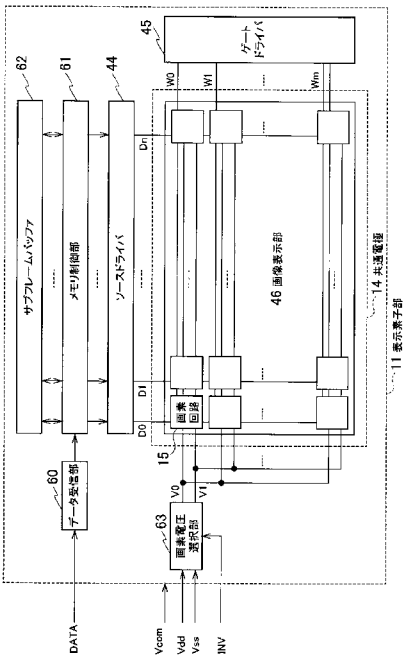
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】サブフレーム表示の休止期間を無くし、画素の小型化が容易で、低コストで明るく高解像度な表示ができる液晶表示装置を提供する。

【解決手段】各画素回路 1 5 は、1 フリップフロップで画素データを保持する。1 サブフレーム分のサブフレームデータをフレームバッファ 3 9 A、3 9 B からサブフレームバッファ 6 2 に転送する第 1 のデータ転送ステップと、行選択線 W0 ~ Wm を順次選択して、ライン単位の画素回路 1 5 を順次を選択すると共に、サブフレームバッファ 6 2 から出力されたサブフレームデータを 1 ライン単位に列データ線 D0 ~ Dn に供給することを繰り返して、サブフレームバッファ 6 2 から出力された 1 サブフレーム分のサブフレームデータを画像表示部 4 6 の全ての画素回路 1 5 に供給する第 2 のデータ転送ステップとを交互に繰り返す。

【選択図】 図 6



【特許請求の範囲】

【請求項 1】

複数の列データ線と複数の行選択線とが交差する各交差部に配置された複数の画素からなる画像表示部と、

第 1 のビット数の映像信号データに対して、時間方向又は空間方向にディザリング処理を行って第 1 のビット数より少ない第 2 のビット数に変換したディザリング処理後データを出力するディザリング処理部と、

前記映像信号データの各フレームを 1 フレーム期間より短い表示期間をもつ複数のサブフレームで構成するため、前記ディザリング処理後データから駆動階調テーブルに基づいて前記ディザリング処理後データの各画素値に対応した値の前記複数のサブフレームそれぞれのサブフレームデータを生成するサブフレームデータ変換部と、

前記サブフレームデータ変換部より生成された前記サブフレームデータを 1 フレーム分保持するダブルバッファ構成のフレームバッファと、

前記フレームバッファの一方のバッファに前記サブフレームデータ変換部により生成された前記サブフレームデータを保持している間に、他方のバッファに保持されている前のフレーム期間に保持された 1 フレーム分のサブフレームデータを 1 サブフレーム分毎に順番に表示素子部に転送するデータ転送部と、

前記データ転送部より転送された 1 サブフレーム分の前記サブフレームデータを保持するサブフレームバッファと、

前記画像表示部の全ての前記複数の画素に、前記サブフレームバッファから出力された 1 サブフレーム分の前記サブフレームデータを供給する画像表示駆動部と、

前記サブフレームデータの転送或いは前記サブフレームの表示期間に非同期に駆動制御部より出力される極性反転信号に同期して、ハイレベルの共通電圧とローレベルの共通電圧とを交互に選択して前記液晶素子の共通電極に印加する共通電圧選択部と、

前記極性反転信号に同期して黒表示電圧と白表示電圧とを交互に選択して前記液晶素子の黒電圧線と白電圧線に印加する電圧生成部と、

を有し、

前記複数の画素はそれぞれ、

前記共通電極と画素電極との間に液晶層が封入された液晶素子と、

前記行選択線を介して前記行選択信号が供給されたときに、前記画像表示駆動部により前記列データ線を介して供給される前記サブフレームデータをサンプリングして保持する 1 ビットラッチ回路構成の画素データ保持部と、

前記画素データ保持部により保持されているサブフレームデータにより、2 種類の電圧線から片方を選択して、前記画素電極に画素電圧として印加する電圧選択部と、

を有することを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、

行選択信号を前記複数の行選択線に順次に供給して、前記画像表示部の全ての前記複数の画素をライン単位の画素毎に順次に選択すると共に、1 ラインの各画素の前記サブフレームバッファから出力されたサブフレームデータを 1 ライン単位に前記複数の列データ線に供給することを繰り返して、前記サブフレームバッファから出力された前記サブフレームデータを前記画像表示部の全ての前記複数の画素に転送する第 2 データ転送部を有し、前記データ転送部による前記フレームバッファから前記サブフレームバッファへのデータ転送と、第 2 データ転送部による前記サブフレームバッファから前記画像表示部の全ての前記複数の画素への転送とが交互に動作することを特徴とする液晶表示装置。

【請求項 3】

請求項 1 に記載の液晶表示装置において、

前記ディザリング処理部は、

供給される前記映像信号データの対象画素の下位 D ビット (D は自然数) の情報を、誤差拡散法に従い前記対象画素の周辺画素に拡散することにより生成した (M + F) ビット

10

20

30

40

50

(Mは1フレームを構成するサブフレーム数を2進数で表わしたときのビット数、Fは自然数)に、1ビットの桁上がり用ビットを最上位に付加したデータに変換する誤差拡散部と、

前記誤差拡散部から出力された前記(M + F + 1)ビットのデータの下位Fビットの値と、表示エリアでの画素の位置情報及びフレームのカウント情報とから、フレームレートコントロールテーブルを用いて導いた0又は1の値を前記(M + F + 1)ビットのデータの上位(M + 1)ビットに加算して、フレームレートコントロールされた(M + 1)ビットのデータを出力するフレームレートコントロール部と、

前記フレームレートコントロール部から出力されたデータの値を、駆動階調の最大値に制限したMビットのデータを生成して出力するリミッタ部と、

10

を有することを特徴とする液晶表示装置。

【請求項4】

複数の列データ線と複数の行選択線とが交差する各交差部に配置された複数の画素からなる画像表示部の前記複数の画素がそれぞれ、

共通電極と画素電極との間に液晶層が封入された液晶素子と、

前記行選択線を介して行選択信号が供給されたときに、前記列データ線を介して供給されるサブフレームデータをサンプリングして保持する1フリップフロップ構成の画素データ保持部と、

を有する液晶表示装置の駆動方法であって、

第1のビット数の映像信号データに対して、時間方向又は空間方向にディザリング処理を行って第1のビット数より少ない第2のビット数に変換したディザリング処理後データを出力するディザリング処理ステップと、

20

前記映像信号データの各フレームを1フレーム期間より短い表示期間をもつ複数のサブフレームで構成するため、前記ディザリング処理後データから駆動階調テーブル(37)に基づいて前記ディザリング処理後データの各画素値に対応した値の前記複数のサブフレームそれぞれのサブフレームデータを生成するサブフレームデータ変換ステップと、

前記サブフレーム変換ステップより生成された前記サブフレームデータをダブルバッファ構成のフレームバッファに保持する保持ステップと、

前記フレームバッファの一方のバッファに前記サブフレームデータ変換ステップにより生成された前記サブフレームデータを保持している間に、他方のバッファに保持されている前のフレーム期間に保持された1フレーム分のサブフレームデータを1サブフレーム分毎に順番に表示素子部のサブフレームバッファに転送する第1のデータ転送ステップと、

30

行選択信号を前記複数の行選択線に順次供給して、画像表示部の全ての複数の画素をライン単位の画素毎に順次選択すると共に、前記サブフレームバッファから出力されたサブフレームデータを1ライン単位に前記複数の列データ線に供給することを繰り返して、前記サブフレームバッファから出力された1サブフレーム分の前記サブフレームデータを前記画像表示部の全ての前記複数の画素に供給する第2のデータ転送ステップと、

駆動制御部より非同期に出力される極性反転信号に同期してハイレベルの共通電圧とローレベルの共通電圧とを交互に選択して前記液晶素子の共通電極に印加する共通電圧選択ステップと、

40

前記極性反転信号に同期して黒表示電圧と白表示電圧とを交互に選択して前記液晶素子の黒電圧線と白電圧線に印加する駆動電圧選択ステップと、

を含むことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に係り、特にデジタル化した映像信号を入力信号として、1フレームを複数のサブフレームに分割して画像表示することにより、中間階調を表示する液晶表示装置及びその駆動方法に関する。

【背景技術】

50

【 0 0 0 2 】

液晶表示装置（LCD；Liquid Crystal Display）に用いられる液晶表示素子の駆動方式には、画素に印加される電圧値が連続的なアナログ値であるアナログ駆動方式と、画素に印加する電圧の大きさを2値とし、画像の輝度（階調）に対応して、印加電圧の時間幅を変えることにより、液晶の画素に印加する実効電圧値を制御するデジタル駆動方式とがある。デジタル駆動方式では、画素に印加されるのは「0」か「1」の情報（サブフレームデータ）のみであるため、ノイズ等の外部要因により影響を受け難いという特長がある。

【 0 0 0 3 】

デジタル駆動方式では、例えば1フレームを、1フレーム期間より短い表示期間をもつ複数のサブフレームに分割し、その複数のサブフレームの中から表示すべき階調に応じて選択したサブフレームの組み合わせで画素を駆動する（例えば、特許文献1参照）。デジタル駆動方式では、前述したように画素に印加されるのは「0」か「1」の情報のみであり、それはつまり黒を表示するか白を表示するかの情報のみである。そのため、時間的な積分により階調を生成する必要がある。特許文献1に記載の階調生成方法では、1フレーム期間を複数のサブフレームに分割し、それぞれのサブフレームで表示できる期間が、「1」、「2」、「4」、「8」、「16」、「32」、「32」、「32」、「32」、「32」、「32」という比率となるような期間に設定する。例えば「100 / 255」というような階調を表示したい場合には、[001001110000]という情報を順番に画素に書き込むことにより、表示期間「4」のサブフレームと、表示期間「32」のサブフレーム3つを選択して100 / 255という階調を表現する。

【 0 0 0 4 】

また、上記のデジタル駆動方式の液晶表示装置には、各画素が、マスタメモリとスレイブメモリが直列に接続されたサンプルホールド部と、1個の電圧選択部と、液晶表示素子とから構成されるものが知られている（例えば、非特許文献1参照）。この画素では、前段のマスタメモリに保持した1ビットのデータを、共通転送信号線を介して共通信号が供給されるタイミングで後段のスレイブメモリに転送して保持する。スレイブメモリに保持したデータの値に応じて電圧選択部にて2種類の電圧V0及びV1のうちの一方を選択して液晶表示素子の画素電極に印加する。また、デジタル駆動方式の液晶表示装置として、非特許文献1のマスタ・スレイブ構造の2メモリ構成から、メモリを1段分取り除き、1個のメモリと電圧選択部を直列に並べた構造の画素を備える液晶表示装置も知られている（例えば、特許文献2参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献 1 】 特開 2 0 0 6 - 1 7 1 6 5 1 号 公 報

【 特許文献 2 】 特表 2 0 0 2 - 5 1 4 7 9 6 号 公 報

【 非特許文献 】

【 0 0 0 6 】

【 非特許文献 1 】 SID(Society for Information Display)04 DIGEST pp.72 ~ 75 [平成 2 3 年 1 1 月 1 5 日 インターネット検索] <URL : http://www.videovantage.com/wp-content/uploads/2009/12/sid-06_04_jvc_digital_drive.pdf >

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

ところで、近年は液晶表示装置における高解像度化及び小型化に伴い、画素の小型化が一層求められている。特許文献2記載の従来の液晶表示装置によれば、非特許文献1記載の従来の液晶表示装置の画素内のサンプルホールド部からメモリを1段分除去した構成であるので、非特許文献1記載の従来の液晶表示装置に比べて小型化が可能である。

【 0 0 0 8 】

しかしながら、上記の特許文献 2 記載の従来の液晶表示装置は、サンプルホールド部にメモリが一個しかないため、データ転送と液晶素子の駆動を同時に行うことができない。このため、前述した各サブフレームで表示を行うためには、例えば図 17 (a) に模式的に示すようにデータを転送し、同図 (b) に示す期間、液晶表示素子を駆動するため、データの転送に使われないデータ転送休止期間が長くなってしまふ。また、データ転送期間は液晶表示素子を駆動することができないため、表示画面が暗くなってしまふ。このため、特許文献 2 記載の従来の液晶表示装置は、非常に効率が低く、結果として、表示が暗く、コストも高くなってしまふという問題点があった。

【0009】

また、非特許文献 1 に記載された従来の液晶表示装置では、画素内にメモリ 2 段からなるサンプルホールド部を有するために、特許文献 2 記載の従来の液晶表示装置に比べて画素の小型化が困難であるという問題点があった。

【0010】

本発明は、以上の問題点に鑑みなされたもので、データ転送のための液晶駆動休止期間を必要とせず、画素回路の小型化が容易で、低コストで明るく高解像度な表示を行い得る液晶表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記問題点を解決するために本発明は、複数の列データ線(D0~Dn)と複数の行選択線(W0~Wm)とが交差する各交差部に配置された複数の画素(20)からなる画像表示部(46)と、第 1 のビット数の映像信号データに対して時間方向又は空間方向にディザリング処理を行って、第 1 のビット数より少ない第 2 のビット数に丸めたディザリング処理後データを出力するディザリング処理部(35)と、前記映像信号データの各フレームを 1 フレーム期間より短い表示期間をもつ複数のサブフレームで構成するため、前記ディザリング処理後データから駆動階調テーブル(37)に基づいて前記ディザリング処理後データの各画素値に対応した値の前記複数のサブフレームそれぞれのサブフレームデータを生成するサブフレームデータ変換部(36)と、サブフレームデータ変換部(36)より生成された前記サブフレームデータを 1 フレーム分保持するダブルバッファ構成のフレームバッファ(39A,39B)と、フレームバッファ(39A,39B)の一方のバッファにサブフレームデータ変換部(36)により生成された前記サブフレームデータを保持している間に、他方のバッファに保持されている前のフレーム期間に保持された 1 フレーム分のサブフレームデータを 1 サブフレーム分毎に順番に表示素子部(11)に転送するデータ転送部(41,38)と、データ転送部(41,38)より転送された 1 サブフレーム分の前記サブフレームデータを保持するサブフレームバッファ(62)と、画像表示部(46)の全ての前記複数の画素に、前記サブフレームバッファ(62)から出力された 1 サブフレーム分の前記サブフレームデータを供給する画像表示駆動部(44、45、61)と、前記サブフレームデータの転送或いは前記サブフレームの表示期間に非同期に駆動制御部(40)より出力される極性反転信号に同期して、ハイレベルの共通電圧とローレベルの共通電圧とを交互に選択して液晶素子の共通電極(14)に印加する共通電圧選択部(42)と、前記極性反転信号に同期して黒表示電圧と白表示電圧とを交互に選択して液晶素子の黒電圧線と白電圧線に印加する電圧生成部(43)と、を備え、前記複数の画素はそれぞれ、共通電極(14)と画素電極(12)との間に液晶層(13)が封入された液晶素子(LC)と、行選択線(W0~Wm)を介して前記行選択信号が供給されたときに、画像表示駆動部(44、45、61)により列データ線(D0~Dn)を介して供給される前記サブフレームデータをサンプリングして保持する 1 ビットラッチ回路構成の画素データ保持部(21、22)と、画素データ保持部(21、22)により保持されているサブフレームデータにより、2 種類の電圧線から片方を選択して、画素電極(12)に画素電圧として印加する電圧選択部(24)と、を有することを要旨とする液晶表示装置である。

【0012】

また、本発明においては、行選択信号を複数の行選択線(W0~Wm)に順次に供給して、画像表示部(46)の全ての複数の画素をライン単位の画素毎に順次に選択すると共に、1 ライ

10

20

30

40

50

ンの各画素のサブフレームバッファ(62)から出力されたサブフレームデータを1ライン単位に複数の列データ線(D0~Dn)に供給することを繰り返して、サブフレームバッファ(62)から出力された前記サブフレームデータを画像表示部(46)の全ての複数の画素に転送する第2データ転送部(61)を備え、データ転送部(41,38)によるフレームバッファ(39A,39B)からサブフレームバッファ(62)へのデータ転送と、第2データ転送部(61)によるサブフレームバッファ(62)から画像表示部(46)の全ての複数の画素への転送とが交互に動作することを要旨とする。

【0013】

また、本発明においては、ディザリング処理部(35)は、対象画素の第1のビット数の映像信号データの下位Dビット(Dは自然数)の情報を、誤差拡散法に従い前記対象画素の周辺画素に拡散することにより生成した(M+F)ビット(Mは1フレームを構成するサブフレーム数を2進数で表わしたときのビット数、Fは自然数)に、1ビットの桁上がり用ビットを最上位に付加したデータに変換する誤差拡散部(32)と、誤差拡散部(32)から出力された前記(M+F+1)ビットのデータの下位Fビットの値と、表示エリアでの画素の位置情報及びフレームのカウント情報とから、フレームレートコントロールテーブルを用いて導いた0又は1の値を前記(M+F+1)ビットのデータの上位(M+1)ビットに加算して、フレームレートコントロールされた(M+1)ビットのデータを出力するフレームレートコントロール部(33)と、フレームレートコントロール部(33)から出力されたデータの値を、駆動階調の最大値に制限したMビットのデータを生成して出力するリミッタ部(34)と、を有することができる。

【0014】

また本発明は、複数の列データ線(D0~Dn)と複数の行選択線(W0~Wm)とが交差する各交差部に配置された複数の画素(20)からなる画像表示部(46)の前記複数の画素がそれぞれ、共通電極(14)と画素電極(12)との間に液晶層(13)が封入された液晶素子(LC)と、行選択線(W0~Wm)を介して行選択信号が供給されたときに、列データ線(D0~Dn)を介して供給されるサブフレームデータをサンプリングして保持する1ビットラッチ回路構成の画素データ保持部(21、22)とを有する液晶表示装置の駆動方法であって、第1のビット数の映像信号データに対して、時間方向又は空間方向にディザリング処理を行って第1のビット数より少ない第2のビット数に丸めたディザリング処理後データを出力するディザリング処理ステップと、前記映像信号データの各フレームを1フレーム期間より短い表示期間をもつ複数のサブフレームで構成するため、前記ディザリング処理後データから駆動階調テーブル(37)に基づいて前記ディザリング処理後データの各画素値に対応した値の前記複数のサブフレームそれぞれのサブフレームデータを生成するサブフレームデータ変換ステップと、前記サブフレーム変換ステップより生成された前記サブフレームデータをダブルバッファ構成のフレームバッファに保持する保持ステップと、前記フレームバッファの一方のバッファに前記サブフレームデータ変換ステップにより生成された前記サブフレームデータを保持している間に他方のバッファに保持されている前のフレーム期間に保持された1フレーム分のサブフレームデータを1サブフレーム分毎に順番に表示素子部のサブフレームバッファに転送する第1のデータ転送ステップと、行選択信号を前記複数の行選択線に順次に供給して、前記画像表示部の全ての前記複数の画素をライン単位の画素毎に順次に選択すると共に、前記サブフレームバッファから出力されたサブフレームデータを1ライン単位に前記複数の列データ線に供給することを繰り返して、前記サブフレームバッファから出力された1サブフレーム分の前記サブフレームデータを前記画像表示部の全ての前記複数の画素に供給する第2のデータ転送ステップと、駆動制御部より非同期に出力される極性反転信号に同期してハイレベルの共通電圧とローレベルの共通電圧とを交互に選択して前記液晶素子の共通電極(14)に印加する共通電圧選択ステップと、前記極性反転信号に同期して黒表示電圧と白表示電圧とを交互に選択して前記液晶素子の黒電圧線と白電圧線に印加する駆動電圧選択ステップと、を含むことを要旨とする。

【発明の効果】

【0015】

本発明によれば、データ転送のための液晶駆動休止期間を必要とせず、画素回路の小型化が容易で、低コストで明るく高解像度な表示を行い得る液晶表示装置及びその駆動方法を提供することができるという効果がある。

【図面の簡単な説明】

【0016】

【図1】反射型液晶表示素子を用いた投射型表示装置の概略構成図である。

【図2】本発明に係る液晶表示装置の一実施形態の一画素の構成図である。

【図3】反射型液晶表示素子のV_{dd}とV_{com}の設定方法の一例の説明図である。

【図4】本発明に係る液晶表示装置の一実施形態のブロック図である。

【図5】素子駆動部の構成を説明するブロック図である。

【図6】表示素子部の構成を説明するブロック図である。

【図7】素子駆動部の各ブロックにおける階調表現の一例を説明する図である。

【図8】素子駆動部中の駆動階調テーブルの一例を示す図である。

【図9】素子駆動部中の誤差拡散部の動作の一例を説明する図である。

【図10】素子駆動部中の誤差拡散部の一例の構成図である。

【図11】素子駆動部中のフレームレートコントロール部の一例の構成図である。

【図12】素子駆動部中のフレームレートコントロール部により用いるフレームコントロールテーブルの例を示す図である。

【図13】本発明の液晶表示装置の一実施形態における駆動パターンの一例の説明図である。

【図14】図4の液晶表示装置の動作説明用タイミングチャートである。

【図15】反射型の液晶素子における横方向電界の発生メカニズムの説明図である。

【図16】素子駆動部中のフレームレートコントロール部によるフレームレートコントロールにより、横方向電界が低減されることを説明する図である。

【図17】従来の液晶表示装置の課題であるデータ転送期間による駆動休止期間を説明する図である。

【発明を実施するための形態】

【0017】

次に、図面を参照して、本発明の実施の形態を詳細に説明する。本発明は、複数の画素がマトリクス状に配列された表示パネルを備えるLCD、プラズマディスプレイパネル表示装置(PDP)、デジタルライトプロセッシング表示装置(DLP)の如くのパネル型液晶表示装置に適用できるものである。しかし、以下の説明では、アクティブマトリクス型の反射型液晶の表示素子を備えた投射型表示装置を例にして説明する。

【0018】

図1は、液晶表示装置の一例として反射型液晶表示素子を用いた投射型表示装置10の光路を説明する概略構成図である。図1において、投射型表示装置10は、反射型液晶を使用した表示素子部11、偏光ビームスプリッタ(以下、PBSという)16、投射レンズ17を含んで構成され、投射レンズ17から出射された光L2はスクリーン18に投射される。

【0019】

反射型液晶を使用した表示素子部11は、導電性及び光反射性をそれぞれ有する複数の画素電極12と、液晶層13と、複数の画素電極12に共通の導電性及び光透過性を有する共通電極14と、画素回路15とを含む。複数の画素電極12は、第1の基板(図示せず)の表面に二次元マトリクス状に配置されている。なお、図1では、複数の画素電極12のうちの任意の一つの画素電極のみを示している。共通電極14は、第2の基板(図示せず)の表面に形成されている。液晶層13は、画素電極12及び共通電極14が対向するように第1の基板と第2の基板とが離間配置されて形成された基板間の空間内に封入されている。なお、画素電極12、共通電極14の各表面には配向膜(図示せず)が被覆されている。

【0020】

投射型表示装置 10 では、図示しない照明光学系から射出した入射光 L1 が P B S 16 に入射する。入射光 L1 は、互いに偏光面が直交する S 偏光成分と P 偏光成分とを含んでいる。図 1 において、P 偏光成分は線分で、また S 偏光成分は○でそれぞれ模式的に示されている。P B S 16 は、入射する光の S 偏光成分を反射し、P 偏光成分を透過する光学特性を有している。従って、P B S 16 は、入射光 L1 の S 偏光成分を反射し、共通電極 14 に入射する。

【0021】

表示素子部 11 は、共通電極 14 に入射した S 偏光成分を液晶層 13 を通して画素電極 12 に入射して反射させ、更に画素電極 12 からの反射光を液晶層 13 及び共通電極 14 をそれぞれ通して射出する。ここで、表示素子部 11 は、共通電極 14 に入射した S 偏光成分が画素電極 12 で反射して共通電極 14 から射出するまでの上記の過程で、画素電極 12 に印加される画素データに応じた駆動電圧と、共通電極 14 に印加される共通電圧との間の電位差に応じて、共通電極 14 に入射した S 偏光成分を変調し、S 偏光成分の一部を P 偏光成分として、S 偏光成分と P 偏光成分とからなる光として射出する。

【0022】

P B S 16 は、表示素子部 11 から射出された上記の光のうち、P 偏光成分を透過して投射レンズ 17 に入射し、S 偏光成分は反射して照明光学系へ入射する。投射レンズ 17 は、P B S 16 からの P 偏光成分を射出光 L2 としてスクリーン 18 に投射し画像を表示させる。なお、後述する「出力光の強度」とは、スクリーン 18 上で測定した射出光 L2 の照度をいう。

【0023】

図 2 は、本発明になる液晶表示装置の一実施の形態の一画素の構成図である。同図中、図 1 と同一構成部分には同一符号を付してある。図 2 において、本発明になる液晶表示装置の一実施の形態の一つの画素 20 は、画素回路 15 と液晶素子 LC とからなり、1 本の列データ線 D と 1 本の行選択線 W との交差部に配置されている。液晶素子 LC は、前述したように、第 1 の基板に形成された光反射特性を有する画素電極 12 と第 2 の基板に形成された光透過特性を有する共通電極 14 とが対向するように第 1 の基板と第 2 の基板とが離間配置されることで形成された基板間の空間内に液晶層 13 封入された公知の構成である。なお、図 2 の一つの画素 20 は、図 1 に示した表示素子部 11 の一つの画素に相当する。

【0024】

画素回路 15 は、図 2 に示すように、スイッチング部 21、サンプルホールド部 22、電圧選択部 24 からなる。スイッチング部 21 は、ソースが列データ線 D に接続され、ゲートが行選択線 W に接続され、ドレインがサンプルホールド部 22 の入力端子に接続された N チャネル M O S 型電界効果トランジスタ（以下、N M O S トランジスタという）から構成されている。

【0025】

サンプルホールド部 22 は、例えば、2 個の C M O S インバータが襷がけに接続された 4 トランジスタ構成のラッチ回路〔S R A M (Static Random Access Memory) に使用されるメモリと同様の構成〕からなる。サンプルホールド部 22 は、スイッチング部 21 を介して列データ線 D に接続されており、行選択線 W を介して印加される行選択信号によりこの画素 20 が選択されたときに、スイッチング部 21 を通して入力される列データ線 D 上のサブフレームデータ（画素データ電圧）をサンプリング及びホールドする。

【0026】

サンプルホールド部 22 にサンプリング及びホールドされたデータは電圧選択部 24 に入力される。電圧選択部 24 では、サンプルホールド部 22 にホールドされているデータが「0」であるときは、黒電圧線 V0 を介して黒電圧 V0 を画素電極 12 に印加する。サンプルホールド部 22 にホールドされているデータが「1」であるときは、白電圧線 V1 を介して白電圧 V1 を画素電極 12 に印加する。液晶素子 LC の共通電極 14 の電圧の値は共通電圧 Vcom と呼ばれている。

10

20

30

40

50

【 0 0 2 7 】

図 3 は、表示素子部 1 1 の黒電圧 V_0 / 白電圧 V_1 と共通電圧 V_{com} の設定方法の一例の説明図である。図 3 (a) は、入力電圧と出力光の強度との関係の一例を示す。図 3 (a) において、横軸は入力電圧であり、画素電極 1 2 と共通電極 1 4 との間の電位差、すなわち、液晶層 1 3 の駆動電圧を示す。また、図 3 (a) の縦軸は、液晶層 1 3 から射出される出力光の強度を示す。液晶層 1 3 から射出される出力光の強度が一番暗い時の電圧を V_b (黒電圧) とし、出力光の強度が飽和する電圧を V_w (白電圧) とする。

【 0 0 2 8 】

図 3 (b) は、極性反転時の動作を説明するための図である。液晶表示装置では、液晶の焼き付き防止のため極性反転駆動 (DC バランス駆動) を行う必要がある。図 3 (b) に示すように、画素電極電圧から共通電圧を差し引いた液晶印加電圧の極性が (DC +) の場合、共通電圧 V_{com} にはローレベル $V_{com L}$ である ($-V_b$) を印加し、黒表示を行う場合には画素電極に V_{ss} (GND) を印加することによって、液晶層 1 3 には V_b ($= (GND) - (-V_b)$) が印加され、黒表示を行う。白表示を行う場合には画素電極に V_{dd} ($V_w - V_b$) を印加することによって、液晶層 1 3 には V_w ($= (V_w - V_b) - (-V_b)$) が印加され、白表示を行う。また、(DC -) の場合、共通電圧 V_{com} にはハイレベル $V_{com H}$ である (V_w) を印加し、黒表示を行う場合には画素電極に V_{dd} ($V_w - V_b$) を印加することによって、液晶層 1 3 には $-V_b$ ($= (V_w - V_b) - (V_w)$) が印加され、黒表示を行う。白表示を行う場合には画素電極に V_{ss} (GND) を印加することによって、液晶層 1 3 には $-V_w$ ($(GND) - (V_w)$) が印加され、白表示を行う。 V_{ss} は MOS トランジスタの接地電圧であり、 V_{dd} は MOS トランジスタの電源電圧である。

【 0 0 2 9 】

次に、本発明になる液晶表示装置の一実施の形態の構成について説明する。

【 0 0 3 0 】

図 4 ~ 図 6 は、本発明になる液晶表示装置の一実施の形態のブロック図を示す。図 4 は液晶表示装置 3 0 のブロック図、図 5 は液晶表示装置 3 0 における素子駆動部 7 0 のブロック図を、図 6 は液晶表示装置 3 0 における表示素子部 1 1 のブロック図を示す。同図中、図 1 及び図 2 と同一構成部分には同一符号を付してある。

【 0 0 3 1 】

図 4 に示すように、本実施の形態の液晶表示装置 3 0 は、素子駆動部 7 0 と、表示素子部 1 1 を備えている。表示素子部 1 1 には、画像表示部 4 6 を含んでいる。素子駆動部 7 0 と表示素子部 1 1 とは、複数の DATA 線群、共通電圧線 V_{com} 、MOS トランジスタの電源電圧 V_{dd} 、MOS トランジスタの接地電圧 V_{ss} 、極性反転信号 INV で接続してある。

【 0 0 3 2 】

図 5 において、素子駆動部 7 0 は、ルックアップテーブル部 3 1 と、誤差拡散部 3 2、フレームレートコントロール部 3 3 及びリミッタ部 3 4 からなるディザリング処理部 3 5 と、駆動階調テーブル 3 7 を備えるサブフレームデータ変換部 3 6 と、メモリ制御部 3 8 と、ダブルバッファ構成のフレームバッファ 3 9 A 及び 3 9 B と、駆動制御部 4 0 と、データ転送部 4 1 と、共通電圧選択部 4 2 と、電圧生成部 4 3 とを有する。

【 0 0 3 3 】

図 6 において、表示素子部 1 1 は、ソースドライバ 4 4、ゲートドライバ 4 5、データ受信部 6 0、メモリ制御部 6 1、サブフレームバッファ 6 2、画素電圧選択部 6 3 及び画像表示部 4 6 を含んで構成される。なお、表示素子部 1 1 の画素 2 0 は、図 2 に示したように、液晶素子 LC が画素回路 1 5 に接続された構成であるが、図 6 では共通電極 1 4 のみを示し、各画素回路 1 5 毎に接続されている画素電極 1 2 及び液晶層 1 3 の図示は省略している。

【 0 0 3 4 】

画像表示部 4 6 は、画面縦方向に延在する $n + 1$ 本の列データ線 $D_0 \sim D_n$ と、画面横

10

20

30

40

50

方向に延在する $m + 1$ 本の行選択線 $W_0 \sim W_m$ とが交差する各交差部にそれぞれ接続された画素回路 15 からなる。画素回路 15 は、画像表示部 46 に全部で $(n + 1) \times (m + 1)$ 個、全体としてマトリクス状に配置されており、それぞれは図 2 に示した構成である。また、画像表示部 46 を構成する全ての画素回路 15 は、液晶素子 LC に接続されて画素 20 をそれぞれ構成しており、液晶素子 LC の共通電極 14 に共通電圧選択部 42 から共通電圧 V_{com} が印加されている。

【0035】

ソースドライバ 44 は、入力される 1 行の画素分のサブフレームデータを 1 行の画素分の列データ線 $D_0 \sim D_n$ にそれぞれ出力することを繰り返す。ゲートドライバ 45 は、画像表示部 46 を構成する複数の画素回路 15 のうち、各行毎の画素回路 15 毎に接続された複数本の行選択線 W のうち、例えば画面の最上位位置にある行選択線から画面最下位位置にある行選択線方向へ、1 本ずつ行選択信号を切替供給し、全行選択線 W に行選択信号を供給する。行選択信号はソースドライバ 44 から列データ線 $D_0 \sim D_n$ へ出力されるサブフレームデータの切り替え周期と同期している。

【0036】

次に、本実施の形態の液晶表示装置 30 の構成及び動作について、図 5 の要部のブロックの出力信号のビット数（階調表現）を説明する図 7 等と共に説明する。図 5 において、ルックアップテーブル部 31 は、 N ビットの映像信号データを入力信号として受け、 N より大きい $(M + F + D)$ ビットのデータに変換する。ここで、 M は 1 フレーム期間のサブフレーム数を 2 進数で表わしたときのビット数、 F はフレームレートコントロール部 33 により補間されるビット数、 D は誤差拡散部 32 により補間されるビット数を示す。なお、 M 、 F 、 D はそれぞれ自然数である。

【0037】

図 7 は、入力映像信号データのビット数 N が「8」の場合の例で、誤差拡散部 32 にて補間されるビット数 D は「4」、フレームレートコントロール部 33 にて補間されるビット数 F は「2」としている。また、サブフレーム数 15 を 2 進数で表わした場合のビット数 M は「4」、駆動階調は 15 個（黒を含まない）としている。

【0038】

ここで、ルックアップテーブル部 31 の動作を説明する。一般的に、映像信号はガンマ補正がかけられている。画像表示装置側ではガンマ補正がかけられた映像信号に対し逆ガンマ補正処理を施してリニアな階調に戻すことが必要である。逆ガンマ補正とは、入力 X に対して出力が X の 2.2 乗となるような補正である。この場合、出力特性は「ガンマ 2.2」であると以下表現する。ルックアップテーブル部 31 は、表示素子部 11 の入出力特性を変換してガンマ 2.2 の出力特性を有する液晶表示装置 30 を実現する機能を担っている。

【0039】

ルックアップテーブル部 31 は、10 ビットの出力が、任意の出力特性（例えばガンマ 2.2）となるように予め調整されている。例えば、図 8 の駆動階調テーブルにおける 15 個の駆動階調（黒を含まない）のそれぞれの駆動による画像を図 1 に示した投影表示装置 10 においてスクリーン 18 に投影し、そのときのスクリーン 18 上の照度を照度計等でそれぞれ測定しておく。それぞれの駆動階調間の照度を 6 ビット $(M + D = 6)$ （64 階調）で直線補間することによって、0 ~ 768 の階調毎の照度データが予測される。ルックアップテーブル部 31 は、それらの照度データから任意の出力特性（例えばガンマ 2.2）となるような 256 個のデータを選び、予めルックアップテーブルとして保持しているものとする。

【0040】

ルックアップテーブル部 31 は、 256×10 ビット（すなわち、「2 の 8 乗」階調 $\times$ $(4 + 2 + 4)$ ビット）のルックアップテーブルを有している。ここで、「2 の 8 乗」階調 $\times$ $(4 + 2 + 4)$ ビットとは、「2 の N 乗」階調 $\times$ $(M + F + D)$ ビットに対して $N = 8$ 、 $M = 4$ 、 $F = 2$ 、 $D = 4$ の値を代入したものに相当する。ルックアップテーブル部 3

10

20

30

40

50

1 は、入力された 8 ビットの画像データを、10 ビットのデータに変換して出力する。

【0041】

図 5 に戻って説明する。誤差拡散部 32 は、ルックアップテーブル部 31 にて (M + F + D) ビットに変換された映像信号データの下位 D ビットの情報を、誤差拡散法に従い周辺画素に拡散することによって、(M + F) ビットのデータに変換する。図 7 の例では、誤差拡散部 32 は、ルックアップテーブル部 31 にて変換された 10 ビットのデータの下位 4 ビットの情報を周辺画素に拡散し、上位 6 ビットのデータに量子化して出力する。なお、この誤差拡散部 32 の出力データは 6 ビットのデータに 1 ビットの桁上がり用ビットを含む。

【0042】

ここで、誤差拡散法とは、表示すべき映像信号と実表示値との誤差（表示誤差）を周辺の画素に拡散することで階調不足を補う方法である。本実施の形態においては、誤差拡散部 32 は、表示すべき映像信号の注目画素の下位 4 ビットの値を表示誤差とみなし、図 9 (a) に示すように注目画素の右隣の画素に表示誤差の 7 / 16 倍の値を、左下の画素に表示誤差の 3 / 16 倍の値を、直下の画素に表示誤差の 5 / 16 倍の値を、右下の画素に表示誤差の 1 / 16 倍の値をそれぞれ加えることで、誤差拡散を行う。

【0043】

このような誤差拡散の結果、拡散される側から見れば、図 9 (b) に示すように、注目画素には、左上の画素と、直上の画素と、右上の画素と、左隣の画素とから拡散された値が加算されることになる。

【0044】

この誤差拡散部 32 の構成及び動作について、図 9 及び図 10 を参照して詳細に説明する。誤差拡散部 32 は、10 ビットの映像信号データのある座標の画素の表示誤差を、図 9 (a) で説明したように周辺の画素に拡散するとともに、以前の映像が拡散した誤差に加算する。すなわち、図 10 において、入力された 10 ビットの映像信号データは、まず、誤差バッファ 321 から読み出された以前の映像信号データ入力時に拡散した誤差と加算部 322 において加算される。続いて、加算部 322 から出力された加算後の映像信号データは、上位の 6 ビットと下位の 4 ビットに分割され、上位 6 ビットは加算部 324 に供給され、下位 4 ビットはスレッシュホールド比較部 323 に供給される。

【0045】

分割された下位の 4 ビットの値に対応する表示誤差を以下の表 1 に示す。右側の値は表示誤差である。

【0046】

[表 1]

下位 4 ビット	表示誤差
0000	0
0001	+ 1
0010	+ 2
0011	+ 3
0100	+ 4
0101	+ 5
0110	+ 6
0111	+ 7
1000	- 7
1001	- 6
1010	- 5
1011	- 4
1100	- 3
1101	- 2
1110	- 1

1 1 1 1 0

スレッシュホールド比較部 3 2 3 は、分割された下位 4 ビットの値に対応する表示誤差を、誤差バッファ 3 2 1 へ供給してそれ以前の表示誤差に加算して保持させる。また、スレッシュホールド比較部 3 2 3 は、分割された下位 4 ビットの値に対してスレッシュホールド比較を行い、分割された下位 4 ビットの値が「1 0 0 0」より大きい場合（上記の表における 4 ビットの値が「1 0 0 0」である行以降の行で示した負の表示誤差を示す値）、加算部 3 2 4 に「1」を出力して分割された上位 6 ビットの値に「1」を加算する。加算部 3 2 4 は、加算の際に桁上りを考慮して、最上位に加算後の 6 ビットのデータに 1 ビットの桁上がり用ビットを付加した 7 ビットのデータを生成し、誤差拡散部 3 2 による誤差拡散後のデータとして出力する。

10

【0 0 4 7】

再び図 5 に戻って説明する。フレームレートコントロール部 3 3 は、フレームレートコントロールテーブルを備えており、誤差拡散部 3 2 から供給される $(M + F) + 1$ ビットに変換された誤差拡散後の映像信号データを、フレームコントロール方式に従い $M + 1$ ビットのデータに変換する。ここで、フレームレートコントロール方式とは、表示素子の 1 画素の表示に対して j ($j : j = 2$ 、自然数) フレームを 1 周期として、その周期の k ($j : k > 0$ 、 $j > k$ 、自然数) フレームではオン表示を行い、残りの $(j - k)$ フレームではオフ表示を行うことにより疑似的に階調を表示させる方式である。

【0 0 4 8】

すなわち、フレームレートコントロール部 3 3 は、入力される誤差拡散後の映像信号データの下位 F ビットの値と、画素の位置情報及びフレームのカウント情報とから、フレームレートコントロールテーブル内の位置を特定し、その値（「1」または「0」の値、以下「0 / 1」と記載する。）を入力される誤差拡散後の映像信号データの上位 M ビットに加えて、 M ビットのデータに変換する。

20

【0 0 4 9】

図 7 の例では、フレームレートコントロール部 3 3 は、誤差拡散部 3 2 から出力された 7 ビットの誤差拡散後の映像信号データの下位 2 ビットの情報と、表示エリアでの対象画素の位置情報及びフレームカウンタ情報とより、フレームレートコントロールテーブルから 0 / 1 の値を導き、入力された 7 ビットの誤差拡散後の映像信号データから分離された上位 5 ビットの値に加算する。

30

【0 0 5 0】

このフレームレートコントロール部 3 3 の構成及び動作について、図 1 1 及び図 1 2 を参照して詳細に説明する。図 1 1 において、フレームレートコントロール部 3 3 は、入力された 7 ビットの誤差拡散後の映像信号データを、まず、上位 5 ビットと下位 2 ビットに分割し、上位 5 ビットのデータは加算部 3 3 1 に供給し、下位 2 ビットのデータはフレームレートコントロールテーブル 3 3 2 に供給する。

【0 0 5 1】

フレームレートコントロールテーブル 3 3 2 は、入力された 7 ビットの誤差拡散後の映像信号データの下位 2 ビットと、表示エリアを縦方向 4 分割、横方向 4 分割の計 16 分割したときに対象画素がどの分割範囲に含まれるかの位置情報（すなわち、座標データである X 座標の下位 2 ビット及び Y 座標の下位 2 ビット）と、フレームカウンタの下位 2 ビットとの合計 8 ビットの値を用いて、図 1 2 のフレームレートコントロールテーブルで示される「0 / 1」の値を特定する。上記の位置情報は、対象画素の座標位置が例えば（1 2 4、3 6 7）の場合は、それぞれの下位 2 ビットは（0 0、1 1）となり、図 1 2 における X 座標の下位 2 ビット「0」と Y 座標の下位 2 ビット「3」の位置の値となる。図 1 2 において、縦方向の「下位 2 ビット」は入力された 7 ビットのデータの下位 2 ビットを示し、横方向の「下位 2 ビット」はフレームカウンタの下位 2 ビットを示す。

40

【0 0 5 2】

加算部 3 3 1 は、フレームレートコントロールテーブル部 3 3 2 にて特定された「0 / 1」の値を、入力された 7 ビットの誤差拡散後の映像信号データの上位 5 ビットのデータに

50

加算し、加算後の 5 ビットのデータをフレームレートコントロール部 33 の出力データとして出力する。

【0053】

図 5 及び図 7 に示すリミッタ部 34 は、フレームレートコントロール部 33 から出力された 5 ビットデータを、駆動階調の最大値である例えば「15」に値を制限し、その制限後の 4 ビットデータをサブフレームデータ変換部 36 へ出力する。ここで、誤差拡散部 32、フレームレートコントロール部 33 及びリミッタ部 34 は、図 5 に示したようにディザリング処理部 35 を構成しており、上記の動作によりルックアップテーブル部 31 から供給される階調補間後の 10 ビットの映像信号データに対して、時間方向あるいは空間方向に視覚心理演算を施す、所謂ディザリング処理を施して階調を補間した 4 ビットのデータを生成する。これにより、画質の向上を実現できる。

10

【0054】

図 5 に示すサブフレームデータ変換部 36 は、後述する駆動階調テーブル 37 を使用して、リミッタ部 34 から出力された 4 ビットデータを、例えば図 7 に示すように最大階調「15」を示す 15 ビットのデータに変換する。この 15 ビットのデータは、1 フレーム期間を 15 分割した表示期間をそれぞれ有する 15 個のサブフレームのうち、ビット位置に対応して割り当てられたサブフレームにおいて、対象画素が白を表示する(1)か黒を表示する(0)かを示す 1 ビットのサブフレームデータが 15 個からなるデータである。

【0055】

図 8 は、サブフレームデータ変換部 36 で用いる駆動階調テーブル 37 の一具体例を示す。図 8 において、横軸がサブフレーム SF1 ~ SF15 のそれぞれにおけるデータ値(1 のとき駆動期間、0 のときブランキング期間)を示し、縦軸が階調を示す。縦軸の階調は、フレームレートコントロール部 33 で生成され、リミッタ部 34 で駆動階調の最大値である「15」に制限された階調を示す。図 8 に示す駆動階調テーブル 37 は、映像信号の 1 フレームをそれぞれ 1 フレーム期間よりも短い表示期間を持つ 15 個のサブフレーム SF1 ~ SF15 に分割して、階調 0 から階調 15 までの 16 階調表示を行う場合の駆動階調テーブル 37 を示す。SF1 ~ SF15 は 1 フレーム内のサブフレームの順番を示している。

20

【0056】

図 8 に示すように、駆動階調テーブル 37 は、表示する階調が増えると駆動するサブフレームが SF1 から順に増えていくように設定されている。例えば、階調が「6」の場合は、サブフレーム SF1 から SF6 までの 6 サブフレームで駆動され、サブフレーム SF7 ~ SF15 の 9 サブフレームでは駆動されない。また、階調が「7」の場合は、サブフレーム SF1 から SF7 までの 7 サブフレームで駆動され、サブフレーム SF8 ~ SF15 の 8 サブフレームでは駆動されない。以下、同様にして階調の数が増えるにつれて駆動状態となるサブフレーム数が増えていき、最大階調の「15」では全てのサブフレーム SF1 ~ SF15 が駆動される。言い換えると、階調の数が増えるに従い、駆動状態となるサブフレームが時間的に後方に増えていく。

30

【0057】

サブフレームデータ変換部 36 は、ディザリング処理部 35 から供給される 4 ビットデータが示す階調に対応して、各サブフレーム SF1 ~ SF15 それぞれにおける 1 ビットのサブフレームデータを図 8 に示した駆動階調テーブル 37 を用いて取得して、全部で 15 ビットのデータをメモリ制御部 38 へ出力する。例えば、ディザリング処理を施された 4 ビットのデータが、[1010]である場合、サブフレームデータ変換部 36 は、その 4 ビット入力データを 10 進数へ変換し、その 10 進数が示す階調「10」を図 8 の駆動階調テーブル 37 を参照して、SF1 ~ SF15 のそれぞれにおいて駆動するか否かを示す、全部で 15 ビットのデータ [111111111100000]に変換する。15 ビットデータの先頭のビットから 10 番目のビットまでの「1」は、SF1 ~ SF10 で駆動することを意味し、11 番目から 15 番目のビットまでの「0」は、SF11 ~ SF15 では駆動しないことを意味する。

40

50

【 0 0 5 8 】

再び図 5 に戻って説明する。メモリ制御部 3 8 は、サブフレームデータ変換部 3 6 から供給される、例えば 1 5 個のサブフレームデータからなる 1 フレーム分のデータを 2 つのフレームバッファ 3 9 A 及び 3 9 B に交互に供給する。フレームバッファ 3 9 A 及び 3 9 B はダブルバッファの構造になっており、一方のフレームバッファがサブフレームデータを格納中は、他方のフレームバッファに格納されているサブフレームデータがデータ転送部 4 1 を経由して表示素子部 1 1 へ転送され、次のフレームでは、前フレーム期間中に格納された一方のフレームバッファのサブフレームデータがデータ転送部 4 1 を経由して表示素子部 1 1 へ転送され、かつ、他方のフレームバッファにはサブフレームデータ変換部 3 6 からのサブフレームデータが格納される動作を、交互に行う。

10

【 0 0 5 9 】

駆動制御部 4 0 は、ルックアップテーブル部 3 1 に供給される映像信号データの垂直同期信号 V_{sync} が供給され、これらの同期信号に同期してサブフレーム毎の処理のタイミング等を制御しており、データ転送部 4 1 への転送指示の制御を行う。データ転送部 4 1 は、駆動制御部 4 0 からの転送指示に従い、メモリ制御部 3 8 を指示して、メモリ制御部 3 8 がフレームバッファ 3 9 A 又は 3 9 B から読み出したサブフレームデータのうち、指定したサブフレームデータを受け取り、表示素子部 1 1 のデータ受信部 6 0 へ転送する。

【 0 0 6 0 】

駆動制御部 4 0 は、極性反転信号 INV を出力し、表示素子部 1 1 と共通電圧選択部 4 2 に供給する。極性反転信号 INV は、データ転送部の処理とは非同期なクロック信号で、1 KHz 以上の周波数のクロック信号である。電圧生成部 4 3 は、MOS トランジスタの電源電圧である V_{dd} ($V_w - V_b$)、MOS 電トランジスタの接地電圧である V_{ss} (GND) を表示素子部 1 1 に供給し、共通電圧 V_{com} のローレベル電圧 L ($-V_b$)、共通電圧 V_{com} のハイレベル電圧 H (V_w) を共通電圧選択部 4 2 に供給する。共通電圧選択部 4 2 は、極性反転信号 INV に同期して、極性反転信号がローレベルの場合には、共通電圧 V_{com} のローレベル電圧 L ($-V_b$) を選択し、極性反転信号がハイレベルの場合には、共通電圧 V_{com} のハイレベル電圧 H (V_w) を選択し、表示素子部 1 1 に供給する。

20

【 0 0 6 1 】

次に、図 6 を参照して表示素子部 1 1 における動作を説明する。データ受信部 6 0 は、素子駆動部 7 0 のデータ転送部 4 1 からサブフレームデータを受信し、受信したサブフレームデータをメモリ制御部 6 1 に転送する。メモリ制御部 6 1 は、受信したサブフレームデータをサブフレームバッファ 6 2 に転送して保持させる。サブフレームバッファ 6 2 は、1 サブフレーム分のバッファで、投射型表示装置 1 0 の総画素数 $\{(n+1) \times (m+1)\} \times 1$ ビット分の容量を持つ。1 サブフレーム分のデータを保持したあと、サブフレームバッファ 6 2 に保持したデータをソースドライバ 4 4 に高速転送する。サブフレームバッファ 6 2 とメモリ制御部 6 1 及びソースドライバ 4 4 との間は、1 ライン画素数と同じ数の $(n+1)$ 本のデータ線で繋がっており、一般的にフレックスケーブルで繋がれ、多くても 6 4 本のデータ線で接続されている素子駆動部 7 0 のデータ転送部 4 1 と表示素子部 1 1 のデータ受信部 6 0 との間に比較して、数倍以上に高速で転送できる。

30

40

【 0 0 6 2 】

ソースドライバ 4 4 は、同じサブフレームにおける 1 ライン分の画素のサブフレームデータをメモリ制御部 6 1 より受け取る毎に、画像表示部 4 6 の対応する画素の画素回路 1 5 へ列データ線 $D_0 \sim D_n$ を用いて同時に転送する。この時、ゲートドライバ 4 5 は、駆動制御部 4 0 からの垂直スタート信号 (VST) / 垂直シフトクロック信号 (VCK) により指定された行 y の行選択線 Wy をアクティブにし、指定された行 y の全ての列の $(n+1)$ 個の画素を選択する。選択された行 y の各画素の画素回路 1 5 は、そのスイッチング部 2 1 がアクティブとされ、ソースドライバ 4 4 から列データ線 $D_0 \sim D_n$ を介して並列に入力される 1 ライン分の $(n+1)$ 個の画素のサブフレームデータのうち、接続された列データ線を介して供給されるサブフレームデータをサンプリングして、サンプルホー

50

ルド部 2 2 に画素毎にホールドする。

【 0 0 6 3 】

画素電圧選択部 6 3 は、極性反転信号 I N V に同期して、極性反転信号 I N V がローレベルの場合には、黒電圧線 V 0 には V s s (G N D) を印加し、白電圧線 V 1 には V d d (V w - V b) を印加する。極性反転信号 I N V がハイレベルの場合には、黒電圧線 V 0 には V d d (V w - V b) を印加し、白電圧線 V 1 には V s s (G N D) が印加される。

【 0 0 6 4 】

次に、本実施形態の液晶表示装置 3 0 の駆動パターンについて説明する。

【 0 0 6 5 】

図 1 3 は、本発明に係る液晶表示装置の実施形態における駆動パターンの一例の説明図である。図 1 3 は、1 フレーム期間のサブフレーム数が 1 5 個の場合の駆動パターンを示している。(a) データ転送期間 A は、各サブフレーム毎の素子駆動部 7 0 から表示素子部 1 1 へのデータ転送期間を、(b) データ転送期間 B は、表示素子部 1 1 内の、サブフレームバッファ 6 2 から画像表示部 4 6 へのデータ転送期間を、(c) 駆動期間は、各画素毎のサンプルホールド部 2 2 に保持されているデータ毎の駆動期間を示す。菱形の形状で表しているのは、データ転送期間 B により画像表示部 4 6 の上部から下部にデータが書き変わっている様子を表している。データ転送期間 B は、表示素子部 1 1 内での転送期間であり、素子駆動部 7 0 と表示素子部 1 1 間のデータ転送期間であるデータ転送期間 A と比較して、数倍高速に転送することが可能である。

10

【 0 0 6 6 】

ところで、図 1 では、表示素子としてアクティブマトリクス型の表示素子部 1 1 を備えた投射型表示装置 1 0 を例にして説明している。ここで、図 8 の階調駆動テーブル 3 7 で表示素子部 1 1 を駆動する場合の特徴を説明する。階調が k (k は 1 以上 1 5 以下の任意の自然数) であるとする、図 8 の階調駆動テーブル 3 7 に基づいて、S F 1 から S F k までの k 個のサブフレームが「 1 」(駆動期間) となる。このため、S F 1 から S F k までの k 個のサブフレームでは、ほぼ連続したオン状態とみなされる結果、k (階調数) と出力光の関係は、図 3 (a) に示した表示素子部 1 1 の入力電圧と出力光の強度との関係にほぼ近いカーブを描く。これは、ルックアップテーブル部 3 1 の動作に有利に作用する。すなわち、表示素子部 1 1 の入力電圧と出力光の強度との関係は、ルックアップテーブル部 3 1 が目標としているガンマ 2 . 2 のカーブに比較的近いため、ルックアップテーブル部 3 1 にてガンマ 2 . 2 のカーブに変換する負担が少なくなる。以上の特徴は、透過型液晶素子においても同様である。

20

30

【 0 0 6 7 】

次に、本実施形態の液晶表示装置 3 0 の動作について、図 1 4 のタイミングチャートを併せ参照して説明する。

【 0 0 6 8 】

駆動制御部 4 0 は、供給される垂直同期信号 V sync が図 1 4 (a) に示すように時刻 T 0 でアクティブになると、図 1 4 (b) に示すように (T 0 - T 1) 期間において、データ転送部 4 1 を介してメモリ制御部 3 8 を制御してサブフレームバッファ 3 9 A 又は 3 9 B からサブフレーム S F 1 のサブフレームデータを画素単位に順次に出し、データ受信部 6 0 を介してメモリ制御部 6 1 を制御してサブフレームバッファ 6 2 に格納する。

40

【 0 0 6 9 】

サブフレーム S F 1 のすべてのサブフレームデータがサブフレームバッファ 6 2 に格納された後、図 1 4 (c) に示すように (T 1 - T 3) 期間において、メモリ制御部 6 1 を制御してサブフレームバッファ 6 2 に保持されている S F 1 のサブフレームデータを 1 ライン分毎にソースドライバ 4 4 に出力する。なお、ここではデータ転送部 4 1 から出力される或る座標 (x , y) 位置の画素の S F 1 ~ S F 1 5 のサブフレームデータは、1 フレーム期間内で図 1 4 (c) に示すように [1 1 1 1 1 1 1 1 1 1 0 0 0 0 0] のように変化するものとする。

【 0 0 7 0 】

50

1ライン分のSF1のサブフレームデータがサブフレームバッファ62から出力される毎に、ソースドライバ44は、画像表示部46の対応する画素の画素回路15へ列データ線D0~Dnを用いて同時に転送する。この時、ゲートドライバ45は、駆動制御部40からの垂直スタート信号(VST)/垂直シフトクロック信号(VCK)により指定された行yの行選択線Wyに行選択信号を供給してアクティブにし、指定された行yの全ての列の(n+1)個の画素を選択する。

【0071】

選択された行yの各画素の画素回路15は、そのスイッチング部21がアクティブとされ、ソースドライバ44から列データ線D0~Dnを介して並列に入力される1ライン分の(n+1)個のSF1のサブフレームデータのうち、接続された列データ線を介して供給されるサブフレームデータをサンプリングして、サンプルホールド部22に画素別にホールドする。図14(d)は、或る指定された行yの行選択線Wyに時刻T1で供給される行選択信号を示し、同図(e)は或る座標(x,y)位置の画素の画素回路15内のサンプルホールド部22にホールドされたデータを示す。座標(x,y)位置の画素では、時刻T2において、画素内のサンプルホールド部22にサンプル及びホールドされる。

10

【0072】

上記の動作が1ライン単位で繰り返されて、時刻T3にサブフレームSF1のすべてのサブフレームデータの画像表示部46のすべての画素回路15へのデータ転送Bが完了すると、次のサブフレームSF2のサブフレームデータのバッファ62へのデータ転送Aがスタートする。

20

【0073】

図14(k)に示すように液晶(x,y)には、画素内のサンプルホールド部22にサンプル及びホールドされたデータが「0」の場合、黒電圧線V0が選択され、極性反転信号INVがローレベルの場合はVbが、極性反転信号INVがハイレベルの場合は-Vbが印加され、極性反転信号INVのローレベルかハイレベルかによらず黒表示となる。画素内のサンプルホールド部22にサンプル及びホールドされたデータが「1」の場合、白電圧線V1が選択され、極性反転信号INVがローレベルの場合はVwが、極性反転信号INVがハイレベルの場合は-Vwが印加され、極性反転信号INVのローレベルかハイレベルかによらず白表示となる。極性反転信号INVは1KHz以上のクロック信号であるため、液晶に交流電圧が印加されることになり、焼き付きを防止する。

30

【0074】

このように、サブフレームSF1の場合は期間(時刻T0から時刻T1まで)がデータ転送期間Aとなり、期間(時刻T1から時刻T3まで)がデータ転送期間Bとなり、駆動期間は画素(x,y)の位置において、1サブフレーム期間遅れて時刻T2から時刻T5までの期間となる。このため、SF1からSF15までのすべてのサブフレームのサブフレームデータの転送期間は時刻T0から時刻T10までの期間となり、駆動期間は時刻T2から時刻T11までの期間となる。時刻T11は時刻T10より1サブフレーム期間後の時刻である。図14(l)に示す期間(時刻T2から時刻T6まで)での画素液晶への印加電圧を見ると、サブフレームSF1からSF10までが白表示期間、サブフレームSF11からSF15までが黒表示期間となる。

40

【0075】

次に、本実施の形態の液晶表示装置30の駆動回路にフレームレートコントロール部33を設けたことによる効果を説明する。

【0076】

図15は、反射型の液晶素子における横方向電界の発生メカニズムの説明図である。図15に示されるように、画素PAの画素電極12aと、画素PBの画素電極12bとはシリコン基板51の上に形成されており、画素PA及びPBの共通電極14に離間対向配置されている。また、画素電極12a、12bと共通電極14との間には液晶層13が封入されている。

【0077】

50

デジタル駆動の場合、隣り合った画素間で駆動状態（駆動／ブランキング）が異なることが頻繁に起こる。例えば、図 15 に示す隣り合った画素 P A 及び P B の駆動状態が異なり、画素 P A がブランキング状態で黒を表示し、画素 P B が駆動状態で白を表示しているものとする。このとき、ブランキング状態にある画素 P A の画素電極 12 a には画素電圧 V0 が印加され、駆動状態にある画素 P B の画素電極 12 b には画素電圧 V1 が印加される。ここで、例えば極性 + の DC バランス駆動のときは、画素電圧 V0 は GND であり、画素電圧 V1 は $(V_w - V_b)$ である。また、共通電極 14 に印加される共通電圧 Vcom はロウレベル、 $-V_b$ である。

【0078】

従って、駆動状態にある画素 P B の画素電極 12 b と共通電極 14 との間には電位差が生じ、液晶層 13 に電界 52 が生じ、液晶は所定量の回転をさせられる。このとき、ブランキング状態にある画素 P A の画素電極 12 a と画素 P B の画素電極 12 b との間にも電位差が生じ、電界 52 に対して横方向に電界 53 が生じるという現象となる。この現象は極性 - の DC バランス駆動の場合も同様に発生する。このような横方向電界 53 は、画素間の液晶の動きに意図しない混乱を発生させ、従来の液晶表示装置における画質劣化の一因となっていた。

【0079】

次に、図 16 を参照して、本実施形態では上記現象による画質劣化をどのように防止されているかを説明する。本実施形態の液晶表示装置 30 では、フレームレートコントロール部 33 によるフレームレートコントロールにより、横方向電界を均等に分散することができ、上記の現象を解消することができる。

【0080】

図 16 では、フレームレートコントロール部 33 への入力データ（ $(M + F)$ ビット）の下位 F ビットの値が “01” である場合が例示されている。フレームレートコントロール部 33 はフレーム毎に、図 16 (a) から同図 (d) に示す 4 個のフレームレートコントロールテーブル（フレーム 0 ~ 3）を切り替えて用いる。それぞれのフレームにおいて、隣り合った画素間で駆動状態（駆動またはブランキング）が異なる場合、図 15 を参照して説明したように、駆動状態が「1」（駆動状態）である画素から駆動状態が「0」（ブランキング状態）である画素の方向に横方向の電界が生じる。従って、図 16 の場合、フレーム 0 では同図 (a) に、フレーム 1 では同図 (b) に、フレーム 2 では同図 (c) に、フレーム 3 では同図 (d) に、それぞれ矢印で示す方向に横方向の電界が生じる。

【0081】

フレームレートコントロール部 33 は、前述したように入力される $(M + F)$ ビットの映像信号データの下位 F ビットの値と、画素の位置情報及びフレームのカウント情報とから、フレームレートコントロールテーブル内の位置を特定し、その値を入力映像信号データの上位 M ビットに加えて M ビットのデータに変換する。ここで、フレームレートコントロールテーブル内の位置を特定して得られる値は、フレーム 0 ~ フレーム 3 の計 4 個のフレームの平均では、これら 4 個のフレームでの横方向電界の状態を重ね合わせた、図 16 (e) に示す値である。図 16 (e) に示すように、4 フレームの平均では、すべての画素間での横方向電界は打ち消しあっている。このように、フレームレートコントロールを用いることにより、画質劣化の一因である横方向電界を打ち消すことが可能である。

【0082】

以上説明したように、本実施の形態の液晶表示装置 30 によれば、図 2 に示した画素回路 15 内のサンプルホールド回路 22 は、例えば 4 個のトランジスタからなるメモリ（ラッチ回路）の構成にでき、また、非特許文献 1 に記載の液晶表示装置の画素回路で必要であった 2 個のメモリを 1 個に削減することができるため、従来の液晶表示装置に比べて画素回路のトランジスタ数を少なくでき、よって画素の小型化を実現できると共にコストも低減することができる。

【0083】

また、本実施の形態の液晶表示装置 30 によれば、図 14 を参照して説明したように、

サブフレームデータの休止期間がなくサブフレームデータを転送することができると共に、或るサブフレームのサブフレームデータ転送期間中に、その直前のサブフレームのサブフレームデータに基づく表示を行うため、従来の液晶表示装置に比べて効率の良いデータ転送ができ、駆動休止期間もないので、駆動休止期間による表示が暗くなる現象も防止できる。また、本実施の形態の液晶表示装置 30 によれば、フレームレートコントロールにより、横方向電界による画質劣化を改善することができる。

【0084】

また、本実施の形態の液晶表示装置 30 によれば、図 13 及び図 14 を参照して説明したように、極性 + の DC バランス駆動と極性 - の DC バランス駆動とをサブフレーム毎に交互に行うと共に、フレーム毎にもその順番を反転するようにしているため、焼き付きを十分に防止することができる。

10

【0085】

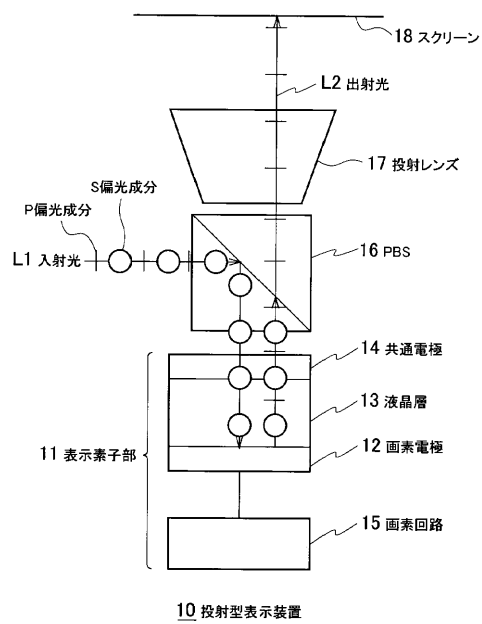
従って、以上の特長を有する本実施の形態の液晶表示装置 30 を用いることで、低コストで、高解像度、高輝度な投射型表示装置を実現することが可能である。

【符号の説明】

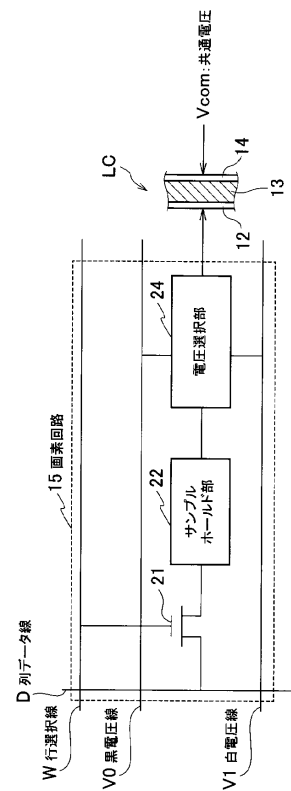
【0086】

10	投射表示装置	
11	表示素子部	
12、12a、12b	画素電極	
13	液晶層	20
14	共通電極	
15	画素回路	
20、PA、PB	画素	
21	スイッチング部	
22	サンプルホールド回路	
24	電圧選択部	
30	液晶表示装置	
31	ルックアップテーブル部	
32	誤差拡散部	
33	フレームレートコントロール部	30
34	リミッタ部	
35	ディザリング処理部	
36	サブフレームデータ変換部	
37	駆動階調テーブル	
38	メモリ制御部	
39A、39B	フレームバッファ	
40	駆動制御部	
41	データ転送部	
42	共通電圧選択部	
43	電圧生成部	40
44	ソースドライバ	
45	ゲートドライバ	
46	画像表示部	
61	メモリ制御部	
62	サブフレームバッファ	
70	素子駆動部	
321	誤差バッファ	
322、324、331	加算部	
323	スレッシュホールド比較部	
332	フレームレートコントロールテーブル	50

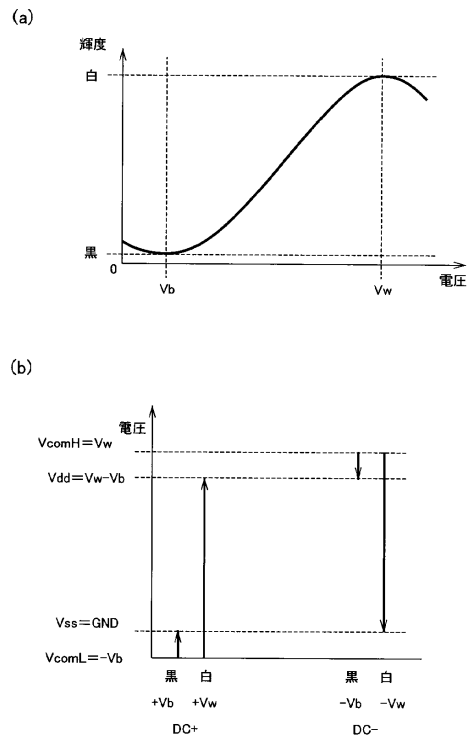
【 図 1 】



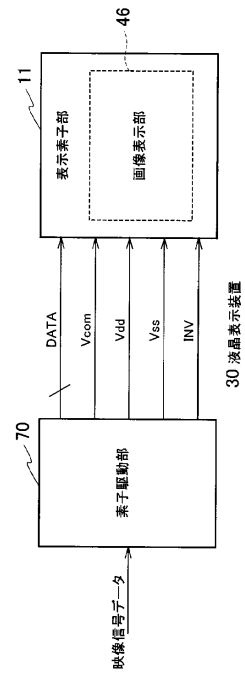
【 図 2 】



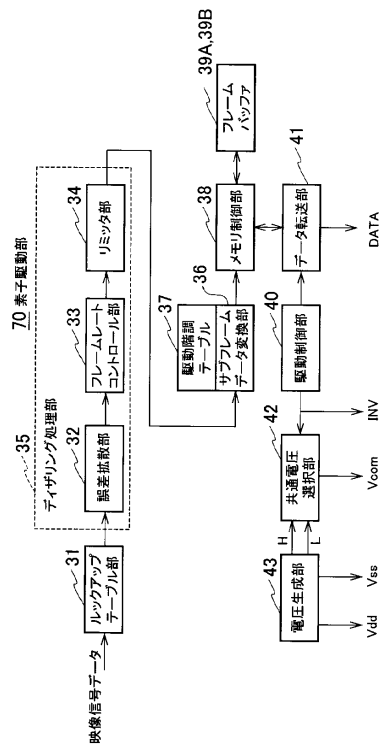
【図 3】



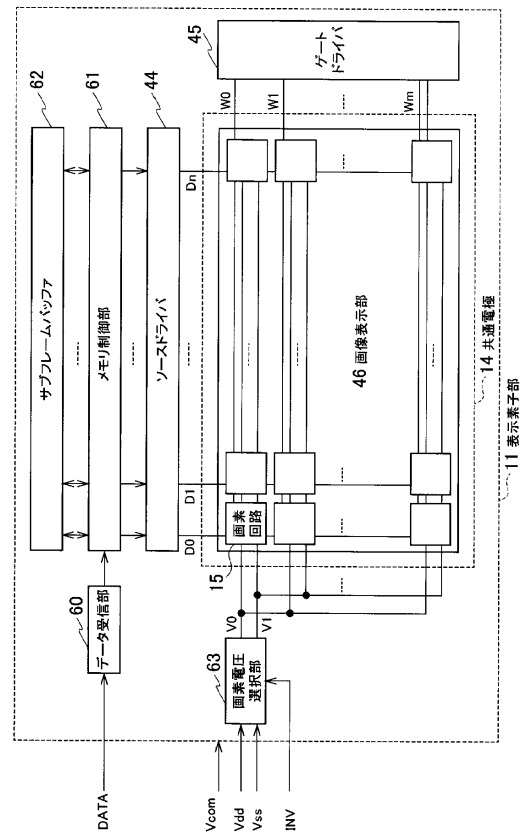
【図 4】



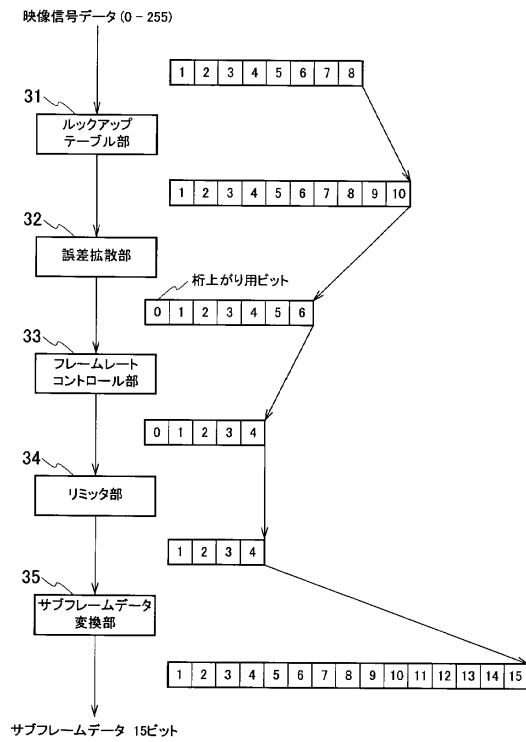
【図 5】



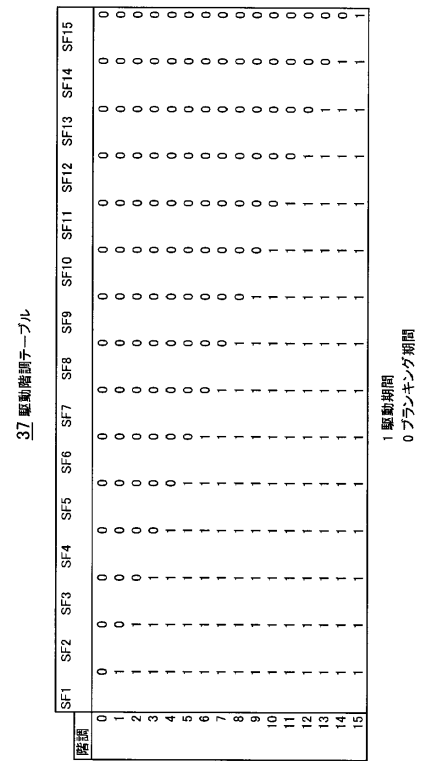
【図 6】



【図 7】

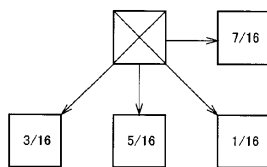


【図 8】

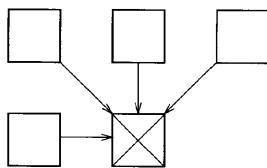


【図 9】

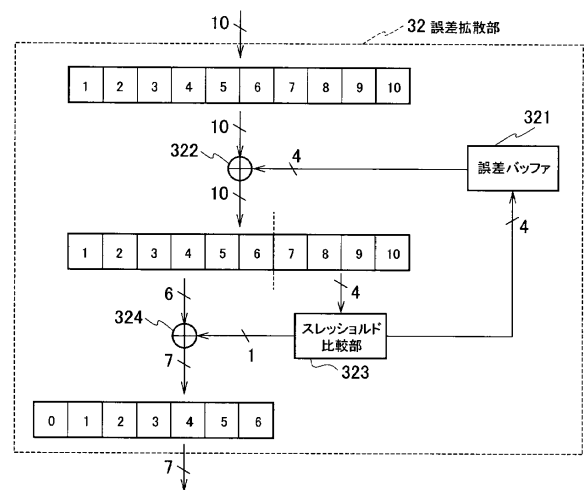
(a) 誤差拡散



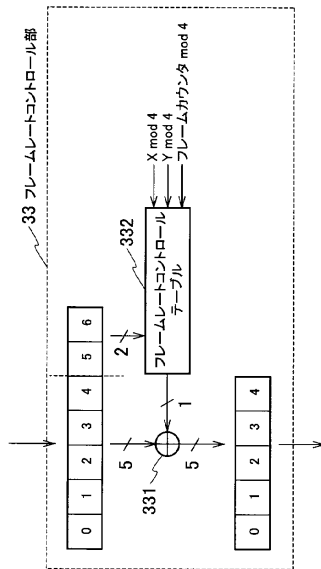
(b) 誤差加算



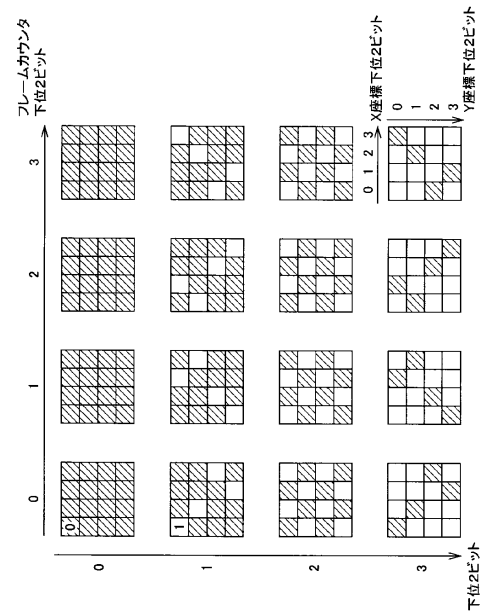
【図 10】



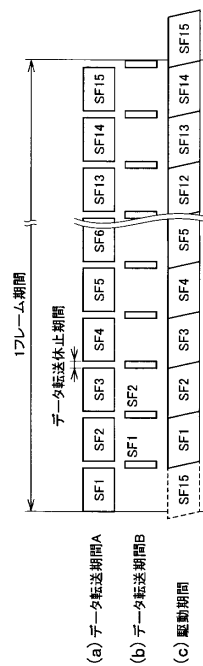
【図 1 1】



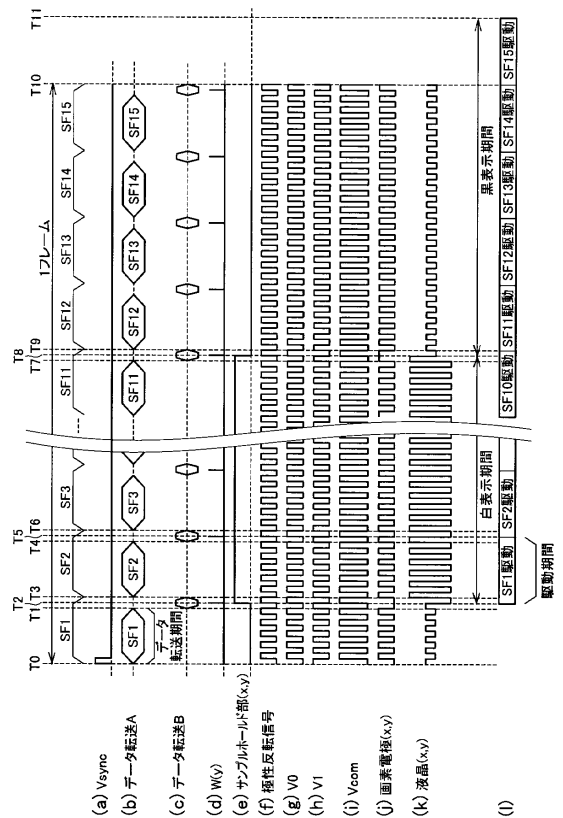
【図 1 2】



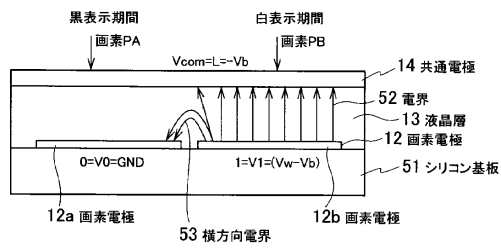
【図 1 3】



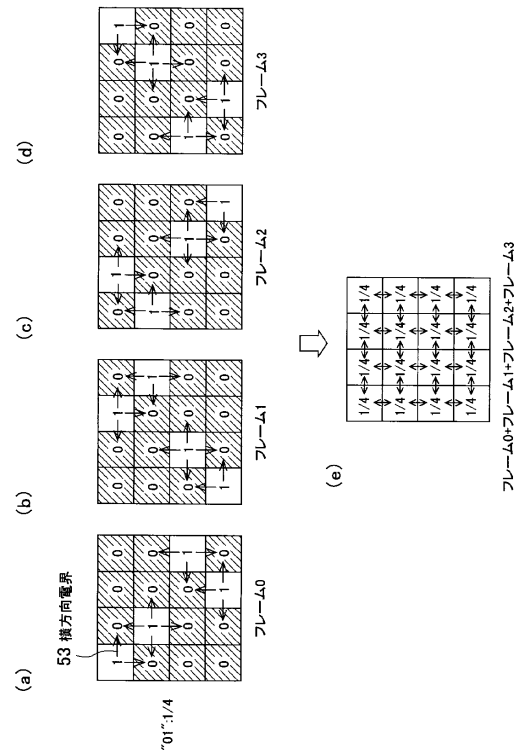
【図 1 4】



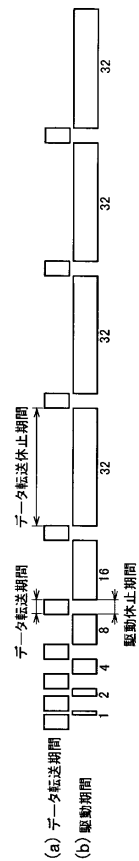
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 4 2 B
G 0 9 G	3/20	6 1 1 D
G 0 2 F	1/133	5 0 5

F ターム(参考) 5C006 AA11 AA13 AA14 AC25 AC27 AF46 BB16 BB28 BC03 BC11
 BF02 BF04 BF11 BF14 BF28 EC11 FA34 FA41 FA51
 5C080 AA05 AA10 AA17 DD07 DD22 DD27 EE29 FF11 JJ01 JJ02
 JJ04 JJ05 JJ06 JJ07

摘要：要解决的问题：提供一种消除子帧显示的空闲时段的液晶显示装置，容易实现像素的小型化，并且可以廉价地执行高分辨率的明亮显示。解决方案：每个像素电路15通过一个触发器保持像素数据。图像形成装置被配置为交替地重复：从帧缓冲器39A和39B传送给用于一个子帧的子帧数据到子帧缓冲器62的第一数据传送步骤；第二数据传输步骤，依次选择行选择线W0至Wm，并以行为单位依次选择像素电路15，重复提供从子帧缓冲器62输出的子帧数据到列数据线D0至Dn在一个行单元中并且将从子帧缓冲器62输出的一个子帧的子帧数据提供给图像显示部分46的所有像素电路15。

