

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-72955

(P2013-72955A)

(43) 公開日 平成25年4月22日(2013.4.22)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	

審査請求 未請求 請求項の数 10 O L (全 20 頁)

(21) 出願番号	特願2011-211080 (P2011-211080)	(71) 出願人	302020207
(22) 出願日	平成23年9月27日 (2011. 9. 27)		株式会社ジャパンディスプレイセントラル
			埼玉県深谷市幡羅町一丁目9番地2
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

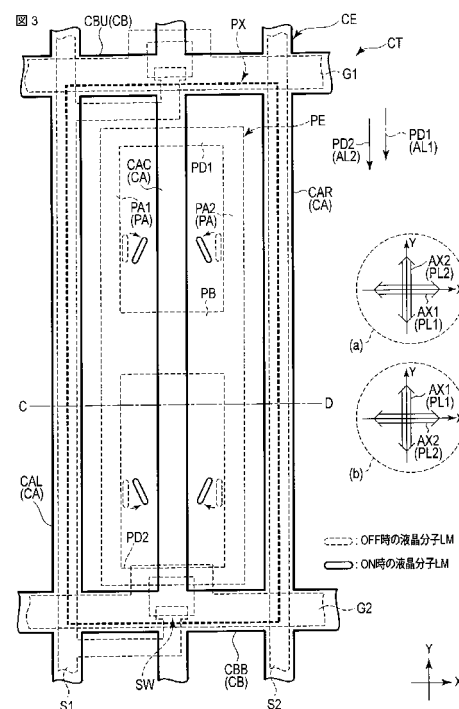
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の劣化を抑制することを可能とする。

【解決手段】第1方向に沿って延出した第1ゲート配線及び第2ゲート配線と、前記第1ゲート配線と前記第2ゲート配線との間の略中間に位置した補助容量線と、第2方向に沿って延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線及び前記第2ソース配線と同一材料によって形成された画素電極であって、前記補助容量線の上に位置する副画素電極、前記副画素電極の前記第1ソース配線側に繋がり第2方向に沿って延出した第1主画素電極、及び、前記副画素電極の前記第2ソース配線側に繋がり第2方向に沿って延出した第2主画素電極を備えた画素電極と、を備えた第1基板と、前記第1主画素電極と前記第2主画素電極との間、前記第1ソース配線の上方、及び、前記第2ソース配線の上方にそれぞれ位置し第2方向に沿ってそれぞれ延出した主共通電極を備えた共通電極を備えた第2基板と、を備えた液晶表示装置。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 方向に沿ってそれぞれ延出した第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との間の略中間に位置し第 1 方向に沿って延出した補助容量線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線及び前記第 2 ソース配線と同一材料によって形成された画素電極であって、前記補助容量線の上方に位置するとともに第 1 方向に沿って延出した副画素電極、前記副画素電極の前記第 1 ソース配線側に繋がり第 2 方向に沿って延出した第 1 主画素電極、及び、前記副画素電極の前記第 2 ソース配線側に繋がり第 2 方向に沿って延出した第 2 主画素電極を備えた画素電極と、を備えた第 1 基板と、

10

前記第 1 主画素電極と前記第 2 主画素電極との間、前記第 1 ソース配線の上方、及び、前記第 2 ソース配線の上方にそれぞれ位置し第 2 方向に沿ってそれぞれ延出した主共通電極を備えた共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記第 1 基板は、さらに、半導体層と、前記第 1 ゲート配線と電氣的に接続されたゲート電極と、前記半導体層にコンタクトし前記第 1 ソース配線と電氣的に接続されたソース電極と、を備え、前記画素電極は前記半導体層にコンタクトしたことを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記画素電極は、さらに、第 1 方向に沿って延出し前記前記第 1 主画素電極と前記第 2 主画素電極とを接続する接続部を備え、ループ状に形成されたことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

第 1 方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、前記ゲート配線と一体的に形成されたゲート電極と、前記ゲート配線、前記補助容量線、及び、前記ゲート電極を覆う絶縁膜と、前記絶縁膜上に形成され前記ゲート電極の直上に位置する半導体層と、前記絶縁膜上に形成され第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記絶縁膜上において前記ソース配線と一体的に形成され前記半導体層にコンタクトしたソース電極と、前記絶縁膜上に形成され前記半導体層にコンタクトした画素電極であって、画素の略中央部で前記補助容量線の上方に位置するとともに第 1 方向に沿って延出した副画素電極、前記副画素電極に繋がり第 2 方向に沿ってそれぞれ延出した第 1 主画素電極及び第 2 主画素電極を備えた画素電極と、を備えた第 1 基板と、

30

前記第 1 主画素電極と前記第 2 主画素電極との間、前記ソース配線の上方にそれぞれ位置し第 2 方向に沿ってそれぞれ延出した主共通電極を備えた共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 5】

前記画素電極は、前記ソース電極と同一材料によって形成されたことを特徴とする請求項 4 に記載の液晶表示装置。

40

【請求項 6】

前記画素電極は、さらに、第 1 方向に沿って延出し前記前記第 1 主画素電極と前記第 2 主画素電極とを接続する接続部を備え、ループ状に形成され、前記接続部は前記半導体層にコンタクトすることを特徴とする請求項 4 または 5 に記載の液晶表示装置。

【請求項 7】

前記画素電極は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、モリブデン (Mo)、タングステン (W)、銅 (Cu)、クロム (Cr) のうちの少なくとも 1 つの金属材料またはいずれかを含む合金によって形成されたことを特徴とする請求項 1 乃至 6 の

50

いずれか 1 項に記載の液晶表示装置。

【請求項 8】

前記画素電極は、第 2 方向に沿った長さが第 1 方向に沿った長さよりも長い画素に配置されたことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の液晶表示装置。

【請求項 9】

前記第 2 基板は、前記第 1 ゲート配線の上方及び前記第 2 ゲート配線の上方にそれぞれ位置し前記主共通電極と繋がり第 1 方向に沿ってそれぞれ延出した副共通電極を備えたことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

さらに、前記第 1 基板の外面に配置され第 1 吸収軸を有する第 1 偏光板と、

前記第 2 基板の外面に配置され前記第 1 吸収軸とクロスニコルの位置関係にある第 2 吸収軸を有する第 2 偏光板と、を備え、

前記第 1 吸収軸は、第 2 方向と略平行であるまたは略直交することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS(In-Plane Switching)モードやFFS(Fringe Field Switching)モードなどの横電界(フリンジ電界も含む)を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009-192822 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出した第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との間の略中間に位置し第 1 方向に沿って延出した補助容量線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線及び前記第 2 ソース配線と同一材料によって形成された画素電極であって、前記補助容量線の上方に位置するとともに第 1 方向に沿って延出した副画素電極、前記副画素電極の前記第 1 ソース配線側に繋がり第 2 方向に沿って延出した第 1 主画素電極、及び、前記副画素電極の前記第 2 ソース配線側に繋がり第 2 方向に沿

10

20

30

40

50

って延出した第2主画素電極を備えた画素電極と、を備えた第1基板と、前記第1主画素電極と前記第2主画素電極との間、前記第1ソース配線の上方、及び、前記第2ソース配線の上方にそれぞれ位置し第2方向に沿ってそれぞれ延出した主共通電極を備えた共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【0007】

本実施形態によれば、

第1方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、前記ゲート配線と一体的に形成されたゲート電極と、前記ゲート配線、前記補助容量線、及び、前記ゲート電極を覆う絶縁膜と、前記絶縁膜上に形成され前記ゲート電極の直上に位置する半導体層と、前記絶縁膜上に形成され第1方向に交差する第2方向に沿って延出したソース配線と、前記絶縁膜上において前記ソース配線と一体的に形成され前記半導体層にコンタクトしたソース電極と、前記絶縁膜上に形成され前記半導体層にコンタクトした画素電極であって、画素の略中央部で前記補助容量線の上方に位置するとともに第1方向に沿って延出した副画素電極、前記副画素電極に繋がり第2方向に沿ってそれぞれ延出した第1主画素電極及び第2主画素電極を備えた画素電極と、を備えた第1基板と、前記第1主画素電極と前記第2主画素電極との間、前記ソース配線の上方にそれぞれ位置し第2方向に沿ってそれぞれ延出した主共通電極を備えた共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【図面の簡単な説明】

【0008】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図1に示した対向基板における一画素の構造例を概略的に示す平面図である。

【図4】図4は、図2のA - B線で切断したアレイ基板の断面構造を概略的に示す断面図である。

【図5】図5は、図3のC - D線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【図6】図6は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【0009】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0010】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0011】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【 0 0 1 2 】

液晶表示パネル L P N は、アクティブエリア A C T において、n 本のゲート配線 G (G 1 ~ G n)、n 本の補助容量線 C (C 1 ~ C n)、m 本のソース配線 S (S 1 ~ S m) などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出した信号配線に相当する。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出した信号配線に相当する。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

10

【 0 0 1 3 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【 0 0 1 4 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

20

【 0 0 1 5 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【 0 0 1 6 】

スイッチング素子 S W は、例えば、n チャネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、アモルファスシリコンによって形成されているが、ポリシリコンによって形成されていても良い。

30

【 0 0 1 7 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。このような画素電極 P E は、不透明な導電材料、あるいは、遮光性あるいは反射性を有する導電材料によって形成されている。一例として、画素電極 P E は、アルミニウム (A l)、チタン (T i)、銀 (A g)、モリブデン (M o)、タングステン (W)、銅 (C u)、クロム (C r) のうちの少なくとも 1 つの金属材料またはいずれかを含む合金によって形成されている。

40

【 0 0 1 8 】

共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジंक・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されていても良いし、上記の不透明な導電材料によって形成されていても良い。

【 0 0 1 9 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。対向基板 C

50

Tの共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

【0020】

図2は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0021】

アレイ基板ARは、ゲート配線G1、ゲート配線G2、補助容量線C1、ソース配線S1、ソース配線S2、スイッチング素子SW、画素電極PE、第1配向膜AL1などを備えている。

【0022】

図示した例では、画素PXは、破線で示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い縦長の長方形形状である。ゲート配線G1及びゲート配線G2は、第2方向Yに沿って第1ピッチで配置され、それぞれ第1方向Xに沿って延出している。補助容量線C1は、ゲート配線G1とゲート配線G2との間に位置し、第1方向Xに沿って延出している。ソース配線S1及びソース配線S2は、第1方向Xに沿って第2ピッチで配置され、それぞれ第2方向Yに沿って延出している。

【0023】

図示した画素PXにおいて、ソース配線S1は左側端部に配置され、ソース配線S2は右側端部に配置されている。厳密には、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。つまり、画素PXの第1方向Xに沿った長さは、ソース配線間の第2ピッチに相当する。

【0024】

また、画素PXにおいて、ゲート配線G1は上側端部に配置され、ゲート配線G2は下側端部に配置されている。厳密には、ゲート配線G1は当該画素PXとその上側に隣接する画素との境界に跨って配置され、ゲート配線G2は当該画素PXとその下側に隣接する画素との境界に跨って配置されている。つまり、画素PXの第2方向Yに沿った長さは、ゲート配線間の第1ピッチに相当する。第1ピッチは、第2ピッチよりも大きい。

【0025】

また、図示した画素PXにおいては、補助容量線C1は、ゲート配線G2とゲート配線G1との略中間に位置している。つまり、補助容量線C1とゲート配線G1との第2方向Yに沿った間隔は、補助容量線C1とゲート配線G2との第2方向Yに沿った間隔と略同一である。

【0026】

スイッチング素子SWは、図示した例では、ゲート配線G2及びソース配線S1に電氣的に接続されている。このスイッチング素子SWは、画素PXの下側においてソース配線S1とソース配線S2との略中間の領域に設けられている。このようなスイッチング素子SWは、ゲート配線G2と電氣的に接続されたゲート電極WG、ゲート電極WGの直上に形成されたアモルファスシリコンからなる半導体層SC、及び、ソース配線S1と電氣的に接続され半導体層SCにコンタクトしたソース電極WSを備えている。図示した例では、ゲート電極WGはゲート配線G2と一体的に形成され、ソース電極WSはソース配線S1と一体的に形成されている。また、ソース電極WSのうち半導体層SCにコンタクトしている部分については、第1方向Xに沿って延出している。

【0027】

画素電極PEは、隣接するソース配線S1とソース配線S2との間に位置するとともに、ゲート配線G1とゲート配線G2との間に位置している。つまり、画素電極PEは、ソース配線S1及びソース配線S2と、ゲート配線G1及びゲート配線G2とで囲まれた内側に位置している。このような画素電極PEは、半導体層SCにコンタクトし、スイッチング素子SWのドレイン電極としての機能を兼ね備えている。

【0028】

画素電極 P E は、主画素電極 P A 及び副画素電極 P B を備えている。また、この画素電極 P E は、接続部 P D を備えている。これらの主画素電極 P A、副画素電極 P B、及び、接続部 P D は、互いに電氣的に接続されている。このような主画素電極 P A、副画素電極 P B、及び、接続部 P D は、一体的あるいは連続的に形成され、互いに電氣的に接続されている。

【 0 0 2 9 】

副画素電極 P B は、画素 P X の略中央部に位置し、第 1 方向 X に沿って延出している。このような副画素電極 P B は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。

【 0 0 3 0 】

主画素電極 P A は、1 個の画素電極 P E に 2 本以上備えられている。このような主画素電極 P A は、副画素電極 P B からそれぞれ第 2 方向 Y に沿って延出している。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 3 1 】

図示した例では、画素電極 P E は、2 本の主画素電極 P A 1 及び主画素電極 P A 2 を備えている。主画素電極 P A 1 は、副画素電極 P B のソース配線 S 1 側に位置している。この主画素電極 P A 1 は、副画素電極 P B のソース配線 S 1 側に繋がっている。主画素電極 P A 2 は、副画素電極 P B のソース配線 S 2 側に位置している。この主画素電極 P A 2 は、副画素電極 P B のソース配線 S 2 側に繋がっている。主画素電極 P A 1 及び主画素電極 P A 2 のそれぞれは、副画素電極 P B から画素 P X の上側端部（つまり、ゲート配線 G 1 側）及び下側端部（つまり、ゲート配線 G 2 側）に向かってそれぞれ第 2 方向 Y に沿って直線的に延出している。

【 0 0 3 2 】

主画素電極 P A 1 について、副画素電極 P B からゲート配線 G 1 側に向かって延出した長さ、副画素電極 P B からゲート配線 G 2 側に向かって延出した長さは略同一である。同様に、主画素電極 P A 2 について、副画素電極 P B からゲート配線 G 1 側に向かって延出した長さ、副画素電極 P B からゲート配線 G 2 側に向かって延出した長さは略同一である。つまり、副画素電極 P B は、主画素電極 P A 1 の略中間の位置と主画素電極 P A 2 の略中間の位置とを繋いでいる。

【 0 0 3 3 】

接続部 P D は、第 1 方向 X に沿って延出し、主画素電極 P A の各々を接続している。このような接続部 P D は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。図示した例では、画素 P X のゲート配線 G 1 の側において、接続部 P D 1 は、主画素電極 P A 1 と主画素電極 P A 2 のそれぞれ的一端部を接続している。また、画素 P X のゲート配線 G 2 の側において、接続部 P D 2 は、主画素電極 P A 1 と主画素電極 P A 2 のそれぞれ他端部を接続している。副画素電極 P B は、接続部 P D 1 と接続部 P D 2 との略中間に位置している。接続部 P D 2 は、半導体層 S C にコンタクトし、スイッチング素子 S W のドレイン電極と同等の機能を兼ね備えている。図示した例では、接続部 P D 2 のうち半導体層 S C にコンタクトしている部分については、第 1 方向 X に沿って延出しており、ソース電極 W S の半導体層 S C にコンタクトしている部分と平行である。このような構成の画素電極 P E は、8 の字形である。つまり、画素電極 P E は、ループ状に形成されている。但し、接続部 P D 1 は省略しても良い。

【 0 0 3 4 】

このような画素電極 P E において、副画素電極 P B は、画素 P X の略中央部で補助容量線 C 1 の上方に位置している。すなわち、このような画素電極 P E は、副画素電極 P B において、補助容量線 C 1 と対向し、画素 P X での画像表示に必要な容量を形成している。なお、より大きな容量を形成するために、副画素電極 P B に加えて、主画素電極 P A の一部が補助容量線 C 1 の上方に位置していても良い。

【 0 0 3 5 】

なお、アレイ基板 A R は、さらに、共通電極 C E の一部を備えていても良い。

10

20

30

40

50

【0036】

このようなアレイ基板ARにおいては、画素電極PEは、第1配向膜AL1によって覆われている。この第1配向膜AL1には、液晶層LQの液晶分子を初期配向させるために、第1配向処理方向PD1に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1は、主画素電極PAの延出方向である第2方向Yと略平行である。

【0037】

ここで、寸法の一例について述べると、ゲート配線Gの第1ピッチつまりゲート配線G1とゲート配線G2との第2方向Yに沿った間隔は $150\mu\text{m} \sim 180\mu\text{m}$ であり、ソース配線Sの第2ピッチつまりソース配線S1とソース配線S2との第1方向Xに沿った間隔は $50\mu\text{m} \sim 60\mu\text{m}$ であり、ゲート配線G及び補助容量線Cの第2方向Yに沿った幅が $5\mu\text{m}$ であり、主画素電極PAの第1方向Xに沿った幅が $5\mu\text{m}$ であり、ソース配線Sの第1方向Xに沿った幅が $3\mu\text{m}$ である。なお、ゲート配線G及び補助容量線Cは同一層に形成されており、電氣的に絶縁する必要があるため、両者の間に例えば $10\mu\text{m}$ のマージンを確保している。また、ソース配線S及び画素電極PEは同一層に形成されており、電氣的に絶縁する必要があるため、両者の間に例えば $10\mu\text{m}$ のマージンを確保している。

10

【0038】

図3は、図1に示した対向基板CTにおける一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板に備えられた画素電極PE、ソース配線S、ゲート配線Gなどを破線で示している。

20

【0039】

共通電極CEは、対向基板CTに主共通電極CAを備えている。図示した例では、共通電極CEは、さらに、対向基板CTに副共通電極CBを備えている。これらの主共通電極CA及び副共通電極CBは、互いに電氣的に接続されている。但し、副共通電極CBは省略しても良い。

【0040】

主共通電極CAは、X-Y平面内において、主画素電極PA1及び主画素電極PA2のそれぞれを挟んだ両側で主画素電極PAの延出方向と略平行な第2方向Yに沿って直線的に延出している。あるいは、主共通電極CAは、ソース配線Sの上方、及び、主画素電極PA間にそれぞれ1本ずつ配置されるとともに主画素電極PAの延出方向と略平行な第2方向Yに沿って延出している。このような主共通電極CAは、第1方向Xに沿って略同一の幅を有する帯状に形成されている。

30

【0041】

図示した例では、主共通電極CAは、第1方向Xに間隔をおいて3本平行に並んでいる。すなわち、一画素あたり、3本の主共通電極CAが第1方向Xに沿って等ピッチで配置されている。画素PXにおいて、主共通電極CALは左側端部に配置され、主共通電極CARは右側端部に配置され、主共通電極CACは画素中央部に配置されている。厳密には、主共通電極CALは当該画素PXとその左側に隣接する画素との境界に跨って配置され、主共通電極CARは当該画素PXとその右側に隣接する画素との境界に跨って配置されている。主共通電極CALはソース配線S1の上方に位置し、主共通電極CARはソース配線S2の上方に位置し、主共通電極CACは主画素電極PA1と主画素電極PA2との間に位置している。

40

【0042】

主共通電極CAL及び主共通電極CACは、主画素電極PA1を挟んだ両側に位置している。同様に、主共通電極CAC及び主共通電極CARは、主画素電極PA2を挟んだ両側に位置している。換言すると、画素中央部に配置された主共通電極CACは、主画素電極PA1と主画素電極PA2との略中間に位置している。つまり、X-Y平面において、第1方向Xに沿って主共通電極CAと主画素電極PAとが交互に並んでおり、図示した例

50

では、主共通電極 C A L、主画素電極 P A 1、主共通電極 C A C、主画素電極 P A 2、主共通電極 C A Rがこの順に並んでいる。なお、主画素電極 P A 1と主共通電極 C A Cとの間の第 1 方向 X に沿った電極間距離、及び、主共通電極 C A Cと主画素電極 P A 2との間の第 1 方向 X に沿った電極間距離は略同等である。また、主共通電極 C A Lと主画素電極 P A 1との間の第 1 方向 X に沿った電極間距離、及び、主画素電極 P A 2と主共通電極 C A Rとの間の第 1 方向 X に沿った電極間距離は略同等である。

【 0 0 4 3 】

副共通電極 C B は、X - Y 平面内において、画素電極 P E を挟んだ両側で第 1 方向 X に沿って直線的に延出している。あるいは、副共通電極 C B は、ゲート配線 G の上方にそれぞれ位置するとともに主共通電極 C A と繋がり第 1 方向 X に沿って直線的に延出している。このような副共通電極 C B は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。また、このような副共通電極 C B は、主共通電極 C A と一体的あるいは連続的に形成され、主共通電極 C A と電氣的に接続されている。つまり、対向基板 C T においては、共通電極 C E は格子状に形成されている。

10

【 0 0 4 4 】

図示した例では、副共通電極 C B は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上下両端部にそれぞれ配置されている。すなわち、一画素あたり、2 本の副共通電極 C B が配置されている。図示した画素 P X において、副共通電極 C B U は上側端部に配置され、副共通電極 C B B は下側端部に配置されている。厳密には、副共通電極 C B U は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、副共通電極 C B B は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。副共通電極 C B U はゲート配線 G 1 の上方に位置し、副共通電極 C B B はゲート配線 G 2 の上方に位置している。

20

【 0 0 4 5 】

このような対向基板 C T においては、共通電極 C E は、第 2 配向膜 A L 2 によって覆われている。この第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるために、第 2 配向処理方向 P D 2 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 とは互いに平行であって、互いに同じ向きあるいは逆向きである。図示した例では、第 2 配向処理方向 P D 2 は、第 2 方向 Y と平行であり、X - Y 平面内において、第 1 配向処理方向 P D 1 とは互いに平行であって、互いに同じ向きである。

30

【 0 0 4 6 】

図 4 は、図 2 の A - B 線で切断したアレイ基板 A R の断面構造を概略的に示す断面図である。

【 0 0 4 7 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 においてスイッチング素子 S W、補助容量線 C 1、画素電極 P E、第 1 絶縁膜 1 1、第 1 配向膜 A L 1 などを備えている。

【 0 0 4 8 】

スイッチング素子 S W のゲート電極 W G は、ゲート配線 G 2 の一部であり、第 1 絶縁基板 1 0 の内面 1 0 A に形成されている。補助容量線 C 1 は、第 1 絶縁基板 1 0 の内面 1 0 A に形成されている。これらのゲート電極 W G、ゲート配線 G 及び補助容量線 C は、同一材料によって形成されている。これらのゲート配線 G 2 と一体のゲート電極 W G 及び補助容量線 C 1 は、第 1 絶縁膜 1 1 によって覆われている。

40

【 0 0 4 9 】

スイッチング素子 S W の半導体層 S C は、第 1 絶縁膜 1 1 の上に形成され、ゲート電極 W G の直上に位置している。スイッチング素子 S W のソース電極 W S は、ソース配線 S 1 の一部であり、第 1 絶縁膜 1 1 の上に形成され、半導体層 S C にコンタクトしている。画素電極 P E は、第 1 絶縁膜 1 1 の上に形成されている。この画素電極 P E の一部である接続部 P D 2 は、半導体層 S C にコンタクトしている。また、画素電極 P E の一部である副

50

画素電極 P B は、補助容量線 C 1 の直上に位置している。すなわち、副画素電極 P B は、第 1 絶縁膜 1 1 を介して補助容量線 C 1 と対向している。これらのソース電極 W S 及び画素電極 P E は、ソース配線と同一材料によって形成されている。

【 0 0 5 0 】

第 1 配向膜 A L 1 は、スイッチング素子 S W を構成する半導体層 S C 、ソース電極 W S 、画素電極 P E などを覆っており、第 1 絶縁膜 1 1 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 5 1 】

なお、これらのスイッチング素子 S W や画素電極 P E は、パッシベーション膜などの他の絶縁膜で覆われていても良い。

10

【 0 0 5 2 】

図 5 は、図 3 の C - D 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。

【 0 0 5 3 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 5 4 】

アレイ基板 A R において、第 1 絶縁膜 1 1 は、第 1 絶縁基板 1 0 の内面 1 0 A 、つまり、対向基板 C T と対向する側に形成され、ソース配線 S 1 及びソース配線 S 2 は、第 1 絶縁膜 1 1 の上に形成され、第 1 配向膜 A L 1 によって覆われている。画素電極 P E の主画素電極 P A 1 及び主画素電極 P A 2 は、第 1 絶縁膜 1 1 の上に形成され、第 1 配向膜 A L 1 によって覆われている。主画素電極 P A 1 及び主画素電極 P A 2 は、ソース配線 S 1 及びソース配線 S 2 から離間し、これらの間に位置している。第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。

20

【 0 0 5 5 】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 2 0 の内側、つまり、アレイ基板 A R と対向する側において、カラーフィルタ C F 、オーバーコート層 O C 、共通電極 C E 、第 2 配向膜 A L 2 などを備えている。なお、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A には、各画素 P X を区画するブラックマトリクスが配置されても良い。

30

【 0 0 5 6 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A に配置されている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。

40

【 0 0 5 7 】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

【 0 0 5 8 】

共通電極 C E の主共通電極 C A L 、主共通電極 C A C 、及び、主共通電極 C A R 、図示しない副共通電極 C B などは、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。主共通電極 C A L は、ソース配線 S 1 の直上に位置している。主共通電極 C A R は、ソース配線 S 2 の直上に位置している。主共通電極 C A C は、主共通電極 C A

50

Lと主共通電極CARとの間あるいは主画素電極PA1と主画素電極PA2との間に位置している。

【0059】

画素電極PEと共通電極CEとの間の領域、つまり、主共通電極CALと主画素電極PA1との間の領域、主共通電極CACと主画素電極PA1との間の領域、主共通電極CACと主画素電極PA2との間の領域、及び、主共通電極CARと主画素電極PA2との間の領域は、バックライト光が透過可能な透過領域に相当する。

【0060】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CEやオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0061】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば2~7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材によって貼り合わせられている。

【0062】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0063】

尚、主画素電極PAと主共通電極CAとの第1方向Xに沿った間隔は、液晶層LQの厚さよりも大きく、主画素電極PAと主共通電極CAとの間隔は、液晶層LQの厚さの2倍以上の大きさを持つ。

【0064】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。なお、第1偏光板PL1と第1絶縁基板10との間に位相差板などの他の光学素子が配置されても良い。

【0065】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。なお、第2偏光板PL2と第2絶縁基板20との間に位相差板などの他の光学素子が配置されていても良い。

【0066】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、略直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極PAあるいは主共通電極CAの延出方向と略平行または略直交するように配置されている。つまり、主画素電極PAあるいは主共通電極CAの延出方向が第2方向Yである場合、一方の偏光板の吸収軸は、第1方向Xと略平行である（つまり、第2方向Yと略直交する）、あるいは、第1方向Xと略直交する（つまり、第2方向Yと略平

10

20

30

40

50

行である)。

【0067】

あるいは、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向PD1あるいは第2配向処理方向PD2と平行または直交するように配置されている。初期配向方向が第2方向Yと平行である場合、一方の偏光板の偏光軸は、第1方向Xと平行、あるいは、第2方向Yと平行である。

【0068】

図3において、(a)で示した例では、第1偏光板PL1は、その第1偏光軸AX1が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向(第2方向Y)に対して直交する(つまり、第1方向Xに平行となる)ように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向に対して平行となる(つまり、第2方向Yと平行となる)ように配置されている。

10

【0069】

また、図3において、(b)で示した例では、第2偏光板PL2は、その第2偏光軸AX2が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向(第2方向Y)に対して直交する(つまり、第1方向Xに平行となる)ように配置され、また、第1偏光板PL1は、その第1偏光軸AX1が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向に対して平行となる(つまり、第2方向Yと平行となる)ように配置されている。

【0070】

20

次に、上記構成の液晶表示パネルLPNの動作について、図2乃至図5を参照しながら説明する。

【0071】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電界が形成されていない状態(OFF時)では、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0072】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

30

【0073】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第2方向Yと略平行な方向である。OFF時においては、液晶分子LMは、図3に破線で示したように、その長軸が第2方向Yと略平行な方向に初期配向する。

【0074】

40

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平(プレチルト角が略ゼロ)に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する(スプレイ配向)。このように液晶分子LMがスプレイ配向している状態では、基板の法線方向から傾いた方向においても第1配向膜AL1の近傍の液晶分子LMと第2配向膜AL2の近傍の液晶分子LMとにより光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

【0075】

50

なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【 0 0 7 6 】

バックライト 4 からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 吸収軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって変化するが、O F F 時においては、液晶層 L Q を通過した直線偏光の偏光状態はほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される（黒表示）。

10

【 0 0 7 7 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。

【 0 0 7 8 】

図 3 に示した例では、画素 P X 内において、主画素電極 P A 1 と主共通電極 C A C との間の下側の領域内では、液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の右下を向くように配向し、上側の領域内では、液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の右上を向くように配向する。また、主画素電極 P A 2 と主共通電極 C A C との間の下側の領域内では、液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の左下を向くように配向し、上側の領域内では、液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の左上を向くように配向する。

20

【 0 0 7 9 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、主画素電極 P A と重なる位置あるいは主共通電極 C A と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

30

【 0 0 8 0 】

このような O N 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 吸収軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。例えば、第 1 方向 X に平行な直線偏光が液晶表示パネル L P N に入射すると、液晶層 L Q を通過する際に第 1 方向 X に対して $45^\circ - 225^\circ$ 方位あるいは $135^\circ - 315^\circ$ 方位に配向した液晶分子 L M により $\lambda / 2$ の位相差の影響を受ける（但し、 λ は液晶層 L Q を透過する光の波長である）。これにより、液晶層 L Q を通過した光の偏光状態は、第 2 方向 Y に平行な直線偏光となる。このため、O N 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。但し、画素電極あるいは共通電極と重なる位置では、液晶分子が初期配向状態を維持しているため、O F F 時と同様に黒表示となる。

40

【 0 0 8 1 】

このような本実施形態によれば、画素電極 P E は、インジウム（I n）を使用しない導電材料によって形成されている。このため、画素電極 P E 及び共通電極 C E の双方を I T O や I Z O によって形成した場合と比較して、インジウムの使用量を低減することが可能となる。また、画素電極 P E のみならず共通電極 C E についても、インジウム（I n）を使用しない導電材料によって形成された場合には、インジウムフリーを実現することが可能となる。

50

【 0 0 8 2 】

また、画素電極 P E 上あるいは共通電極 C E 上では、O F F 時は勿論のこと、O N 時においても、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、O F F 時と同様に初期配向方向からほとんど動かない。このため、O N 時において、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていたとしても、これらの領域ではバックライト光がほとんど透過せず、O N 時において表示にほとんど寄与しない。つまり、本実施形態のように、画素電極 P E 及び共通電極 C E が上記の不透明な導電材料によって形成されていても、画素電極 P E 及び共通電極 C E が透明な導電材料によって形成された場合と比較して、O N 時における透過率の低減、あるいは、実質的に表示に寄与する透過領域の面積の低減を抑制することが可能となる。

10

【 0 0 8 3 】

また、画素電極 P E が上記の不透明な導電材料によって形成された本実施形態において、液晶表示パネル L P N に入射した直線偏光は、画素電極 P E のエッジの延出方向と略平行であるあるいは略直交する。また、上記のような不透明な導電材料によって形成されているゲート配線 G、補助容量線 C、及び、ソース配線 S の延出方向は、液晶表示パネル L P N に入射した直線偏光と略平行であるあるいは略直交する。また、共通電極 C E も上記の不透明な導電材料によって形成されている場合もあり、共通電極 C E の延出方向は、液晶表示パネル L P N に入射した直線偏光と略平行であるあるいは略直交する。このため、画素電極 P E や共通電極 C E、ゲート配線 G、補助容量線 C、及び、ソース配線 S のエッジで反射された直線偏光は、その偏光面が乱れにくく、偏光子である第 1 偏光板 P L 1 を透過した際の偏光面を維持することができる。したがって、O F F 時において、液晶表示パネル L P N を透過した直線偏光は、検光子である第 2 偏光板 P L 2 で十分に吸収されるため、光漏れを抑制することが可能となる。つまり、黒表示の際に十分に透過率を低減することができ、コントラスト比の低下を抑制することが可能となる。また、画素電極 P E や共通電極 C E の周辺での光漏れ対策のためにブラックマトリクスの幅を拡張する必要がなく、透過領域の面積の低減、O N 時の透過率の低減を抑制することが可能となる。したがって、表示品位の劣化を抑制することが可能となる。

20

【 0 0 8 4 】

また、本実施形態によれば、画素電極 P E は、同一層に形成されるソース配線 S と同一材料によって形成可能である。このため、ソース配線 S を形成する工程で、画素電極 P E を同時に形成することが可能となる。つまり、画素電極 P E をスイッチング素子 S W のドレイン電極と別個に形成する工程などを省略することが可能となる。したがって、製造コストの削減が可能となる。

30

【 0 0 8 5 】

また、本実施形態によれば、画素電極 P E は、絶縁膜のコンタクトホールを介することなく半導体層 S C に直接コンタクトし、スイッチング素子 S W のドレイン電極として機能する。このため、コンタクトホールの凹凸に起因した液晶分子 L M の配向乱れの発生を抑制することが可能となる。これにより、O F F 時における光漏れを抑制することが可能となり、コントラスト比を向上することが可能となる。

40

【 0 0 8 6 】

また、本実施形態によれば、画素 P X の略中央部を横切る補助容量線 C 1 を備え、画素電極 P E の副画素電極 P B は、画素 P X の略中央部において補助容量線 C 1 の直上に位置している。そして、副画素電極 P B 及び接続部 P D に繋がった主画素電極 P A と主共通電極 C A との間に形成される電界を利用して液晶分子が駆動される。このため、一画素 P X において副画素電極 P B を挟んだ上下の領域つまりゲート配線 G 1 側の領域及びゲート配線 G 2 側の領域において、表示に寄与する透過領域を形成することが可能となる。したがって、一画素 P X において、表示に利用できない無駄なスペースを少なくすることができる。

【 0 0 8 7 】

50

比較例として、副画素電極 P B をスイッチング素子 S W に近接させたレイアウトでは、副画素電極 P B の直下に位置する補助容量線 C がスイッチング素子 S W のゲート電極 W G あるいはゲート配線 G に近接するが、両者は同一層に形成され且つ電氣的に絶縁されることが要求されるため、両者の間に十分な隙間（上記の例では $10\ \mu\text{m}$ 以上のマージン）を確保する必要がある。このため、スイッチング素子 S W と副画素電極 P B あるいは画素電極 P E との間に、ほとんど表示に利用できない無駄なスペースができてしまう。本実施形態によれば、このような比較例のレイアウトと比較して、一画素 P X の面積が同一であっても、実質的に表示に寄与する透過領域の面積を拡大することが可能となる。

【0088】

また、本実施形態によれば、画素電極 P E の接続部 P D 2 において、半導体層 S C にコンタクトしたコンタクト位置から主画素電極 P A の各々までの距離を同等とすることができ、主画素電極 P A 間での抵抗差などに起因した表示品位の劣化を抑制することが可能となる。このようなコンタクト位置は、ソース配線 S 1 及びソース配線 S 2 の双方から等距離にあるため、ソース配線 S 間の第 2 ピッチが仕様毎に変更された場合であっても、コンタクト位置から主画素電極 P A の各々までの距離に偏りが発生することはなく、種々の画素ピッチの製品を提供することが可能となる。

【0089】

また、本実施形態によれば、第 1 絶縁膜 1 1 を介して対向する補助容量線 C 1 と画素電極 P E との間で容量を形成している。つまり、補助容量線 C 1 と画素電極 P E とのギャップは、第 1 絶縁膜 1 1 の膜厚に相当する。このため、本実施形態の構成は、補助容量線 C 1 と画素電極 P E との間に複数の絶縁膜が介在した状態で容量を形成する場合と比較して、より大きな容量を形成することが可能となる。

【0090】

また、本実施形態によれば、画素電極 P E はループ状に形成されているため、冗長性を向上することが可能となる。すなわち、例えば画素電極 P E の一部で断線が発生したとしても、副画素電極 P B を介したバス、接続部 P D 1 を介したバス、及び、接続部 P D 2 を介したバスによっていずれの主画素電極 P A にも画素電位を供給することが可能となる。したがって、高精細化の要求に伴って画素電極 P E の幅が極めて細くなったとしても、画素 P X 内での画素電極 P E の一部の断線に起因した表示不良など表示品位の劣化を抑制することが可能となる。

【0091】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率を得ることが可能となる。また、一画素あたりの透過率を十分に高くするためには、主画素電極 P A と主共通電極 C A との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、主画素電極 P A と主共通電極 C A との電極間距離を変更することで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。

【0092】

また、本実施形態によれば、共通電極 C E と重なる領域では、透過率が十分に低下している。これは、ゲート配線 G 及びソース配線 S の直上に位置する共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、隣接する画素間で不所望な横電界が生じないため、共通電極 C E と重なる領域の液晶分子 L M が O F F 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0093】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟

10

20

30

40

50

んだ両側の共通電極 C E との電極間距離に差が生じることがある。しかしながら、このような合わせずれば、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 9 4 】

また、一画素 P X を X - Y 平面で見た場合に、対向基板 C T に配置された共通電極 C E の内側にアレイ基板 A R 上に画素電極 P E が配置されている。言い換えれば、1画素 P X において画素電極 P E は共通電極 C E によって囲まれている。このように配置することによって、一画素内で電気力線の始点と終点をもち、自画素の電気力線が隣接画素に漏れることが無い。このため、例えば、第 1 方向 X に隣接した画素 P X 間において液晶層 L Q に印加される電界が互いに影響を受けることがない。したがって、隣接画素からの電界の影響によって自画素の液晶分子 L M が動くことが無く、表示品位の劣化を抑制することができる。

10

【 0 0 9 5 】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。図 3 に示した例では、一画素内に 4 つのドメインを形成することが可能となり、しかも、4 つのドメインが略同等の面積であるため、更なる視野角補償が可能となる。

20

【 0 0 9 6 】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、第 1 方向 X 及び第 2 方向 Y を斜めに交差する斜め方向であっても良い。

【 0 0 9 7 】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。

30

【 0 0 9 8 】

また、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上ではバックライト光がほとんど透過しないため、画素電極 P E の一部と補助容量線 C とが重なって容量を形成する構成であっても、実質的な透過領域の面積を低減することはない。つまり、主画素電極 P A 及び副画素電極 P B と補助容量線 C とによって容量を形成する本実施形態によれば、透過領域の面積を低減することなく、画素 P X において表示に必要な容量を確保することが可能となる。

【 0 0 9 9 】

また、一部の主共通電極 C A は、表示に寄与しないソース配線 S の上方に位置しているため、実質的な透過領域の面積を低減することはない。

40

【 0 1 0 0 】

また、上記の例では、1 個の画素電極 P E が 2 本の主画素電極 P A を備える構成について説明したが、この例に限らない。1 個の画素電極 P E が備える主画素電極 P A の本数を a 本とした場合、1 画素あたりに配置される主共通電極 C A は $(a + 1)$ 本となり、隣接する主共通電極 C A の間に 1 本の主画素電極 P A が配置される（但し、a は正数である）。

【 0 1 0 1 】

また、上記の例では、補助容量線 C 1 は、副画素電極 P B の直下に位置しているが、主画素電極 P A の直下に延在していても良いし、さらに、接続部 P D の直下に位置し、画素電極 P E の直下においてループ状に形成されても良い。この場合、補助容量線 C 1 が画素電極 P E からみ出さないレイアウトとすることにより、透過領域の面積を低減すること

50

なく、より大きな容量を形成することが可能となる。また、画素電極 P E の直下で補助容量線をループ状に形成することにより、補助容量線 C 1 についても冗長性を向上することが可能となり、補助容量線 C 1 の一部で断線が発生したとしても、補助容量線 C 1 の全体に補助容量電圧を印加することが可能となる。したがって、同一の補助容量線 C に接続された各画素 P X において表示不良など表示品位の劣化を抑制することが可能となる。

【 0 1 0 2 】

なお、本実施形態において、画素 P X の構造は、上記の例に限定されるものではない。

【 0 1 0 3 】

図 6 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

10

【 0 1 0 4 】

ここに示した構造例は、図 2 に示した構造例と比較して、スイッチング素子 S W の構造が相違している。すなわち、ソース配線 S 1 と一体的なソース電極 W S は、第 2 方向 Y に沿って延出し、半導体層 S C と 2 箇所でもコンタクトしている。ドレイン電極としての機能を兼ね備えた画素電極 P E は、接続部 P D 2 と一体的なコンタクト部 P C を備えている。このコンタクト部 P C は、第 2 方向 Y に沿って延出し、ソース電極 W S の間で半導体層 S C とコンタクトしている。このような構造のスイッチング素子 S W を適用した場合であっても、上記の構造例と同様の効果が得られる。

【 0 1 0 5 】

以上説明したように、本実施形態によれば、コストの削減が可能であるとともに、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

20

【 0 1 0 6 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 1 0 7 】

30

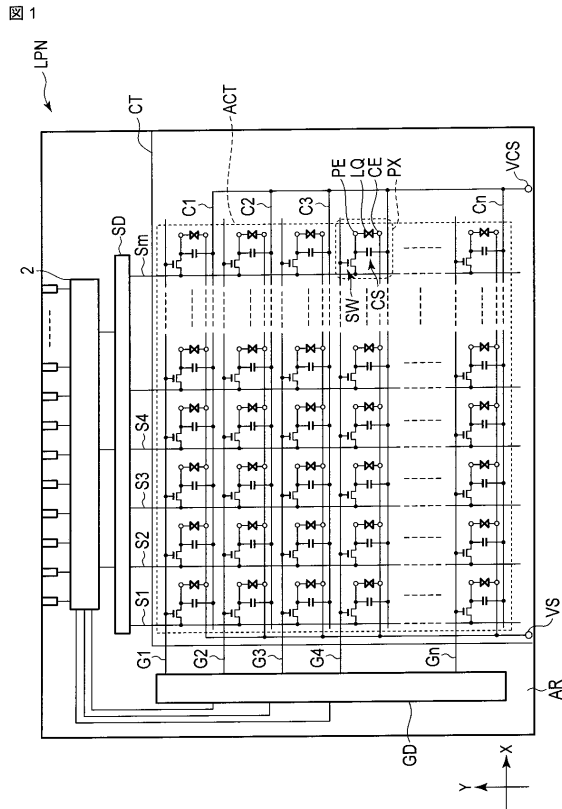
L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

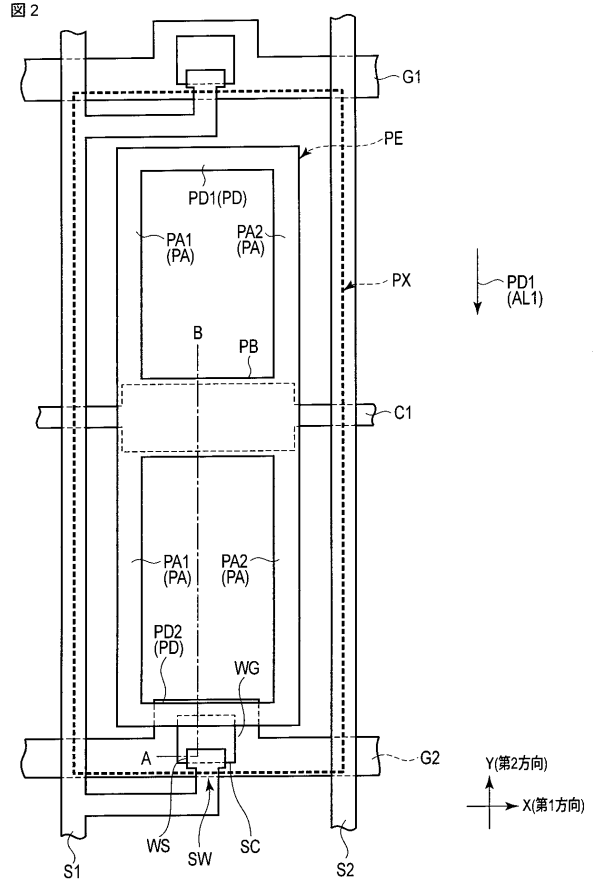
P E ... 画素電極 P A ... 主画素電極 P B ... 副画素電極 P D ... 接続部

C E ... 共通電極 C A ... 主共通電極 C B ... 副共通電極

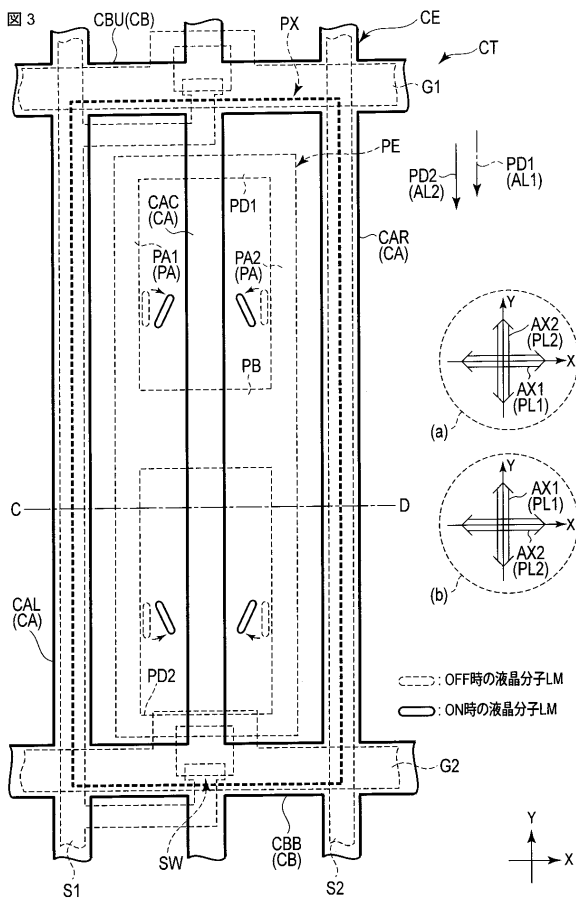
【図 1】



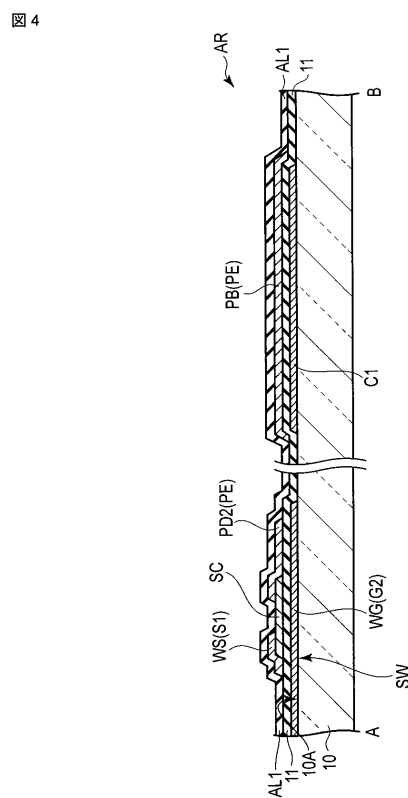
【図 2】



【図 3】

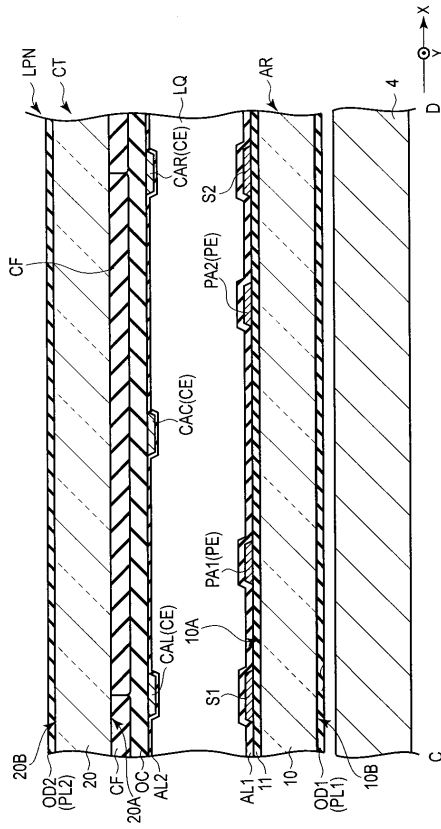


【図 4】



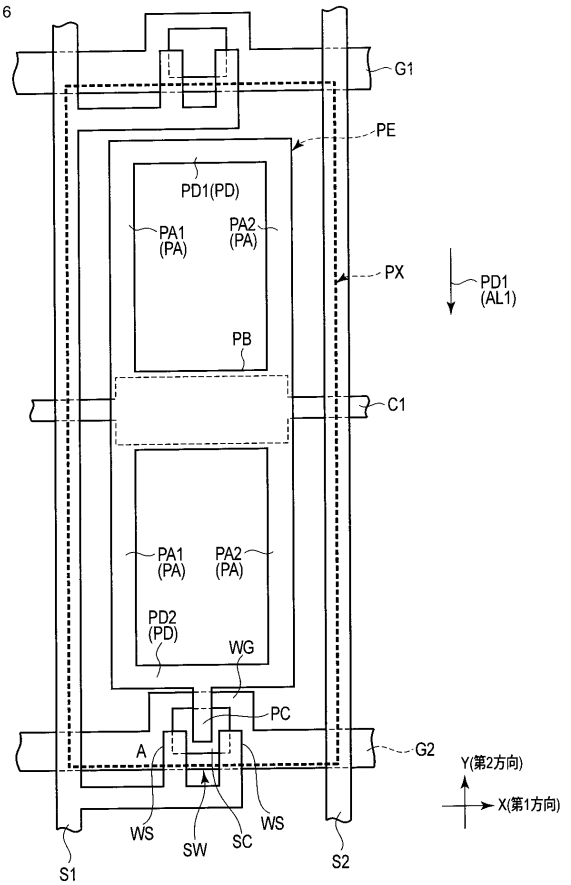
【図 5】

図 5



【図 6】

図 6



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 化生 正人
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 野中 正信
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 高橋 一博
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 米倉 利昌
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

F ターム(参考) 2H092 GA13 JA26 JB05 JB13 JB64 JB69 NA01 QA06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013072955A	公开(公告)日	2013-04-22
申请号	JP2011211080	申请日	2011-09-27
申请(专利权)人(译)	有限公司日本展示中心		
当前申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	化生正人 野中正信 高橋一博 米倉利昌		
发明人	化生 正人 野中 正信 高橋 一博 米倉 利昌		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/QA06 2H092/GA13 2H092/JA26 2H092/NA01 2H092/JB05 2H092/JB13 2H092/JB69 2H092/JB64 2H192/AA24 2H192/BA13 2H192/BA16 2H192/BA25 2H192/BA32 2H192/CB05 2H192/CC42 2H192/DA12 2H192/DA63 2H192/EA43 2H192/JA03		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5851175B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：能够抑制显示质量的下降。解决方案：提供一种液晶显示装置，包括：第一基板，包括沿第一方向延伸的第一栅极布线和第二栅极布线，位于第一方向上的辅助电容线。在第一栅极布线和第二布线之间的大致中间位置，沿第二方向延伸的第一源极布线和第二源极布线，像素电极由与第一源极布线和第二源极布线相同的材料形成并包括位于辅助电容线上部的子像素电极，连接到子像素电极的第一布线侧并沿第二方向延伸的第一主像素电极和连接的第二主像素电极到子像素电极的第二源极布线并沿第二方向延伸；第二基板包括具有主公共电极的公共电极，所述公共电极分别位于第一主像素电极和第二主像素电极之间，第一源极布线的上部和第二源极布线的上部，并且沿着第二源极布线延伸。第二个方向。

